

博士論文を要約したもの

博士論文題目 Relationship between Electrical Characteristics and Crystallographic Properties in Pseudo-Single-Crystal Silicon Thin-Film Transistors Fabricated by Phase-Modulated Excimer Laser Annealing (位相変調エキシマレーザーアニーリングで作製した擬似単結晶シリコン薄膜トランジスタの電気的特性と結晶学的特性の関係の研究)

氏名 三谷 昌弘

(要約)

本論文は、位相変調エキシマレーザーアニーリング (PMELA) を用いて結晶の成長方向や、初期核の発生位置、数を制御し、絶縁基板上にラテラル成長 poly-Si さらには擬似単結晶 Si を作製し、次世代情報通信機器に必要な SOI 並みの高移動度、低ばらつきを有する超高性能薄膜トランジスタ (TFT) を実現することを目的とした。

まず poly-Si の結晶粒界 (GB) の影響をなくすため、キャリア伝播方向に対して平行な GB をもつラテラル成長 poly-Si TFT を作製した。粒状 poly-Si TFT ($\sim 100\text{cm}^2/\text{Vs}$) に比べて数倍の移動度向上が見られたが、SOI の移動度 ($\sim 900\text{cm}^2/\text{Vs}$) には及ばない事が分かった。一方でこの結果は興味深い事実を示唆した。即ち、ラテラル成長 poly-Si TFT ではキャリアの進行方向に GB が存在しないため、従来のポテンシャルバリアモデルではこの結果を説明出来ない。そこで、universal plot と dislocation 散乱モデルを poly-Si TFT に応用することで、この現象を説明出来る新しい GB 散乱モデルを提案し有効性を実証した。

キャリア伝播方向に対して平行な GB であっても移動度に影響を及ぼす可能性が示唆されたので、チャンネル領域から GB を完全になくすことを目指し、1つの初期核から成長した大粒径の擬似単結晶 Si (PSX-Si) 上に TFT を形成した。良好な PSX-Si TFT は、SOI と同

等の TFT 性能を示し、電気特性、結晶特性の両面で SOI と同等の超高性能 TFT が得られる事を実証した。

さらに、実用化を想定し PSX-Si TFT のばらつきを調べた。PSX-Si のばらつきは、単結晶 Si の面方位依存性から予想される値よりも大きい事が分かった。開層評価により電気的特性と結晶学的特性の関係を 1 対 1 で調べた結果、高移動度 TFT は、n-ch、p-ch 共に {100} 又は {111} の面方位で粒内欠陥が少なく、低移動度 TFT は {110} の面方位で粒内欠陥が多いことが分かった。特に p-ch TFT では単結晶 Si の面方位依存性と正反対の結果であった。これらの原因は、初期核の面方位によって成長方向及びその成長速度が異なるため、成長速度の遅い <111> 方向を含む {110} 面の結晶は粒内欠陥が生成されやすいためである事を明らかにした。超高性能 TFT の実現には、チャンネル領域からの GB の完全除去、及び初期核の {100} 面への面方位制御が重要であることを示した。