

## 論文内容の要旨

博士論文題目

Study on High-Accuracy and Low-Cost Recycled FPGA Detection

氏名

Ahmed Foisal

(論文内容の要旨)

Recycled field-programmable gate arrays (FPGAs) are now becoming a global concern due to the outsourcing of the integrated circuits (ICs) manufacturing. To detect recycled FPGA, analyzing aging-induced delay degradation in look-up tables (LUTs) using ring oscillators (ROs) is one of the promising techniques. In this dissertation, to enhance the detectability, we have focused on developing sophisticated RO designed to exhaustively characterizing aging deterioration of all paths in all LUTs in the FPGAs referred to as exhaustive fingerprint (X-FP). In X-FP analysis, the aging degradation of each path of all LUTs in the FPGA can be accurately captured. However, there are two potential problems with XFP analysis for efficient recycled FPGA detection. The X-FP measurement not only increases the testing cost substantially but also yields a large number of measured frequencies which cannot be handled by typical machine learning (ML) algorithms when they are used as a feature vector. To tackle these challenges, firstly we have proposed a cost-efficient recycled FPGA detection by using the virtual probe (VP) technique. The VP technique enables the accurate prediction of spatial process variation of all RO frequencies on a die as a fingerprint (FP) by using a very small number of the testing circuits. Secondly, to handle a large number of feature vectors in the ML-based detection, we have analyzed FP using with-in die (WID) variation modeling. WID modeling based feature engineering method efficiently detects the recycled FPGA with reduced database maintenance cost. Finally, VP and WID methods are incorporated into the X-FP technique to obtain the combined effect in recycled FPGA detection. The integration of these three approaches significantly reduces the cost of testing with high-quality recycled FPGA detection.

(論文審査結果の要旨)

令和2年7月15日に開催した公聴会の結果を参考に令和2年8月28日に本博士論文の審査を行った。以下のとおり、本博士論文は、提案者が独立した研究者として研究活動を続けていくための十分な素養を備えていることを示すものと認める。

本博士論文では、再利用 FPGA を高精度かつ低コストで検出するために、以下を提案している。

1. FPGA 中の全ての LUT の全ての経路から遅延情報を取得してフィンガープリントとして用いることで、高精度に再利用 FPGA を検出する X-FP 法の概念を提案した。
2. X-FP 法を低コストで実現するために、未使用 FPGA を学習する際に、圧縮センシング法を応用してフィンガープリント取得コストを削減する手法を提案した。
3. X-FP 法でコストを抑えて高精度で再利用 FPGA を検出するために、半導体集積回路のダイ内ばらつきの特性を利用したモデル化を提案した。フィンガープリントから得られる遅延情報を、ばらつきを表現する少数のパラメータに変換することで、過学習を回避した精度の良いモデルの作成に成功した。

半導体製品サプライチェーンのグローバル化や複雑化によって、再利用 FPGA の不正な流通が問題となっている。本博士論文は、FPGA の適正な流通に大きく貢献する実用的な内容であると評価できる。よって、本論文は、博士（工学）の学位論文として価値あるものと認める。