

論文内容の要旨

博士論文題目 順序回路の非スキャンテスト容易化設計ならびに
テスト生成に関する研究

氏名 大竹 哲史

半導体技術の進歩に伴い、VLSIは益々大規模化、高集積化、高性能化しており、そのテストの問題は重要な課題となっている。一般に記憶素子を含む順序回路のテスト生成は困難な問題であるため、与えられた回路をテスト生成容易な回路に設計変更するテスト容易化設計法が提案されている。これまで提案され実用化されてきたテスト容易化設計法は主としてスキャン方式と呼ばれるテスト容易化方式に基づく設計法が中心であった。本論文は、回路疑似変換と呼ぶ新しい方式に基づくテスト生成の方法ならびにスキャン方式とは異なる非スキャン方式に基づく新しいテスト容易化設計法について行った研究をまとめたものであり、序論及び結論を含め四つの章から成っている。

第1章では、本研究の目的と意義および背景について述べ、本論文の概説を行っている。

第2章では、テスト生成時間を短縮する1つの方法として、回路疑似変換を用いた順序回路のテスト生成法とテスト実行法を提案する。組合せテスト生成複雑度でテスト生成可能な順序回路では、その順序回路のテスト生成問題は、フリップフロップを信号線に置き換えた（組合せ変換した）組合せ回路におけるテスト生成問題に帰着できる。本論文では、この性質を一般の順序回路に拡張する。この手法では、組合せ変換によってテスト生成の際に制御するFF数が減少するので、元の順序回路よりテスト生成時間の短縮が期待できる。また、実動作速度テストが可能である。

第3章では、有限状態機械（FSM）から論理合成された順序回路に対して、100%故障検出効率を保証する非スキャンテスト容易化設計法を提案する。提案手法は、組合せ回路用のテスト生成アルゴリズムが利用でき、実動作速度テストも可能である。提案手法は、回路の通常動作の状態遷移を利用してフリップフロップの値を制御する手法である。通常動作で到達不可能な状態については、それらのうちテストの際に必要な状態へ遷移できるような回路を付加する。本論文ではさらに、MCNC'91ベンチマーク回路を用いた実験により、従来のテスト容易化設計法に比べてテスト実行時間が短く、テスト容易化に伴うハードウェアオーバーヘッドも僅かであることを示す。

最後に第4章で、以上の研究成果の結論を述べるとともに、今後の研究課題について述べている。

論文審査結果の要旨

本論文は、大規模化、高集積化、高性能化により益々困難となっているVLSIのテストに関する種々の問題を解決するために必要なテスト容易化設計法およびテスト生成法に関する研究を行ったものである。本論文の主な成果は以下に要約される。

1. テスト生成時間を短縮する1つの方法として、回路疑似変換を用いた順序回路のテスト生成法とテスト実行法を提案した。この手法では、組合せ回路疑似変換によってテスト生成の際に制御するフリップフロップ数が減少するので、元の順序回路よりテスト生成時間の短縮が期待できる。提案する手法の有効性をISCAS'89ベンチマーク回路による実験によって評価した。ベンチマークの多くの回路において、故障検出率を向上させ、テスト生成時間を短縮するのに成功した。
2. 有限状態機械から論理合成された順序回路に対して、100%の故障検出効率を保証する非スキャンテスト容易化設計法を提案した。提案手法は、従来のテスト容易化設計法に比べてテスト実行時間が短く、テスト容易化に伴うハードウェアオーバーヘッドも僅かである。このことは、MCNC'91ベンチマーク回路を用いた実験により示されている。さらに提案する手法は、スキャン方式では困難とされる実動作速度テストも可能としている。

以上のように、本論文は一般にテスト生成が困難で場合によっては不可能とされる順序回路に対して、回路疑似変換を用いた効率のよいテスト生成アルゴリズムを提案するとともに、従来手法のスキャン方式とは別の非スキャン方式に基づく新しいテスト容易化設計法を提案し、従来手法の多くの問題点を解決したものであり、VLSIのテストの分野において、学術上、實際上寄与するところが少なくない。よって、本論文は博士（工学）の学位論文として価値あるものと認める。