

システムオンチップのテストアーキテクチャと
テスト容易化設計に関する基礎研究

(課題番号：15300018)

平成15年度～平成18年度科学研究費補助金
基盤研究 (B) 研究成果報告書

平成19年3月

研究代表者 藤原秀雄
(奈良先端科学技術大学院大学 情報科学研究科 教授)

システムオンチップのテストアーキテクチャと
テスト容易化設計に関する基礎研究

(課題番号：15300018)

平成15年度～平成18年度科学研究費補助金
基盤研究 (B) 研究成果報告書

平成19年3月

研究代表者 藤原秀雄
(奈良先端科学技術大学院大学 情報科学研究科 教授)

平成15年度～平成18年度科学研究費補助金
基盤研究（B）研究成果報告書

研究課題名

システムオンチップのテストアーキテクチャとテスト容易化設計に関する基礎研究

課題番号

15300018

研究組織

研究代表者：藤原秀雄（奈良先端科学技術大学院大学 情報科学研究科 教授）

研究分担者：井上美智子（奈良先端科学技術大学院大学 情報科学研究科 助教授）

研究分担者：大竹哲史（奈良先端科学技術大学院大学 情報科学研究科 助手）

研究分担者：米田友和（奈良先端科学技術大学院大学 情報科学研究科 助手）

交付決定額（配分額）

（金額単位：円）

	直接経費	間接経費	合計
平成15年度	5,300,000	0	5,300,000
平成16年度	4,400,000	0	4,400,000
平成17年度	2,700,000	0	2,700,000
平成18年度	2,800,000	0	2,800,000
総計	15,200,000	0	15,200,000

目次

総論	1
研究発表	4
発表論文	13

総論

半導体技術の進歩により、シリコンチップ上に搭載することのできるトランジスタ数は増加の一途をたどっている。これにより従来は複数のLSIで構成していたシステムを、各LSIをコアと呼ばれる機能ブロックとして再利用し、システム全体を一つのLSIで実現するコアベース・システムオンチップ（SoC）が注目されている。しかし、今後益々大規模化、高集積化、高性能化するSoCのテストは非常に困難となり、場合によっては不可能となることも予想される。このような状況で、将来の大規模高集積化されたSoCに対して高品質で高速のテストを可能とするテスト容易化設計技術の研究開発は非常に重要な課題である。

SoCのテストは、各コアに対してテスト生成を行い、生成されたテスト系列をテストアクセス（SoC外部から内部コアへ印加し、その応答をSoC外部で観測）することで行われる。したがって、SoCが可検査であるためには、コア自身が可検査（高品質なテスト系列が供給される）であり、かつコアへのテストアクセスが可能である必要がある。さらに、このテストアクセス方式によりコア間も可検査である必要がある。SoCでは縮退故障などのような論理故障のみならず、遅延故障などのようなタイミング故障のテストも重要となる。そのためには、コアに**実動作速度で連続してテストアクセス**ができる必要がある。

これまで提案されているテストアクセス方式には、テストバス方式、境界スキャン方式、透明経路方式などがあるが、いずれの方式にも、連続テストアクセスとコア間テストを共に可能とする方式はない。本研究では、連続テストアクセスが可能でかつコア間テストも可能、さらに面積／遅延オーバーヘッドとテスト実行時間がこれまでのいずれの方式よりも小さくなるテストアクセス方式を考案し、将来のSoCのテスト問題を解決することを目的とした。具体的には、連続テストアクセスを可能とし、かつコア間のテストを可能とする性質として、コアに対して「**連続透明性**」、SoCに対して「**連続可検査性**」なる新しい概念を提案した。つづいて、コアを連続透明にするためのテスト容易化設計法、連続可検査なSoCを実現するためのテストアーキテクチャの自動生成法、テスト容易化設計法を提案した。コアの可検査性としては、外部テスト方式の他に組み込み自己テスト方式も対象とした。コアやSoCのテスト容易化においては、テスト実行時間とテスト回路面積の間にトレードオフがあるが、テスト実行時間やテスト回路面積を削減することを目的としたテスト容易化技術を研究開発した。また、消費電力やテスト回路面積を制約とし、テスト実行時間最小化を目的としたコアのテスト容易化設計、テストインタフェースの選択およびテストプランのスケジューリング技術についても研究を行った。さらに、システムオンチップを構成するコア（プロセッサコア、論理コア、メモリアコア）に対するテスト生成手法とテスト容易化設計に関する研究を行った。

本研究で得られた研究成果を以下にまとめる。

（1）システムオンチップ（SoC）の連続可検査方式の提案

SoCに対し連続テストアクセスが可能でかつコア間テストも可能、さらに面積／遅延オーバーヘッドとテスト実行時間が既存のいずれの方式よりも小さくなるテストアクセス方式を考案するために、まず、連続テストアクセスを可能とし、かつコア間のテストを可能とする性質として、コアに対して「連続透明性」、SoCに対して「連続可検査性」なる新しい概念を提案した。連続透明性、連続可検査性の概念を正確に定義するために、SoCをグラフ理論によりモデル化し、SoCが連続可検査であるための必要十分条件、連続可検査性を判定する問題、コアの連続透明性の必要十分条件、それを判定する問題、などを明らかにし、それらの問題を解く効率のよいアルゴリズムを考案した。

(2) SoCの連続可検査性に対する相互最適化設計法

スキュン設計されたコア、非スキュン設計されたコアおよびIEEE P1500に準拠したコアを含むSoCを対象とし、面積オーバーヘッドとテスト実行時間に対して相互最適化された連続可検査なSoCを実現するテスト容易化設計法を提案した。提案手法では、連続テストアクセスを可能とするための既存の信号線、コアの連続透明性およびテストバスを用いてテストアクセス機構(テストアーキテクチャ)を実現する。また、SoCのフロアプランを用いることで付加するバスの配線領域まで考慮した面積オーバーヘッドの最適化を行う。提案したテスト容易化設計法では、整数計画法を用いることにより面積オーバーヘッドとテスト実行時間の相互最適化を実現する。評価実験により、面積オーバーヘッドおよびテスト実行時間を代表的なテストアクセス方式であるテストバス方式を用いた場合と比較し、提案手法の有効性を示し

(3) SoCの連続可検査性に対する消費電力制約下での相互最適化設計法

(2)と同じSoCモデルに対して、消費電力も考慮して組込み自己テスト方式も採用した、SoCの相互最適なテスト容易化設計法を開発した。さらにこれまで主としてコアのテストを対象としていたのに対して、コア間(インターコネクト)のテストをも対象とした。インターコネクトの故障モデルとしてはクロストークによる遅延故障が重要であるのでその故障を対象とした。SoCすべてのインターコネクトを2パターン可検査にするためにテスト実行時間とテスト回路面積を削減することを目的としたテスト容易化設計法を提案し、実験により従来法より優れていることを確かめた。

(4) 消費電力を考慮したマルチクロックドメインを有するSoCのテストに関する研究

消費電力を考慮したマルチクロックドメインを有するシステムオンチップのテストに関する研究を行った。通信やデジタル信号処理に用いられるSoCでは、コア毎に異なるクロック周波数で動作するマルチクロックドメインSoCであるため、コア毎のテスト時の周波数の違いや、テスターと各コアの周波数の違いも考慮する必要がある。このようなマルチクロックドメインSoCを対象とし、テスト実行時間の最小化を目的としたテストアーキテクチャの設計手法およびテストスケジューリング手法を提案した。テストアーキテクチャとしては、各コアにラッパーを付加する方式を考え、マルチクロックドメインコアに対するラッパー設計法を提案した。提案したラッパーは、スキュンシフト時とキャプチャ時でその構成を切り替え可能な再構成ラッパーである。また、シフト時のラッパー設計においてシフト時専用のクロックドメインを追加することで、消費電力制約下において、従来手法よりシフト時間の削減が可能である。ベンチマーク回路での評価実験では、従来法に比較して電力制約下でテスト実行時間の削減に成功している。

(5) システムオンチップにおける機能バスを利用した電力制約テストスケジューリングに関する研究

新たにテストバスを付加せず、既存のテストバス(機能バス)を利用したテスト方式を提案し、その方式のもとでの最適なテストスケジューリングの方法を考案した。機能バスの利用効率を最大にしつつ、各コアに要求するバッファサイズを最小にすることが可能である。ベンチマークによる実験でその有効性を示した。

(6) SoCのコアの一つであるプロセッサコアに対する自己テストプログラム生成法

プロセッサに対する命令列実行による自己テストプログラム自動生成法を提案した。命令列実行による自己テストは実動作速度テストを可能にし、また、命令列実行というプロセッサ固有の機能をテストに利用することで遅延オーバーヘッドのないテスト容易化設計法を実現できる。

縮退故障に対しては、自己テスト生成のためのテストプログラムテンプレート生成法、入力時相空間制約を用いた順序モジュールのテストプログラム生成法、パイプラインプロセッサ自己テストのための命令テンプレート生成法を各々提案した。

遅延故障に対しては、パイプラインプロセッサのレジスタ間データ転送と命令との関係をモデル化したパイプライン命令実行グラフ（PIE グラフ）を提案し、PIE グラフを用いてパイプラインプロセッサのパス遅延故障を対象とした自己テスト生成法を提案した。16ビットの5段パイプラインVPROプロセッサと32ビットのパイプラインDLXプロセッサで100%の故障検出効率を達成するのに成功している。

（7）プロセッサコアに対するテスト容易化設計法に関する研究

プロセッサコアに対するテスト容易化設計法の研究を行った。（6）で行ったテンプレートを利用したテストプログラム生成法の研究成果をもとに、自己テスト法を提案した。この方法では必ずしも100%の故障検出効率が達成できない場合があり、テスト容易化設計が必要となる。そこで、テンプレートを利用したテストプログラム生成法に基づくテスト容易化設計法を提案した。ベンチマークによる実験で、遅延オーバーヘッドをほとんどゼロとし、面積オーバーヘッドもスキャン設計に比べ大幅に削減した方法となっている。

（8）論理コアに対するレジスタ転送レベルテスト容易化設計法に関する研究

論理コアを対象にレジスタ転送レベル回路の性質として部分強可検査性を定義し、それに基づくレジスタ転送レベル回路全体のテスト容易化設計及びテスト生成法を提案した。提案手法では、レジスタ転送レベル回路全体に対して、組合せテスト生成が適用可能な時間展開モデルを生成する。また、回路の実動作速度テストが可能であり、100%の完全故障検出効率を達成できる。ベンチマークによる実験により、データパスとコントローラを分離する必要があるテスト容易化設計法や完全スキャン設計法と比較して、大幅に面積オーバーヘッドを削減できることを示した。

研究発表

学術論文

- [1] Satoshi Ohtake, Hiroki Wada, Toshimitsu Masuzawa and Hideo Fujiwara, "A Non-Scan DFT Method at Register-Transfer Level to Achieve 100% Fault Efficiency," IPSJ (Information Processing Society of Japan) Journal, Vol. 44, No. 5, pp. 1266-1275, May 2003.
- [2] Dong Xiang, Yi Xu, and Hideo Fujiwara, "Non-Scan Design for Testability for Synchronous Sequential Circuits Based on Conflict Resolution," IEEE Trans. on Computers, Vol. 52, No. 8, pp. 1063-1075, August 2003.
- [3] Md. Altaf-Ul-Amin, Satoshi Ohtake and Hideo Fujiwara, "Design for two-pattern testability of controller-data path circuits," IEICE Trans. on Information and Systems, IEICE Trans. Inf. & Syst., Vol. E86-D, No. 6, pp. 1042-1049, June 2003.
- [4] 山口 賢一, 井上 美智子, 藤原 秀雄, "階層 BIST: 低いハードウェアオーバーヘッドを実現する Test-per-clock 方式 BIST," 電子情報通信学会論文誌 (DI), Vol. J86-D-I, No. 7, pp. 467-479, July 2003.
- [5] 神野 元彰, 井上 美智子, 藤原 秀雄, "ホールドとスイッチの機能を考慮した内部平衡構造," 電子情報通信学会論文誌 (DI), Vol. J86-D-I, No. 9, pp. 682-690, Sept. 2003.
- [6] 三輪 俊二郎, 大竹 哲史, 藤原 秀雄, "組合せテスト生成複雑度でパス遅延故障テスト生成可能な順序回路のクラス," 電子情報通信学会論文誌 (DI), Vol. J86-D-I, No. 11, pp. 809-820, November 2003.
- [7] Dong Xiang, Shan Gu, Hideo Fujiwara, "Non-Scan Design for Testability for Synchronous Sequential Circuits Based on Fault-Oriented Conflict Analysis," IEICE Transactions on Information and Systems, Vol. E86-D, No. 11, pp. 2407-2417, Nov. 2003.
- [8] 岩垣 剛, 大竹 哲史, 藤原 秀雄, "不連続再収斂順序回路のパス遅延故障に対するテスト生成法," 電子情報通信学会論文誌 (DI), Vol. J86-D-I, No. 12, pp. 872-883, December 2003.
- [9] Toshinori Hosokawa, Hiroshi Date, Masahide Miyazaki, Michiaki Muraoka and Hideo Fujiwara, "A Test Plan Grouping Method to Shorten Test Length for RTL Data Paths under a Test Controller Area Constraint," IEICE Trans. on Information and Systems, Vol. E86-D, No. 12, pp. 2674-2683, Dec. 2003.
- [10] Masahide Miyazaki, Toshinori Hosokawa, Hiroshi Date, Michiaki Muraoka and Hideo Fujiwara, "A DFT Selection Method for Reducing Test Application Time of System-on-Chips," IEICE Transactions on Information and Systems, Vol. E87-D, No. 3, pp. 609-619, March 2004.
- [11] Erik Larsson and Hideo Fujiwara, "Preemptive System-on-Chip Test Scheduling," IEICE Transactions on Information and Systems, Vol. E87-D, No. 3, pp. 620-629, March 2004.
- [12] Erik Larsson, Klas Arvidsson, Hideo Fujiwara, Zebo Peng, "Efficient Test Solutions for Core-based Designs," IEEE Trans. on CAD, Vol. 23, No. 5, pp. 758-775, May 2004.
- [13] Debesh Kumar Das, Satoshi Ohtake, Hideo Fujiwara, "New Non-Scan DFT Techniques to Achieve 100% Fault Efficiency," Journal of Electronic Testing: Theory and Applications, Vol. 20, No. 3, pp. 315-323, June 2004
- [14] Tsuyoshi Iwagaki, Satoshi Ohtake and Hideo Fujiwara, "A Design Scheme for Delay Testing of Controllers Using State Transition Information," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences (Special Section

- on VLSI Design and CAD Algorithms), Vol. E87-A, No. 12, pp.3200-3207, Dec. 2004.
- [15] 米田友和, 藤原 秀雄, "レジスタ転送レベル回路に対する連続透明化設計法," 電子情報通信学会論文誌(DI), Vol. J87-D-I, No.12, pp. 1110-1118, Dec. 2004.
 - [16] Virendra Singh, Michiko Inoue, Kewal K. Saluja and Hideo Fujiwara, "Delay Fault Testing of Processor Cores in Functional Mode," IEICE Transactions on Information and Systems, Vol. E88-D, No. 3, pp. 610-618, March 2005.
 - [17] Dong Xiang, Ming-jing Chen, Jia-guang Sun, and Hideo Fujiwara, "Improving Test Effectiveness of Scan-Based BIST by Scan Chain Partitioning," IEEE Trans. on CAD, Vol. 24, No. 6, pp. 916-927, June 2005.
 - [18] 井上美智子, 神戸和子, Virendra Singh, 藤原秀雄 "縮退故障とパス遅延故障のためのプロセッサの命令レベル自己テスト法," 電子情報通信学会和文論文誌 D-I (LSI のテスト・検証・診断技術特集号, 招待論文), Vol. J88-D-I, No.6, pp. 1003-1011, June 2005.
 - [19] 大谷浩平, 大竹哲史, 藤原秀雄 "縮退故障のテスト生成アルゴリズムを用いたパス遅延故障に対するテスト生成法," 電子情報通信学会和文論文誌 D-I (LSI のテスト・検証・診断技術特集号), Vol. J88-D-I, No.6, pp. 1057-1064, June 2005.
 - [20] Yoshiyuki Nakamura, Jacob Savir and Hideo Fujiwara, "Defect Level vs. Yield and Fault Coverage in the Presence of an Unreliable BIST," IEICE Transactions on Information and Systems, Vol. E88-D, No. 6, pp. 1210-1216, June 2005.
 - [21] Zhiqiang You, Ken'ichi Yamaguchi, Michiko Inoue, Jacob Savir and Hideo Fujiwara, "Power-Constrained Test Synthesis and Scheduling Algorithms for Non-Scan BIST-able RTL Data Paths," IEICE Transactions on Information and Systems, Vol. E88-D, No. 8, pp. 1940-1947, Aug. 2005.
 - [22] Chia Yee Ooi, Thomas Clouqueur, and Hideo Fujiwara, "Classification of Sequential Circuits based on τ^k Notation and Its Applications," IEICE Transactions on Information and Systems, Vol. E88-D, No. 12, pp. 2738-2747, December 2005.
 - [23] Yoshiyuki Nakamura, Thomas Clouqueur, Kewal K. Saluja, and Hideo Fujiwara, "Error identification in at-speed scan BIST environment in the presence of circuit and tester speed mismatch," IEICE Transactions on Information and Systems, Vol. E89-D, No. 3, pp. 1165-1172, March 2006.
 - [24] Masahide Miyazaki, Tomokazu Yoneda, and Hideo Fujiwara, "A Memory Grouping Method for reducing Memory BIST Logic of System-on-Chips," IEICE Transactions on Information and Systems, Vol. E89-D, No. 4, pp.1490-1497, April 2006.
 - [25] Erik Larsson and Hideo Fujiwara, "System-on-Chip Test Scheduling with Reconfigurable Core Wrappers," IEEE Trans. on Very Large Scale Integration (VLSI)Systems, Vol. 14, No. 3, pp. 305-309, March 2006.
 - [26] Zhiqiang You, Tsuyoshi Iwagaki, Michiko Inoue, and Hideo Fujiwara, "A Low Power Deterministic Test Using Scan Chain Disable Technique," IEICE Transactions on Information and Systems, Vol. E89-D, No. 6, pp.1931-1939, June 2006.
 - [27] Yuki Yoshikawa, Satoshi Ohtake, Michiko Inoue and Hideo Fujiwara "Non-Scan Design for Single-Port-Change Delay Fault Testability," IPSJ(Information Processing Society of Japan) Journal (Special Issue on Design Methodology of System LSIs), Vol. 47, No. 6, pp. 1619-1628, June 2006.
 - [28] 岩田浩幸, 米田友和, 大竹哲史, 藤原秀雄 "完全故障検出効率を保証するRTL データパスの部分強可検査性に基づくテスト容易化設計法," 電子情報通信学会和文論文誌 D-I (ディペンダブルコンピューティング特集号), Vol. J89-D, No.8, pp.1643-1653, Aug. 2006.
 - [29] Yoshiyuki Nakamura, Jacob Savir, and Hideo Fujiwara, "Effect of BIST Pretest on IC

Defect Level," IEICE Transactions on Information and Systems, Vol.E89-D No.10 pp.2626-2636, Oct. 2006.

- [30] Virendra Singh, Michiko Inoue, Kewal K. Saluja, and Hideo Fujiwara, "Instruction-Based Self-Testing of Delay Faults in Pipelined Processors," IEEE Trans. on Very Large Scale Integration (VLSI) Systems, Vol. 14, No. 11, pp. 1203-1215, Nov. 2006.
- [31] Dong Xiang, Kaiwei Li, Jiaguang Sun, and Hideo Fujiwara, "Reconfigured Scan Forest for Test Application Cost, Test Data Volume and Test Power Reduction," IEEE Trans. on Computers, Vol. 56, No. 4, pp. 557-562, April 2007.
- [32] Yoshiyuki Nakamura, Thomas Clouqueur, Kewal K. Saluja, and Hideo Fujiwara, "Diagnosing At-speed Scan BIST Circuits Using a Low Speed and Low Memory Tester," IEEE Trans. on VLSI Systems, (to appear)

国際会議

- [33] Erik Larsson, and Hideo Fujiwara, "Test Resource Partitioning and Optimization for SOC Designs," Proc. 21st IEEE VLSI Test Symposium (VTS'03), pp. 319-324, April-May 2003.
- [34] Tomokazu Yoneda and Hideo Fujiwara, "Design for Consecutive Transparency of Cores in System-on-a-Chip," Proc. 21st IEEE VLSI Test Symposium (VTS'03), pp.287-292, April-May 2003.
- [35] Tsuyoshi Iwagaki, Satoshi Ohtake and Hideo Fujiwara, "A Path Delay Test Generation Method for Sequential Circuits Based on Reducibility to Combinational Test Generation," Dig. of Papers, 8th IEEE European Test Workshop, pp.307-312, May 2003.
- [36] Michiko Inoue, Kazuhiro Suzuki, Hiroyuki Okamoto and Hideo Fujiwara, "Test Synthesis for Datapaths using Datapath-Controller Functions," Dig. of Papers, 8th IEEE European Test Workshop, pp.207-208, May 2003.
- [37] Tomokazu Yoneda, Tetsuo Uchiyama and Hideo Fujiwara, "Area and Time Co-Optimization for System-on-a-Chip based on Consecutive Testability," IEEE International Test Conference 2003 (ITC'03), pp.415-422, Sep. 2003.
- [38] Erik Larsson and Hideo Fujiwara, "Optimal System-on-Chip Test Scheduling," Proc. of IEEE the 12th Asian Test Symposium (ATS'03), pp.306-311, Nov. 2003.
- [39] Dong Xiang, M-J. Chen, J-G. Sun, and Hideo Fujiwara, "Improving Test Quality of Scan-Based BIST by Scan Chain Partitioning," Proc. of IEEE the 12th Asian Test Symposium (ATS'03), pp.12-17, Nov. 2003.
- [40] Dong Xiang, S. Gu, and Hideo Fujiwara, "Non-Scan Design for Testability for Mixed RTL Circuits with Both Data Paths and Controllers via Conflict Analysis," Proc. of IEEE the 12th Asian Test Symposium (ATS'03), pp.300-303, Nov. 2003.
- [41] Masahide Miyazaki, Toshinori Hosokawa, Hiroshi Date, Michiaki Muraoka, and Hideo Fujiwara, "A DFT Selection Method for Reducing Test Application Time of System-on-Chips," Proc. of IEEE the 12th Asian Test Symposium (ATS'03), pp.412-417, Nov. 2003.
- [42] Toshinori Hosokawa, Hiroshi Date, Masahide Miyazaki, Michiaki Muraoka, and Hideo Fujiwara, "A Method of Test Plan Grouping to Shorten Test Length for RTL Data Paths under a Test Controller Area Constraint," Proc. of IEEE the 12th Asian Test Symposium

- (ATS' 03), pp.130-135, Nov. 2003.
- [43] Virendra Singh, Michiko Inoue, Kewal K. Saluja, and Hideo Fujiwara, "Software-Based Delay Fault Testing of Processor Cores," Proc. of IEEE the 12th Asian Test Symposium (ATS' 03), pp.68-71, Nov. 2003.
 - [44] Michiko Inoue, K. Suzuki, H. Okamoto, and Hideo Fujiwara, "Test Synthesis for Datapaths using Datapath-Controller Functions," Proc. of IEEE the 12th Asian Test Symposium (ATS' 03), pp.294-299, Nov. 2003.
 - [45] Tsuyoshi Iwagaki, Satoshi Ohtake, and Hideo Fujiwara, "Reducibility of Sequential Test Generation to Combinational Test Generation for Several Delay Fault Models," Proc. of IEEE the 12th Asian Test Symposium (ATS' 03), pp.58-63, Nov. 2003.
 - [46] Tsuyoshi Iwagaki, Satoshi Ohtake and Hideo Fujiwara, "An Approach to Non-Scan Design for Delay Fault Testability of Controllers," Digest of Papers IEEE the 4th Workshop on RTL and High Level Testing (WRTLTL '03), pp.79-85, Nov. 2003.
 - [47] Hao Wu, Zhiqiang You, Michiko Inoue and Hideo Fujiwara, "Test Length Minimization under Power Constraints for Combinational Circuits," IEEE 4th Workshop on RTL and High Level Testing (WRTLTL' 03), pp.125-127, Nov. 2003.
 - [48] Zhiqiang You, Michiko Inoue and Hideo Fujiwara, "On the Non-Scan BIST Schemes under Power Constraints for RTL Data Paths," IEEE 4th Workshop on RTL and High Level Testing (WRTLTL' 03), pp.14-21, Nov. 2003.
 - [49] Virendra Singh, Michiko Inoue, Kewal K. Saluja and Hideo Fujiwara, "Instruction-Based Delay Fault Self-Testing of Processor Cores," Proc. International Conference on VLSI Design 2004, pp. 933-938, Jan. 2004.
 - [50] Tsuyoshi Iwagaki, Satoshi Ohtake and Hideo Fujiwara, "A Design Methodology to Realize Delay Testable Controllers Using State Transition Information," Proc. 9th IEEE European Test Symposium (ETS' 04) , pp. 168-173, May 2004.
 - [51] Yannick Bonhomme, Tomokazu Yoneda, Hideo Fujiwara and Patrick Girard, "An Efficient Scan Tree Design for Test Time Reduction," Proc. 9th IEEE European Test Symposium (ETS' 04) , pp. 174-179, May 2004.
 - [52] Yusuke Saga, Tomokazu Yoneda, Hideo Fujiwara, "Serial and Parallel TAM Designs for System-on-Chip Interconnects Based on 2-Pattern Testability," IEEE 5th Workshop on RTL and High Level Testing (WRTLTL' 04), pp. 13-18, Nov. 2004.
 - [53] Yoshiyuki Nakamura, Jacob Savir, Hideo Fujiwara, "Defect Level vs. Yield and Fault Coverage in the Presence of an Imperfec BIST," IEEE 5th Workshop on RTL and High Level Testing (WRTLTL' 04), pp. 79-84, Nov. 2004.
 - [54] Michiko Inoue, Kazuko Kambe, Naotaka Hoashi, Hideo Fujiwara, "Instruction-Based Self-Test for Sequeintial Modules in Processors," IEEE 5th Workshop on RTL and High Level Testing (WRTLTL' 04), pp. 109-114, Nov. 2004.
 - [55] Zhiqiang You, Kenichi Yamaguchi, Michiko Inoue, Jacob Savir, and Hideo Fujiwara, "Power-Constrained Test Scheduling for RTL Datapaths of Non-scan BIST Schemes," Proc. IEEE 13th Asian Test Symposium (ATS' 04), pp. 32-39, Nov. 2004.
 - [56] Kazuko Kambe, Michiko Inoue, and Hideo Fujiwara, "On Template Generation for Instruction-Based Self-Test of Processor Cores," Proc. IEEE 13th Asian Test Symposium (ATS' 04), pp. 152-157, Nov. 2004.
 - [57] Chia Yee Ooi and Hideo Fujiwara, "Classification of Sequential Circuits Based on τ^k Notation," Proc. IEEE 13th Asian Test Symposium (ATS' 04), pp. 348-353, Nov. 2004.
 - [58] Debesh K. Das, Tomoo Inoue, Susanta Chakraborty, and Hideo Fujiwara, "Max-Testable

- Class of Sequential Circuits having Combinational Test Generation Complexity," Proc. IEEE 13th Asian Test Symposium (ATS' 04), pp. 342-247, Nov. 2004.
- [59] Yannick Bonhomme, Tomokazu Yoneda, Hideo Fujiwara, Patrick Girard, "Test Application Time Reduction with a Dynamically Reconfigurable Scan Tree Architecture," 8th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems (DDECS' 05) , pp. 19-26, Sopron, Hungary, April 13-16, 2005.
- [60] Mariane Comte, Satoshi Ohtake, Hideo Fujiwara, Michel Renovell, "Electrical Behavior of GOS Faults in Domino Logic," 8th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems (DDECS' 05) , pp. 210-215, Sopron, Hungary, April 13-16, 2005.
- [61] Virendra Singh, Michiko Inoue, Kewal K. Saluja and Hideo Fujiwara, "Program-Based Testing of Super-scalar Microprocessors," IEEE North Atlantic Test Workshop 2005, pp. 79-86, May 2005.
- [62] Virendra Singh, Michiko Inoue, Kewal K. Saluja and Hideo Fujiwara, "Instruction-Based Delay Fault Self-Testing of Pipelined Processor Cores," 2005 IEEE International Symposium on Circuits and Systems (ISCAS 2005) , pp. 5686-5689, May 2005.
- [63] Tsuyoshi Iwagaki, Satoshi Ohtake, Hideo Fujiwara, "Acceleration of Transition Test Generation for Acyclic Sequential Circuits Utilizing Constrained Combinational Stuck-at Test Generation," 10th IEEE European Test Symposium (ETS '05) , pp. 48-53, May 22-25, 2005.
- [64] Yoshiyuki Nakamura, Thomas Clouqueur, Kewal K. Saluja, Hideo Fujiwara, "Perfect Error Identification in At-Speed BIST Environment," IEEE 6th Workshop on RTL and High Level Testing, pp. 1-11, Harbin, China, July 20-21, 2005.
- [65] Dong Xiang, Kai-wei Li, Hideo Fujiwara, "Localizing Test Power Consumption for Scan Testing," IEEE 6th Workshop on RTL and High Level Testing, pp. 18-23, Harbin, China, July 20-21, 2005.
- [66] Thomas Clouqueur, Kewal K. Saluja, Hideo Fujiwara, "Matrices of Multiple Weights for Test Response Compaction with Unknown Values," IEEE 6th Workshop on RTL and High Level Testing, pp. 24-30, Harbin, China, July 20-21, 2005.
- [67] Masahide Miyazaki, Tomokazu Yoneda, Hideo Fujiwara, "A Memory Grouping Method for reducing Memory BIST Logic of System-on-Chips," IEEE 6th Workshop on RTL and High Level Testing, pp. 31-37, Harbin, China, July 20-21, 2005.
- [68] Masato Nakazato, Satoshi Ohtake, Hideo Fujiwara, "Acceleration of Test Generation for Sequential Circuits Using Knowledge Obtained from Synthesis for Testability," IEEE 6th Workshop on RTL and High Level Testing, pp. 50-60, Harbin, China, July 20-21, 2005.
- [69] Chia Yee Ooi, Thomas Clouqueur, Hideo Fujiwara, "Test Generation Complexity for Path Delay Faults Based on τ^k -Notation," IEEE 6th Workshop on RTL and High Level Testing, pp. 61-72, Harbin, China, July 20-21, 2005.
- [70] Toshinori Hosokawa, Hideo Fujiwara, "A Functional Test Method for State Observable FSMs," IEEE 6th Workshop on RTL and High Level Testing, pp. 123-130, Harbin, China, July 20-21, 2005.
- [71] Zhiqiang You, Tsuyoshi Iwagaki, Michiko Inoue, Hideo Fujiwara, "A Low Power Deterministic Test Using Scan Chain Disable Technique," IEEE 6th Workshop on RTL and High Level Testing, pp. 184-191, Harbin, China, July 20-21, 2005.

- [72] Thomas Clouqueur, Kamran Zarrineh, Kewal K. Saluja, Hideo Fujiwara, "Design and Analysis of Multiple Weight Linear Compactors of Resonances Containing Unknown Values," IEEE International Test Conference 2005, Nov. 2005.
- [73] Ilia Polian and Hideo Fujiwara, "Functional Constraints vs. Test Compression in Scan-Based Delay Testing," 2nd IEEE International GHz/Gbps Test Workshop (GTW 2005), pp. 91-100, Nov. 2005.
- [74] Tomokazu Yoneda, Hisakazu Takakuwa, and Hideo Fujiwara, "Power-Constrained Area and Time Co-Optimization for SoCs Based on Consecutive Testability," IEEE the 14th Asian Test Symposium (ATS'05), pp. 150-155, Dec. 2005.
- [75] Thomas Clouqueur, Kewal K. Saluja, and Hideo Fujiwara, "A Class of Linear Space Compactors for Enhanced Diagnosis," IEEE the 14th Asian Test Symposium (ATS'05), pp. 260-265, Dec. 2005.
- [76] Hiroyuki Iwata, Tomokazu Yoneda, Satoshi Ohtake, and Hideo Fujiwara, "A DFT Method for RTL Data Paths Based on Partially Strong Testability to Guarantee Complete Fault Efficiency," IEEE the 14th Asian Test Symposium (ATS'05), pp. 306-311, Dec. 2005.
- [77] Yuki Yoshikawa, Satoshi Ohtake, Michiko Inoue, and Hideo Fujiwara, "Design for Testability Based on Single-Port-Change Delay Testing for Data Paths," IEEE the 14th Asian Test Symposium (ATS'05), pp. 254-259, Dec. 2005.
- [78] Kazuko Kambe, Tsuyoshi Iwagaki, Michiko Inoue, and Hideo Fujiwara, "Efficient Constraint Extraction for Template-Based Processor Self-Test Generation," IEEE the 14th Asian Test Symposium (ATS'05), pp. 444-447, Dec. 2005.
- [79] Hideyuki Ichihara, Naoki Okamoto, Tomoo Inoue, Toshinori Hosokawa, and Hideo Fujiwara, "An Effective Design for Hierarchical Test Generation Based on Strong Testability," IEEE the 14th Asian Test Symposium (ATS'05), pp. 288-293, Dec. 2005.
- [80] Dong Xiang, Ming-Jing Chen, and Hideo Fujiwara, "Using Weighted Test Signals to Improve the Effectiveness of Scan-Based BIST," IEEE the 14th Asian Test Symposium (ATS'05), pp. 126-131, Dec. 2005.
- [81] Dong Xiang, Kai-Wei Li, and Hideo Fujiwara, "Design for Cost-Effective Scan Testing By Reconfiguring Scan Flip-Flops," IEEE the 14th Asian Test Symposium (ATS'05), pp. 318-321, Dec. 2005.
- [82] Masahide Miyazaki, Tomokazu Yoneda and Hideo Fujiwara, "A Memory Grouping Method for Sharing Memory BIST Logic," 11th Asia and South Pacific Design Automation Conference (ASP-DAC 2006), pp. 671-676, Jan. 2006.
- [83] Michel Renovell, Mariane Comte, Satoshi Ohtake and Hideo Fujiwara, "Electrical Behavior of GOS Fault affected Domino Logic Cell," Third IEEE International Workshop on Electronic Design, Test & Applications (DELTA 2006), pp. 183-189, Jan. 2006
- [84] Ilia Polian and Hideo Fujiwara, "Functional Constraints vs. Test Compression in Scan-Based Delay Testing," Proc. Design, Automation and Test in Europe 2006 (DATE'06), pp. 1039-1044, March 2006.
- [85] Tomokazu Yoneda, Kimihiko Masuda and Hideo Fujiwara, "Power-Constrained Test Scheduling for Multi-Clock Domain SoCs," Proc. Design, Automation and Test in Europe 2006 (DATE'06), pp. 297-302, March 2006.
- [86] Yoshiyuki Nakamura, Jacob Savir and Hideo Fujiwara, "BIST Pretest of ICs: Risks and Benefits," IEEE 24th VLSI Test Symposium (VTS'06), pp. 142-147, May 2006.
- [87] Yuki Yoshikawa, Satoshi Ohtake, and Hideo Fujiwara, "An Approach to Reduce Over-testing of Path Delay Faults in Data Paths Using RT-level Information," Digest

- of Papers, 11th IEEE European Test Symposium, pp. 146-151, May 2006.
- [88] Zhiqiang You, Michiko Inoue, and Hideo Fujiwara, "Extended Compatibilities for Scan Tree Construction," Digest of Papers, 11th IEEE European Test Symposium, pp. 13-18, May 2006.
- [89] Thomas Clouqueur, Kamran Zarrineh, Kewal K. Saluja, and Hideo Fujiwara, "Diagnosis in Designs with Block Compactors," Digest of Papers, 11th IEEE European Test Symposium, pp. 199-204, May 2006.
- [90] Chia Yee Ooi and Hideo Fujiwara, "A New Class of Sequential Circuits with Acyclic Test Generation Complexity," 24th IEEE International Conference on Computer Design (ICCD'06), pp. 425-431, October 2006.
- [91] Fawnizu Azmadi Hussin, Tomokazu Yoneda, Alex Orailoglu and Hideo Fujiwara, "Power-Constrained SOC Test Schedules through Utilization of Functional Buses," 24th IEEE International Conference on Computer Design (ICCD'06), pp. 230-236, October 2006.
- [92] Dong Xiang, Kaiwei Li, Hideo Fujiwara and Jianguang Sun, "Generating Compact Robust and Non-Robust Tests for Complete Coverage of Path Delay Faults Based on Stuck-at Tests," 24th IEEE International Conference on Computer Design (ICCD'06), pp. 446-451, October 2006.
- [93] Tsuyoshi Iwagaki, Satoshi Ohtake, and Hideo Fujiwara, "A New Test Generation Model for Broadside Transition Testing of Partial Scan Circuits," IFIP International Conference on Very Large Scale Integration (VLSI-SoC 2006), pp. 308-313, October 2006.
- [94] Chia Yee Ooi and Hideo Fujiwara, "A New Scan Design Technique Based on Pre-Synthesis Thru Functions," 15th IEEE Asian Test Symposium (ATS'06), pp. 163-168, November 2006.
- [95] Masato Nakazato, Satoshi Ohtake, Michiko Inoue, and Hideo Fujiwara, "Design for Testability of Software-Based Self-Test for Processors," 15th IEEE Asian Test Symposium (ATS'06), pp. 375-380, November 2006.
- [96] Yoshiyuki Nakamura, Thomas Clouqueur, Kewal K. Saluja, and Hideo Fujiwara, "Diagnosing at-speed scan BIST circuits using a low speed and low memory tester," 15th IEEE Asian Test Symposium (ATS'06), pp. 409-414, November 2006.
- [97] Dong Xiang, Yang Zhao, Krishnendu Chakrabarty, Jianguang Sun, and Hideo Fujiwara, "Compressing Test Data for Deterministic BIST Using a Reconfigurable Scan Architecture," 15th IEEE Asian Test Symposium (ATS'06), pp. 299-304, November 2006.
- [98] Ilia Polian, Bernd Becker, Masato Nakazato, Satoshi Ohtake, and Hideo Fujiwara, "Low-Cost Hardening of Image Processing Applications Against Software Errors," 21st IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'06), pp. 274-279, October 4-6, 2006.
- [99] Thomas Edison Yu, Tomokazu Yoneda, Danella Zhao, and Hideo Fujiwara, "Designing Power-Aware Wrapper for Multi-Clock Domain Cores Using Clock Domain Partitioning," IEEE 7th Workshop on RTL and High Level Testing (WRTL'06), pp. 43-48, November, 2006.
- [100] Hiroyuki Iwata, Tomokazu Yoneda, and Hideo Fujiwara, "A New Non-Scan DFT Method Based on the Time Expansion Model for RTL Controller-Datapath Circuits," IEEE 7th Workshop on RTL and High Level Testing (WRTL'06), pp. 7-12, November, 2006.
- [101] Tomokazu Yoneda, Akiko Shutoh, Hideyuki Ichihara, Tomoo Inoue, and Hideo Fujiwara, "An Optimal Test Bus Design for Transparency-Based SoC Test," IEEE 7th Workshop on RTL and High Level Testing (WRTL'06), pp. 21-26, November, 2006.
- [102] Zhiqiang You, Michiko Inoue, and Hideo Fujiwara, "Extended Compatibilities for Scan

- Tree Construction," IEEE 7th Workshop on RTL and High Level Testing (WRTL'06), pp. 75-80, November, 2006.
- [103] Toshinori Hosokawa, Ryoichi Inoue, and Hideo Fujiwara, "Fault Dependent/Independent Test Generation Methods for State Observable FSMs," IEEE 7th Workshop on RTL and High Level Testing (WRTL'06), pp. 13-18, November, 2006.
- [104] Danella Zhao, Unni Chandran, and Hideo Fujiwara, "Shelf Packing to the Design and Optimization of A Power-Aware Multi-Frequency Wrapper Architecture for Modular IP Cores," Asia and South Pacific Design Automation Conference 2007 (ASP-DAC'07), pp. 714-719, January, 2007.
- [105] Fawnizu Azmadi Hussin, Tomokazu Yoneda, Alex Orailoglu, and Hideo Fujiwara, "Core-Based Testing of Multiprocessor System-on-Chips Utilizing Hierarchical Functional Buses," Asia and South Pacific Design Automation Conference 2007 (ASP-DAC'07), pp. 720-725, January, 2007.
- [106] Tomokazu Yoneda, Masahiro Imanishi and Hideo Fujiwara, "An soc test scheduling algorithm using reconfigurable union wrappers," Design, Automation and Test in Europe (DATE'07), April 2007. (to appear).
- [107] Thomas Ediosn Yu, Tomokazu Yoneda, Danella Zhao, and Hideo Fujiwara, "Using Domain Partitioning in Wrapper Design for IP Cores Under Power Constraints," IEEE 25th VLSI Test Symposium (VTS'07), May, 2007. (to appear).
- [108] Tomokazu Yoneda, Akiko Shuto, Hideyuki Ichihara, Tomoo Inoue, and Hideo Fujiwara, "TAM Design and Optimization for Transparency-based SoC Test," IEEE 25th VLSI Test Symposium (VTS'07), May, 2007. (to appear).
- [109] Danella Zhao, Ronghua Huang, Tomokazu Yoneda, and Hideo Fujiwara, "Power-Aware Multi-frequency Heterogeneous SoC Test Framework Design with Floor-Ceiling Packing," 2007 IEEE International Symposium on Circuits and Systems (ISCAS 2007), May, 2007. (to appear).
- [110] Fawnizu Azmadi Hussin, Tomokazu Yoneda, and Hideo Fujiwara, "Optimization of NoC Wrapper Design Under Bandwidth and Test Time Constraints," 12th IEEE European Test Symposium (ETS'07), May, 2007. (to appear).
- [111] Satoshi Ohtake, Kosuke Yabuki, and Hideo Fujiwara, "Delay Testing for Application-Specific Interconnects of FPGAs based on Inphase Structure," 12th IEEE European Test Symposium (ETS'07), May, 2007. (to appear).
- [112] Hiroyuki Iwata, Tomokazu Yoneda, and Hideo Fujiwara, "A DFT Method for the Time Expansion Model at the Register Transfer Level", 44th Design Automation Conference (DAC'07), June, 2007. (to appear).

発表論文（抜粋）

（学術論文：[11], [12], [15], [18], [25], [27], [28], [30]）

（国際会議：[33], [34], [37], [72], [74], [82], [85], [90], [91], [104], [105]）

発表論文 (抜粋)

学術論文

- [11] Erik Larsson and Hideo Fujiwara, "Preemptive System-on-Chip Test Scheduling," IEICE Transactions on Information and Systems, Vol. E87-D, No. 3, pp. 620-629, March 2004.
- [12] Erik Larsson, Klas Arvidsson, Hideo Fujiwara, Zebo Peng, "Efficient Test Solutions for Core-based Designs," IEEE Trans. on CAD, Vol. 23, No. 5, pp. 758-775, May 2004.
- [15] 米田友和, 藤原 秀雄, "レジスタ転送レベル回路に対する連続透明化設計法," 電子情報通信学会論文誌(DI), Vol. J87-D-I, No. 12, pp. 1110-1118, Dec. 2004.
- [18] 井上美智子, 神戸和子, Virendra Singh, 藤原秀雄 "縮退故障とパス遅延故障のためのプロセッサの命令レベル自己テスト法," 電子情報通信学会和文論文誌 D-I (LSI のテスト・検証・診断技術特集号, 招待論文), Vol. J88-D-I, No. 6, pp. 1003-1011, June 2005.
- [25] Erik Larsson and Hideo Fujiwara, "System-on-Chip Test Scheduling with Reconfigurable Core Wrappers," IEEE Trans. on Very Large Scale Integration (VLSI) Systems, Vol. 14, No. 3, pp. 305-309, March 2006.
- [27] Yuki Yoshikawa, Satoshi Ohtake, Michiko Inoue and Hideo Fujiwara "Non-Scan Design for Single-Port-Change Delay Fault Testability," IPSJ (Information Processing Society of Japan) Journal (Special Issue on Design Methodology of System LSIs), Vol. 47, No. 6, pp. 1619-1628, June 2006.
- [28] 岩田浩幸, 米田友和, 大竹哲史, 藤原秀雄 "完全故障検出効率を保証する RTL データパスの部分強可検査性に基づくテスト容易化設計法," 電子情報通信学会和文論文誌 D-I (ディペンダブルコンピューティング特集号), Vol. J89-D, No. 8, pp. 1643-1653, Aug. 2006.
- [30] Virendra Singh, Michiko Inoue, Kewal K. Saluja, and Hideo Fujiwara, "Instruction-Based Self-Testing of Delay Faults in Pipelined Processors," IEEE Trans. on Very Large Scale Integration (VLSI) Systems, Vol. 14, No. 11, pp. 1203-1215, Nov. 2006.

国際会議

- [33] Erik Larsson, and Hideo Fujiwara, "Test Resource Partitioning and Optimization for SOC Designs," Proc. 21st IEEE VLSI Test Symposium (VTS'03), pp. 319-324, April-May 2003.
- [34] Tomokazu Yoneda and Hideo Fujiwara, "Design for Consecutive Transparency of Cores in System-on-a-Chip," Proc. 21st IEEE VLSI Test Symposium (VTS'03), pp. 287-292, April-May 2003.
- [37] Tomokazu Yoneda, Tetsuo Uchiyama and Hideo Fujiwara, "Area and Time Co-Optimization for System-on-a-Chip based on Consecutive Testability," IEEE International Test Conference 2003 (ITC'03), pp. 415-422, Sep. 2003.
- [72] Thomas Clouqueur, Kamran Zarrineh, Kewal K. Saluja, Hideo Fujiwara, "Design and Analysis of Multiple Weight Linear Compactors of Resonances Containing Unknown Values," IEEE International Test Conference 2005, Nov. 2005.
- [74] Tomokazu Yoneda, Hisakazu Takakuwa, and Hideo Fujiwara, "Power-Constrained Area and Time Co-Optimization for SoCs Based on Consecutive Testability," IEEE the 14th Asian Test Symposium (ATS'05), pp. 150-155, Dec. 2005.

- [82] Masahide Miyazaki, Tomokazu Yoneda and Hideo Fujiwara, "A Memory Grouping Method for Sharing Memory BIST Logic," 11th Asia and South Pacific Design Automation Conference (ASP-DAC 2006), pp. 671-676, Jan. 2006.
- [85] Tomokazu Yoneda, Kimihiko Masuda and Hideo Fujiwara, "Power-Constrained Test Scheduling for Multi-Clock Domain SoCs," Proc. Design, Automation and Test in Europe 2006 (DATE'06) , pp. 297-302, March 2006.
- [90] Chia Yee Ooi and Hideo Fujiwara, "A New Class of Sequential Circuits with Acyclic Test Generation Complexity," 24th IEEE International Conference on Computer Design (ICCD'06), pp. 425-431, October 2006.
- [91] Fawnizu Azmadi Hussin, Tomokazu Yoneda, Alex Orailoglu and Hideo Fujiwara, "Power-Constrained SOC Test Schedules through Utilization of Functional Buses," 24th IEEE International Conference on Computer Design (ICCD'06), pp. 230-236, October 2006.
- [104] Danella Zhao, Unni Chandran, and Hideo Fujiwara, "Shelf Packing to the Design and Optimization of A Power-Aware Multi-Frequency Wrapper Architecture for Modular IP Cores," Asia and South Pacific Design Automation Conference 2007 (ASP-DAC'07), pp. 714-719, January, 2007.
- [105] Fawnizu Azmadi Hussin, Tomokazu Yoneda, Alex Orailoglu, and Hideo Fujiwara, "Core-Based Testing of Multiprocessor System-on-Chips Utilizing Hierarchical Functional Buses," Asia and South Pacific Design Automation Conference 2007 (ASP-DAC'07), pp. 720-725, January, 2007.