

様式 C-7-1

平成 19 年度科学研究費補助金実績報告書（研究実績報告書）

1. 機関番号 1 4 6 0 3 2. 研究機関名 奈良先端科学技術大学院大学
3. 研究種目名 若手研究(B) 4. 研究期間 平成 18 年度 ～ 平成 20 年度
5. 課題番号 1 8 7 0 0 0 4 6
6. 研究課題名 マルチクロックドメイン・システムオンチップのテスト容易化設計に関する研究

7. 研究代表者

研究者番号	研究代表者名	所属部局名	職名
2 0 3 5 9 8 7 1	<small>フガナ ヨネダ トモカズ</small> 米田 友和	情報科学研究科	助教

8. 研究分担者(所属研究機関名については、研究代表者の所属研究機関と異なる場合のみ記入すること。)

研究者番号	研究分担者名	所属研究機関名・部局名	職名
	<small>フガナ</small>		
	<small>フガナ</small>		
	<small>フガナ</small>		
	<small>フガナ</small>		
	<small>フガナ</small>		

9. 研究実績の概要(国立情報学研究所でデータベース化するため、600字～800字で記入。図、グラフ等は記載しないこと。)

下欄には、当該年度に実施した研究の成果について、その具体的内容、意義、重要性等を、交付申請書に記載した「研究の目的」、「研究実施計画」に照らし、600字～800字で、できるだけ分かりやすく記述すること。また、国立情報学研究所でデータベース化するため、図、グラフ等は記載しないこと。

平成 19 年度は、マルチクロックドメインコアに対して、消費電力制約下で短いテスト実行時間を達成可能な IEEE std. 1500 に準拠したラッパー設計法を提案し、VLSI テストに関する国際会議である「IEEE VLSI Test Symposium」で発表を行い、2008 年 3 月に IEICE Transactions on Information and Systems に掲載された。

また本年度は、マルチクロックドメイン・システムオンチップ（以下、SoC）におけるデータ転送の一つの実現方法であるネットワークオンチップ（以下、NoC）をベースとした SoC を対象とした研究を行った。SoC に存在する既存のネットワークをテスト実行時に効率良く再利用することを目的としたコアに対するラッパー設計法、テストアーキテクチャおよびテストスケジューリング手法を提案した。これにより、小さい面積オーバーヘッドでテストアクセス機構の実現が可能となる。また、テスト実行時に NoC の帯域幅を効率良く複数のコアで共有することにより短いテスト実行時間の実現が可能となる。これらの成果を VLSI 設計に関する国際会議である「IEEE European Test Symposium」や「IEEE Asian Test Symposium」等にて研究成果発表を行った。

本年度は、各コアはシングルクロックドメインで設計され（ただし、コア毎に周波数は異なる）、NoC は同期式データ転送モデルで設計されている SoC を対象とした。しかし、NoC そのものの実現方法としては非同期式データ転送モデルを用いたものも数多く提案されており、提案手法は非同期式データ転送モデルにも応用可能であると考えられる。

※ 成果の公表を見合わせる必要がある場合は、その理由及び差し控え期間等を記入した調書(A4 判縦長横書 1 枚)を添付すること。

10. キーワード

- (1) テスト容易化設計 (2) テストスケジューリング (3) システムオンチップ
 (4) ネットワークオンチップ (5) マルチクロックドメイン (6) _____
 (7) _____ (8) _____ (裏面に続く)

11.研究発表（平成19年度の研究成果）

〔雑誌論文〕 計（5）件

著者名	論文標題			
F. A. Hussin, T. Yoneda, A. Orailoglu and H. Fujiwara	Scheduling power-constrained tests through the soc functional bus			
雑誌名	査読の有無	巻	発行年	最初と最後の頁
IEICE Transactions on Information and Systems	有	Vol. E91-D, No. 3	2008	pp.736-746

著者名	論文標題			
T. E. Yu, T. Yoneda, D. Zhao and H. Fujiwara	Effective Domain Partitioning for Multi-clock Domain IP Core Wrapper Design Under Power Constraints			
雑誌名	査読の有無	巻	発行年	最初と最後の頁
IEICE Transactions on Information and Systems	有	Vol. E91-D, No. 3	2008	pp.807-814

著者名	論文標題			
T. Yoneda, K. Masuda and H. Fujiwara	Test Scheduling for Multi-Clock Domain SoCs under Power Constraint			
雑誌名	査読の有無	巻	発行年	最初と最後の頁
IEICE Transactions on Information and Systems	有	Vol. E91-D, No. 3	2008	pp.747-755

著者名	論文標題			
F. A. Hussin, T. Yoneda, and H. Fujiwara	NoC-compatible Wrapper Design and Optimization Under Channel Bandwidth and Test Time Constraints			
雑誌名	査読の有無	巻	発行年	最初と最後の頁
IEICE Transactions on Information and Systems	有		2008	To appear

著者名	論文標題			
F. A. Hussin, T. Yoneda, and H. Fujiwara	On NoC Bandwidth Sharing for the Optimization of Area Cost and Test Application Time			
雑誌名	査読の有無	巻	発行年	最初と最後の頁
IEICE Transactions on Information and Systems	有		2008	To appear

〔学会発表〕 計（8）件

発表者名	発表標題	
T. Yoneda, M. Imanishi and H. Fujiwara	An SoC Test Scheduling Algorithm using Reconfigurable Union Wrappers	
学会等名	発表年月日	発表場所
Design, Automation and Test in Europe (DATE'07)	Apr. 2007.	Nice, France

発表者名	発表標題	
T. E. Yu, T. Yoneda, D. Zhao and H. Fujiwara	Using domain partitioning in wrapper design for IP cores under power constraints	
学会等名	発表年月日	発表場所
IEEE 25th VLSI Test Symposium (VTS'07)	May 2007.	Berkeley, USA

発表者名	発表標題	
T. Yoneda, A. Shuto, H. Ichihara, T. Inoue and H. Fujiwara	TAM design and optimization for transparency-based soc test	
学会等名	発表年月日	発表場所
IEEE 25th VLSI Test Symposium (VTS'07)	May 2007.	Berkeley, USA

発表者名	発表標題		
F. A. Hussin, T. Yoneda and H. Fujiwara	Optimization of noc wrapper design under bandwidth and test time constraints		
学会等名	発表年月日	発表場所	
The IEEE European Test Symposium 2007 (ETS'07)	May 2007.	Freiburg, Germany	

発表者名	発表標題		
D. Zhao, R. Huang, T. Yoneda, and H. Fujiwara	Power-aware multi-frequency heterogeneous SoC test framework design with floor-ceiling packing		
学会等名	発表年月日	発表場所	
2007 IEEE International Symposium on Circuits and Systems (ISCAS 2007)	May 2007.	New Orleans, USA	

発表者名	発表標題		
F. A. Hussin, T. Yoneda and H. Fujiwara	Area overhead and test time co-optimization through noc bandwidth sharing		
学会等名	発表年月日	発表場所	
IEEE 16th Asian Test Symposium (ATS'07)	Oct. 2007.	Beijing, China	

発表者名	発表標題		
T. Yoneda, Y. Fukuda and H. Fujiwara	Test scheduling for memory cores with built-in self-repair		
学会等名	発表年月日	発表場所	
IEEE 16th Asian Test Symposium (ATS'07)	Oct. 2007.	Beijing, China	

発表者名	発表標題		
T. Yoneda and H. Fujiwara	Wrapper and TAM co-optimization for reuse of soc functional interconnects		
学会等名	発表年月日	発表場所	
Design, Automation and Test in Europe (DATE'08)	Mar. 2008.	Munich, Germany	

〔図書〕 計 (0) 件

著者名	出版社		
書名	発行年	総ページ数	

12. 研究成果による産業財産権の出願・取得状況

〔出願〕 計 (0) 件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	出願年月日	国内・外国の別

〔取得〕 計 (0) 件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	取得年月日	国内・外国の別

13. 備考

※ 研究者又は所属研究機関が作成した研究内容又は研究成果に関するwebページがある場合は、URLを記載すること。

--