

様式 C-7-1

平成19年度科学研究費補助金実績報告書（研究実績報告書）

1. 機関番号 1 4 6 0 3      2. 研究機関名 奈良先端科学技術大学院大学
3. 研究種目名 若手研究(B)      4. 研究期間 平成17年度～平成19年度
5. 課題番号 1 7 7 0 0 0 6 2
6. 研究課題名 大規模・高性能VLSIのレジスタ転送レベルにおけるテスト容易化設計に関する研究

7. 研究代表者

研究者番号	研究代表者名	所属部局名	職名
2 0 3 1 4 5 2 8	<small>ツガナ</small> 大竹, 哲史	情報科学研究科	助教

8. 研究分担者(所属研究機関名については、研究代表者の所属研究機関と異なる場合のみ記入すること。)

研究者番号	研究分担者名	所属研究機関名・部局名	職名
	<small>ツガナ</small>		
	<small>ツガナ</small>		
	<small>ツガナ</small>		
	<small>ツガナ</small>		
	<small>ツガナ</small>		

9. 研究実績の概要(国立情報学研究所でデータベース化するため、600字～800字で記入。図、グラフ等は記載しないこと。)

下欄には、当該年度に実施した研究の成果について、その具体的内容、意義、重要性等を、交付申請書に記載した「研究の目的」、「研究実施計画」に照らし、600字～800字で、できるだけ分かりやすく記述すること。また、国立情報学研究所でデータベース化するため、図、グラフ等は記載しないこと。

VLSI のテストを可能にするためにはテスト容易化設計が必須であるが、テスト容易化により過剰なテストを強いられる場合があり、その場合には歩留ま劣化という重大な問題を引き起こす場合がある。昨年度から、テスト容易化に伴う相反する問題を両面から扱っている。最近の微細化により、製造ばらつきによる遅延故障が問題になっているが、この場合物理的な欠陥によって引き起こされる故障ではないため、今後さらに過剰テストを考慮した遅延故障テストが必要になると考えられるため、レジスタ転送(RT)レベルからの過剰テスト緩和に重点を置いた。

本年度は、昨年度に引き続き、これまでに提案した RT レベル回路の縮退故障に対するテスト容易化設計の改良に関する考察を行った。さらに、昨年度提案した均一ビット幅データパス向けの遅延故障に対するテスト容易化設計法を、不均一ビット幅データパスして適用するための、遅延故障に対するビット幅調整機能を実現する機構についても研究を行った。今年度の成果として得られた遅延故障に対するビット幅調整機構では、テストパターンの印加可能性を下げたハードウェアオーバーヘッドを抑えたため、任意の遅延テストを印加できない。これについては今後も改良を継続する必要がある。

過剰テストの緩和においては、昨年度に得られた冗長手法では対応できなかった RT レベル回路モデルにも対応した。具体的には、RT レベルにおける回路の冗長性を、RT レベルの回路の構造情報に加え、さらに上流の高位合成段階で得られる回路の機能情報を用いることにより、RT レベルで完全に探索できなかった機能情報を補完し、従来法では扱えなかった回路構造上の冗長型判定を可能とした。

※ 成果の公表を見合わせる必要がある場合は、その理由及び差し控え期間等を記入した調書(A4 判縦長横書 1 枚)を添付すること。

10. キーワード

- |             |               |           |
|-------------|---------------|-----------|
| (1) VLSIテスト | (2) テスト容易化設計  | (3) 縮退故障  |
| (4) 遅延故障    | (5) レジスタ転送レベル | (6) データパス |
| (7) コントローラ  | (8) 不均一ビット幅   |           |
- (裏面に続く)

11.研究発表（平成19年度の研究成果）

〔雑誌論文〕 計（ 3 ）件

著者名	論文標題			
Tsuyoshi Iwagaki, Satoshi Ohtake, Mineo Kaneko and Hideo Fujiwara	Efficient path delay test generation based on stuck-at test generation using checker circuitry			
雑誌名	査読の有無	巻	発行年	最初と最後の頁
IEEE/ACM International Conference on Computer-Aided Design	有		2007	pp.418-423

著者名	論文標題			
Yuki Yoshikawa, Satoshi Ohtake and Hideo Fujiwara,	RTL don't care path identification and synthesis for transforming don't care paths into false paths			
雑誌名	査読の有無	巻	発行年	最初と最後の頁
8th IEEE Workshop on RTL and High Level Testing	有		2007	pp.9-15

著者名	論文標題			
Yuki Yoshikawa, Satoshi Ohtake and Hideo Fujiwara,	False path identification using RTL information and its application to over-testing reduction for delay faults			
雑誌名	査読の有無	巻	発行年	最初と最後の頁
IEEE 16th Asian Test Symposium	有		2007	pp.65-68

〔学会発表〕 計（ 1 ）件

発表者名	発表標題	
Naotsugu Ikeda, Satoshi Ohtake, Michiko Inoue, Hideo Fujiwara	RTL false path identification using high level synthesis information	
学会等名	発表年月日	発表場所
電子情報通信学会ディペンダブルコンピューティング研究会	2008年2月	機会振興会館

〔図書〕 計（ 0 ）件

著者名	出版社		
書名	発行年	総ページ数	

12. 研究成果による産業財産権の出願・取得状況

〔出願〕 計（ 0 ）件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	出願年月日	国内・外国の別

〔取得〕 計（ 0 ）件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	取得年月日	国内・外国の別

13. 備考

※ 研究者又は所属研究機関が作成した研究内容又は研究成果に関するwebページがある場合は、URLを記載すること。

--