

平成18年度科学研究費補助金実績報告書（研究実績報告書）

1. 機 関 番 号

1

4

6

0

3

2. 研究機関名

奈良先端科学技術大学院大学

3. 研究種目名

若手研究(B)

4. 研究期間

平成18年度

～

平成20年度

5. 課 題 番 号

1

8

7

0

0

0

4

6

6. 研究課題名

マルチクロックドメイン・システムオンチップのテスト容易化設計に関する研究

7. 研究代表者

研究者番号	研究代表者名	所属部局名	職 名
<div><div>2</div><div>0</div><div>3</div><div>5</div><div>9</div><div>8</div><div>7</div><div>1</div></div>	<div>フリガナ ヨネダトモカズ</div> <div>米田, 友和</div>	情報科学研究科	助手

8. 研究分担者(所属研究機関名については、研究代表者の所属研究機関と異なる場合のみ記入すること。)

研究者番号	研究分担者名	所属研究機関名・部局名	職 名
<div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div></div>	<div>フリガナ</div>		
<div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div></div>	<div>フリガナ</div>		
<div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div></div>	<div>フリガナ</div>		
<div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div></div>	<div>フリガナ</div>		
<div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div></div>	<div>フリガナ</div>		

9. 研究実績の概要(国立情報学研究所でデータベース化するため、600字～800字で記入。図、グラフ等は記載しないこと。)

平成18年度は、マルチクロックドメインコアに対して、IEEE std. 1500 に準拠したラッパー設計法を提案し、VLSI テストに関するワークショップである「IEEE WRTL' 06」にて研究成果発表を行った。また、平成19年5月にはVLSI テストに関する国際会議である「IEEE VLSI Test Symposium」で発表予定である。これにより、IEEE 標準に準拠しながらも、消費電力制約下で短いテスト実行時間を実現可能である。

また本年度は、各コアはシングルクロックドメインで動作するが、コア毎に動作周波数の異なるマルチクロックドメイン・システムオンチップを対象とし、それに対するテストアーキテクチャおよびテストスケジューリング手法に関する研究を行った。テストアーキテクチャとしては、マルチクロックドメイン・システムオンチップに存在する既存のシステムバスをテスト時に利用する手法と、既存のシステムバスを利用せずに新たにテスト専用のバスを付加する手法の2つの観点で研究を行った。それぞれの手法に適したテストアーキテクチャおよび消費電力制約下で短いテスト実行時間を達成するテストスケジューリング法を提案し、VLSI 設計に関する国際会議である「IEEE International Conference on Computer Design」、「Asia and South Pacific Design Automation Conference」にて研究成果発表を行い、「IEEE International Symposium on Circuits and Systems」においても研究成果を発表予定である。

※ 成果の公表を見合わせる必要がある場合は、その理由及び差し控え期間等を記入した調書(A4判縦長横書1枚)を添付すること。

10. キーワード

(1) テスト容易化設計	(2) テストスケジューリング	(3) システムオンチップ
(4) ネットワークオンチップ	(5) マルチクロックドメイン	(6)
(7)	(8)	

(裏面に続く)

11. 研究発表(平成18年度の研究成果)

〔雑誌論文〕 計 (12) 件

著 者 名	論 文 標 題		
F. A. Hussin, T. Yoneda, A. Orailoglu and H. Fujiwara	Power-constrained SOC test schedules through utilization of functional buses		
雑 誌 名	巻・号	発 行 年	ページ
Proceedings of the 24th IEEE International Conference on Computer Design (ICCD'06)		2 0 0 6	pp. 230-236

著 者 名	論 文 標 題		
T. E. Yu, T. Yoneda, D. Zhao and H. Fujiwara	Designing power-aware wrapper for multi-clock domain cores using clock domain partitioning		
雑 誌 名	巻・号	発 行 年	ページ
Digest of Papers, IEEE 7th Workshop on RTL and High Level Testing (WRTL'06)		2 0 0 6	pp. 43-48

著 者 名	論 文 標 題		
T. Yoneda, A. Shuto, H. Ichihara, T. Inoue and H. Fujiwara	An optimal test bus design for transparency-based soc test		
雑 誌 名	巻・号	発 行 年	ページ
Digest of Papers, IEEE 7th Workshop on RTL and High Level Testing (WRTL'06)		2 0 0 6	pp. 21-26

著 者 名	論 文 標 題		
F. A. Hussin, T. Yoneda, A. Orailoglu and H. Fujiwara	Core-based testing of multiprocessor system-on-chips utilizing hierarchical functional buses		
雑 誌 名	巻・号	発 行 年	ページ
Proceedings of the 12th Asia and South Pacific Design Automation Conference 2007 (ASP-DAC'07)		2 0 0 7	pp. 720-725

著 者 名	論 文 標 題		
T. Yoneda, M. Imanishi and H. Fujiwara	An soc test scheduling algorithm using reconfigurable union wrappers		
雑 誌 名	巻・号	発 行 年	ページ
Proceedings of the Design, Automation and Test in Europe (DATE'07)		2 0 0 7	pp. 231-236

著 者 名	論 文 標 題		
T. E. Yu, T. Yoneda, D. Zhao and H. Fujiwara	Using domain partitioning in wrapper design for IP cores under power constraints		
雑 誌 名	巻・号	発 行 年	ページ
Proceedings of the IEEE 25th VLSI Test Symposium (VTS'07)		2 0 0 7	To appear

著 者 名	論 文 標 題		
T. Yoneda, A. Shuto, H. Ichihara, T. Inoue and H. Fujiwara	TAM design and optimization for transparency-based soc test		
雑 誌 名	巻・号	発 行 年	ページ
Proceedings of the IEEE 25th VLSI Test Symposium (VTS'07)		2 0 0 7	To appear

著 者 名	論 文 標 題		
D. Zhao, R. Huang, T. Yoneda and H. Fujiwara	Power-aware multi-frequency heterogeneous soc test framework design with floor-ceiling packing		
雑 誌 名	巻・号	発 行 年	ページ
Proceedings of the 2007 IEEE International Symposium on Circuits and Systems (ISCAS 2007)		2 0 0 7	To appear

著 者 名	論 文 標 題			
F. A. Hussin, T. Yoneda and H. Fujiwara	Optimization of noc wrapper design under bandwidth and test time constraints			
雑 誌 名	巻・号	発 行 年	ページ	
Proceedings of the The IEEE European Test Symposium 2007		2 0 0 7	To appear	

著 者 名	論 文 標 題			
F. A. Hussin, T. Yoneda, A. Orailoglu and H. Fujiwara	Power-conscious microprocessor-based testing of system-on-chip			
雑 誌 名	巻・号	発 行 年	ページ	
Technical Report of IEICE (VLD2006-6)	Vol. 106, No. 32	2 0 0 6	pp. 25-30	

著 者 名	論 文 標 題			
福田 雄介, 米田 友和, 藤原 秀雄	メモリコアに対する組込み自己修復を考慮したSoCのテストスケジューリング			
雑 誌 名	巻・号	発 行 年	ページ	
信学技報(DC2006-48)	Vol. 106, No. 387	2 0 0 6	pp. 59-64	

著 者 名	論 文 標 題			
F. A. Hussin, T. Yoneda and H. Fujiwara	NoC wrapper optimization under channel bandwidth and test time constraints			
雑 誌 名	巻・号	発 行 年	ページ	
Technical Report of IEICE (DC2006-80)	Vol. 106, No. 528	2 0 0 7	pp. 1-6	

〔図 書〕 計 (0) 件

著 者 名	出 版 社		
書 名	発 行 年	総ページ数	

12. 研究成果による工業所有権の出願・取得状況

計 (0) 件

工業所有権の名称	発明者	権利者	工業所有権の種類、番号	出願年月日	取得年月日