

様式 C-7-1

平成18年度科学研究費補助金実績報告書（研究実績報告書）

1. 機関番号 1 4 6 0 3      2. 研究機関名 奈良先端科学技術大学院大学
3. 研究種目名 若手研究(B)      4. 研究期間 平成17年度～平成19年度
5. 課題番号 1 7 7 0 0 0 6 2
6. 研究課題名 大規模・高性能VLSIのレジスタ転送レベルにおけるテスト容易化設計に関する研究

7. 研究代表者

研究者番号	研究代表者名	所属部局名	職名
2 0 3 1 4 5 2 8	フリガナ 材料, ナン 大竹, 哲史	情報科学研究科	助手

8. 研究分担者(所属研究機関名については、研究代表者の所属研究機関と異なる場合のみ記入すること。)

研究者番号	研究分担者名	所属研究機関名・部局名	職名
	フリガナ		
	フリガナ		
	フリガナ		
	フリガナ		
	フリガナ		

9. 研究実績の概要(国立情報学研究所でデータベース化するため、600字～800字で記入。図、グラフ等は記載しないこと。)

本年度は、RTレベル回路のデータパス部の縮退故障を対象としてテスト容易化を考察するとともに、これまでに得られた成果に基づき、遅延故障への対応を考察した。遅延故障は、レジスタからレジスタまでのデータ転送が、仕様通りの速度で行われないという故障で、これらの間に存在する幾つかの機能ブロックを通る経路上の遅延をモデル化したものである。そのため、遅延故障のテストでは外部入力からレジスタへ、テスト系列の各パターンを回路の実動作速度で設定し、レジスタに取り込まれたテスト系列に対する応答を外部出力まで伝搬する必要があるため、縮退故障の場合とは回路に要求する性質が異なる。そこで、遅延故障に対するテスト容易性の評価尺度を定義し、これに基づくテスト容易化設計法を提案した。提案法はビット幅の均一なデータパスに対する手法であるが、遅延故障に対するビット幅調整機能を実現する機構についても継続して考察を行っている。

遅延故障テストにおいては、テスト容易化前の回路ではテスト不可能(冗長)な故障が多数存在し、テスト容易化後にそれらをテストすることによる過剰テストが重大な問題となる。過剰テストを行うと、良品を不良品と誤判定することによる歩留まり低下が生じ、深刻な問題を引き起こす。そのため、遅延故障の冗長性判定が特に重要になってきている。昨年度はビット幅の均一なデータパスに対すパス遅延故障の冗長判定法を提案した。今年度は、この判定手法をビット幅の不均一なデータパスに応用し、さらに、コントローラ部を通るパス遅延故障についても扱う方法論を提案した。

※ 成果の公表を見合わせる必要がある場合は、その理由及び差し控え期間等を記入した調書(A4判縦長横書1枚)を添付すること。

10. キーワード

- (1) VLSI テスト                      (2) テスト容易化設計                      (3) 縮退故障  
 (4) 遅延故障                          (5) レジスタ転送レベル                      (6) データパス  
 (7) コントローラ                      (8) 不均一ビット幅

(裏面に続く)

11. 研究発表(平成18年度の研究成果)  
 【雑誌論文】 計(6)件

著者名	論文標題			
Yuki Yoshikawa, Satoshi Ohtake, Michiko Inoue and Hideo Fujiwara	Non-scan design for single-port-change delay fault testability			
雑誌名	巻・号	発行年	ページ	
IP SJ Journal	Vol. 47, No. 6	2 0 0 6 	1619-1628	

著者名	論文標題			
Hiroyuki Iwata, Tomokazu Yoneda, Satoshi Ohtake and Hideo Fujiwara	A DFT method based on partially strong testability of RTL data paths to guarantee complete fault efficiency			
雑誌名	巻・号	発行年	ページ	
Trans. of IEICE	Vol. 89-D, No. 8	2 0 0 6 	1643-1653	

著者名	論文標題			
Yuki Yoshikawa, Satoshi Ohtake and Hideo Fujiwara	An approach to reduce over-testing of path delay faults in data paths using RT-level information			
雑誌名	巻・号	発行年	ページ	
11th IEEE European Test Symposium		2 0 0 6 	146-151	

著者名	論文標題			
Tsuyoshi Iwagaki, Satoshi Ohtake and Hideo Fujiwara	A new test generation model for broadside transition testing of partial scan circuits			
雑誌名	巻・号	発行年	ページ	
IFIP International Conference on Very Large Scale Integration		2 0 0 6 	308-313	

著者名	論文標題			
Iliia Polian, Bernd BECKER, Masato Nakazato, Satoshi Ohtake and Hideo Fujiwara	Low-cost hardening of image processing applications against soft errors systems			
雑誌名	巻・号	発行年	ページ	
The 21st IEEE International Symposium on Defect and Fault Tolerance in VLSI		2 0 0 6 	274-279	

著者名	論文標題			
Masato Nakazato, Satoshi Ohtake, Michiko Inoue and Hideo Fujiwara	Design for testability of software-based self-test for processors			
雑誌名	巻・号	発行年	ページ	
15th IEEE Asian Test Symposium		2 0 0 6 	375-380	

【図書】 計(0)件

著者名	出版社		
書名	発行年	総ページ数	

12. 研究成果による工業所有権の出願・取得状況  
 計(0)件

工業所有権の名称	発明者	権利者	工業所有権の種類、番号	出願年月日	取得年月日