

## 科学研究費助成事業 研究成果報告書

平成 28 年 6 月 9 日現在

機関番号：14603

研究種目：基盤研究(B) (一般)

研究期間：2013～2015

課題番号：25280015

研究課題名(和文) LSIライフサイクル全般の信頼性向上のための組み込み自己テストに関する研究

研究課題名(英文) Research on Built-in Self-Test to Enhance LSI Reliability through its Lifecycle

## 研究代表者

井上 美智子(Inoue, Michiko)

奈良先端科学技術大学院大学・情報科学研究科・教授

研究者番号：30273840

交付決定額(研究期間全体)：(直接経費) 7,800,000円

研究成果の概要(和文)： LSIライフサイクル全般の信頼性向上のための組み込み自己テストに関する研究を行った。組み込み自己テストのテストデータ量およびテスト時間削減手法を提案しフィールド運用時にも自己テストを可能にするとともに、テスト精度を向上させるための電圧ノイズや遅延故障時の解析技術の向上、また、組み込みメモリの信頼性向上のためのアーキテクチャの提案を行った。

研究成果の概要(英文)： We have conducted a research on LSI reliability through its lifecycle. Our achievement includes 1) reduction of test data volume and test application time of LSI Built-in Self-Test (BIST) so that LSI BIST can be applicable in field as well as at manufacturing test, 2) analysis of IR-drop and delay defects to improve test quality, and 3) embedded memory architecture to enhance reliability in field with combination of ECC and self-test and repair techniques.

研究分野：ディペンダブルコンピューティング

キーワード：LSI信頼性 組み込み自己テスト IRドロップ 組み込みメモリ

## 1. 研究開始当初の背景

LSI の品質保証には、LSI のテストが必須である。近年、半導体プロセスの微細化により、テストの複雑度が増大しテスト手法の改良が求められる一方、出荷後の LSI の劣化検知に利用するなど LSI テストの新しい用途が注目され始めている。

微細化によるテストの複雑度の増大 半導体プロセスの微細化により、テストの複雑度が増大している。まず、1 チップに搭載される回路規模が増大しテストデータ量やテスト時間が増大する。また、微細化、高速化により、微小な遅延性の欠陥が回路の誤動作を引き起こすことが懸念され、欠陥による遅延量を考慮した複雑なテストパターン生成が必要となっている。さらに、テスト実行時の過大な電力消費や電流、温度上昇によるノイズがテスト結果の誤判定を招く、微細化によるプロセスばらつきを考慮したテスト手法の必要性など、微細化に起因してテストは複雑な問題となっている。

## 2. 研究の目的

コンピュータはその高性能、高機能性によって様々な社会システムに不可欠である上に、コンピュータの機能を用いた機能安全の確立の観点から、コンピュータやその心臓部である LSI の信頼性、安全性が重要視されている。一方、LSI は製造プロセスの微細化によりダウンサイズと性能向上の両立を達成するが、微細化に起因して、テストの複雑化、経年劣化など信頼性に関わる様々な問題が顕在化している。本研究では、LSI のライフサイクル全般に渡る信頼性向上のための設計およびテスト手法の提案を目的とする。具体的には、組み込み自己テスト (Built-In Self-Test, BIST) 技術を製造テスト、フィールドテストとライフサイクル全般で効率よく利用できるような設計およびテスト技術、故障や障害の予測により LSI の安全性を向上させる技術を提案する。

## 3. 研究の方法

劣化に起因するテストの複雑化、経年劣化を考慮した LSI ライフサイクル全般で信頼性を向上させる BIST 技術の提案を行う。実現のために、具体的には以下の課題に取り組む。(1) BIST 実行時の電力、電流、温度変動の解析：テスト結果の誤判定を招く状況を効率よく解析する手法を提案する。(2) フィールド使用時を考慮した BIST アーキテクチャ：テストデータ量及びテスト時間を抑えた BIST, FPGA のための BIST アーキテクチャを提案する。(3) メモリの高信頼化設計：メモリセルの故障、劣化を考慮した高信頼化メモリアーキテクチャを提案する。

## 4. 研究成果

(1) BIST 実行時の電力、電流、温度変動の解析：LSI のテスト実行時には、過剰電力や過剰電流変動による電圧変動が起きる。過剰ピーク電力による IR-ドロップや過剰電流変動による電圧ドループはともに電圧変動の要因であるが、電圧変動に影響を与える機関に違いがあり、両者を共に扱う問題は複雑である。本研究では、テスト時の IR-ドロップ、電源ドループを効率良く解析し、誤判定を招く危険性のあるテストパターンの使用を回避する手法を提案した。IR-ドロップ解析に関しては、商用ツールに比べ、4-7 倍高速に、同等の精度での解析を行う手法を開発し、国際会議へ投稿中である (図 1)。また、遅延故障時の回路の振る舞いを効率よく解析するための、シミュレーション手法の開発を行った。

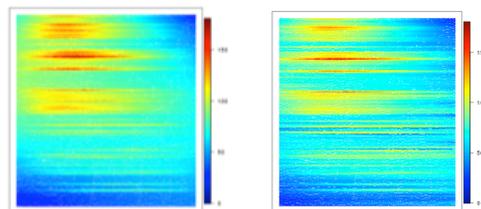
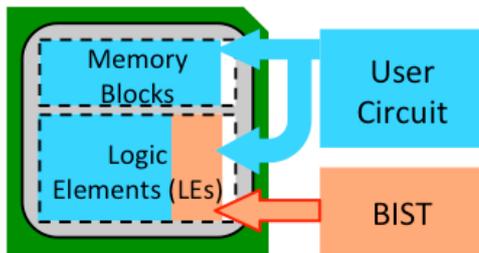


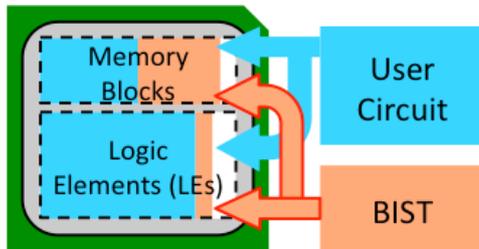
図 1. テスト時の IR-ドロップ解析：商用ツールでの解析結果 (左)、提案手法での解析結果 (右)。

(2) フィールド使用時を考慮した BIST アーキテクチャ：フィールド使用時に自己テストを行うには、テスト時間やテストデータが小さく、かつ故障検出率の高い BIST アーキテクチャが必要となる。本研究では、重み付きランダムパターンやリシードといったテスト時間、テストデータ量の削減手法を利用するフィールド使用時向けの BIST アーキテクチャを提案した。提案手法は、リシード機能付き BIST アーキテクチャに、重み付きランダムパターン発生機能を追加することで、テスト時間とテストデータ量の削減を可能としている。

また、プログラムを書き換えることにより構成を変えることのできるハードウェアである FPGA 向けの BIST アーキテクチャを提案した。従来、FPGA は出荷テスト時に、テスト用回路をプログラムし、フィールド使用時にはユーザ回路のみをプログラムして利用される。しかし、フィールド使用時の自己テストのためには、ユーザ回路と自己テストのための回路である BIST 回路を共存させる必要がある。そのため、本研究では、FPGA 向けの BIST アーキテクチャの提案を行った。提案手法は、BIST 回路の FPGA のロジック部とメモリ部の使用量を調整することで、ユーザ回路に合わせて BIST アーキテクチャを実装することを可能にした。



(a) メモリ指向型ユーザ回路の場合



(b) ロジック指向型ユーザ回路の場合  
図 2. FPGA 向け BIST アーキテクチャ

(3) メモリ BIST を用いたメモリの信頼性向上手法：フィールド使用時のメモリのエラーには、宇宙線などの影響によるソフトエラーとハードウェアの故障によるハードエラーがある。ソフトエラーは、ハードウェアの故障ではないため、誤り訂正回路 (ECC) で対処できる。ハードエラーは、ハードウェアが永久的に故障しているため、自己テスト・修復で対処するのが一般的であるが、出力だけを見ると ECC でも対処できる。しかし、同時に発生するエラー数が多くなり、ECC の許容量を超えると ECC ではエラー訂正ができなくなるという問題がある。

本研究では、メモリ BIST による自己テスト、スペアメモリを用いた自己修復、及び誤り訂正機能をアダプティブに組み合わせた高信頼化メモリアーキテクチャを提案した。提案手法では、ワード単位でのスペアメモリに置き換える修復と、ECC によるワード単位のエラー訂正を組み合わせる。スペアメモリに余裕がある場合は、ワード内の故障セル数が ECC の許容範囲内であってもスペアメモリで置き換えることで、新たなソフトエラーによりエラー訂正不能となるのを回避する。ソフトエラー、ハードエラーの発生率を与えて、確率的に信頼性を評価した結果、提案手法が従来手法に比べ、信頼性を大きく向上していることを確認した。提案法は、さらに、劣化検知能力のある自己テストを採用することで、メモリワードの状態を詳細に診断し、スペアメモリで置き換えるメモリを決め細く指定するよう改良し、さらに信頼性を高めることに成功した。

また、メモリ BIST の改良にも取り組み、隣接セルパターン依存故障といった、従来、マニュアルでテストプログラムが作られていた故障モデルに対し、テストプログラムを自動生成する手法を提案した。

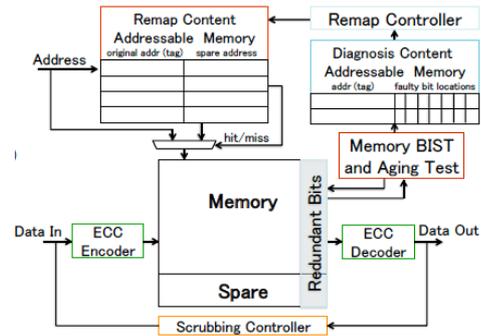


図 3. 高信頼メモリアーキテクチャ

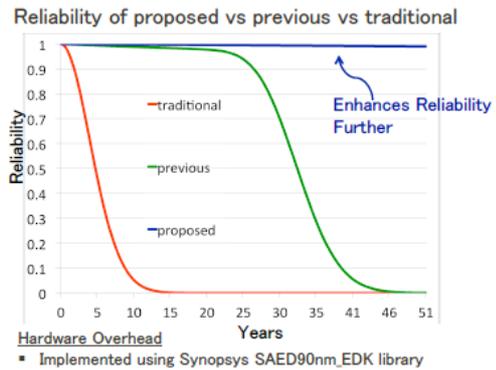


図 4. 信頼性評価: 既存法 (traditional), 提案法 (2015 年版, previous), 提案法 (2016 年版, proposed) の比較

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

- ① 米田 友和, 大和 勇太, "温度電圧変動考慮型テスト," 日本信頼性学会誌, 査読有, Vol. 35, No. 8, pp.505, Dec. 2013.
- ② 井上 美智子, 米田 友和, "フィールドテストのための高品質遅延テスト," 日本信頼性学会誌, 査読有, Vol. 35, No. 8, pp.504, Dec. 2013.

[学会発表] (計 13 件)

- ① Gian Mayuga, Yuta Yamato, Tomokazu Yoneda, Yasuo Sato and Michiko Inoue, "Reliability enhancement of embedded memory with combination of aging-aware adaptive in-field self-repair and ECC," 21th IEEE European Test Symposium (ETS), Amsterdam (The Netherlands), May 24-26 2016.
- ② Fakir Sharif Hossain, Tomokazu Yoneda and Michiko Inoue, "An effective scan segmentation approach to detect hardware Trojan in integrated circuits," IEEE International WIE Conference on Electrical and Computer

Engineering 2015, Dhaka (Bangladesh), Dec. 19-20 2015.

- ③ Gian Mayuga, Yuta Yamato, Tomokazu Yoneda, Yasuo Sato and Michiko Inoue, "An ECC-Based memory architecture with online self-repair capabilities for reliability enhancement," 20th IEEE European Test Symposium (ETS), Cluj-Napoca (Romania), May 25-29 2015.
- ④ Yussuf Ali, Yuta Yamato, Tomokazu Yoneda, Kazumi Hatayama and Michiko Inoue, "Parallel path delay fault simulation for multi/many-core processors with SIMD units," Proceedings of the 23rd Asian Test Symposium, Hangzhou (China), Nov. 17-20, 2014.
- ⑤ Gian Mayuga, Yuta Yamato, Tomokazu Yoneda, Yasuo Sato and Michiko Inoue, "An online repair strategy and reliability for ECC-Based memory architectures," The 15th Workshop on RTL and High Level Testing, Hangzhou (China), Nov. 20-21, 2014.
- ⑥ Keita Ito, Tomokazu Yoneda, Yuta Yamato, Kazumi Hatayama and Michiko Inoue, "Memory block based scan-BIST architecture for application-dependent FPGA testing," Proceedings of the 2014 ACM/SIGDA International Symposium on Field-Programmable Gate Arrays, Monterey (USA), Feb. 26-28 2014.
- ⑦ Keita Ito, Tomokazu Yoneda, Yuta Yamato, Kazumi Hatayama and Michiko Inoue, "Efficient scan-based BIST architecture for application-dependent FPGA test," The Fourteenth Workshop on RTL and High Level Testing (WRTL'13), Yilan (Taiwan), Nov. 21-22 2013.

[その他]

ホームページ等

<http://dslab.naist.jp/ja/>

## 6. 研究組織

### (1) 研究代表者

井上 美智子 (INOUE, Michiko)

奈良先端科学技術大学院大学・情報科学研究科・教授

研究者番号：30273840

### (2) 研究分担者

米田 友和 (YONEDA, Tomokazu)

奈良先端科学技術大学院大学・情報科学研究科・助教

研究者番号：20359871

大和 勇太 (YAMATO, Yuta)

奈良先端科学技術大学院大学・情報科学研究科・助教

研究者番号：20707244