

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 5 日現在

機関番号：14603

研究種目：挑戦的萌芽研究

研究期間：2012～2014

課題番号：24650020

研究課題名(和文) フィルムコンピュータ実現のための安定回路構成方式

研究課題名(英文) A Circuit Level Stabilizing Technique for Implementing Film Computers

研究代表者

中島 康彦 (NAKASHIMA, YASUHIKO)

奈良先端科学技術大学院大学・情報科学研究科・教授

研究者番号：00314170

交付決定額(研究期間全体)：(直接経費) 3,000,000円

研究成果の概要(和文)：FPGA上の8ビットCPUにより32ビットOSであるuClinuxが稼働した。また、10000トランジスタのレイアウトも完成した。さらに、動作不能に陥った命令を別の命令により補完する技術、基本ゲート機能を持たせた微小なメモリ機構により論理を補完するPPC技術、三重化を用いないシームレスな故障・不安定モジュール検出機構、故障個所の切り離し機構を確立し、多数演算器型LSIの試作と線源による故障注入により、耐故障機能の有効性を確認した。

研究成果の概要(英文)：uClinux for 32bit computer has successfully worked on tiny 8bit CPU on FPGA. A physical layout of the tiny CPU with only 10000 transistors has been completed. An instruction level workaround technique for bypassing hardware defects, PPC (Partially Programmable Circuit) technique for bypassing logic defects, hardware level defect detector without TMR (Triple Module Redundancy) and reconfiguration technique for defect isolation are established. A dependable FU array accelerator has been designed and the high-dependability has been observed by error injection with an alpha-particle generator.

研究分野：コンピュータ・アーキテクチャ

キーワード：ディペンダブル 小型CPU エミュレーション 高信頼化CAD 耐故障アクセラレータ PPC

1. 研究開始当初の背景

資源・エネルギー・環境問題が深刻となる中、近年の半導体技術は、微細化の限界に迫りつつ開発コストおよび製造・使用時エネルギー消費を急激に増大させている。絶え間ない高機能化要求に追従できない半導体メーカーは淘汰され、コンピュータ製造の基盤技術が特定の企業に集中している。このような状況では、利益優先の技術革新に偏り、人類が直面している問題を学術的に探究し解決する方向性を見失う。製造・使用・廃棄の全段階において省エネルギーなコンピュータを探索することが、新たな産業創出に結び付くと考える。さて、計算機ハードウェア分野においては、半導体の微細化を補完する信頼性確保や低消費電力化が喫緊の課題となっており、これまでも主要な研究テーマの一つとなってきた。一方、新素材分野においても、製造に多大なエネルギーを必要とするシリコンデバイスから脱却する研究が急速に立ち上がってきている。この両者の動きは、これまで互いに交差することなく、独立した研究として実施されてきた。しかし、計算機ハードウェア研究者は新素材の導入に関して、同様に新素材研究者は応用分野の開拓に関して、互いに新たな可能性を模索する段階に入っている。酸化亜鉛デバイスは、シリコンデバイスに比べて低速であるものの、製造時の熱処理が300 程度までであることから、フィルム基板上に回路を形成するのに適していると言われている(シリコンデバイスでは1000 超)。また、低速とはいえ、シリコンデバイスの約10分の1の電子移動度を達成できる見込みが得られており、当面は低集積度であることを考慮しても、コンピュータとして利用可能なレベルに到達できると考えている。ただし、酸化亜鉛デバイスを利用した演算器レベルの回路を実現するためには、様々な困難が予想される。本研究課題に取り組む学術的意義は極めて大きい。

2. 研究の目的

酸化亜鉛デバイスには、本質的にNチャネル(NCH)しか形成できない弱点がある。この弱点は一般に知られており、Pチャネル(PCH)を形成するために別の有機材料と組み合わせる等の模索が進められている。しかし、NCHのみで回路を構成できれば、酸化亜鉛デバイスの早期実用化が可能となるだけでなく、製造時のコストダウンにも繋がる。このため、本研究提案は、NCHのみを用いて論理回路やメモリを形成する基本技術の開発、ばらつきの大きい、あるいは、動作不良トランジスタの混入を前提とする回路安定化技術、低周波高並列動作と相性の良い効率的冗長化技術の開発を目標とする。

予想される結果と意義

計算機ハードウェア領域と新素材領域の融合により、前述した新素材フィルムコンピュータの実現に弾みがつくだけでなく、フレキシブル・軽量コンピュータシステムの実現により、剛体・重量・環境汚染・信頼性の観点から導入困難であった情報応用分野を新規に開拓することができ、新たな学術領域を切り拓くことができると考えている。

3. 研究の方法

物質創成科学研究科と連携し、特に、低温プリンティング技術により生分解可能プラスチック上に形成可能な酸化亜鉛デバイスを前提に、フィルムコンピュータ実現のために極めて重要な、基

本論理回路およびメモリの構成方法および安定化技術に取り組んだ。具体的には、本質的にPCHを形成できない弱点を上位階層にて補完し、さらに、製造ばらつきや製造不良についても補完可能な重層的安定化技術の開発に取り組んだ。

【24年度】物質創成科学研究科における酸化亜鉛回路のデバイスモデル作成は、まだ利用することができなかった。このため、特性が近いと考えられるシリコンデバイスモデルを選択して、NCHのみからなる論理回路を数種発案し、問題点と解決策について評価を行った。初期のCMOSデバイスにおいてもNCHしか作製できない時期があったものの、酸化亜鉛は、当初、さらに限られた特性のデバイスしか作製できない見込みであるため、従来知られているシリコンデバイス向けNCH回路を参考にしつつも、新たな回路構成を発案する必要があった。まずは、NCH回路のデュアルルール化を基本として、安定動作可能な構成を探った。アナログシミュレーションでは、デュアルルール、セレクト・反転・増幅、ラッチの各基本回路構成が有望であると考えた。

【25年度】

均質なデバイス作製技術が早期に確立された場合には、前年度において有力候補として抽出した基本回路のままでも十分にフィルムコンピュータを構成可能であると考えられる。しかし、実際には、新素材を用いて均質なデバイスを作製する技術を確立し、まとまったトランジスタ回路を歩留まりよくプリンティングできるに至るまでのハードルは、大学レベルでも企業レベルでも極めて高い。このため、ばらつきの大きい、あるいは、動作不良トランジスタの混入を前提とする回路安定化技術の開発が極めて重要であると考えた。現状では三重化機構(TMR: Triple Modular Redundancy)が最も一般的であると考えられるものの、三重化のためにはさらに回路切り替えのための追加回路、配線、レジスタポート等が必要となるため、基本回路の耐故障性はさらに低下する。すなわち、三重化に依拠しない故障検出箇所特定技術および多数決機構の研究開発が極めて重要であると考えた。特に、三重化を用いないシームレスな故障・不安定モジュール検出機構、故障個所の切り離し機構により、システムの能力維持すなわち耐用年数延長のための必須機構を確立した。回路レベルの上位階層であるアーキテクチャレベルの高信頼化機構について、演算器レベルの耐故障性を向上させる自動冗長化や自己故障検出を含む様々な技術開発に挑戦した。既に実施しているアクセラレータ向け高信頼化技術開発の成果を生かして、単一プロセッサにおける面積オーバーヘッドの小さい耐故障性能向上技術、自己安定化技術などの革新的技術開発に取り組んだ。

【26年度】CADシステムは、当然のことながら存在しないため、既存のシリコンデバイス用CADを利用して、酸化亜鉛回路の描画に必要なデータをGDSIIから生成するコンバータの開発も必要となる。既存ツールを利用して設計フローを作ることも本研究の重要な成果となると考えた。また、8ビットCPU程度の簡単なプロセッサを設計し、エミュレーション技術と組み合わせることで32ビットOSであるuClinuxをプロトタイプ上で稼働させた。

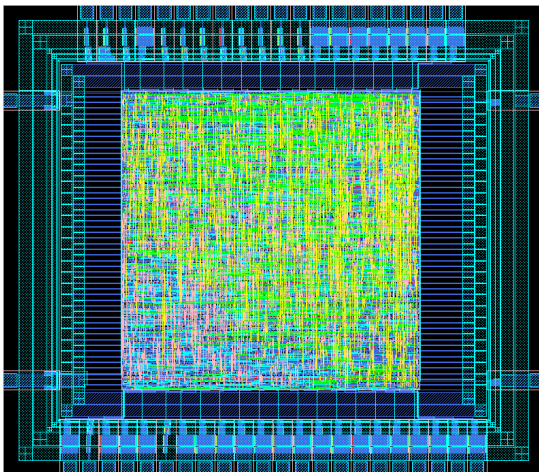
4. 研究成果

本研究の実施項目は大きく3つの柱からなる。
【1】酸化亜鉛回路のデバイスモデル構築と基本セルの選定、および、回路規模評価のための高機能極小CPUの仕様策定と設計

H24年度は、酸化亜鉛回路のデバイスモデル作成が進み、HSPICEによる回路シミュレーションに必要な4端子モデルの初版が出来上がった状況にある。本モデルを用いて、NCHのみからなる論理回路を評価中である。ただし、詳細な評価を行うには、最終ゴールである8ビットCPUの構成に必要な最小限の基本論理回路、および、回路規模の見積りが必要である。このため、デバイスレベルからのボトムアップ設計に加えて、CPUとして必要な機能を実現するためのトップダウン設計を開始した。単に8ビットCPUを実現しただけでは既存のソフトウェア資産を有効利用できないため、エミュレーションに特化した8ビットCPUを設計し、32bitOSを稼働可能な仕様を決定した上で、詳細な論理設計を行った。FPGA上の8ビットCPUを用いて32ビットOSであるuClinuxが稼働した。



H25年度は、酸化亜鉛回路の実現が遅れていたものの、CPUとして必要な機能を実現するためのトップダウン設計を完了した。エミュレーションに特化した8ビットCPUを設計し、FPGA上でエミュレータと組み合わせて32ビットOSが稼働しており、さらに、10000トランジスタ程度で実現可能な既存テクノロジーによるレイアウトも完成した。



H26年度は、連携研究者の研究室において酸化亜鉛回路を用いた基本ゲート作製が完了し、順次、全加算器などのより複雑な回路の作製に着手した状況である。前年度に10000トランジスタ程度で実現可能な既存テクノロジーによるレイアウトが完成したことを受けて、レイアウトから取り出したネットリストを用いて、さらに、耐故障性を高める2種類の冗長設計技術開発を行った。1つは動作不能に陥った命令を別の命令により補完する技術、もう1つは基本ゲート機能を持たせた微小なメモリ機構により論理を補完するPPC技術である。

【2】新素材デバイスに適合しレイアウト生成を可能にするCADシステムの構築

H24年度に、既存のシリコンデバイス用ソース付きフリーCAD(Alliance)を利用できる環境を構築し、FPGA上に構築した8ビットCPUと同じハードウェア記述から、レイアウト情報を生成するフローを確立した。

【3】不安定素子が混入する状況かつ低周波数動作でも実用に耐えるための、自己修復機能を備える多数演算器型アクセラレータ構成方式

H24年度は、三重化を用いないシームレスな故障・不安定モジュール検出機構、故障個所の切り離し機構として、多数演算器を備えるアクセラレータを対象に、面積オーバーヘッドの小さい自動冗長化や自己故障検出を含む様々な技術開発を行った。LSI化を行い所定の耐故障性能を確認した。

H25年度は、三重化を用いないシームレスな故障・不安定モジュール検出機構、故障個所の切り離し機構として、前述の8ビットCPUのネットリストを対象に様々な手法を提案し評価した。

H26年度は、三重化を用いないシームレスな故障・不安定モジュール検出機構、故障個所の切り離し機構を備える多数演算器型アクセラレータの試作LSIが完成し、実際に線源を使用した故障注入を行い、耐故障機能の有効性を確認した。



5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

(雑誌論文)(計7件すべて査読有り)

Yukihiro SASAGAWA, Jun YAO, Yasuhiko NAKASHIMA: "Understanding Variations for Better Adjusting Parallel Supplemental Redundant Executions to Tolerate Timing Faults", IEICE Trans., J97-D-12, pp.3083-3091 2014

Tanvir Ahmed, Jun Yao, and Yasuhiko Nakashima: "A Two-Order Increase in Robustness of Partial Redundancy Under a Radiation Stress Test by Using SDC Prediction", IEEE Transactions on Nuclear Science, 61-4, DOI=10.1109/TNS.2014.2314691, pp.1567-1574 2014

Jun Yao, Mitsutoshi Saito, Shogo Okada, Kazutoshi Kobayashi, and Yasuhiko Nakashima: "EReLA: a Low-Power Reliable Coarse-Grained Reconfigurable Architecture Processor and Its Irradiation Tests", IEEE Transactions on Nuclear Science, 61-6, DOI=10.1109/TNS.2014.2367541, pp.3250-3257 2014

Yuko HARA-AZUMI, Masaya KUNIMOTO, and Yasuhiko NAKASHIMA: "Emulator-Oriented Tiny Processors for Unreliable Post-Silicon Devices: A Case Study", ASP-DAC, 19th Asia and South Pacific Design Automation Conference, ASP-DAC, DOI=10.1109/ASPDAC.2014.6742871, pp.85-90 2014

大上俊, 姚駿, 中島康彦: "演算器アレイにおける高信頼化命令写像手法", 電子情報通信学会 D 論文誌, Vol.J96-D, No.3, pp.472-483 2013

Tanvir Ahmed, Jun Yao, Yasuhiko Nakashima: "Introducing OVP Awareness to Achieve an Efficient Permanent Defect Locating", NANOARCH 2012, ISBN=978-1-4503-1671-2, pp.43-49 2012

Yukihiro SASAGAWA, Jun YAO, Takashi, NAKADA, Yasuhiko NAKASHIMA: "RazorProtector: Maintaining Razor DVS Efficiency in Large IR-drop Zones by an Adaptive Redundant Data-Path", IEICE Trans. on VLSI Design and CAD Algorithms, Vol.E95-A, No.12, pp.2319-2329 2012

[学会発表] (計17件中11件のみ記載)

Takumi Tsuzuki, Yuho Hara, Shigeru Yamashita, Yasuhiko Nakashima: "Quantitative Evaluations and Efficient Exploration for Optimal Partially-Programmable Circuits Generation", Workshop on Synthesis And System Integration of Mixed Information Technologies, Taiwan Yilan, 2015年03月16日 ~ 2015年03月17日

Oliver Kaltstein, Takamaeda Shinya, Jun YAO, Yasuhiko Nakashima: "DIVA-EMIN: Efficient Dependability for Post-Silicon Materials", 平成24年度情報処理学会関西支部大会講演論文集, 大阪大学(中之島センター), 2014年09月17日 ~ 2014年09月17日

都築匠, 原祐子, 山下茂, 中島康彦: "PPCにおけるLUT挿入位置最適化の定量的評価", DAシンポジウム, ホテル下呂温泉水明館(岐阜県下呂市), 2014年08月28日 ~ 2014年08月29日

Shunichi Sanae, Yuko Hara-Azumi, Shigeru Yamashita and Yasuhiko Nakashima: "Better-than-DMR techniques for Yield Improvement", The 22nd IEEE International Symposium on Field-Programmable Custom Computing Machines, Photonics Center, Boston University (US Boston), 2014年05月11日 ~ 2014年05月13日

Yuttakon Yuttakonkit, Jun Yao, Yasuhiko Nakashima: "A Globally Asynchronous Locally Synchronous DMR Architecture for Aggressive Low-Power Fault Tolerant", IEEE Symposium on Low-Power and High-Speed Chips, Yokohama Bunka Center (Japan Yokohama), 2014年04月14日 ~ 2014年04月16日

Shunichi Sanae, Yuko Hara-Azumi, Shigeru Yamashita, and Yasuhiko Nakashima: "Novel Area-Efficient Technique for Yield Improvement", Workshop on Design

Automation for Understanding Hardware Designs, Design Automation and Test in Europe (DATE), Maritim Hotel & Internationales Congress Center (Germany Dresden), 2014年03月24日 ~ 2014年03月28日

Yuttakon Yuttakonkit, Jun Yao, Yasuhiko Nakashima: "An Asynchronous Commit DMR Architecture for Aggressive Low-Power Fault Tolerant", 情報処理学会研究報告, 名古屋大学(愛知県名古屋市), 2014年03月06日 ~ 2014年03月07日

早苗駿一, 原祐子, 山下茂, 中島康彦: "PPCに基づく高歩留まり回路の発見的設計手法", 情報処理学会 デザインガイア, 鹿児島大学(鹿児島市), 2013年11月27日 ~ 2013年11月29日

早苗駿一, 原祐子, 山下茂, 中島康彦: "Partially-Programmable Circuit の歩留まり向上のためのLUT 最適化手法", 情報処理学会 DAシンポジウム, コンベンションビューロー(下呂市), 2013年08月21日 ~ 2013年08月22日

國本将也, 原祐子, 中島康彦: "永久故障回避のための等価命令列置換手法", 情報処理学会 並列/分散/協調処理に関するサマー・ワークショップ SWoPP, 北九州国際会議場(福岡県北九州市)北九州, 2013年08月01日 ~ 2013年08月02日

Hao Xu, Yuko Hara-Azumi, Yasuhiko NAKASHIMA: "Comparison of emulation oriented 8-bit ISA with 6502 ISA for an ARM emulator", 情報処理学会計算機アーキテクチャ研究会, Big-U(和歌山県田辺市), 2013年03月27日

[産業財産権]

出願状況(計1件)

名称:エミュレーション方式

発明者:中島康彦

権利者:奈良先端大

種類:特許、特願 2013-055660

出願年月日:2013年03月18日

国内外の別:国内

[その他]

ホームページ等

<http://arch.naist.jp/>

6. 研究組織

(1)研究代表者

中島 康彦(NAKASHIMA YASUHIKO)

奈良先端科学技術大学院大学・情報科学研究科・教授

研究者番号:00314170

(2)研究分担者

原 祐子(HARA YUKO)

奈良先端科学技術大学院大学・情報科学研究科・助教

研究者番号:20640999

(3)連携研究者

浦岡 行治(URAOKA YUKIHARU)

奈良先端科学技術大学院大学・物質創成科学研究科・教授

研究者番号:20314536