

様式 F - 7 - 2

## 科学研究費助成事業（学術研究助成基金助成金）実績報告書（研究実績報告書）

1. 機関番号 

1	4	6	0	3
---	---	---	---	---

 2. 研究機関名 奈良先端科学技術大学院大学
3. 研究種目名 挑戦的萌芽研究 4. 補助事業期間 平成24年度～平成26年度
5. 課題番号 

2	4	6	5	0	0	2	0
---	---	---	---	---	---	---	---
6. 研究課題名 フィルムコンピュータ実現のための安定回路構成方式

## 7. 研究代表者

研究者番号	研究代表者名	所属部局名	職名
0 0 3 1 4 1 7 0	ナカシマ ヤスヒコ	情報科学研究科	教授
	中島 康彦		

## 8. 研究分担者

研究者番号	研究分担者名	所属研究機関名・部局名	職名

## 9. 研究実績の概要

本研究の実施項目は、3つの柱からなる。1.酸化亜鉛回路のデバイスモデル構築と基本セルの選定、および、回路規模評価のための高機能極小CPUの仕様策定と設計；2.新素材デバイスに適合しレイアウト生成を可能にするCADシステムの構築；3.不安定素子が混入する状況かつ低周波数動作でも実用に耐えるための、自己修復機能を備える多数演算器型アクセラレータ構成方式。

1.については、連携研究者の研究室において酸化亜鉛回路を用いた基本ゲート作製が完了し、順次、全加算器などのより複雑な回路の作製に着手した状況である。研究代表者チームは前年度にCPUとして必要な機能を実現するためのトップダウン設計を完了しており、エミュレーションに特化した8ビットCPUおよび32ビットOSをFPGA上で稼働させている。また、前年度に10000トランジスタ程度で実現可能な既存テクノロジーによるレイアウトが完成したことを受けて、本年度はレイアウトから取り出したネットリストを用いて、さらに、耐故障性を高める2種類の冗長設計技術開発を行った。1つは動作不能に陥った命令を別の命令により補完する技術、もう1つは基本ゲート機能を持たせた微小なメモリ機構により論理を補完するPPC技術である。

2.については、既存のシリコンデバイス用ソース付きフリーCAD(Alliance)を利用できる環境を構築した状態を維持している。

3.については、三重化を用いないシームレスな故障・不安定モジュール検出機構、故障個所の切り離し機構を備える多数演算器型アクセラレータの試作LSIが完成し、実際に線源を使用した故障注入を行い、耐故障機能の有効性を確認した。

## 10. キーワード

- (1) ディペンダブル (2) IGZO (3) 超小型CPU (4) エミュレーション
- (5) 回路冗長化 (6) PPC (7) 多数演算器アクセラレータ (8)

(注)・印刷に当たっては、A4判(縦長)・両面印刷すること。

(1/5)

## 11.研究発表

(雑誌論文) 計(3)件 うち査読付論文 計(3)件 (最終年度分)

著者名		論文標題			
Jun Yao, Mitsutoshi Saito, Shogo Okada, Kazutoshi Kobayashi, and Yasuhiko Nakashima		EReLA: a Low-Power Reliable Coarse-Grained Reconfigurable Architecture Processor and Its Irradiation Tests			
雑誌名	査読の有無	巻	発行年	最初と最後の頁	
IEEE Transactions on Nuclear Science	有	61-6	2 0 1 4	3250-3257	
掲載論文のDOI(デジタルオブジェクト識別子)					
10.1109/TNS.2014.2367541					

著者名		論文標題			
Tanvir Ahmed, Jun Yao, and Yasuhiko Nakashima		A Two-Order Increase in Robustness of Partial Redundancy Under a Radiation Stress Test by Using SDC Prediction			
雑誌名	査読の有無	巻	発行年	最初と最後の頁	
IEEE Transactions on Nuclear Science	有	61-4	2 0 1 4	1567-1574	
掲載論文のDOI(デジタルオブジェクト識別子)					
10.1109/TNS.2014.2314691					

著者名		論文標題			
Yukihiro SASAGAWA, Jun YAO, Yasuhiko NAKASHIMA		Understanding Variations for Better Adjusting Parallel Supplemental Redundant Executions to Tolerate Timing Faults			
雑誌名	査読の有無	巻	発行年	最初と最後の頁	
IEICE Trans.	有	J97-D-12	2 0 1 4	3083-3091	
掲載論文のDOI(デジタルオブジェクト識別子)					
10.1587/transinf.2014PAP0024					

(学会発表) 計(5)件 うち招待講演 計(0)件 (最終年度分)

発表者名	発表標題	
Takumi Tsuzuki, Yuho Hara, Shigeru Yamashita, Yasuhiko Nakashima	Quantitative Evaluations and Efficient Exploration for Optimal Partially-Programmable Circuits Generation	
学会等名	発表年月日	発表場所
Workshop on Synthesis And System Integration of Mixed Information technologies	2015年03月16日 ~ 2015年03月17日	Yilan, Taiwan

発表者名	発表標題	
Shunichi Sanae, Yuko Hara-Azumi, Shigeru Yamashita and Yasuhiko Nakashima	Better-than-DMR techniques for Yield Improvement	
学会等名	発表年月日	発表場所
The 22nd IEEE International Symposium on Field-Programmable Custom Computing Machines	2014年05月11日 ~ 2014年05月13日	Boston, Massachusetts

発表者名	発表標題	
Yuttakon Yuttakonkit, Jun Yao, Yasuhiko Nakashima	A Globally Asynchronous Locally Synchronous DMR Architecture for Aggressive Low-Power Fault Toleration	
学会等名	発表年月日	発表場所
IEEE Symposium on Low-Power and High-Speed Chips	2014年04月14日 ~ 2014年04月16日	Yokohama Bunka-Center (Yokohama)

発表者名	発表標題	
都築匠, 原祐子, 山下茂, 中島康彦	PPCにおけるLUT挿入位置最適化の定量的評価	
学会等名	発表年月日	発表場所
DAシンポジウム	2014年08月28日 ~ 2014年08月29日	ホテル下呂温泉水明館(岐阜県下呂市)

発表者名	発表標題	
Oliver Kaltstein, Takamaeda Shinya, Jun YAO, Yasuhiko Nakashima	DIVA-EMIN: Efficient Dependability for Post-Silicon Materials	
学会等名	発表年月日	発表場所
平成24年度情報処理学会関西支部大会講演論文集	2014年09月17日～2014年09月17日	大阪大学中之島センター(大阪市)

〔図書〕計(0)件 (最終年度分)

著者名	出版社		
書名	発行年	総ページ数	

## 12. 研究成果による産業財産権の出願・取得状況

〔出願〕計(0)件 (最終年度分)

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	出願年月日	国内・外国の別

〔取得〕計(0)件 (最終年度分)

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	取得年月日	国内・外国の別
				出願年月日	

13.備考

コンピューティング・アーキテクチャ研究室  
<http://arch.naist.jp/>