

様 式 F - 7 - 1

科学研究費助成事業（学術研究助成基金助成金）実施状況報告書（研究実施状況報告書）（平成 2 5 年度）

1. 機関番号

1	4	6	0	3
---	---	---	---	---

 2. 研究機関名 奈良先端科学技術大学院大学

3. 研究種目名 挑戦的萌芽研究 4. 補助事業期間 平成 2 4 年度 ~ 平成 2 6 年度

5. 課題番号

2	4	6	5	0	0	2	0
---	---	---	---	---	---	---	---

6. 研究課題名 フィルムコンピュータ実現のための安定回路構成方式

7. 研究代表者

研究者番号	研究代表者名	所属部局名	職名
0 0 3 1 4 1 7 0	ナカシマ ヤスヒコ	情報科学研究科	教授
	中島 康彦		

8. 研究分担者

研究者番号	研究分担者名	所属研究機関名・部局名	職名
2 0 6 4 0 9 9 9	ハラ ユウコ	情報科学研究科	助教
	原 祐子		

9. 研究実績の概要

本研究の実施項目は、3つの柱からなる。1.酸化亜鉛回路のデバイスモデル構築と基本セルの選定、および、回路規模評価のための高機能極小CPUの仕様策定と設計；2.新素材デバイスに適合しレイアウト生成を可能にするCADシステムの構築；3.不安定素子が混入する状況かつ低周波数動作でも実用に耐えるための、自己修復機能を備える多数演算器型アクセラレータ構成方式。

1.については、酸化亜鉛回路の実現が遅れているものの、CPUとして必要な機能を実現するためのトップダウン設計を完了した。エミュレーションに特化した8ビットCPUを設計し、FPGA上でエミュレータと組み合わせて32ビットOSが稼働しており、さらに、10000トランジスタ程度で実現可能な既存テクノロジーによるレイアウトも完成した。

2.については、既存のシリコンデバイス用ソース付きフリーCAD (Alliance) を利用できる環境を構築した状態を維持している。

3.については、三重化を用いないシームレスな故障・不安定モジュール検出機構、故障個所の切り離し機構として、前述の8ビットCPUのネットリストを対象に様々な手法を提案し評価した。

10. キーワード

- | | | | |
|-------------|----------|-----------|--------------|
| (1) ディペンダブル | (2) IGZO | (3) 小型CPU | (4) エミュレーション |
| (5) 高信頼化CAD | (6) PPC | (7) | (8) |

11. 現在までの達成度

(区分)(1) 当初の計画以上に進展している。

(理由)

連携研究者が実施中の材料開発自体は遅れているものの、本研究の主要な目標は、これら新素材を仮定したCPUの実現可能性向上である。効率の良いエミュレータを開発した結果、1万トランジスタで32ビットOSを稼働させることに成功しており、さらにゲートレベルの高信頼化手法と組み合わせ、経年劣化に対する耐性を高める部分冗長化技術および評価までが完了した状態にある。わずか2年で達成し論文化に至っていることから、当初の計画以上に進展していると言える。

12. 今後の研究の推進方策 等

(今後の推進方策)

連携研究者側では、IGZOによる基本ゲートとフリップフロップの設計が完了した状況にある。最終年度は、より大規模な回路のIGZOモデルに基づき、これまでシリコンテクノロジーを借りて評価してきた上位設計をIGZOベースに移行し、提案手法の総合的評価を行う。

(次年度使用額が生じた理由と使用計画)

(理由)

(使用計画)

13.研究発表(平成25年度の研究成果)

(雑誌論文) 計(1)件 うち査読付論文 計(1)件

著者名		論文標題			
Yuko HARA-AZUMI, Masaya KUNIMOTO, and Yasuhiko NAKASHIMA		Emulator-Oriented Tiny Processors for Unreliable Post-Silicon Devices: A Case Study			
雑誌名	査読の有無	巻	発行年	最初と最後の頁	
ASP-DAC, 19th Asia and South Pacific Design Automation Conference	有	ASP-DAC	2014	pp.85-90	
掲載論文のDOI(デジタルオブジェクト識別子)					
なし					

(学会発表) 計(7)件 うち招待講演 計(0)件

発表者名	発表標題【発表確定】	
Shunichi Sanae, Yuko Hara-Azumi, Shigeru Yamashita and Yasuhiko Nakashima	Better-than-DMR techniques for Yield Improvement	
学会等名	発表年月日	発表場所
The 22nd IEEE International Symposium on Field-Programmable Custom Computing Machines	2014年05月11日～2014年05月13日	Photonics Center, Boston University(Boston)

発表者名	発表標題【発表確定】	
Yuttakon Yuttakonkit, Jun Yao, Yasuhiko Nakashima	A Globally Asynchronous Locally Synchronous DMR Architecture for Aggressive Low-Power Fault Toleration	
学会等名	発表年月日	発表場所
IEEE Symposium on Low-Power and High-Speed Chips 2014	2014年04月14日～2014年04月16日	Yokohama Joho Bunka Center(横浜)

発表者名	発表標題	
Shunichi Sanae, Yuko Hara-Azumi, Shigeru Yamashita, and Yasuhiko Nakashima	Novel Area-Efficient Technique for Yield Improvement	
学会等名	発表年月日	発表場所
Workshop on Design Automation for Understanding Hardware Designs, Design Automation and Test in Europe (DATE)	2014年03月24日～2014年03月28日	Maritim Hotel & Internationales Congress Center (Dresden)

発表者名	発表標題	
Yuttakon Yuttakonkit, Jun Yao, Yasuhiko Nakashima	An Asynchronous Commit DMR Architecture for Aggressive Low-Power Fault Toleration	
学会等名	発表年月日	発表場所
情報処理学会研究報告	2014年03月06日～2014年03月07日	名古屋大学

発表者名	発表標題	
早苗駿一, 原祐子, 山下茂, 中島康彦	PPCに基づく高歩留まり回路の発見的設計手法	
学会等名	発表年月日	発表場所
情報処理学会 デザインガイア	2013年11月27日～2013年11月29日	鹿児島

発表者名	発表標題	
早苗駿一, 原祐子, 山下茂, 中島康彦	Partially-Programmable Circuit の歩留まり向上のためのLUT最適化手法	
学会等名	発表年月日	発表場所
情報処理学会 DAシンポジウム	2013年08月21日～2013年08月22日	下呂

発表者名	発表標題	
國本将也, 原祐子, 中島康彦	永久故障回避のための等価命令列置換手法	
学会等名	発表年月日	発表場所
情報処理学会 並列/分散/協調処理に関するサマー・ワークショップ SWoPP	2013年08月01日～2013年08月02日	北九州

