

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 9 日現在

機関番号：14603

研究種目：若手研究(B)

研究期間：2011～2013

課題番号：23700060

研究課題名(和文) 経年劣化と消費電力を改善する高性能・高信頼アーキテクチャ

研究課題名(英文) A High-Performance High-Reliable Architecture for Better Energy Efficiency and Wear-out Toleration

研究代表者

姚 駿 (YAO, JUN)

奈良先端科学技術大学院大学・情報科学研究科・准教授

研究者番号：40567153

交付決定額(研究期間全体)：(直接経費) 3,300,000円、(間接経費) 990,000円

研究成果の概要(和文)：一般的な高信頼化設計手法では、極めて稀な動作ケースに対応するため過剰に高信頼化が行われている。本研究では、これらの点に着目し、電力効率と信頼性を両立するプロセッサアーキテクチャを提案し、このようなアーキテクチャに関して詳細に検討を進め、定量的評価を行う。特に、(1)時間冗長化と空間冗長化を融合するアーキテクチャの提案と評価；(2)3重化を用いないシームレスな不安定モジュール検出機構の提案と評価；(3)回路ユニットの経年劣化低減のためのコア内細粒度動的電源電圧制御機構の提案と評価；に取り込んだ。この研究の結果について、論文誌論文7件、国際会議論文(査読有)9件を発表した。

研究成果の概要(英文)：To tolerate the increasing electronic error, the traditional way in microprocessor is to use dual or triple modular redundancy for high-dependable execution, which does not show good energy efficiency. In this research, targeting at a low-power high-performance fault toleration, the following points have been carried out: 1. A fusion of temporal and spatial redundancy; 2. A non-TMR based scheme to locate the permanent failure; (3) Architectural method to aid NBTI effects. The results of this research have been published in 7 journal papers and 9 international conference papers with referee.

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：ディペンダブルコンピューティング

1. 研究開始当初の背景

電子デバイスの微細化により従来型プロセッサの性能はこれまで急激に向上してきた。しかし近年、22nmを超える超微細化製造技術は以下の問題に直面している。

- (1) 製造プロセスの微細化にも関わらず消費電力が指数的に増加している。消費電力の問題が最大動作周波数および面積あたりトランジスタ数の改善を妨げている。
- (2) 次世代超微細デバイスは微弱なエネルギーを取り扱うため、微弱なエネルギーを多数コピーして遠方に届ける(ファンアウト)能力が乏しいことが予想され、外部からの擾乱を無視できない。また、製造ばらつきと NBTI (Negative Bias Temperature Instability) に起因するデバイス・エラー率が高くなるため、出荷時点の許容最大遅延時間を超えてタイミング・エラーが発生する可能性が高くなる。以上の2つの要因により、近未来の超微細化製造技術においては、性能・消費電力・信頼性を全て向上させることは困難になると考えられる。

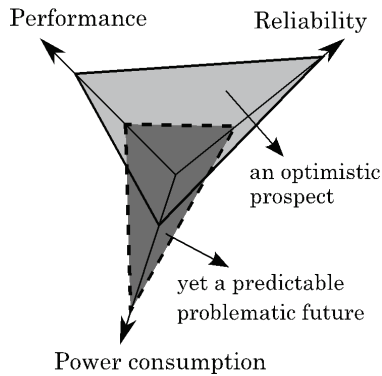


図 1. 次世代プロセッサの特性

すなわち、図1の理想的な特性(灰色部分)の確保は困難であり、実際には黒色部分に示すように消費電力のみが突出する状況が予想される。性能と電力を両立させる従来研究は多数存在するが、信頼性の確保にはデバイスレベルの堅牢化と冗長化に依拠するのが一般的であるため、低電力化と高信頼化の両立は難しい。また、極低消費電力次世代デバイス分野においては、シリコンデバイス並みの信頼性をデバイスレベルで確保することは極めて困難であると考えられるため、シリコンデバイスにおいて一般的な高信頼化技術に加えて、より低電力な高信頼化技術が渴望されている。本研究は、プロセッサの高信頼化と電力性能比の向上の両立を図るものである。

2. 研究の目的

本研究の目的は、性能・消費電力・信頼性を総合的に最適化する手法の確立にある。具体的には、以下の目標を掲げる。

- (1) **時間冗長化と空間冗長化を融合するアーキテクチャの提案と評価**: 前述した DARA プロセッサは、常に2重化モードでエラー検出および回復を行っており、3重化モード

は永久故障個所の検出および切り離しの際のみ使用する。2重化を超える3重化部分(全体面積の1/3の面積)は、通常電源OFFにしておくことにより、電力効率を改善できると考えられるが、面積効率の観点からは無駄が多い。特に、レア・ケースについても全て3重化により救済する手法では面積効率が悪い。このため、高信頼化プロセッサの3重化部分(スペア・モジュール)は、むしろ、通常時は性能向上のために利用することが望ましいと考えられる。このような、性能と信頼性のトレードオフが可能な機構について提案および評価を行う。

(2) **3重化を用いないシームレスな不安定モジュール検出機構の提案と評価**: システムの能力維持すなわち耐用年数延長のためには、不安定モジュールの特定および切り離し機構が必須であると考えられる。現状では3重化機構が最も一般的であるが、3重化のためには、さらに回路切り替えのための追加回路、配線、レジスタポート等が必要となるため、基本回路の耐故障性はさらに低下する。すなわち、今後解決すべき課題は、3重化に依拠しない故障検出箇所特定技術および多数決機構である。このような自己点検機構は、2重化機構等による故障検出後に活性化され、例えば故障箇所特定プログラム等を自動的に走行するような仕組みにより、切り離しが必要な箇所を特定するものになるはずである。また、永久故障が発生したユニットを特定し切り離す間にシステムが停止することは、24時間サービスの妨げになる。ダウンタイムを低減するため、多重化したプロセッサ・アーキテクチャによる、スムーズな点検機能の検討および設計を行う。

(3) **回路ユニットの経年劣化低減のためのコア内細粒度動的電源電圧制御機構の提案と評価**: 高信頼化プロセッサの実行サイクル数は、エラー・フリー時のサイクル数とエラー回復時のサイクル数の合計である。実行サイクル数と動作周波数を動的にバランス(動作周波数を上げるとエラー発生頻度が上昇し、再実行によるサイクル数が増加すると、かえって性能は低下する)させて、エラーの影響も含めた性能最適化を行う機構について検討する。極めて高頻度のエラーが発生する環境下でも、信頼性と回復オーバーヘッドをバランスさせるアーキテクチャを構築できると考えており、次世代デバイスに対しても有効な対策を施せると確信している。

3. 研究の方法

異なる多重度およびエラー耐性を備える構成に必要なスケラブル・パイプラインモジュールを設計し、空間的多重化構造に基づく冗長度可変プロセッサ、および、DMR/TMR 実行型プロセッサ(DARA)を実装中である。DARAは、一時故障であれば、正常な状態からの再実行によって正常な動作を続けることができる。また、TMRは3つの同一回路から

の出力の多数決により、故障の発生を隠蔽して実行を続けることができる。本構成は、一時故障に加え永久故障時にも正常な動作を続けることができる点で優れている。本研究では、DARA の高信頼構造に基づき、さらに性能と電力の最適化に発展させる。

(1) 時間冗長化と空間冗長化を融合するアーキテクチャの提案と評価

DARA では、常時、ハードウェア2重化による空間冗長化モードで実行し、永久故障に対応する3重化用モジュールは常に電源 OFF としている。DARA の単一モジュールの3倍の面積を使用するにも関わらず、性能は1倍であるため面積性能比の観点から非効率的である。そこで、以下の空間冗長化と時間冗長化の融合を考えている。DARA に予め用意されているパイプラインのうち3本を協調動作させることにより、最大で3命令を同時実行できる。この機構を利用し、1クロック・サイクル中にデータ依存のない2命令の同時実行を行う。図2に示すように、2命令のうち1命令を複製し2本のパイプラインで実行することにより空間冗長化を実現し、残りの1命令は

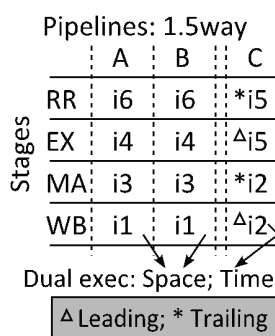


図2. 時間/空間冗長化を融合

次サイクルとの間で時間冗長化を実現する。2サイクルで最大3命令を実行でき、基盤のDARAユニットを用いた信頼性を確保しつつ、最大1.5倍の性能向上を目指す。データ・ハザードの観点から、本提案の1.5-wayは、2-wayプロセッサのデータ・ハザードの遅延を有効利用するアイデアと言える。より詳細には、時間冗長・空間冗長融合機構のための1.5-way命令スケジューラを設計し、面積性能比を詳細に調査する。永久故障にも対応するために、時間冗長化の実行は、パイプライン間をローテーションさせ、3本パイプラインをなるべく均等に使用する。

(2) 3重化を用いないシームレスな不安定モジュール検出機構の提案と評価

従来型の3重化技術では、追加回路、配線、およびレジスタポート数のオーバーヘッドが極めて大きい。このため、演算器に対して故障位置特定のための微小な自己診断機構を追加し、ハードウェアあるいはソフトウェアによる自己診断を可能とする。具体的には、検査コードを演算器にロードし、結果を微小な記憶回路に保存しておいた正解値と比較して異常を検知する。

この基本アイデアをDARAに拡張すると、2重化に必要な配線およびモジュールを備え、プロセッサ全体の面積を小さくしながら3重化と同等の永久故障対策を施すことが可能になると考えている。さらに、(1)の提案と組み合

わせた拡張も考えられる。具体的には、図2の時間冗長・空間冗長を融合した1.5-way高信頼化プロセッサを動的に空間冗長のみを利用するプロセッサ構成に戻し、3本目の時間的な実行で動くパイプライン(C)は自己診断モード専用として、不安定モジュールの特定に使用する。不安定モジュールが空間冗長化したパイプラインに残る場合、高信頼実行により、エラーが含まれる演算結果のメモリ等への出力を抑制できる。その上で、3本のパイプラインの実行モードを動的にローテーションさせ、最終的に、自己診断により不安定モジュールを検出することができる。この(1)と(2)の組み合わせにより、不安定モジュールを検出しながら、プログラムの通常実行も可能である。プロセッサ全体として性能は1-wayのプロセッサに近づくが、ダウンタイムをゼロに近づけることが可能となる。

(3) 回路ユニットの経年劣化低減のためのコア内細粒度動的電源電圧制御機構の提案と評価

製造技術が微細化すると、NBTI およびばらつきによりタイミング・エラーが発生しやすくなる。コンピュータシステムでは、最も性能の低いユニットが全体の性能のボトルネックとなるのと同様に、最も信頼性の低いユニットにより全体の信頼性が決定される。すなわち、コンピュータを構成する回路間でトランジスタの劣化速度が異なる場合、最も劣化速度が速い回路でコンピュータの寿命が決定される。タイミング・エラーを低減し、さらに、プロセッサの安定稼働可能時間を延長するため、以下のような動的電源電圧制御機構が必要になると考えている。

①DARAのマルチコア化を考えた場合、コア単位に、異なる電源電圧を適用して安定化を図る方法が考えられる。NBTI効果は供給電圧およびスレッショルド電圧により変化する。具体的には、ばらつきが少なく高速実行可能なコアには高い電圧を印加して動作周波数を上昇させ、高性能が要求されるアプリケーションプログラムを実行させる。逆に、低速動作向きのコアには低い電圧を印加して、NBTIによる経年劣化も抑制する。以上の考えに基づき、例えば1時間経過後、高電圧を印加したコアの電圧を低下させ、コアをサイクリックに使用してプロセッサ全体の平均寿命の延長を図ることができる。と考える。

②コア単位よりも粒度の小さい電圧制御を適用して、安定化を図る方法も考えられる。(1)と(2)の結果をベースとして、利用する3本のパイプラインに対して各々異なる電圧を印加する方法がある。DARAでは、1ビットあたりのエラーレートが毎秒 10^4 回に達する場合でも、演算の回復に必要な時間的オーバーヘッドは5%で済むことがわかっている。信頼性向上のために、エラー検出・回復機構の組み合わせが必要であるが、実際にアプリケーションプログラムを走行させた際の再実行に起因する性能に対する影響は自明ではない。DARAのエラー検出・回復機能を有効に利用し、かつ、

電力性能比を向上させるために、電源電圧を変化させた場合のエラー発生率と再実行による実行時間の遅延を測定し、全体の実行時間を最適化できる。電源電圧、動作周波数、および、実行時間の関係から、消費エネルギー・性能・信頼性の最適化を図ることが可能と考えられる。

4. 研究成果

(1) 時間冗長化と空間冗長化を融合するアーキテクチャの提案と評価: 時間冗長化と空間冗長化を組み合わせたベースラインプロセッサとして、従来型の汎用プロセッサに対して2重化によるエラー検出・回復制御モジュール(DARA 構造)を追加した、エラー検出・自動訂正機能付きDARAプロセッサをH23年度にテープアウトし、ASIC化を完了した。特に、通常のFFを用いて実装したDARAに対して、耐故障動作を有効化/無効化を切り替えながら動作を行わせつつ、 α 線を照射する実験において、耐故障動作を無効化した場合はソフトウェアによるものと思われる異常動作が発生したのに対し、耐故障動作を有効化した場合はソフトウェアの挿入を検出して再実行による回復に成功していることが動作ログより確認できた。

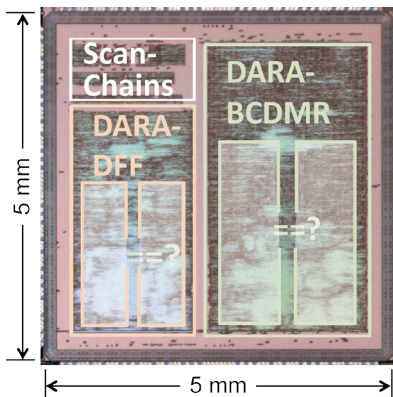


図 3. DARA チップグラフ

図3にASICされたチップグラフを示す。優位性比較では、DARAの細粒度耐故障動作により、故障発生率が非常に高い状況においても、ソフトウェアの検出/再実行による回復を行えることを確認した。通常のFFを用いて実装したDARA(2パイプライン)の面積である 5.09mm^2 と、冗長化FFを用いて実装したDARA(2パイプライン)の面積である 8.51mm^2 を比較することにより、実際の大規模回路において冗長化FFを利用する場合の面積オーバーヘッドの目安を示すことができた。この結果について、本研究領域で著名な国際会議に1件(学会発表5)採択され、発表を行った。さらに、Impact Factorが1.4であるIEEE学会誌TNS(IEEE Transactions on Nuclear Science)に投稿し、採択された(論文誌論文6)。

空間冗長化DARAの実装に基づき、図4のような時間・空間両方の冗長化を行うプロセッ

サを構築し、シミュレーションを行った。特に、図3のDARAプロセッサの元に、2命令のうち1命令を複製し2本のパイプラインで実行することにより空間冗長化を実現し、残りの1命令は次サイクルとの間で時間冗長化を実現した。これらを合わせて1.5way issueのスーパースケラプロセッサと同等の性能が達成できる。図5に示すように、1.5way実行方式は、図3に示したDARAよりも1.20倍高い性能を達成する2way実行方式と相当の性能を達成した。この結果を査読付き国際会議に発表(学会発表8に該当)した。

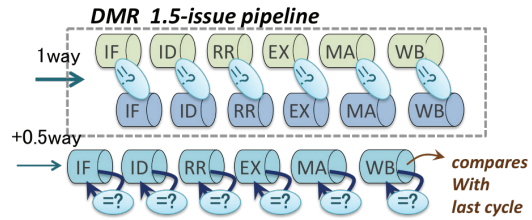


図 4. 1.5-way プロセッサ

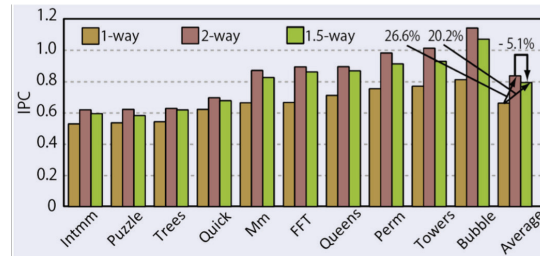


図 5. 1.5way 性能結果

(2) 3重化を用いないシームレスな不安定モジュール検出機構の提案と評価:

①アクセラレータ型プロセッサ向けの高信頼低消費電力構成方式を考案し、明示的な冗長化高信頼プロセッサ EReLA を提案した。H24年度には EReLA をテープアウトし、ASIC化を完了した(図6、論文誌論文1、2)。 α 線照射による、毎秒1ビット反転の高いエラー注入率においては、14%の追加消費電力で、チップ全体のMTTF(平均エラー発生時間)が2.3秒から33秒へと改善された(学会発表1)。

②アクセラレータ型プロセッサが汎用プロセッサよりも細粒度に演算器を切り離すことが可能であり、演算器アレイによる平均使用寿命を大きく向できる可能性を示した。この構造の特徴の1つは、命令写像による2重化によって、エラーを検出する仕組みを用いて、自己チューニングを行い、故障位置を自動的に特定できる点である。また、この自己チューニングの仕組みを利用することにより、3重化実行を利用せずに永久故障することも対応可能になり、3重化の多いコストを避けることができる。図7の実験データによる、3重化と相当する信頼性を維持しつつ、本提案の方式が、33%の電力削減ができる。この結果を学会発表2で発表され、さらに、IEEE Microの特集号への投稿を推薦された。

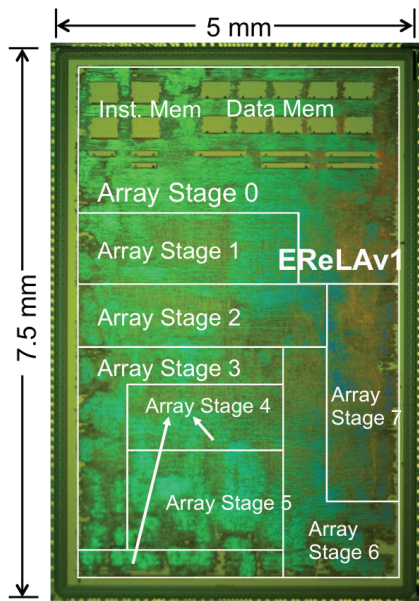


図 6. EReLA チップグラフ

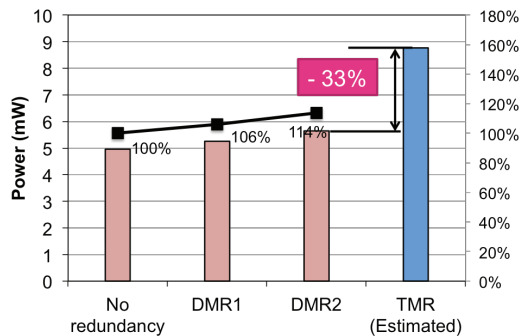


図 7. EReLA の電力結果

(3) 回路ユニットの経年劣化低減のためのコア内細粒度動的電源電圧制御機構の提案と評価:

①H23 年度に ASIC 化した2重化実チップ DARA の多重化実行時に、回路に貯まる熱による温度の上昇が引き起こす NBTI (negative bias temperature instability)により、プロセッサの一部または全体の寿命が縮む問題が発生することに着目した。図3に示した DARA に blurDMR と呼ばれる動作モードを追加した。3本の同一のパイプライン・モジュールを搭載し、永久故障が発生しなくても、一定期間毎に冗長実行する2つのパイプラインの組み合わせが変更され、長時間連続動作することによる温度上昇が低減できる。実チップで、 α 線を照射し、正常動作できるアーキテクチャであることを実証した。blurDMR の実チップの検証結果に用いて、プログラム特性の理解に基づき、永久エラーへの耐性と電力性能の最適化手法を提案した。

②DARA における実行結果の同期された比較が性能低下を招いている。この点に着目し、非同期比較回路による、低電圧で稼働できる多重化プロセッサ方式を提案し、信頼性を維持しつつ、12%の電力効率の向上が達成できることがわかった(学会発表2)。

③さらに、H24 年度に ASIC 化した明示的な冗長化高信頼プロセッサ EReLA(図6)の電力特性をベースとし、近年応用大きくなる近似計算(Approximate Computing)と呼ばれる特性を持つプログラムと相性を探索した。6%の追加消費電力で、高率なエラー環境にも、2桁程度エラー耐性の向上することを確認した(学会発表の4、論文誌論文3)。

5. 主な発表論文等

[雑誌論文] (計 7 件)

- ① Jun Yao, Yasuhiko Nakashima, Naveen Devisetti, Kazuhiro Yoshimura, and Takashi Nakada, "A Tightly Coupled General Purpose Reconfigurable Accelerator LAPP and Its Power States for HotSpot-Based Energy Reduction," IEICE Transactions on Information and Systems, 2014 (To appear), 査読有.
- ② Yukihiro Sasagawa, Jun Yao, Yasuhiko Nakashima, "Understanding Variations for Better Adjusting Parallel Supplemental Redundant Executions to Tolerate Timing Faults," IEICE Transactions on information and systems, 2014 (To appear), 査読有.
- ③ Tanvir Ahmed, Jun Yao, and Yasuhiko Nakashima, "A Two-Order Increase in Robustness of Partial Redundancy Under a Radiation Stress Test by Using SDC Prediction," IEEE Transactions on Nuclear Science (TNS), 2014 (To appear), 査読有.
- ④ Tanvir Ahmed, Jun Yao, Yuko Hara-Azumi, Shigeru Yamashita, Yasuhiko Nakashima, "Selective Check of Data-Path for Effective Fault Tolerance", IEICE transactions on Information and System, Vol. E96-D, No. 8, Aug. 2013, 査読有.
- ⑤ 大上俊, 姚駿, 中島康彦, "演算器アレイにおける高信頼化命令写像手法," 電子情報通信学会 和文論文誌 D, Vol. J96-D, No. 3, pp. 472-483, March 2013, 査読有.
- ⑥ Jun Yao, Shogo Okada, Masaki Masuda, Kazutoshi Kobayashi, Yasuhiko Nakashima, "DARA: A Low-Cost Reliable Architecture Based on Unhardened Devices and its Case Study of Radiation Stress Test," IEEE Transactions on Nuclear Science (TNS), Vol. 59, Issue 6, pp. 2852-2858, Dec. 2012, 査読有.
- ⑦ Yukihiro Sasagawa, Jun Yao, Takashi Nakada, Yasuhiko Nakashima,

“RazorProtector: Maintaining Razor DVS Efficiency in Large IR-drop Zones by an Adaptive Redundant Data-Path,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E95-A, No. 12, pp. 2319-2329, Dec. 2012, 査読有.

[学会発表] (計 9 件、査読有)

- ① Jun Yao, Mitsutoshi Saito, Shogo Okada, Kazutoshi Kobayashi, and Yasuhiko Nakashima, “EReLA: a Low-Power Reliable Coarse-Grained Reconfigurable Architecture Processor and Its Irradiation Tests (Poster),” In 2014 IEEE Nuclear and Space Radiation Effects Conference (NSREC’14), July 15-18, 2014, Paris, France (To appear).
- ② Yuttakon Yuttakonkit, Jun Yao, and Yasuhiko Nakashima, “A Globally Asynchronous Locally Synchronous DMR Architecture for Aggressive Low-Power Fault Tolerant,” In Proceedings of 17th IEEE Symposium on Low-Power and High-Speed Chips (CoolChips XVII), April 14-16, 2014, Yokohama, Japan.
- ③ Jun Yao, Yasuhiko Nakashima, Mitsutoshi Saito, Yohei Hazama, and Ryosuke Yamanaka, “A Flexibly Fault-Tolerant FU Array Processor and its Self-Tuning Scheme to Locate Permanently Defective Unit,” In Proceedings of 17th IEEE Symposium on Low-Power and High-Speed Chips (CoolChips XVII), April 14-16, 2014, Yokohama, Japan.
- ④ Tanvir Ahmed, Jun Yao, Yasuhiko Nakashima, “A Two-Order Increase in Robustness of Partial Redundancy under Radiation Stress Test by Using SDC Prediction,” the 2013 Conference on Radiation Effects on Components and Systems (RADECS), September 23-27, 2013, Oxford, U.K..
- ⑤ Jun Yao, Shogo Okada, Hajime Shimada, Kazutoshi Kobayashi, Yasuhiko Nakashima, “DARA: A Low-Cost Reliable Architecture Based on Unhardened Devices and its Case Study of Radiation Stress Test,” In 2012 IEEE Nuclear and Space Radiation Effects Conference (NSREC’12), July 16-20, 2012, Miami, U.S..
- ⑥ Tanvir Ahmed, Jun Yao, Yasuhiko Nakashima, “Introducing OVP Awareness to Achieve an Efficient Permanent Defect Locating,” In 2012 IEEE/ACM International Symposium on

Nanoscale Architectures (NANOARCH’12), July 4-6, 2012, Amsterdam, Netherlands.

- ⑦ Yukihiro Sasagawa, Jun Yao, Takashi Nakada, Yasuhiko Nakashima, “Improving DVS Efficiency by Tolerating IR-drops with an Adaptive Redundant Data-Path,” In 2nd Workshop on Resilient Architectures (WRA’11, in conjunction with MICRO-44), Dec. 4-7, 2011, Porto Alegre, Brazil.
- ⑧ Jun Yao, Ryoji Watanabe, Kazuhiro Yoshimura, Takashi Nakada, Hajime Shimada, Yasuhiko Nakashima, “An Efficient and Reliable 1.5-way Processor by Fusion of Space and Time Redundancies,” In 5th Workshop on Dependable and Secure Nanocomputing (WDSN’11), pp. 69-74, June 27, 2011, Hongkong.
- ⑨ Jun Yao, Ryoji Watanabe, Takashi Nakada, Hajime Shimada, Yasuhiko Nakashima, and Kazutoshi Kobayashi, “A Minimal Roll-Back Based Recovery Scheme for Fault Tolerant in Pipeline Processors,” In Proceedings of The 16th IEEE Pacific Rim International Symposium on Dependable Computing (PRDC’10), pp. 237-238, December 13-15, 2010, Tokyo, Japan.

[産業財産権]

○出願状況 (計 2 件)

名称：データ供給装置及びデータ処理装置
発明者：中島康彦, 姚駿
権利者：中島康彦, 姚駿
種類：特願
番号：PCT/JP2013/057503
出願年月日：H25.3.15
国内外の別：国際

名称：データ供給装置及びデータ処理装置
発明者：中島康彦, 姚駿
権利者：中島康彦, 姚駿
種類：特願
番号：2012-61110
出願年月日：H24.3.16
国内外の別：国内

[その他]

ホームページ等

<http://arch.naist.jp/~yaojun>

6. 研究組織

(1) 研究代表者

姚駿 (Jun YAO)

奈良先端科学技術大学院大学・情報科学研究科・准教授

研究者番号: 40567153