

様 式 Z - 7

平成 2 5 年度科学研究費助成事業 実績報告書 (研究実績報告書)

1. 機関番号

1 4 6 0 3

2. 研究機関名

奈良先端科学技術大学院大学

3. 研究種目名

基盤研究(B)

4. 研究期間

平成 2 5 年度 ~ 平成 2 7 年度

5. 課題番号

2 5 2 8 0 0 1 5

6. 研究課題名

LSI ライフサイクル全般の信頼性向上のための組み込み自己テストに関する研究

7. 研究代表者

研究者番号	研究代表者名	所属部局名	職名
3 0 2 7 3 8 4 0	イノウエ ミチコ	情報科学研究科	教授
	井上 美智子		

8. 研究分担者

研究者番号	研究分担者名	所属研究機関名・部局名	職名
2 0 3 5 9 8 7 1	ヨネダ トモカズ	情報科学研究科	助教
	米田 友和		
2 0 7 0 7 2 4 4	ヤマト コウタ	情報科学研究科	助教
	大和 勇太		

9. 研究実績の概要

本研究では、LSI のライフサイクル全般に渡る信頼性向上のための設計およびテスト手法の提案を目的とし、組み込み自己テスト (Built-In Self-Test, BIST) 技術を製造テスト、フィールドテストとライフサイクル全般で効率よく利用できるような設計およびテスト技術、故障や障害の予測によりLSI の安全性を向上させる技術を提案する。平成25年度は、BIST 時の電圧変動によるテスト結果誤判定の解析、FPGA のためのBISTアーキテクチャ、フィールドテストのためのテスト削減手法について研究を行った。

BIST 実行時電圧変動によるテスト結果の誤判定について：BIST 実行時には、過度な消費電力による IR-ドロップ、過度な電流変動による電圧ドロップなど異なる種類の電圧変動が起きることがわかっている。平成25年度は、BIST 実行時の IR-ドロップ、電圧ドロップ等について調査解析を行った。解析結果を考慮して、平成26年度に電圧変動を考慮するBIST 手法の提案を行う。

FPGA のためのBISTアーキテクチャ：FPGA でフィールドテストを行うためのBISTアーキテクチャを提案した。提案手法は、FPGA 内のロジック部、メモリ部を柔軟に効率よく使用しBIST回路を実装するコストを削減する。研究成果を国内研究会、国際会議で発表した。

フィールドテストのためのテスト削減手法：大規模回路ではBISTによるフィールドテストの実現を容易にするために、テスト品質を維持し、テスト時間、テストデータ量を削減する手法を提案した。

10. キーワード

(1) 計算機システム

(2) ディペダブル・コンピューティング

(3)

(4)

(5)

(6)

(7)

(8)

11. 現在までの達成度

(区分)(2) おおむね順調に進展している。

(理由)

平成25年度は、BIST時の電圧変動によるテスト結果誤判定の解析、FPGAのためのBISTアーキテクチャ、フィールドテストのためのテスト削減手法の内容に関して、研究の進捗があった。当初、から研究を始める予定であったが、も先行して研究を進めた。に関しては、当初の計画よりやや遅れているは、平成26年度以降に計画していた、も先行して研究を進めたため、全体的にはおおむね順調に進展していると評価できる。以下、それぞれの成果と進捗について評価を行う。

BIST実行時電圧変動によるテスト結果の誤判定について：BIST実行時の電圧変動のテスト結果への影響について調査、解析を行った。解析の結果、過剰消費電力によるIR-ドロップはトランジスタのスイッチングに誘発され一時的に起こる現象であり、また、過剰電流変動による電圧ドロップは電流変動後ある一定期間回路に影響を与える現象であることがわかった。その結果、同じテストパターンに起因するIR-ドロップ、電圧ドロップが異なるタイミングで回路に影響することがわかった。この解析結果を考慮して、現在、電圧変動によるテスト結果誤判定を回避するテスト手法を考案中である。当初の予定では平成25年度中にてすと手法の提案を行う予定であり、予定よりやや遅れている。

FPGAのためのBISTアーキテクチャ：回路構成を書き換え可能な半導体デバイスであるFPGAは、最先端の半導体テクノロジーを採用するため、微細化対策が必要である。平成25年度は、FPGAのためのBISTアーキテクチャに関する研究を行った。BISTアーキテクチャの研究は、平成27年度に予定しており、計画に先行している。

フィールドテストのためのテスト削減手法：大規模回路でのBISTを用いたフィールドテストのためのテストコスト削減手法を提案した。これも、当初の計画に先行している。

12. 今後の研究の推進方策 等

(今後の推進方策)

LSIをライフサイクル全般に渡り信頼性を向上させるための組み込み自己テストを実現するには、回路構成を書き換え可能であるデバイスであるFPGA、特定用向けの回路であるASICなど回路の種類に応じたBISTアーキテクチャの研究が必要であると考え。また、回路の構成要素である論理部とメモリ部は、それぞれ異なるBIST方式が提案されており、それぞれに応じたフィールドテスト手法の研究も必要であると考え。そのため、平成26年度は、ロジック部とメモリ部それぞれに対するフィールドテスト手法を研究する。研究の最終年度である平成27年度は、平成26年度までの成果をとりまとめ、製造テストおよびフィールドテストに利用可能なBISTアーキテクチャを提案する。

平成26年度は、ロジック部に対しては、平成25年度の電圧変動のテスト結果への影響を解析した結果を考慮した、テスト結果誤判定を回避するテスト手法の提案を行う。また、メモリ部に対しては、フィールド使用時に自己テストを行うだけでなく、スベアメモリセルを用いた自己修復機構や、誤り訂正機構を用いる信頼性向上手法を組み合わせ、製造テスト時、フィールド使用時ともに利用可能な自己修復・誤り訂正手法の研究を推進する。

平成27年度は、ロジック部、メモリ部のテストを製造時、フィールド使用時ともに効率よく制御可能なBISTアーキテクチャの提案を行い、ライフサイクル全般に渡りLSIの信頼性を向上させる手法を提案する。

(次年度使用額が生じた理由と使用計画)

(理由)

平成25年度は、解析、評価実験のためにワークステーションを購入予定であった。しかし、機種選定が遅くなり導入を平成26年度に延期した。また、テスト時の電圧変動を考慮したテスト手法の進捗がやや遅れたため、研究成果発表のための旅費等が未使用となったため、次年度使用額が生じた。

(使用計画)

今年度は、解析、評価実験のためにワークステーションを購入する。また、テスト時の電圧変動を考慮したテスト手法の研究成果発表のための旅費に利用する。

13.研究発表(平成25年度の研究成果)

(雑誌論文) 計(0)件 うち査読付論文 計(0)件

著者名		論文標題			
雑誌名	査読の有無	巻	発行年	最初と最後の頁	
掲載論文のDOI(デジタルオブジェクト識別子)					

(学会発表) 計(3)件 うち招待講演 計(0)件

発表者名		発表標題	
Keita Ito, Tomokazu Yoneda, Yuta Yamato, Kazumi Hatayama, Michiko Inoue		Memory block based scan-BIST architecture for application-dependent FPGA testing	
学会等名	発表年月日	発表場所	
ACM/SIGDA International Symposium on Field-Programmable Gate Arrays	2014年02月26日～2014年02月28日	Monterey, California, USA	

発表者名		発表標題	
Keita Ito, Tomokazu Yoneda, Yuta Yamato, Kazumi Hatayama, Michiko Inoue		Efficient scan-based BIST architecture for application-dependent FPGA test	
学会等名	発表年月日	発表場所	
The Forteenth Workshop on RTL and High Level Testing	2013年11月21日～2013年11月22日	台湾・宜蘭	

発表者名		発表標題	
伊藤 溪太, 米田 友和, 大和 勇太, 畠山 一実, 井上 美智子		FPGA向けアプリケーション依存テストのための効率的なスキャンBISTアーキテクチャ	
学会等名	発表年月日	発表場所	
電子情報通信学会ディペンダブルコンピューティング研究会	2013年12月13日～2013年12月13日	石川県七尾市	

〔図書〕計(0)件

著者名	出版社		
書名	発行年	総ページ数	

14.研究成果による産業財産権の出願・取得状況

〔出願〕計(0)件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	出願年月日	国内・外国の別

〔取得〕計(0)件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	取得年月日	国内・外国の別
				出願年月日	

15.備考

--