

様式 C - 7 - 1

平成25年度科学研究費助成事業（科学研究費補助金）実績報告書（研究実績報告書）

1. 機関番号

1	4	6	0	3
---	---	---	---	---

 2. 研究機関名 奈良先端科学技術大学院大学
3. 研究種目名 基盤研究(A) 4. 研究期間 平成24年度～平成26年度
5. 課題番号

2	4	2	4	0	0	0	5
---	---	---	---	---	---	---	---
6. 研究課題名 高性能アクセラレーション基盤技術の研究

7. 研究代表者

研究者番号	研究代表者名	所属部局名	職名
0 0 3 1 4 1 7 0	ナカシマ ヤスヒコ	情報科学研究科	教授
	中島 康彦		

8. 研究分担者

研究者番号	研究分担者名	所属研究機関名・部局名	職名
2 0 6 4 0 9 9 9	ハラ ユウコ	情報科学研究科	助教
	原 祐子		
4 0 5 6 7 1 5 3	ヤオ ジュン	情報科学研究科	准教授
	姚 駿		

9. 研究実績の概要

【1】限りあるデータ供給能力と演算器の関連付け（主にハードウェア構成）は、電力効率や性能見通しに難点があるマルチスレッド機構を投入することなくデータ供給性能を一杯使う、低電力（電力効率10倍）かつ性能見通しの良い（チューニングコスト半減）アクセラレーション技術の創出を目指すものである。H25年度は、従来型演算器アレイ型アクセラレータの弱点であるデータ伝搬オーバーヘッドを削減し、さらに、ベクトル演算機構としても利用可能な新しい多数演算器制御方式を考案し、アプリケーションの整備から、ハードウェア実行モデル（FPGA実機上で動作中）の開発までを実施した。また、LSI化のために必要となる評価設備の開発を行った。

【2】アプリケーションとアクセラレータの関連付け（主にバイナリトランスレータ）は、迅速な導入を可能とするために、新命令セットとコンパイラを開発するのではなく、汎用CPUの命令列からアクセラレータ用命令列を生成するバイナリトランスレーション技術の創出に取り組むものである。H25年度は、Intel-CCを使用した命令列生成手法、および、コードから多数演算器制御情報を生成するアルゴリズムおよび生成ツールの開発を行った。現在、アプリケーションプログラムが、構築が完了したFPGAプラットフォーム上で動作している。

【3】ハードウェア機構とアクセラレータ用命令列の動的適合（主に動的チューニング機構）は、幅優先実行するベクトル演算方式、深さ優先実行する演算器アレイ方式、あるいは、複合方式やその他の方式の組み合わせにより実行するチューニング技術に取り込むものである。H25年度に、Intel-CCの出力コードを元にアクセラレータコードを生成するツールを開発し、本機能を一部組み込んでいる。

10. キーワード

(1) 演算器アレイ	(2) アクセラレータ	(3) ステンシル計算	(4) ベクトル計算
(5) 低電力	(6)	(7)	(8)

11. 現在までの達成度

(区分)(1) 当初の計画以上に進展している。

(理由)

従来型演算器アレイアクセラレータ(LAPP)をLSI化して詳細評価し、再検討した結果を踏まえて、より自由度が高く実用的なアクセラレータ(EMAX)のアーキテクチャ検討を推進し、現在、ハードウェア記述に近いレベルの詳細なシミュレータ、および、アプリケーションからコード生成を行う各種ツールの開発が完了している。また、Intel-CCを利用したコード生成のプロトタイプが完成している。演算器アレイ方式とベクトル方式を融合し、多数演算器を効率よく稼働させる詳細なレジスタトランスファレベルシミュレータおよびFPGAプラットフォームが完成し、様々な画像処理プログラムを用いた評価では、従来型の演算器アレイ型アクセラレータよりも格段に実効効率を向上できることを確認している。また、最終年度においてASIC化することを目標に、評価設備の開発や、DMAコア等補助的な設計物が一通り揃った状況にある。現在、FPGA上で浮動小数点演算を実行するプロトタイプ開発が完了し、ASICのレイアウトが完成している。来年度早々にテープアウトを実施できる状況にある。

12. 今後の研究の推進方策

(今後の推進方策)

H26年度は、FPGA上でメディア演算および浮動小数点演算の両方に対応できる64ユニット構成のモデルがFPGA上で稼働している状況を踏まえ、さらに、VDECを利用したASIC化に挑戦する。VDECと調整し、これまでになかったサイズ(最大規模の12.5mm LSI)の試作および評価を実施する。また、より使い易いアクセラレータとするための、コード生成ツールの拡充を進める。

13.研究発表(平成25年度の研究成果)

(雑誌論文) 計(2)件 うち査読付論文 計(2)件

著者名		論文標題【掲載確定】			
Tanvir Ahmed, Jun Yao, and Yasuhiko Nakashima		A Two-Order Increase in Robustness of Partial Redundancy Under a Radiation Stress Test by Using SDC Prediction			
雑誌名	査読の有無	巻	発行年	最初と最後の頁	
IEEE Transactions on Nuclear Science	有	未定(採録決定)	2 0 1 4	未定	
掲載論文のDOI(デジタルオブジェクト識別子)					
なし					

著者名		論文標題			
Tanvir AHMED, Jun YAO, Yuko HARA-AZUMI, Shigeru YAMASHITA, and Yasuhiko NAKASHIMA		Selective Check of Data-Path for Effective Fault Tolerance			
雑誌名	査読の有無	巻	発行年	最初と最後の頁	
IEICE Trans.	有	Vol.J96-D,No.8	2 0 1 3	pp.1592-1601	
掲載論文のDOI(デジタルオブジェクト識別子)					
なし					

(学会発表) 計(15)件 うち招待講演 計(0)件

発表者名		発表標題【発表確定】	
Jun Yao, Mitsutoshi Saito, Shogo Okada, Kazutoshi Kobayashi, and Yasuhiko Nakashima		EReLA: a Low-Power Reliable Coarse-Grained Reconfigurable Architecture Processor and Its Irradiation Tests	
学会等名	発表年月日	発表場所	
IEEE Nuclear and Space Radiation Effects Conference 2014 (poster)	2014年07月14日～2014年07月18日	Paris	

発表者名	発表標題【発表確定】	
Masakazu Tanomoto, Jun Yao, Yasuhiko Nakashima, Yangtong Xu, Xinliang Wang, Wei Xue	Performance Tuning of a Global Shallow-water Atmospheric Model on Xeon Phi	
学会等名	発表年月日	発表場所
IEEE Symposium on Low-Power and High-Speed Chips 2014 (poster)	2014年04月14日～2014年04月16日	Yokohama

発表者名	発表標題【発表確定】	
Shuto Kurebayashi, Jun Yao, Yasuhiko Nakashima	A Pipelined Newton-Raphson Method for Floating Point Division and Square Root on Distributed Memory CGRAs	
学会等名	発表年月日	発表場所
IEEE Symposium on Low-Power and High-Speed Chips 2014 (poster)	2014年04月14日～2014年04月16日	Yokohama

発表者名	発表標題【発表確定】	
Tatsuhiro Hirano, Jun Yao, Yasuhiko Nakashima	Tuning of a Breadth First based Triangle-counting by using Multi-threading	
学会等名	発表年月日	発表場所
IEEE Symposium on Low-Power and High-Speed Chips 2014 (poster)	2014年04月14日～2014年04月16日	Yokohama

発表者名	発表標題【発表確定】	
Jun Yao, Yasuhiko Nakashima, Mitsutoshi Saito, Yohei Hazama, Ryosuke Yamanaka	A Flexibly Fault-Tolerant FU Array Processor and its Self-Tuning Scheme to Locate Permanently Defective Unit	
学会等名	発表年月日	発表場所
IEEE Symposium on Low-Power and High-Speed Chips 2014	2014年04月14日～2014年04月16日	Yokohama

発表者名	発表標題	
林大地, 藤原知広, 姚駿, 中島康彦	演算器アレイ型アクセラレータへのメモリインテンシブなアプリケーションの写像と性能評価	
学会等名	発表年月日	発表場所
情報処理学会研究報告, 計算機アーキテクチャ研究会報告	2014年01月23日 ~ 2014年01月24日	東工大

発表者名	発表標題	
楠田浩平, 姚駿, 中島康彦	メモリ分散型アレイアクセラレータのための命令生成手法の開発と評価	
学会等名	発表年月日	発表場所
情報処理学会研究報告, 計算機アーキテクチャ研究会報告	2014年01月23日 ~ 2014年01月24日	東工大

発表者名	発表標題	
Yuuki SHIBATA, Kazutaka KAMIMURA, Tomoaki TSUMURA, Hiroshi MATSUO, Yasuhiko NAKASHIMA	CAM Size Reduction Method for Auto-Memoization Processor by considering Characteristics of Loops	
学会等名	発表年月日	発表場所
Proc. 1st Int'l Workshop on Computer Systems and Architectures (CSA'13)	2013年12月04日 ~ 2013年12月06日	道後ひめぎんホール

発表者名	発表標題	
Tanvir AHMED, Jun YAO, and Yasuhiko NAKASHIMA	A Two-Order Increase in Robustness of Partial Redundancy Under Radiation Stress Test by Using SDC Prediction	
学会等名	発表年月日	発表場所
IEEE Conference on Radiation Effects on Components and Systems (RADECS)	2013年09月23日 ~ 2013年09月27日	Oxford

発表者名	発表標題	
稲垣慶和, 原祐子, 姚駿, 中島康彦	リング型アレイアクセラータ向け演算ライブラリの実装と性能評価	
学会等名	発表年月日	発表場所
研究報告計算機アーキテクチャ(ARC)	2013年07月31日～2013年08月01日	北九州

発表者名	発表標題	
林大地, 関賀, 原祐子, 姚駿, 中島康彦	メモリ分散型アレイアクセラータの浮動小数点演算に関する性能考察	
学会等名	発表年月日	発表場所
研究報告計算機アーキテクチャ(ARC)	2013年07月31日～2013年08月01日	北九州

発表者名	発表標題	
藤原知広, 姚駿, 原祐子, 中島康彦	リング型アレイアクセラータのマクロパイプライン化による性能見積み	
学会等名	発表年月日	発表場所
研究報告計算機アーキテクチャ(ARC)	2013年07月31日～2013年08月01日	北九州

発表者名	発表標題	
柴田裕貴, 神村和敬, 津邑公暁, 松尾啓志, 中島康彦	再利用表バージアルゴリズムの改良による自動メモ化プロセッサのハードウェア削減手法	
学会等名	発表年月日	発表場所
研究報告計算機アーキテクチャ(ARC)	2013年07月31日～2013年08月01日	北九州

発表者名	発表標題	
森高晃大, 吉田浩章, 伴野充, 中島康彦	コヒーレントキャッシュを用いたSoCのシステム設計技法	
学会等名	発表年月日	発表場所
システムLSI設計技術研究発表会	2013年05月16日 ~ 2013年05月16日	北九州

発表者名	発表標題	
Wei Wang, Jun Yao, Youhui Zhang, Wei Xue, Yasuhiko Nakashima, and Weimin Zheng	HW/SW Approaches to Accelerate GRAPES in an FU Array	
学会等名	発表年月日	発表場所
IEEE Symposium on Low-Power and High-Speed Chips 2013	2013年04月17日 ~ 2013年04月19日	Yokohama

(図書) 計(0)件

著者名	出版社		
書名		発行年	総ページ数

14. 研究成果による産業財産権の出願・取得状況

(出願) 計(0)件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	出願年月日	国内・外国の別

(取得) 計(0)件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	取得年月日	国内・外国の別
				出願年月日	

15.備考

NAIST Computing Architecture Lab.
<http://arch.naist.jp/index.html>