

様 式 F - 7 - 1

科学研究費助成事業（学術研究助成基金助成金）実施状況報告書（研究実施状況報告書）（平成24年度）

1. 機関番号

1	4	6	0	3
---	---	---	---	---

 2. 研究機関名 奈良先端科学技術大学院大学

3. 研究種目名 挑戦的萌芽研究 4. 補助事業期間 平成24年度～平成26年度

5. 課題番号

2	4	6	5	0	0	2	0
---	---	---	---	---	---	---	---

6. 研究課題 フィルムコンピュータ実現のための安定回路構成方式

7. 研究代表者

研究者番号	研究代表者名	所属部局名	職名
0 0 3 1 4 1 7 0	ナカシマ ヤスヒコ 中島 康彦	情報科学研究科	教授

8. 研究分担者

研究者番号	研究分担者名	所属研究機関名・部局名	職名
2 0 6 4 0 9 9 9	ハラ ユウコ 原 祐子	情報科学研究科	助教

9. 研究実績の概要

本研究の実施項目は、3つの柱からなる。

- 酸化亜鉛回路のデバイスモデル構築と基本セルの選定、および、回路規模評価のための高機能極小CPUの仕様策定と設計
- 新素材デバイスに適合しレイアウト生成を可能にするCADシステムの構築
- 不安定素子が混入する状況かつ低周波数動作でも実用に耐えるための、自己修復機能を備える多数演算器型アクセラレータ構成方式

1. については、酸化亜鉛回路のデバイスモデル作成が進み、HSPICEによる回路シミュレーションに必要な4端子モデルの初版が出来上がった状況にある。本モデルを用いて、NCHのみからなる論理回路を評価中である。ただし、詳細な評価を行うには、最終ゴールである8ビットCPUの構成に必要な最小限の基本論理回路、および、回路規模の見積りが必要である。このため、デバイスレベルからのボトムアップ設計に加えて、CPUとして必要な機能を実現するためのトップダウン設計を開始した。単に8ビットCPUを実現しただけでは既存のソフトウェア資産を有効利用できないため、エミュレーションに特化した8ビットCPUを設計し、32bitOSを稼働可能な仕様を決定した上で、詳細な論理設計を行った。現在、FPGA上の8ビットCPUを用いて32ビットOSであるuClinuxが稼働している。2. については、既存のシリコンデバイス用ソース付きフリーCAD (Alliance) を利用できる環境を構築し、FPGA上に構築した8ビットCPUと同じハードウェア記述から、レイアウト情報を生成するフローを確立した状況にある。3. については、三重化を用いないシームレスな故障・不安定モジュール検出機構、故障箇所切り離し機構として、多数演算器を備えるアクセラレータを対象に、面積オーバーヘッドの小さい自動冗長化や自己故障検出を含む様々な技術開発を行った。LSI化を行い所定の耐故障性能を確認した。

10. キーワード

(1) 新素材	(2) フレキシブルコンピュータ	(3) 高信頼化	(4) 酸化亜鉛
(5) エミュレーション	(6) 小型CPU	(7)	(8)

11. 現在までの達成度

(区分)(2) おおむね順調に進展している。

(理由)

当初、極小CPUを用いたエミュレーション技術に関する研究計画は具体化していなかったものの、新素材によるコンピュータ開発には必須の機能であると認識し、既に基盤技術を確立している。また、当初、H25年度に予定していた耐故障アクセラレーション方式、および、H26年度に予定していた新素材に適合するCADシステムの構築にも着手している。具体的には、1.については、エミュレーションに特化した8ビットCPUの設計が完了し、FPGA上に構築した8ビットCPUを用いて32ビットOSであるuClinuxが稼働している。2.については、既存のシリコンデバイス用ソース付きフリーCAD (Alliance) を利用できる環境を構築し、FPGA上に構築した8ビットCPUと同じハードウェア記述から、レイアウト情報を生成するフローを確立した状況にある。今後は、酸化亜鉛デバイスへの合わせ込みを行う予定である。3.については、多数演算器を備えるアクセラレータを対象に、面積オーバーヘッドの小さい自動冗長化や自己故障検出を含む様々な技術開発を行い、LSI化により所定の耐故障性能を確認した。以上のように、現在、研究目的に沿って、予定した項目および関連技術の開発に関し、網羅的に研究が進捗している状況にある。

12. 今後の研究の推進方策 等

(今後の推進方策)

- 酸化亜鉛回路のデバイスモデル構築と基本セルの選定、および、回路規模評価のための高機能極小CPUの仕様策定と設計に関しては、物質創成科学研究科の協力を得て、より精度の高いトランジスタモデルの構築、および、設計を完了した8ビットCPUに必要な基本セルの選定を進め、設計精度を上げていく。
- 新素材デバイスに適合しレイアウト生成を可能にするCADシステムの構築に関しては、1.により得られた知見を元に、具体的にAllianceのライブラリ化を試み、新素材に合わせ込んだレイアウト情報の生成技術の構築を進める。
- 不安定素子が混入する状況かつ低周波数動作でも実用に耐えるための、自己修復機能を備える多数演算器型アクセラレータ構成方式に関しては、LSI化までを完了したことから、一旦集結し、1.および2.の研究により新たな課題や知見が得られた場合にフィードバックすることを予定している。

(次年度の研究費の使用計画)

H24に研究を開始した直後から順調に進捗した結果、H25年度開始早々にLSIの試作を行える状況となった。試作費用を捻出するためにH24年度は予算執行せず、H25年度にまとめて執行することで、最大限効果的に予算を使用することができると判断した。H24年度の旅費は主に運営交付金により賄った。H25年度は、主に、試作を担当する学生に対する研究補助としての謝金、試作費用、情報収集や成果発表のための旅費に充当する。また、研究の進捗状況によっては、研究設備の増強にも充当する。

13.研究発表(平成24年度の研究成果)

〔雑誌論文〕計(3)件 うち査読付論文 計(3)件

著者名		論文標題			
大上俊, 姚駿, 中島康彦		演算器アレイにおける高信頼化命令写像手法			
雑誌名	査読の有無	巻	発行年	最初と最後の頁	
電子情報通信学会D論文誌	有	Vol.J96-D, No.3	2 0 1 3	pp.472-483	
掲載論文のDOI(デジタルオブジェクト識別子)					
なし					

著者名		論文標題			
Yukihiko SASAGAWA, Jun YAO, Takashi NAKADA, Yasuhiko NAKASHIMA		RazorProtector: Maintaining Razor DVS Efficiency in Large IR-drop Zones by an Adaptive Redundant Data-Path			
雑誌名	査読の有無	巻	発行年	最初と最後の頁	
IEICE Trans. on VLSI Design and CAD Algorithms	有	Vol.E95-A, No.12	2 0 1 2	pp.2319-2329	
掲載論文のDOI(デジタルオブジェクト識別子)					
なし					

著者名		論文標題			
Tanvir Ahmed, Jun Yao, Yasuhiko Nakashima		Introducing OVP Awareness to Achieve an Efficient Permanent Defect Locating			
雑誌名	査読の有無	巻	発行年	最初と最後の頁	
NANOARCH 2012	有	NANOARCH 2012	2 0 1 2	pp.43-49	
掲載論文のDOI(デジタルオブジェクト識別子)					
なし					

〔学会発表〕計(7)件 うち招待講演 計(1)件

発表者名		発表標題	
中島康彦		LSI化に繋がるシミュレータ開発手法と設計事例	
学会等名		発表年月日	発表場所
情報処理学会計算機アーキテクチャ研究会(招待講演)		2013年03月26日	和歌山 Big-U

発表者名		発表標題	
Hao Xu, Yuko Hara-Azumi, Yasuhiko NAKASHIMA		Comparison of emulation oriented 8-bit ISA with 6502 ISA for an ARM emulator	
学会等名		発表年月日	発表場所
情報処理学会計算機アーキテクチャ研究会		2013年03月27日	和歌山 Big-U

発表者名		発表標題	
中島康彦		フィルムコンピュータ実現に向けたエミュレータ専用小型CPUの検討	
学会等名		発表年月日	発表場所
信学技報CPSY2012-12 SwoPP論文集		2012年08月02日	鳥取 とりぎん文化会館

発表者名		発表標題	
山中良祐, 姚駿, 中島康彦		セクタ部に着目した演算器アレイ型アクセラレータの高信頼化手法	
学会等名		発表年月日	発表場所
信学技報CPSY2012-13 SwoPP論文集		2012年08月02日	鳥取 とりぎん文化会館

発表者名	発表標題	
Tanvir Ahmed, Jun Yao, Yasuhiko Nakashima	Achieving Near-Optimal Dependability with Minimal Hardware Costs in an FU Array Pro-cessor by Soft Error Rate Monitoring	
学会等名	発表年月日	発表場所
研究報告計算機アーキテクチャ(ARC)	2012年08月01日	鳥取とりぎん文化会館

発表者名	発表標題	
大谷友哉, Tanvir Ahmed, 姚駿, 中島康彦	演算器アレイにおける冗長化オーバーヘッドの少ない高信頼化手法の提案	
学会等名	発表年月日	発表場所
研究報告計算機アーキテクチャ(ARC)	2012年08月02日	鳥取とりぎん文化会館

発表者名	発表標題	
YAO Jun, NAKASHIMA Yasuhiko	Deep DVS in FU array by Covering Process Variations with Data-Path Auto-fix	
学会等名	発表年月日	発表場所
研究報告計算機アーキテクチャ(ARC)	2012年05月08日	沖縄 サンマリーナホテル

〔図書〕計(0)件

著者名	出版社		
書名	発行年	総ページ数	

14. 研究成果による産業財産権の出願・取得状況

〔出願〕 計(1)件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	出願年月日	国内・外国の別
エミュレーション方式	中島康彦	同左	特許、特願2013-055660	2013年03月18日	国内

〔取得〕 計(0)件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	取得年月日	国内・外国の別
				出願年月日	

15. 備考

NAIST Computing Architecture Lab.
<http://arch.naist.jp/index.html>