

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24 年 6 月 1 日現在

機関番号：14603

研究種目：若手研究（B）

研究期間：2009～2011

課題番号：21700059

研究課題名（和文） 三次元集積化システムオンチップのテスト手法に関する研究

研究課題名（英文） Research on Test Methodology for 3D Integrated SoCs

研究代表者

米田 友和（YONEDA TOMOKAZU）

奈良先端科学技術大学院大学・情報科学研究科・助教

研究者番号：20359871

研究成果の概要（和文）：三次元集積化システムオンチップに対して高品質・低コストなテストを実現するためのテスト生成技術・テスト容易化設計技術に関する研究を行った。テスト実行時の温度とテストデータ量の多さに着目し、テスト時の温度ばらつきによる遅延テスト品質の低下を抑えるテスト生成手法、および少ないテストデータ量で高品質な遅延テストを実現可能なテストコスト最適化手法を確立した。

研究成果の概要（英文）：The objective of this research is to find efficient methods of test generation and design for testability to achieve high quality and low cost test for 3D integrated SoCs. In this research, I focused attention on temperature during test and test data volume for 3D integrated SoCs. Consequently, I established a test generation method to reduce temperature-variation-induced delay test quality loss and a test cost optimization method that can achieve high quality delay test with low test data volume.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009年度	1,500,000	450,000	1,950,000
2010年度	900,000	270,000	1,170,000
2011年度	900,000	270,000	1,170,000
年度			
年度			
総計	3,300,000	990,000	4,290,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：テスト容易化設計、高品質遅延テスト、システムオンチップ、3次元集積化

1. 研究開始当初の背景

(1)製造プロセスの微細化・高集積化に伴い、LSIはこれまで、小型化、高速化、多機能化を実現してきた。しかし、リーク電流の増大や配線における信号遅延などが課題となり、平面（二次元）での高集積化は技術的な限界が見えてきた。二次元での高集積化技術の限界を打開する技術としてシリコン貫通電極

（Through Silicon Via, 以下 TSV）を用いた三次元実装技術が注目を集めており、TSVを用いた三次元集積化 SoC の設計に関する研究発表が盛んに行われていた。これに対し、三次元集積化 SoC を対象としたテスト技術に関する研究はほとんど行われておらず、研究成果発表もほとんどないという状況であった。

(2)しかしながら、三次元集積化 SoC が製品として出荷され市場で幅広く使用されるためには、低コストかつ高品質なテストの実現は必要不可欠であり、低コストかつ高品質なテストを実現するテスト容易化設計技術およびテスト生成技術の研究開発は非常に重要な課題である。これらの背景より、本研究課題である三次元集積化システムオンチップのテスト手法に関する研究を着想するに至った。

2. 研究の目的

本研究の目的は、将来の LSI 製品の主流となる三次元集積化システムオンチップに対して、低コストかつ高品質なテストを実現するための以下の三つの問題点を解決する手法の確立である。

①複数の階層の同時テストに起因する問題

三次元集積化システムオンチップにおける最大の関心事の一つである発熱の問題に取り組んだ。テスト時の発熱が遅延テスト品質に与える影響を調査し、発熱による遅延テスト品質低下を最小限に抑えるテスト生成手法およびテストスケジューリング手法の確立を目指した。

②各階層間のデータ転送 (TSV) に関するテストの問題

TSV に対し、高品質かつ低コストなテストを実現可能な故障モデルの確立およびその故障モデルに対するテストを可能とするテスト容易化設計法の確立を目指した。

③システム全体のテストコスト最適化問題

三次元集積化システムオンチップでは、集積度が高く回路規模が大きいいため、高品質な遅延テストの実現には膨大なテストデータ量およびテスト時間が必要となる。そこで、テストコスト最適化問題として、高品質遅延テストを低コスト（少ないテストデータ量および短いテスト時間）で実現するという問題に取り組む、この問題に対して効率の良いテスト生成手法の確立を目指した。

3. 研究の方法

(1)発熱による遅延テスト品質低下を最小限に抑える方法の確立

①三次元集積化システムオンチップのテスト時の自己発熱が、遅延テスト品質に与える影響をシミュレーションにより評価した。そ

の結果、従来より問題視されていた発熱による温度上昇に加え、チップ内での空間的温度ばらつきおよび時間的温度変動が遅延テスト品質の低下につながる事が明らかとなった。これは、回路遅延が温度に依存することに起因し、同じテストを印加した場合でも回路位置および時刻によって温度条件が異なり、過剰テストまたはテスト不足を引き起こす原因と考えられる。

②そこで、システムオンチップを構成する各コアに対し、回路内の空間的温度ばらつきおよび時間的温度変動が少ないテストパターン生成手法の開発を行い、提案手法の有効性をベンチマーク回路に対するシミュレーションで評価した。さらに、システム全体に対しては、温度上昇を考慮したテストスケジューリング手法の開発を行い、有効性をベンチマーク回路に対する実験により評価した。

(2)TSV に対する故障モデルおよびテスト容易化設計法の確立

三次元集積化システムオンチップの TSV は、異なる階層を接続する信号線（インターコネク）であり、従来の二次元システムオンチップのインターコネクに対応すると考え、インターコネクに対する故障モデルおよびテスト容易化設計法に関する調査を行った。具体的には、従来の二次元システムオンチップのテストに関する標準化である IEEE Standard 1500 で定義されている wrapper design の TSV 向け拡張を目指した。しかし、三次元集積化システムオンチップおよび TSV を考慮した wrapper design に関しては、既に標準化作業が進んでおり、新しい手法の提案には至らなかった。

(3)高品質遅延テストを低コストで実現するテスト生成手法の確立

①まず始めに、遅延テスト品質の評価尺度に関する調査を行い、統計的遅延欠陥レベル (Statistical Delay Quality Model, 以下 SDQL) を遅延テスト品質の評価尺度として採用した。SDQL は遅延テストに対して残留遅延欠陥量を統計的に算出する指標（小さいほど良い）であり、近年問題となっている微小遅延欠陥検出能力を高精度に評価可能な尺度として幅広く用いられている。しかし、SDQL に基づいたテスト生成および故障シミュレーションは多くの計算時間を必要とし、生成されるテストパターン数も膨大となるという問題点がある。

②そこで、本研究では与えられたテストパターン集合から部分テストパターン集合を選

択する問題に取り組んだ。具体的には、(i) 選択可能なテストパターンを制約とし、SDQL を最小化する手法、(ii) 達成する SDQL を制約とし、テストパターン数を最小化する手法の二つの手法の開発を行った。これにより低コスト（小テストデータ量および短テスト時間）で高い遅延テスト品質を実現する。提案手法の有効性の評価は、ベンチマーク回路に対する実験により行った。

③ 上記は LSI 外部のテストからテストパターンの印加を行う外部テスト方式を対象としている。本研究では、さらなるテストデータ量の圧縮が可能な組み込み自己テスト

(Built-In Self-Test, 以下 BIST) 方式を対象として上記手法を拡張した。具体的には、BIST 用に与えられたシード集合から部分シード集合生成手法の開発を行った。

4. 研究成果

(1) 発熱による遅延テスト品質低下を最小限に抑える方法の確立

生成したテストパターン中の不定値 (0 でも 1 でも故障検出に影響のないビット) を適切な値に再割り当てすることで、テスト時の空間的温度ばらつきを低減する手法を確立した。また、上記の方法で生成したテストパターンの印加順序を適切に変更することで、テスト時の空間的温度均一性を保持したまま時間的温度変動を低減する手法も確立した。

図 1 および 2 に、従来手法 (提案手法適用前) および提案手法によるテスト実行時の空間的温度ばらつきを示す。

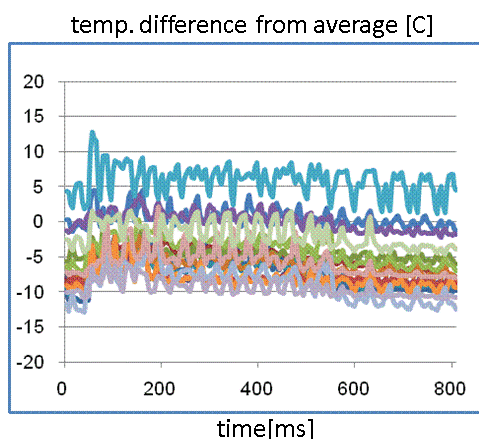


図 1 従来手法による温度ばらつき

各図は回路中の 16 点の座標 (空間的位置) における温度変化を示しており、各線が各点の温度変化を示す。これらの図より提案手法が空間的温度均一化を実現している

ことがわかる。さらに、これらの手法はテストパターン中の不定値およびテストパターンの印加順序を変更するのみであるので、パターンそのものが持つ遅延テスト品質を低下させることはない。これらの成果は、VLSI テストに関する国際会議である「IEEE VLSI Test Symposium」、「IEEE European Test Symposium」等で発表した。

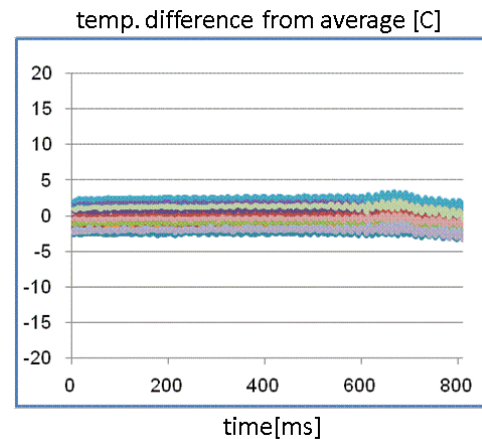


図 2 提案手法による温度ばらつき

(2) 高品質遅延テストを低コストで実現するテスト生成手法の確立

本研究で取り組んだ二種類の部分テストパターン選択問題に対する発見的手法として、テストパターン並び替え (優先順位付け) 手法を確立した。提案手法により並び替えた順序でテストパターンを印加すると、パターン毎の SDQL 改善値が最大化される。図 3 に BIST 方式におけるシードの並び替え前 (ATPG)、ランダムな並び替え (random) および提案手法適用時の SDQL の遷移を示す。図 3 より提案手法により少ないシード数で低い SDQL (高い遅延テスト品質) を実現可能であることがわかる。

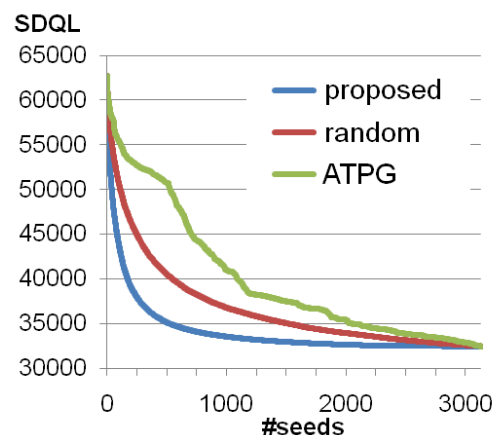


図 3 並び替えによる SDQL の遷移

並び替え後のテストパターン（シード）集合に対して、制約に応じて上位からテストパターン（シード）を選択することでテストコストを最適化することが可能である。図 4 は、SDQL 値（遅延テスト品質）を制約とした場合に必要となるシード数を比較したグラフである。2%の遅延テスト品質低下を許容した場合、従来法（ATPG）に比べ、提案手法ではテストデータ量（シード数）を 53%削減可能である。これらの成果は、VLSI テストに関する国際会議である「IEEE Asian Test Symposium」、 「IEEE European Test Symposium」等で発表した。

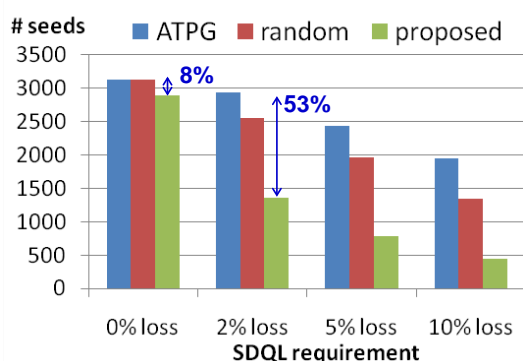


図 4 SDQL 制約によるシード数の比較

(3) 今後の課題

今後の課題としては、本研究期間中には新たな手法の提案には至らなかった TSV に対する故障モデルおよびテスト容易化設計法の確立が挙げられる。また、TSV のテストコストも統合したシステム全体としてのテストコスト最適化手法の確立も今後の課題である。

5. 主な発表論文等

（研究代表者、研究分担者及び連携研究者には下線）

〔雑誌論文〕（計 0 件）

〔学会発表〕（計 12 件）

- ① Tomokazu Yoneda, Keigo Hori, Michiko Inoue and Hideo Fujiwara, "Faster-Than-At-Speed Test for Increased Test Quality and In-Field Reliability," IEEE International Test Conference (ITC' 11), 2011. 9. 20, アメリカ アナハイム.
- ② Tomokazu Yoneda, Makoto Nakao, Michiko Inoue, Yasuo Sato and Hideo Fujiwara, "Temperature-variation-aware test pattern optimization," IEEE European Test Symposium (ETS' 11), 2011. 5. 25,

ノルウェー トロンハイム.

- ③ Tomokazu Yoneda, Makoto Nakao, Michiko Inoue, Yasuo Sato and Hideo Fujiwara, "A Test Pattern Optimization to Reduce Spatial and Temporal Temperature Variations," IEEE International Workshop on Reliability Aware System Design and Test (RASDAT' 11), 2011. 1. 6, インド チェンナイ.
- ④ Fawnizu Azmadi Hussin, Thomas Edison Chua Yu, Tomokazu Yoneda and Hideo Fujiwara, "RedSOCs-3D: Thermal-safe Test Scheduling for 3D-Stacked SoC," IEEE Asia Pacific Conference on Circuits and Systems (APCCAS2010), 2010. 12. 7, マレーシア クアラルンプール.
- ⑤ Tomokazu Yoneda, Michiko Inoue, Akira Taketani and Hideo Fujiwara, "Seed ordering and selection for high quality delay test," IEEE 19th Asian Test Symposium (ATS2010), 2010. 12. 4, 中国 上海.
- ⑥ Michiko Inoue, Akira Taketani, Tomokazu Yoneda, Hiroshi Iwata and Hideo Fujiwara, "Optimizing Delay Test Quality with a Limited Size of Test Set," IEEE European Test Symposium (ETS' 10), 2010. 5. 27, チェコ プラハ.
- ⑦ Tomokazu Yoneda, Michiko Inoue, Yasuo Sato and Hideo Fujiwara, "Thermal-uniformity aware x-filling to reduce temperature-induced delay variation for accurate at-speed testing," 28th IEEE VLSI Test Symposium (VTS' 10), 2010. 4. 20, アメリカ サンタクルーズ.
- ⑧ Michiko Inoue, Akira Taketani, Tomokazu Yoneda, Hiroshi Iwata and Hideo Fujiwara, "Optimizing Delay Test Quality with a Limited Size of Test Set," IEEE International Workshop on Reliability Aware System Design and Test (RASDAT' 10), 2010. 1. 8, インド バンガロール.

〔図書〕（計 0 件）

〔産業財産権〕

○出願状況（計 0 件）

○取得状況（計 0 件）

〔その他〕

無し

6. 研究組織

(1) 研究代表者

米田 友和 (YONEDA TOMOKAZU)

奈良先端科学技術大学院大学・情報科学研究科・助教

研究者番号：20359871