

博士学位論文

アモルファス酸化物半導体 In-Ga-Zn-O 薄膜  
トランジスタにおける電氣的欠陥が信頼性に与える  
影響に関する研究

奈良先端科学技術大学院大学

物質創成科学研究科

情報機能素子科学研究室

氏名 越智 元隆

## 目次

<b>第 1 章 序論</b>	<b>1</b>
1.1 はじめに	1
1.2 次世代ディスプレイと駆動素子への要求	3
1.3 薄膜トランジスタ	5
1.3.1 薄膜トランジスタ用半導体材料	5
1.3.2 薄膜トランジスタの構造	7
1.3.3 薄膜トランジスタの電流－電圧特性	7
1.3.4 半導体におけるエネルギー準位と電氣的振る舞い	10
1.4 アモルファス酸化物半導体の特徴	12
1.4.1 a-IGZO のキャリア輸送	12
1.4.2 a-IGZO の電子構造	14
1.4.3 a-IGZO を用いた薄膜トランジスタの安定性に関するこれまでの報告	16
1.5 本研究の背景と目的	24
1.6 本研究の意義	26
1.7 本論文の構成	27
参考文献	29
<b>第 2 章 酸化物半導体 TFT と評価解析技術</b>	<b>34</b>
2.1 はじめに	34
2.2 酸化物半導体 TFT の構造	34
2.3 酸化物半導体 TFT の製造プロセス	35
2.4 酸化物半導体 TFT の信頼性評価	35
2.5 酸化物半導体の電子状態評価	36
2.5.1 電氣的測定法による電子状態評価: DLTS 法	36
2.5.1.1 エネルギー準位によるキャリアの捕獲・放出過程と接合容量の時間変化	36
2.5.1.2 キャリアの熱放出速度の温度依存性とトラップパラメータの決定	41
2.5.2 電氣的測定法による電子状態評価: PITS 法	44
2.5.2.1 バックチャネル領域の電氣的測定のためのデバイス構造	44
2.5.2.2 PITS 法の原理とトラップパラメータの決定	46
2.5.3 アモルファス酸化物半導体における DLTS, PITS 適用の注意点	49
2.5.4 光電子分光法による電子状態評価: XPS 法	50
2.5.5 光電子分光法による電子状態評価: PYS, TPYS 法	51
参考文献	53

Appendix 2-A ESL-TFT の製造プロセスの流れ.....	55
Appendix 2-B BCE-TFT の製造プロセスの流れ .....	60

### 第 3 章 a-IGZO TFT 作製プロセス中に誘起されるトラップ準位とその起源の解明 .....

3.1 はじめに.....	64
3.2 a-IGZO 薄膜における熱処理による物理的な変化 .....	65
3.2.1 a-IGZO 薄膜の熱放出挙動 .....	65
3.2.2 a-IGZO 薄膜の熱処理による H, OH 含有量の変化 .....	67
3.3 PITS を用いた a-IGZO におけるトラップ準位評価.....	69
3.3.1 a-IGZO への PITS 法の適用 .....	69
3.3.2 a-IGZO の熱処理によるトラップ準位の変化.....	72
3.3.3 DLTS 法を用いた ZnO におけるトラップ準位.....	74
3.4 a-IGZO のプリアニールリングで誘起されるトラップ準位の起源 .....	75
3.5 a-IGZO のポストアニールリングによるトラップ準位の変化 .....	76
3.6 a-IGZO のトラップ準位形成における水素の役割.....	79
3.6.1 水素化 a-IGZO の熱処理によるトラップ準位の変化 .....	80
3.6.2 a-IGZO の水素の取り込みと H, OH, Zn の脱離温度の変化 .....	82
3.7 水素により誘起される欠陥発生メカニズムと TFT 特性に与える影響 .....	84
3.8 まとめ.....	87
参考文献 .....	88

### 第 4 章 ESL-TFT におけるストレス信頼性と a-IGZO チャネル領域の電子状態の 相関 .....

4.1 はじめに.....	91
4.2 a-IGZO および ESL 成膜が a-IGZO のトラップ準位に与える影響 .....	92
4.2.1 DC マグネトロンスパッタ法による IGZO 成膜条件.....	92
4.2.2 PECVD 法による ESL 成膜条件 .....	93
4.2.3 a-IGZO 成膜および ESL 成膜によるトラップ準位の変化 .....	94
4.2.4 トラップ準位と TFT ストレス信頼性の比較 .....	99
4.2.5 デバイスシミュレーションによるトラップ準位の解析.....	102
4.3 a-IGZO の Zn の化学量論的組成に起因するトラップ準位とストレス信頼性の評価 .....	106
4.3.1 高濃度 Zn 添加 a-IGZO 薄膜の作製 .....	106

4.3.2	トラップ準位とストレス信頼性の Zn 添加量依存性 .....	107
4.4	PV 層 SiN <sub>x</sub> 膜からの水素拡散と NBTIS ストレス信頼性 .....	112
4.4.1	PV 層への樹脂適用プロセス.....	112
4.4.2	重水素含有 SiN <sub>x</sub> 膜の形成 .....	114
4.4.3	ESL-TFT を用いた PV 層 SiN <sub>x</sub> 膜からの水素拡散が及ぼす影響.....	115
4.4.3.1	PV 層に樹脂を適用した TFT のストレス信頼性の評価 .....	115
4.4.3.2	PV 層に樹脂を適用した TFT のトラップ準位とストレス信頼性の比較 ...	118
4.5	まとめ.....	124
	参考文献 .....	126

## 第 5 章 BCE プロセスが TFT 特性に与える影響および BCE-TFT の特性改善 .....

5.1	はじめに.....	128
5.2	BCE プロセスの種類 .....	129
5.3	エッチャント浸漬によるバックチャネル表面組成および結合状態.....	130
5.4	BCE プロセスに起因する初期の TFT 特性が受ける影響 .....	134
5.4.1	BCE-TFT 伝達特性の $S$ 値劣化.....	134
5.4.2	$S$ 値劣化の要因解析 .....	135
5.5	ESL-TFT と BCE-TFT の TFT 特性およびストレス信頼性の比較 .....	141
5.6	BCE プロセスに起因するストレス信頼性の解析 .....	148
5.6.1	BCE プロセスにより誘起される a-IGZO のトラップ準位の変化 .....	148
5.6.2	BCE プロセスにより誘起される界面トラップの変化.....	149
5.7	ポストアニーリングによる BCE-TFT のストレス信頼性の改善 .....	154
5.7.1	NBTS ストレス信頼性の向上 .....	154
5.7.2	トラップ準位の変化と NBTIS ストレス信頼性の向上 .....	155
5.8	まとめ.....	162
	参考文献 .....	164

## 第 6 章 先進 a-IGZO 酸化物半導体材料の開発.....

6.1	はじめに.....	167
6.2	a-IGZO への Sn 添加による PAN エッチング耐性の向上 .....	167
6.3	Sn 添加 a-IGZO の TFT 特性およびストレス信頼性 .....	169
6.4	Sn 添加 a-IGZO の電子状態評価 .....	171
6.5	高移動度 Sn 添加 a-IGZO の TFT 特性と電子状態評価 .....	172

6.6 まとめ.....	174
参考文献 .....	176
<b>第 7 章 本研究の総括 .....</b>	<b>177</b>
<b>謝辞 .....</b>	<b>181</b>

# 第1章 序論

## 1.1 はじめに

現在の社会は半導体に支えられている。身の回りの電子デバイスの大半は半導体を用いて作られており、家の中外を問わず、半導体素子が内蔵されているものに目が触れないことはない。このように半導体素子が我々の日常生活に浸透したのは、単に暮らしを豊かにするだけでなく、安全・安心な社会の実現に大きく寄与したためである。また、従来さまざまな電子機器や電子デバイスはスタンドアローンで稼働していたが、ネットワーク化、インテリジェント制御を経て、新たな価値が創造されつつあり、半導体素子の重要性が増しているといえる。

20 世紀において表示素子の主役であったブラウン管(Cathode Ray Tube:CRT)に置き換わり、液晶ディスプレイに代表されるフラットパネルディスプレイ(Flat Panel Display:FPD)は、省スペース性、携帯性、利便性から、代表的なヒューマン・マシン・インターフェースとして欠かすことのできない電子デバイスとなっている。近年では、中小型のスマートフォンやタブレットにおける高精細化、大型 TV における高解像度化等の高機能化が続いている。こうしたディスプレイにおける機能の向上は、ディスプレイに用いられる半導体や配線材料の性能向上に支えられているといっても過言ではない。

ディスプレイの一つ一つの画素を駆動する薄膜トランジスタ(Thin-Film Transistor:TFT)の半導体材料には、これまでアモルファスシリコン(amorphous-silicon:a-Si)や低温ポリシリコン(Low-Temperature Polycrystalline-Silicon:LTPS)が用いられてきた。近年、Hosono らが提唱した透明アモルファス酸化物半導体<sup>1,2)</sup>の概念を具現化し、抽出されたIn-Ga-Zn-O(IGZO)に代表されるアモルファス酸化物半導体<sup>3)</sup>が注目されている。アモルファス酸化物半導体はa-Siに比べて高い移動度を有するとともに、スパッタリングプロセスにより大面積に均一な薄膜が形成できることから、LTPSよりも大型ラインへの適用が容易となり、また、工程が短縮化されるために製造コストの抑制が可能となる。

アモルファス酸化物半導体 TFT の長期的な発展を支えるうえで、その高性能化、高信頼化、低コスト化に寄与する研究は重要である。開発競争の激化から、R&D と量産段階のすみ分けはなくなっており、開発と量産に共通した製造プロセスによる実用化検討が求められている。ディスプレイに用いられる TFT では、基本性能である移動度や閾値電圧が広いプロセス範囲にわたり、均一に、かつ安定して得られることが必要である。しかし、アモルファス酸化物半導体では、TFT を製造する際の薄膜形成プロセスやその周辺プロセスの製造条件の違いによって基本特性が敏感に影響を受けるため、従来用いられてきた製造プロセス条件の変更だけによるトライ&エラーでは開発の効率が十分に上がらない。半導体層の電子状態は TFT 特性に直結することから、アモルファス酸化物半導体のバルク中および界面の電子状態を評価することにより、製造プロセスによってどのように電子状態が変化するかを理解する

ことが重要である。そして、その変化を理解した上で、製造プロセスによって電子状態を制御することが高信頼性化を達成するための最良の方法といえる。しかしながら、これまでの多くの研究では、プロセス条件と TFT 特性の相関のみを議論する 경우가ほとんどで、その電子状態の知見とそれにもとづく議論はほとんど行われてこなかった。特に、アモルファス酸化物半導体のバックチャネル側はより多くの製造プロセスに曝されるために、電子状態の変化が顕著である。しかし、多くの電子状態の評価方法はバックチャネル側の評価が困難であることから、その影響が十分に明らかになっていないといえない。

さらに、バックチャネルを他の製造プロセスから保護するシリコン酸化膜 (Silicon oxide film:  $\text{SiO}_x$ ) で構成されるエッチストップレイヤ (Etch Stop Layer: ESL) 層を用いた ESL 型 TFT がこれまでの主流であったが、それに換わり、ESL 層を省略したバックチャネルエッチ (Back Channel Etch: BCE) 型 TFT の開発加速が求められている。BCE 型 TFT への切り替えは工程短縮による低コスト化に繋がるだけでなく、その構造から容易に短チャネル化が実現できるため TFT サイズの小型化による高解像度化・高透過率化が可能である。また、低寄生容量化によるパネル大型化への寄与も期待されている。しかしながら、BCE 型 TFT は  $\alpha$ -IGZO バックチャネルを保護する ESL 層をもたないため、アモルファス酸化物半導体層のバックチャネルに対して、多くの製造プロセスが複雑に電子状態に影響を及ぼしてしまう。TFT 特性を安定化するうえで、電子状態を可視化し、制御することの重みはさらに大きくなると考えられる。

このような状況のもと、本研究ではアモルファス酸化物半導体 TFT の基本特性の安定化、特に、高信頼性化を実現するために、アモルファス酸化物半導体の薄膜形成プロセスおよび周辺プロセスがアモルファス酸化物半導体の電子状態に及ぼす影響について解明を試みた。従来、一般的には半導体中の電子状態の評価には Deep Level Transient Spectroscopy (DLTS) が用いられてきたが、その評価には、金属 - 酸化膜 - 半導体 (Metal-Oxide-Semiconductor: MOS) 構造にバックコンタクトを備えたダイオード構造が一般的であった。この構造では、実際の TFT のバックチャネル領域とは異なり、TFT 作製時とまったく同一のプロセスを施すことはできなかった。このため、同一構造で評価を行うために、DLTS を発展させた Photo-Induced Transient Spectroscopy (PITS) と呼ばれる手法をアモルファス酸化物半導体 TFT のチャネル領域の評価に適用し、チャネル領域の電子状態の変化とプロセス条件の相関に関する知見の獲得を進めた。さらに、トランジスタ動作、特に光照射およびバイアスストレス印加に対する特性変化のメカニズムに関するモデルの提唱と、高信頼性化に寄与する製造プロセスの改善にフィードバックを行うことを目的とした。

本章では、本論文の導入章として、次世代 FPD と酸化物半導体 TFT の関係に触れた後、酸化物半導体の電子状態を考える上で基本となる半導体の欠陥準位の電氣的振る舞いとアモルファス酸化物半導体の基礎物性を述べるとともに、背景となるアモルファス酸化物半導体 TFT 開発の現状と課題について説明する。最後に、本研究の意義を述べ、本論文の構成を示す。

## 1.2 次世代ディスプレイと駆動素子への要求

おもなディスプレイデバイスを大別すると、CRT や薄型ディスプレイに代表される直視型とプロジェクターに代表される投射型に分かれる。薄型ディスプレイは通常はガラス基板上に作製するので、平面上のフラットパネルディスプレイである。また、薄型ディスプレイにはプラズマディスプレイ (Plasma Display Panel: PDP)<sup>4,5)</sup>、液晶ディスプレイ (Liquid Crystal Display: LCD)、有機 EL ディスプレイ (Organic Light-Emitting Diode: OLED)、電気泳動用ディスプレイ (Electrophoretic Display: EPD)<sup>6)</sup>、LED (Light-Emitting Diode) ディスプレイ<sup>7)</sup> 等がある。今後のディスプレイの進化を実現するロードマップとして、曲げられる (Bendable) ディスプレイ化、さらに、丸められる (Rollable) ディスプレイ化がある (図 1-1)<sup>8)</sup>。薄くて軽く、柔らかくて丸めることのできる Flexible ディスプレイは、将来的には 100 インチを超える大型かつ超高解像テレビであっても、容易に家庭に搬入できるためにその期待は大きい<sup>9)</sup>。Flexible ディスプレイの実現にあたっては、薄型化、柔軟化の観点と、動画表示可能な高精細化、高応答速度の観点から、適用可能なデバイスは LCD と OLED にほぼ限られる。

LCD および OLED はいずれもアクティブマトリックス (Active Matrix: AM) 型駆動方式であり<sup>10)</sup>、各画素を駆動するために、電界効果トランジスタ (Field Effect Transistor: FET) の一種であるスイッチング用の TFT を入れて、隣接する画素信号の影響を受けないようにしている<sup>11)</sup>。今後の Flexible ディスプレイに向けて、駆動回路 (バックプレーン) TFT は柔軟なプラスチック基板上に作製する必要がある。TFT 製造プロセスは 350 °C 程度以下のプロセス温度で行われる必要がある。さらに、映像表示デバイスとして動画解像度の向上が要求されるため、ディスプレイの高精細化、駆動フレームレートの高速化が必要になる。また、Rollable ディスプレイを考えた場合、LCD は液体状の液晶材料を保持するために2枚の基板が必要なこと、液晶は自ら発光しないためバックライトが必要となり薄型化に不利になることから、有機材料による固体の自発光デバイスである OLED への関心が高い。

市場を牽引する LCD においては、要求される TFT の移動度と表示容量 (画素数)、フレーム周波数の関係がシミュレーションされている (表 1)<sup>12,13)</sup>。4k×2k のディスプレイでは、240 Hz 駆動では 8 cm<sup>2</sup>/Vs 以上の移動度が必要であり、8k×4k のスーパーハイビジョン (Super High Vision: SHV) の実現には、120 Hz、240 Hz 駆動を想定すると 10–20 cm<sup>2</sup>/Vs 程度の移動度があれば可能と試算されている<sup>9)</sup>。一方、OLED は有機発光層に必要な電流を供給するためには LCD に比べてさらに高移動度の材料が必要といわれている<sup>14,15)</sup>。このように、移動度の高い TFT は、ディスプレイの高画質化 (高精細化 (多画素駆動)・高フレームレート化) に加え、OLED にとっても非常に重要である。加えて、このようなディスプレイの高画質化には、TFT の移動度の増大とともにゲートとソースドレイン間に形成される寄生容量を低減することが重要となり、大画面ほどその影響が大きくなる<sup>9)</sup>。





図 1-1 次世代フレキシブルディスプレイの予測<sup>8)</sup>.

表 1 要求される移動度と表示容量, フレーム周波数の関係<sup>12)</sup>.

	1920 × 1080 (HD)	4k × 2k	8k × 4k (Super HD)
60 Hz	1.0 cm <sup>2</sup> /Vs	2.0 cm <sup>2</sup> /Vs	4.0 cm <sup>2</sup> /Vs
120 Hz	2.0 cm <sup>2</sup> /Vs	4.0 cm <sup>2</sup> /Vs	8.0 cm <sup>2</sup> /Vs
240 Hz	4.0 cm <sup>2</sup> /Vs	8.0 cm <sup>2</sup> /Vs	16.0 cm <sup>2</sup> /Vs

## 1.3 薄膜トランジスタ

### 1.3.1 薄膜トランジスタ用半導体材料

TFT のアイデアは、90 年ほど前の J. E. Lilienfeld<sup>16)</sup> による特許にまで遡られる。

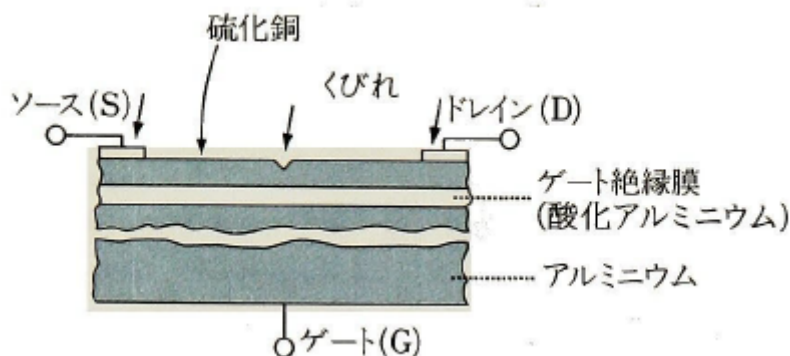


図 1-2 Lilienfeld の特許出願した構造<sup>16)</sup>。

図 1-2 にその一例を示す。絶縁性の酸化アルミニウム膜上に設けた「くびれ」のある硫化銅膜の両端の電極（ソース（S）とドレイン（D））間に発生する抵抗を基板のアルミニウム（ゲート（G））に加えた電圧で制御する。1935 年には、O. Heil<sup>17)</sup> が現在の TFT に類似した構造で特許を取得している。実用化の試みとして、1962 年に P. K. Weimer は半導体層に CdS 薄膜を用いて理想に近い TFT 動作を世界で初めて成功させた<sup>18)</sup>。その後、TFT を用いて LCD を AM 駆動させる提案がなされ<sup>10)</sup>、1974 年には CdSe 薄膜を用いた TFT によって作製された 6 インチ FPD 試作品がデモンストレーションされた<sup>19,20)</sup>。このように AM 駆動としての TFT の研究は II-VI 族化合物カルコゲナイド半導体から始まっており、その性能自体は優れていたが、空気に触れると物性が変わってしまうために、主要な集積回路製作技術の一つであるフォトリソ技術が使い難く、また、用いる材料に毒性がある、等の種々の問題を抱えていた<sup>21)</sup>。その後、Si を用いた TFT の研究が続き、1975 年に Spear らが欠陥の少ない水素化アモルファスシリコン（Hydrogenated amorphous Si: a-Si: H）薄膜を実現し<sup>22,23)</sup>、1979 年にはこれを用いた a-Si TFT の報告がされている<sup>24)</sup>。

現在の LCD テレビ等の中型以上のディスプレイで用いられているのはほとんどが a-Si TFT<sup>25,26)</sup> である。Si 系材料を用いた TFT には、その他に、微結晶 Si（microcrystalline silicon:  $\mu\text{-Si}$ ）<sup>27,28)</sup>、低温多結晶シリコン（Low-Temperature Polycrystalline Silicon: LTPS）<sup>29,30)</sup>、高温ポリシリコン（High Temperature Polycrystalline Silicon: HTPS）<sup>31)</sup> があり、小型のディスプレイでは LTPS が用いられることが多い。次世代ディスプレイ用として検討される主な TFT の種類を a-Si と LTPS と比較して表 2 に示す。

a-Si は、プラズマ化学気相堆積(Plasma Enhanced Chemical Vapor:PECVD)法やスパッタ法を利用して 350 °C以下で作製できる。経時的に特性は変化するが、大面積に形成したときの特性の均一性が良好である。しかしながら、電界効果移動度は 0.5–1.5 cm<sup>2</sup>/Vs 程度と低い。LTPS は a-Si より 2 桁高い電界効果移動度をもつ高性能な TFT の実現が可能である。しかし、プロセス温度が高く、製造装置が大型化になることや、結晶粒界による特性の不均一性が大きいことから、実用上、補償回路が必要である。有機半導体は室温及び塗布で形成可能という特徴を有し、柔軟性および高衝撃耐性を備えているため、フレキシブル基板を用いたディスプレイ用材料として有望である<sup>32,33)</sup>。スクリーン印刷法<sup>34)</sup>等の印刷プロセスによって低コストで大面積に形成できる点でも注目されている。ただし、現状は研究段階であり、さらなる高移動度を得るには結晶化等さらなる技術開発が必要である。また、その場合の大面積化は課題とされている<sup>35)</sup>。アモルファス酸化物半導体<sup>36-40)</sup>は、スパッタ法により、室温で容易に大面積への形成が可能であるとともに比較的高い電荷移動度を示す材料であることから、近年、次世代ディスプレイ用 TFT としての研究開発が急速に進んでいる。a-Si 製造ラインの転用が比較的容易であり、素子構造やプロセスが LTPS よりもシンプルであることから、製造コストを抑えることができる。移動度の観点からも次世代ディスプレイの要求項目を満たす材料であり、TFT のオフ時のリーク電流が低いことから、ディスプレイ駆動応用における低消費電力化に繋がる<sup>41)</sup>。シャープがインジウム(In)、ガリウム(Ga)、亜鉛(Zn)の酸化物である In-Ga-Zn-O (IGZO)を用いて、2012 年に世界で初めて量産化に成功した。一方で、IGZO 等の酸化物半導体 TFT の信頼性の確保は課題であり、その劣化に対する制御が難しいことから、量産工場はほんの僅かに限られている。

表 2 次世代ディスプレイに用いられる代表的な TFT<sup>11,35)</sup>。

	a-Si TFT	LTPS TFT	酸化物TFT	有機TFT
電荷移動度 (cm <sup>2</sup> /Vs)	0.5～1.5	> 100	10～80	< 5
大面積化	○ (CVD法)	× (エキシマレーザで熱処理)	○ (スパッタ法)	○ (塗布)
低温形成	○	△	○	○
プロセス温度 (°C)	< 350	600程度	< 300	< 100
オン／オフ比	> 10 <sup>6</sup>	～ 10 <sup>7</sup>	～ 10 <sup>8</sup>	10 <sup>5</sup> ～ <sup>6</sup>
特徴・課題など	特性の経時変化大	特性ばらつき大	比較的安定	安定性に課題

### 1.3.2 薄膜トランジスタの構造

TFT を構造面から大別すると、ボトムゲート型とトップゲート型に分類できる<sup>11)</sup>。a-Si TFT では、ゲート電極を最下層に配置し、その上層にゲート絶縁膜、半導体層を、さらに上層にソース電極、ドレイン電極を形成することが多い。ゲート電極とソース電極およびドレイン電極を直線で結ぶと逆三角形になり、この構造はボトムゲート型または逆スタガ(Staggered)型と呼ばれる(図 1-3(a))。一方、LTPS や HTPS のような p-Si TFT では、a-Si 膜をスタート膜として、レーザ光を照射し、瞬間的に溶融して結晶化を行う。その後、ゲート絶縁膜を成膜し、次にゲート電極が形成される。このように半導体膜の上側にゲート電極を形成する構造をトップゲート型またはスタガ型と呼ぶ(図 1-3(b))。一般に、p-Si TFT では、a-Si TFT の製造工程では使用しない、TFT 特性の閾値電圧(Threshold voltage:  $V_{th}$ )を制御するためのリンやボロンを Si 中に注入するドーピング工程等があるため、リソグラフィ工程が多く、TFT 製造のプロセスが長い。

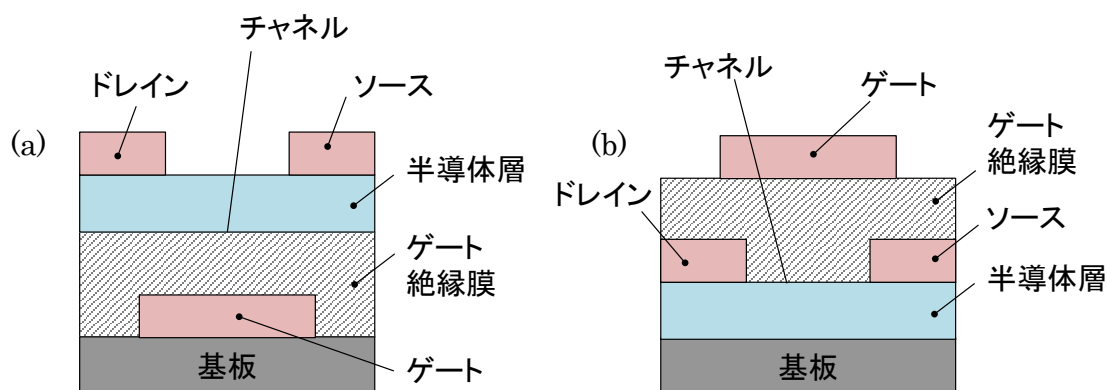


図 1-3 TFT の基本構造 (a)ボトムゲート構造, (b)トップゲート構造。

### 1.3.3 薄膜トランジスタの電流－電圧特性<sup>11,42)</sup>

前述したように、FET の一種である TFT は、MOSFET とは異なり、ゲート( $V_g$ )－ソース( $V_s$ )間電圧である  $V_{gs}$  を印加し、電界の効果により、チャネル領域のキャリア密度を変化させて電流を制御する。典型的な TFT の電気特性には、入力特性(伝達特性)と出力特性がある。図 1-4 に代表的な伝達特性と出力特性を示す。後述する線形あるいは飽和の条件が満たされていれば、これら電流電圧特性の実測データからデバイス性能を判断するための電界効果移動度( $\mu_{FE}$ )、サブスレッショルドスイング( $S$  値)、閾値電圧( $V_{th}$ )を評価することができる。

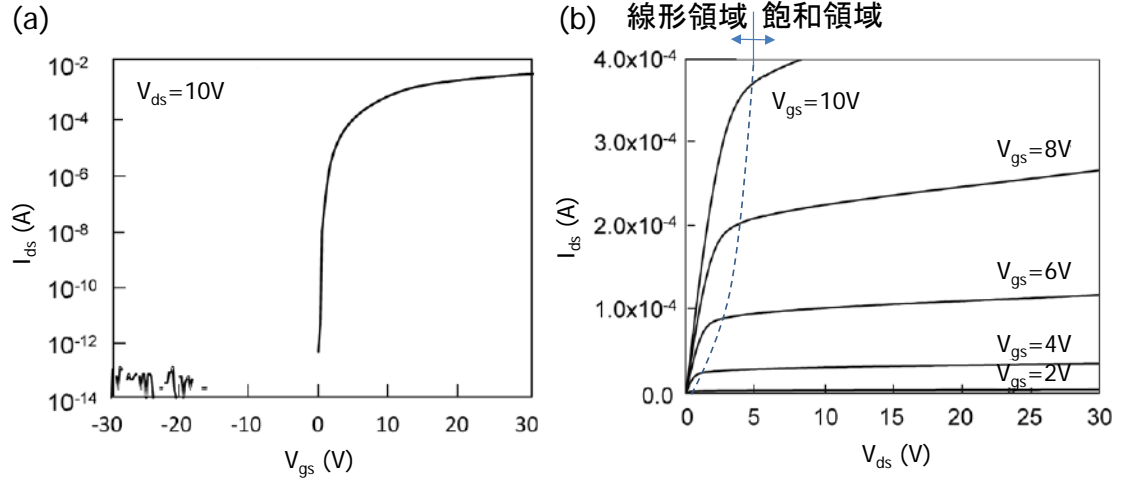


図 1-4 代表的な TFT の伝達特性と出力特性.  
(a) 伝達特性, (b) 出力特性

ドレイン ( $V_d$ ) – ソース ( $V_s$ ) 間電圧である  $V_{ds}$  を印加して,  $V_{ds} < V_{gs} - V_{th}$  となる領域では  $I_{ds}$  は  $V_{ds}$  にほぼ比例し, この領域を TFT の線形領域という. 線形領域における  $I_{ds}$  は以下の式により与えられる.

$$I_{ds} = \frac{\mu_{Lin} WC_i}{L} \left[ (V_{gs} - V_{th}) V_{ds} - \frac{1}{2} V_{ds}^2 \right] \quad (1.1)$$

$\mu_{Lin}$ ,  $W$ ,  $L$ ,  $C_i$  はそれぞれ線形領域における電界効果移動度, チャンネル幅, チャンネル長, ゲート絶縁膜の単位面積あたりの容量である.

$C_i$  は真空の誘電率  $\epsilon_0$ , ゲート絶縁膜の比誘電率  $\epsilon_i$ , ゲート絶縁膜厚  $t_i$  から次式となる.

$$C_i = \epsilon_0 \epsilon_i / t_i \quad (1.2)$$

ここで, TFT の伝達特性の式 (1.1) の両辺を  $V_{gs}$  で偏微分して整理すると,  $\mu_{Lin}$  は以下で求められる.

$$\mu = \frac{L}{WC_i V_{ds}} \frac{\partial I_{ds}}{\partial V_{gs}} \quad (1.3)$$

$\partial I_{ds} / \partial V_{gs}$  はチャンネルの相互コンダクタンス  $g_m$  として表される.

この線形領域の電界効果移動度  $\mu_{Lin}$  は  $I_{ds} - V_{gs}$  特性の傾きより求められることがわかり, その傾きが最大になる値は TFT の電界効果移動度  $\mu_{FE}$  になる.  $V_{th}$  は得られた  $\mu_{Lin}$  を用いて, (1.1) 式から算出できる. ただし,  $V_{th}$  の変化量等を検討する場合, 特に, TFT の伝達特性の

閾値下領域に階段状のハンプが現れた場合を議論する上では、規格化された値を用いるほうがわかりやすいことから、本研究では、規格化されたドレイン電流 1 nA における  $V_{gs}$  値を  $V_{th}$  と定義している。

これに対して、 $V_{ds} > V_{gs} - V_{th}$  となる領域では  $I_{ds}$  は  $V_{ds}$  に関わらずほぼ一定の値を示し、この領域を TFT の飽和領域という。飽和領域における  $I_{ds}$  は以下の式により与えられる。

$$I_{ds} = \mu_{sat} \cdot \frac{W}{2L} C_i (V_{gs} - V_{th})^2 \quad (1.4)$$

$\mu_{sat}$  は飽和領域における電界効果移動度であり、(1.4)式の平方根をとって両辺を  $V_{gs}$  で偏微分し、整理すると、

$$\mu = \frac{2L}{WC_i} \left( \frac{\partial \sqrt{I_{ds}}}{\partial V_{gs}} \right)^2 \quad (1.5)$$

となることから、飽和領域では  $\sqrt{I_{ds}} - V_{gs}$  特性の傾きから  $\mu_{sat}$  を求めることができる。

$\mu_{sat}$  は  $\mu_{Lin}$  同様に、 $V_{gs}$  依存性を示すが、通常最大値が用いられる。本研究では、電界効果移動度  $\mu_{FE}$  は  $\mu_{sat}$  を用いることとする。

$S$  値は伝達特性の閾値下領域において、 $I_{ds}$  が 1 桁増加して 10 倍になるときに要する  $V_{gs}$  の電圧差を示しており、一般的に以下の式で表される。 $S$  値が小さいほど伝達特性の閾値下領域の傾きが急であるということになり、伝達特性のオン、オフのスイッチング特性が良好であるといえる。

$$S = \ln(10) \frac{\partial V_{gs}}{\partial (\ln(I_{ds}))} \quad (1.6)$$

一方、上述した TFT の伝達特性に対して、バイアスストレスによる伝達特性の変化は、ディスプレイの画素駆動用のスイッチング TFT の特性ばらつきを引き起こし、深刻なディスプレイの画質の劣化を生じさせることになる。そのため、ディスプレイメーカーでは実際のパネル駆動におけるストレス状態を模擬した加速試験として、正ゲートバイアス熱ストレス (Positive Bias Temperature Stress: PBTS)、負ゲートバイアス熱ストレス (Negative Bias Temperature Stress: NBTS)、光照射負ゲートバイアス熱ストレス (Negative bias thermal Illumination stress: NBTIS) と呼ばれるストレス試験を実施している。図 1-5 に、加速試験における代表的な TFT の伝達特性の変化を示す。これらのストレス試験によって TFT 特性が変動しないことが必要とされる。

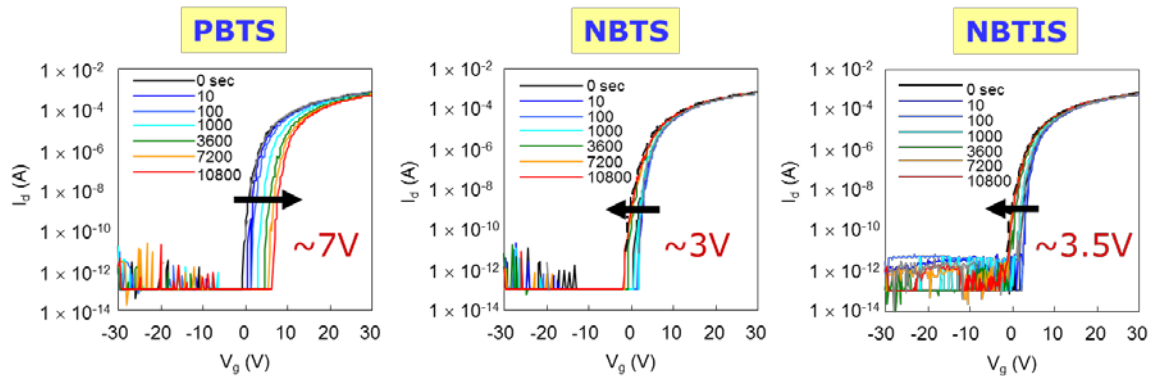


図 1-5 各種ストレス条件における a-IGZO TFT の伝達特性の変化.

### 1.3.4 半導体におけるエネルギー準位と電氣的振る舞い <sup>43)</sup>

前述のように, TFT の半導体チャネルは主にアモルファス半導体または多結晶半導体を用いられている. 多結晶半導体は結晶粒子の内部では結晶半導体と同じでエネルギー準位はほとんど存在しないが, 隣接する2つの粒子の界面(粒界)ではポテンシャル障壁やエネルギー準位が形成される. また, 半導体チャネルと絶縁膜の界面も結晶の不完全性のひとつといえ, 多くのエネルギー準位が存在する. このようなエネルギー準位はドナーやアクセプタのような正負に帯電(イオン化)した準位として働き, 半導体の電氣的性質に大きな影響を与える. 図 1-6(a)はドナー型準位を示し, フェルミレベル( $E_F$ )以上で伝導帯に電子(負の電荷をもつ)を供給して, それ自身は正に帯電するエネルギー準位である. 図 1-6(b)はアクセプタ型準位を示し,  $E_F$  以下で価電子帯に正孔(正の電荷をもつ)を供給して, それ自身は負に帯電するエネルギー準位である <sup>44)</sup>.

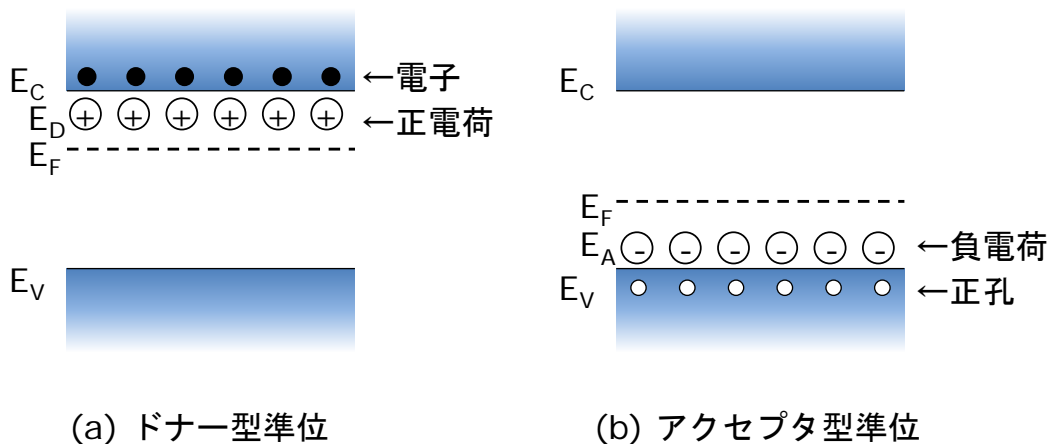


図 1-6 ギャップ内欠陥準位の帯電型.



アモルファス半導体では、その無秩序な構造に起因した準位がギャップ内に形成される。このような準位は裾状準位と呼ばれ、伝導キャリアをトラップするエネルギー準位となる。さらに、ダングリングボンドや不純物に起因してギャップ内に多結晶と同様なトラップ準位を形成する。エネルギー準位には、浅いエネルギー準位と深いエネルギー準位がある。半導体の電気伝導をつかさどるキャリア（電子および正孔）の密度を制御するために用いられる不純物はキャリアを束縛するエネルギーが小さい。熱エネルギーの平均は  $k_B T$  で表され、25 °Cで 0.026 eVとなるが、この値は小さい束縛エネルギーにくらべて十分大きな値であるために、多くの半導体では比較的低温でも多数のキャリアを制御して発生させることができる。一般に、このように室温でほぼ完全にイオン化しているものを浅いエネルギー準位と呼ぶ。これに対して、 $k_B T$  にくらべて束縛エネルギーがかなり大きく、バンド端から離れてエネルギー準位をもつものは深いエネルギー準位と呼ばれる。深いエネルギー準位はキャリアに対する束縛エネルギーが大きいために、キャリアのトラップとして働いたり、電子－正孔対を発生させたり、あるいは再結合させたりする。そのため、異なるエネルギー準位が形成されることによって、多数キャリアの発生の制御ができなくなり、チャネルのキャリア濃度に影響を与えるために、特性ばらつきが生じることになる<sup>43)</sup>。また、伝導帯下端 (Conduction Band Minimum: CBM) や価電子帯上端 (Valence Band Maximum: VBM) から離れたこれらの深いエネルギー準位の動的な振る舞いは Shockley-Read-Hall (SRH) 統計論<sup>45,46)</sup>によって記述されている。図 1-7 のケース1は複数のエネルギーをもつドナー型準位において電子が捕獲された状態を表しており、この速度は伝導電子密度  $n$ 、捕獲断面積  $\sigma_n$ 、および電子の熱運動速度  $v_{th,n}$  に比例する。捕獲断面積の大きさは、不純物の欠陥の種類や構造と密接に関わっている。図 1-7 のケース2および3は  $E_F$  の位置が徐々に下がって、ドナー型準位はイオン化して電子が放出された状態を表している。このように非平衡状態では、エネルギー準位における電子および正孔の占有は相対的な  $E_F$  の位置に依存することになり、これらの動的パラメータはギャップ内準位の評価を行う上で重要になる<sup>44)</sup>。

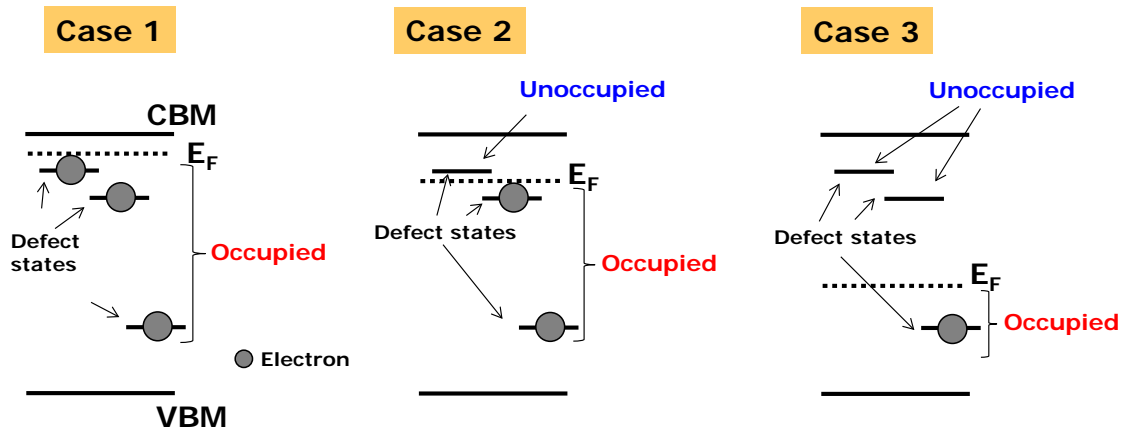


図 1-7 非平衡状態における欠陥準位の電子占有と相対的な  $E_F$  の位置の関係 (ドナー型欠陥準位)。



## 1.4 アモルファス酸化物半導体の特徴<sup>47)</sup>

本研究では主に、透明アモルファス酸化物半導体材料として最も広く研究がされており、多くのパネルメーカーで実用化検討が進められているアモルファス IGZO (a-IGZO) を取り上げた。a-IGZO は東工大の細野らのグループから発表されており<sup>3, 48-50)</sup>、2004 年に、東工大の野村らによって透明アモルファス酸化物半導体としてはじめて TFT 動作が報告されている<sup>3)</sup>。

### 1.4.1 a-IGZO のキャリア輸送

酸化物は Si や GaAs 等の共有結合性の強い半導体とは大きく異なる電子構造を有している<sup>51-54)</sup>。Si では指向性の強い  $sp^3$  結合がキャリアの伝導路を形成するため、歪んだアモルファス構造中ではその乱雑性に由来して、伝導帯直下および価電子帯直上に裾状態と呼ばれる比較的高密度で深い局在準位を形成する<sup>55)</sup>。この原因により、多くのキャリアは動けず、高エネルギーを持つキャリアだけが伝導に寄与することになるので、a-Si の移動度が単結晶シリコンよりも 2-3 桁低くなっている(図 1-8)<sup>2,56-58)</sup>。一方で、イオン性が高く透明な酸化物半導体においては、結晶酸化物の場合、伝導帯端が球対称な金属元素の  $s$  軌道で構成されており、In, Sn, Cd 等の重元素の非占有  $s$  軌道の空間的広がりが大きいために電子の輸送路は重元素の  $s$  軌道によって形成される。また、アモルファス酸化物の場合は、結合方向には乱れが生じるが、 $s$  軌道が空間的指向性をもたないため、アモルファス構造中の歪んだ化学結合によっても軌道の重なりには大きな影響を受けず、キャリアの平均自由行程は最近接原子間距離より十分に長いために、キャリア輸送の影響を受けにくい(図 1-8)<sup>2,50,56,57)</sup>。a-IGZO 薄膜および単結晶 IGZO (以降、c-IGZO という) 薄膜のキャリア輸送特性に関しては、Hall 効果測定により、いずれもキャリア密度の増大にともなって Hall 移動度が増大することが確認されている(図 1-9)<sup>58)</sup>。その温度依存性から、a-IGZO 薄膜、c-IGZO 薄膜ともにパーコレーション伝導していることが示されている<sup>59,60)</sup>。そのキャリア輸送は、平均高さ(Barrier)およびエネルギー分布( $\Delta E$ )を有する移動度エッジである伝導帯端上の分布ポテンシャル障壁によって制御されると仮定されており、Barrier は 100 meV 程度、 $\Delta E$  は 23-42 meV 程度との報告がある<sup>61)</sup>。

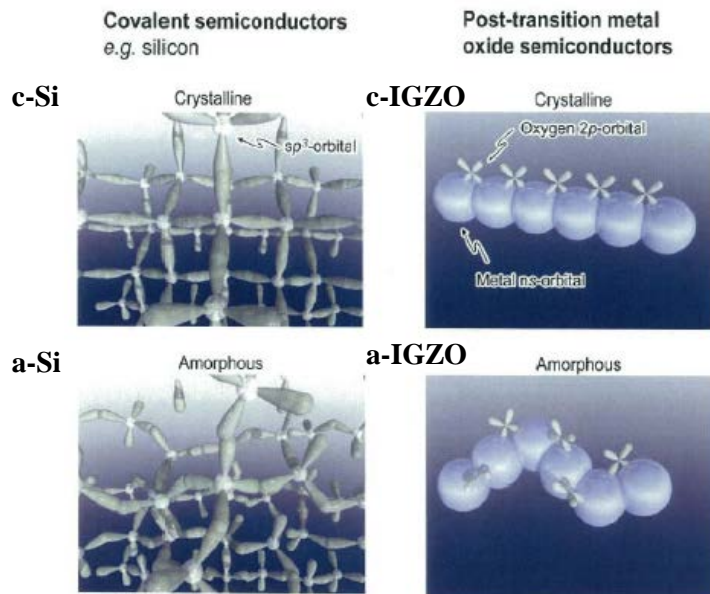


図 1-8 共有結合性半導体と酸化物半導体のキャリア伝導路  
c-Si, a-Si, c-IGZO, a-IGZO<sup>56)</sup>.

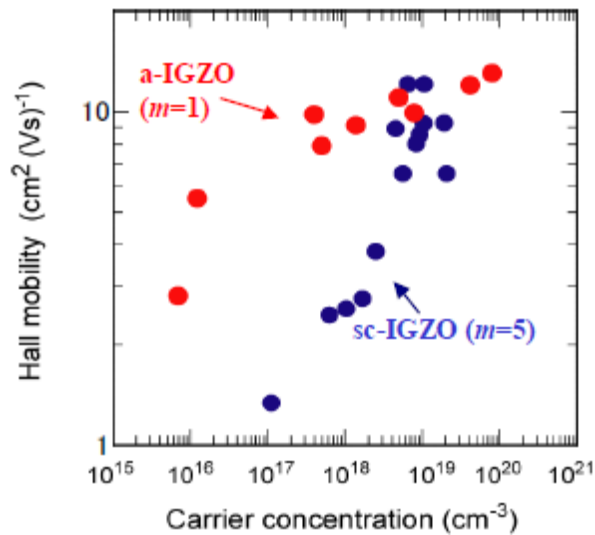


図 1-9 a-IGZO と c-IGZO 薄膜における室温 Hall 移動度のキャリア密度依存性<sup>58)</sup>.

### 1.4.2 a-IGZO の電子構造

一般に、半導体内に存在するギャップ内欠陥準位は、キャリア輸送特性、デバイス性能・安定性に大きく影響を及ぼす<sup>62-64</sup>。a-IGZO のギャップ内欠陥準位の密度は、a-Si 等のアモルファス酸化物のそれよりも小さく、とくに、図 1-10 に示すように伝導帯付近の状態密度 (Density of states: DOS) は裾状態にあり 1-2 桁低い<sup>61,65</sup>。この違いにより、フェルミ準位 ( $E_F$ ) はゲート電圧によって移動度端近傍まで容易に移動できるようになり、バンド伝導が生じることになるので、a-IGZO TFT は a-Si TFT に比べて、 $\mu_{FE}$  および  $S$  値が優れると考えられている<sup>66</sup>。

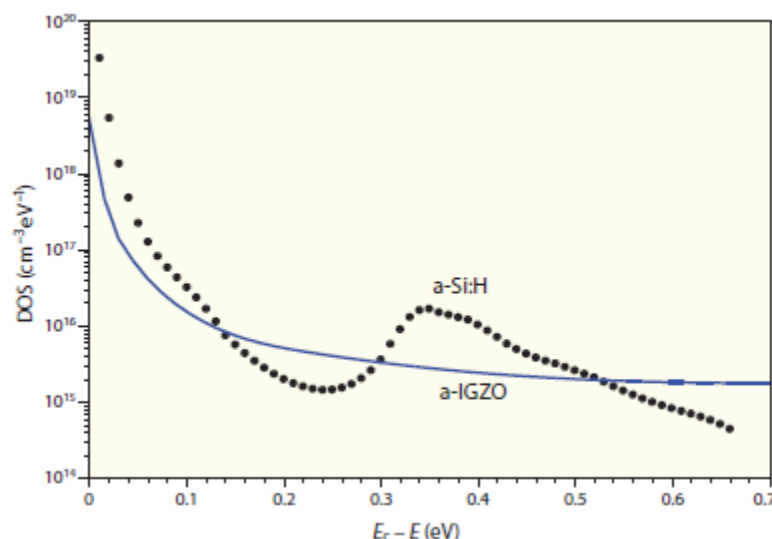


図 1-10 C-V 法による a-Si と a-IGZO の伝導帯近傍の DOS の比較<sup>61</sup>。

また、a-IGZO においては、図 1-11 に示すように、硬 X 線光電子分光 (Hard X-ray photoemission spectroscopy: HX-PES) によって、VBM から 1.5 eV の間に大きな状態密度が存在することが明らかとなった<sup>67</sup>。このことは、負のゲート電圧を印加した場合に、 $E_F$  は VBM 近傍でピン止めされることになり、価電子帯にホールが生成されず反転動作しないことが、a-IGZO TFT のオフ電流が低いと考えられている<sup>65</sup>。

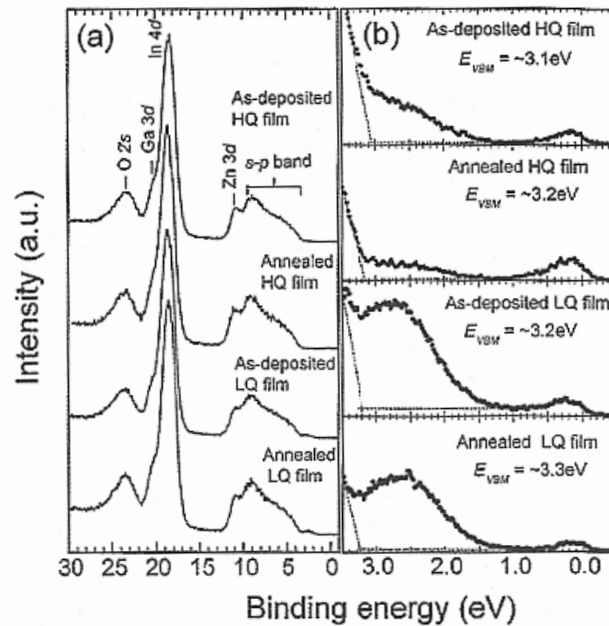


図 1-11 HAX-PES 法による a-IGZO の価電子帯近傍の DOS の評価<sup>67)</sup>.

図 1-12 に、Kamiya らによって提唱されている a-IGZO の電子構造の概略図を示した<sup>61)</sup>. この図には、上述した伝導帯近傍および価電子帯近傍の電子構造に加えて、前項にて説明した伝導帯端上の分布ポテンシャル障壁のモデルが付与されている. また、パーコレーション伝導モデルに基づいたキャリア輸送の解析から提供されたドナーレベル( $N_D$ )が表記されている<sup>59,60)</sup>. より詳細には、a-IGZO の  $N_D$  は CBM より 0.11 eV 低く、c-IGZO 膜では 0.10–0.15 eV と推定される<sup>57)</sup>. 一方で、室温で堆積された a-IGZO 膜(As-deposited 膜)は、低周波 C–V 法を用いた評価により、CBM から 0.2 eV 低い位置で余分なギャップ状態を有することが報告されている<sup>68)</sup>. この準位は TFT 特性と相関があるといわれており、図 1-12 では、Localized states として表記されている.

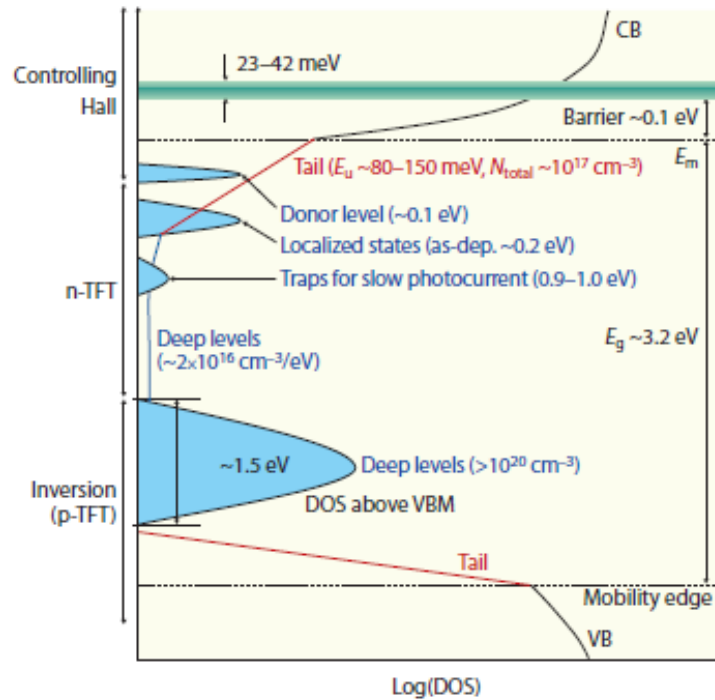


図 1-12 a-IGZO の電子構造の概略図<sup>61)</sup>.

### 1.4.3 a-IGZO を用いた薄膜トランジスタの安定性に関するこれまでの報告

FPDにおけるTFTとしては、上述したギャップ内欠陥準位がそのまま $S$ 値に反映されるだけでなく、フェルミレベルピンニングによる $V_{th}$ 変動やヒステリシス特性の劣化のような安定性にも影響を及ぼすことが予測される。現在、酸化物半導体TFTに関して多くの実用化研究が進められているが、最も重要な課題は安定性の確保である。図1-13にTFTの $V_{th}$ シフトの例(平行シフト<sup>69)</sup>、ハンプシフト<sup>70)</sup>)を示す。このように、FPDパネル製品に組み込まれたa-IGZO TFTは、使用中に曝される光や待機中の印加電圧によってストレスを受けてTFTの $V_{th}$ がシフトする現象が報告されており、その低減が課題となっている。また、FPDパネル駆動における安定性の指標として、前述したPBTS, NBTS, NBTIS等のストレス試験を実施し、これらのストレス印加によってTFT特性が変動しないことが必要とされる(それぞれのストレス試験条件は第2章に記載する)。特に広く実用化されているLCD製品では、TFT

は常にバックライトによる光照射に曝されており、動作中のほとんどは負バイアス電圧印加されているため、NBTIS(NBTS)試験による  $V_{th}$  シフトが小さいことが強く求められる。

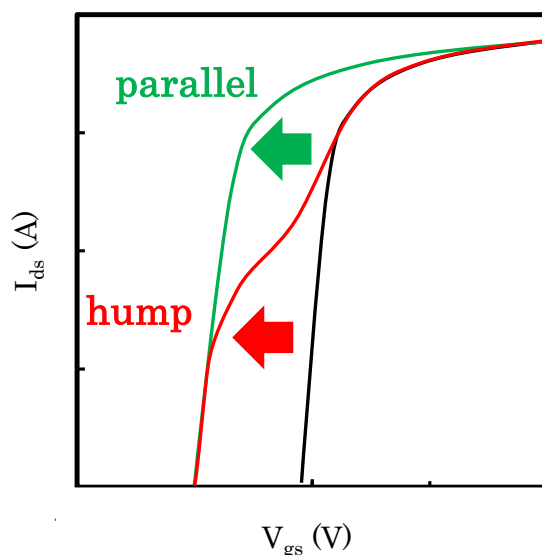


図 1-13 a-IGZO TFT の  $V_{th}$  シフトの例.

これまでの研究において、PBTS 試験に対する  $V_{th}$  シフトの不安定性に関しては、チャネル領域のバルクもしくはゲート絶縁層（以降、GI 層）の界面におけるアクセプタライク準位の発生に起因することの報告がある<sup>71,72)</sup>。また、 $E_F$  よりも深い準位の形成によって  $V_{th}$  は正側にシフトすると考えられ、GI 層表面への酸素プラズマ照射処理<sup>73)</sup>や TFT 製造後の熱処理<sup>74)</sup>によって TFT 動作を制御できることの報告がある。また、光照射のない NBTS 試験に対する  $V_{th}$  シフトは他の試験に比べると深刻ではないとの報告もある<sup>74,75)</sup>。これらの報告は ESL 層を備えたボトムゲート型 TFT で多くみられる。光照射をともなう NBTIS 試験に対する  $V_{th}$  シフトの不安定性に関しては、当初は NBTS の  $V_{th}$  シフトが光によって増大されると考えられていたが、光照射によるこれらの影響は諸説指摘されている。VBM 直上に存在する大きな状態密度は、光照射下（バンドギャップよりも小さいエネルギーの光照射：2.3eV）で負バイアスを印加し続けたときの  $V_{th}$  がシフトする理由のひとつとされている。つまり、光照射によって酸素欠損サイトが  $Vo \rightarrow Vo^{2+}$  に励起されるメカニズムが提案されている。X. Huang らは酸素欠損がホールのトラップサイトになると指摘しており<sup>76)</sup>、H. Oh らは光照射によりイオン化した酸素欠損準位の生成を指摘している（図 1-14）<sup>77,78)</sup>。彼らは  $Vo^{2+}$  の生成と自由電子増加によって  $V_{th}$  が負側にシフトするとしている。また、M. D. H. Chowdhury らは光照射によって形成した膜中の  $Vo$  が  $Vo^+$ 、 $Vo^{2+}$  になってゲート絶縁膜との界面に拡散して捕獲され、そして、捕獲されたホールの持つ正電荷により NBTIS シフトが起こると報告している<sup>79)</sup>。

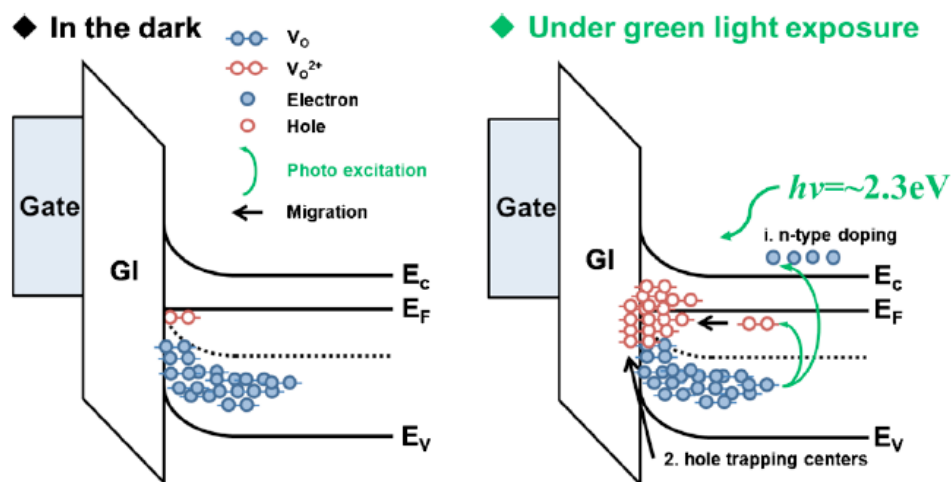


図 1-14 光照射による酸素欠損準位の励起による  $V_{th}$  シフトの概略図<sup>77)</sup>.

K. H. Ji らは NBTIS 試験による  $V_{th}$  の負側シフトの減少は、高圧酸素熱処理の実験に基づいて、酸素欠損欠陥の存在に起因する可能性があるとして主張した<sup>80)</sup>。酸素圧力の増加に応じて NBTIS シフト量が低減することに加え、酸素欠損に関連した XPS  $O1s$  ピークの減少と  $OH$  に関連した  $O1s$  ピークの増加が起こるために、 $V_o$  から  $V_o^{2+}$  に励起する光遷移モデルを支持する実験的証拠としている(図 1-15)。しかしながら、この XPS 結果は a-IGZO 薄膜を高圧酸素熱処理したものであるため限定的であり、TFT 製造プロセスの複雑さを考慮すると、直接的に反映しているとは言い難い。

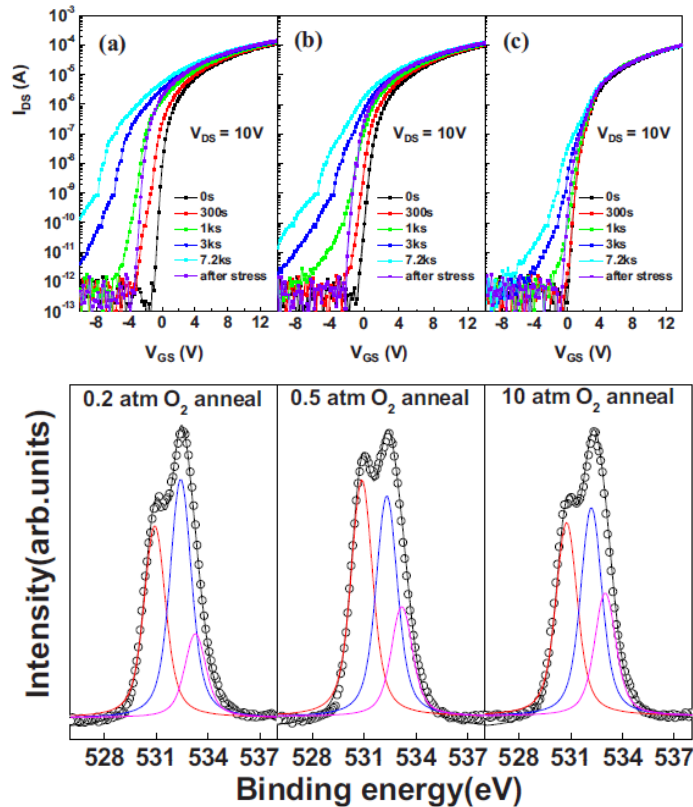


図 1-15 高圧酸素熱処理による a-IGZO TFT の NBTIS 試験による  $V_{th}$  シフト  
および a-IGZO 薄膜の XPS O1s の変化の例<sup>80)</sup>.

また、NBTIS 試験による  $V_{th}$  の負側シフトに関しては、チャネル上に ESL 層や保護層（以降、PV 層）が形成されずに、a-IGZO チャネル表面が大気曝露されているような場合は、光照射による酸素の脱離およびイオン化した水の吸着による a-IGZO チャネルのキャリア濃度の上昇に起因した変動が考えられる。図 1-16(a)に示すように、大気曝露した a-IGZO チャネル表面に吸着した酸素は a-IGZO の伝導帯から電子を捕獲することにより負に帯電し ( $O_2(gas) + e^- = 2O^-(solid)$ )、表面に空乏層を形成して a-IGZO のキャリア濃度を減少させることが報告されている<sup>81)</sup>。この状態で光照射を行うことにより、ホールと電子の対が生成されることになり、表面吸着酸素の脱離とともに、a-IGZO チャネルのキャリア濃度が相対的に増加して ( $O^- + h\nu = O_2(gas) + e^-$ )、TFT の  $V_{th}$  が負側にシフトすると報告されている<sup>82)</sup>。また、多湿環境における a-IGZO チャネル表面への水分の吸着によって、図 1-16(b)に示されるように、 $H_2O$  から電子が提供されて、正イオンとしてチャネル表面に吸着することにより、a-IGZO のキャリア濃度が増加すると考えられている<sup>83)</sup>。



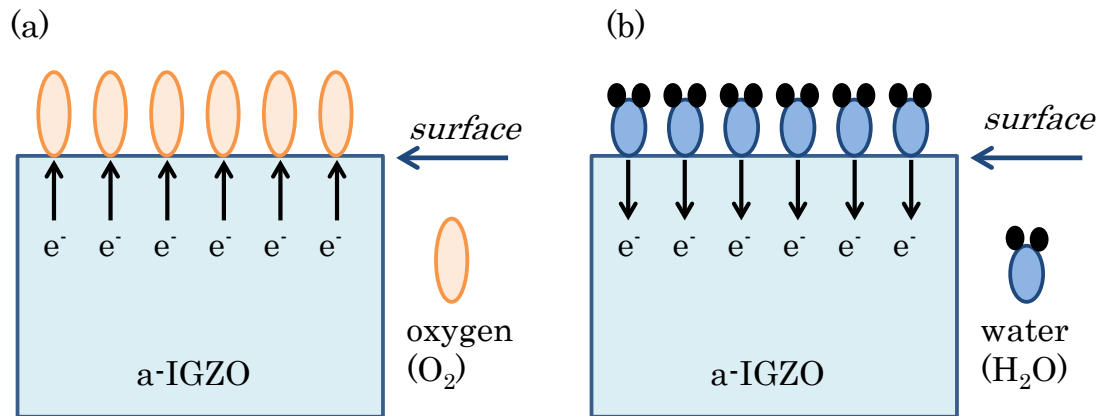


図 1-16 (a) 電子のアクセプタとして酸素の役割,  
(b) 電子のドナーとして水分子の役割を示す模式図<sup>83)</sup>.

一方で、酸化物半導体を使用する TFT の性能は、CBM 下に位置する欠陥状態によって支配されることが広く認識されてきている。たとえば、Nomura らは a-IGZO を堆積した後の熱処理を未実施とした TFT では、定電流ストレスによる大きな  $V_{th}$  変化と  $S$  値劣化という TFT 特性の不安定性がみられており、シミュレーションを用いて、a-IGZO チャネル層へのギャップ内欠陥準位 ( $E_c - 0.8$  eV より上、サブギャップ準位ともいう) の生成に起因することを報告している(図 1-17)<sup>71)</sup>。しかしながら、トラップ準位は TFT を製造するためのプロセス条件に強く影響を受けることから<sup>68,69,84-89)</sup>、現象を詳細に理解するには、プロセス条件との関連の理解を深める必要がある。

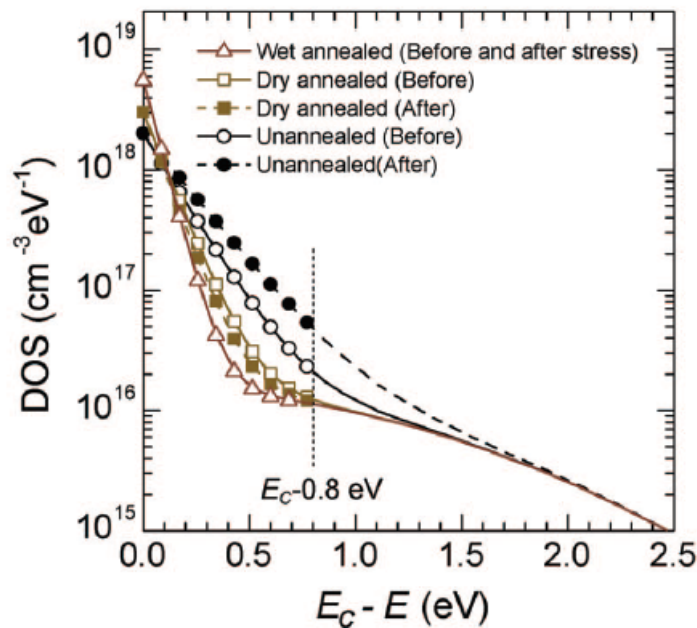


図 1-17 TFT シミュレーションによる抽出した a-IGZO のギャップ内欠陥準位 <sup>71)</sup>.

アモルファス酸化物半導体中の水素の影響についても研究が進んでいる. たとえば, GI 層として用いた SiN<sub>x</sub> 膜の水素量は a-IGZO TFT の安定性に大きく影響を与えることが報告されている <sup>69,87,90)</sup>. N-H 結合を形成する高濃度の水素を含有する SiN<sub>x</sub> 膜ほど a-IGZO TFT の NBTIS 試験による負側の  $V_{th}$  シフトが大きくなる(図 1-18). また, Lee らは, SiN<sub>x</sub> 膜の水素は浅い電子の電荷トラップサイトを生成することによって, このような  $V_{th}$  シフトを誘発すると報告した <sup>91)</sup>. Toda らは, ESL 層から a-IGZO TFT への水素拡散の影響を定量的に分析し, a-IGZO に取り込まれた水素が界面のトラップ状態を不動態化し, 水素のほとんどすべてがドナーとして作用すると指摘した <sup>92)</sup>. Domen らは PBTS 不安定性の原因は a-IGZO における中性水素によるものであると説明している <sup>93)</sup>. 逆に, a-IGZO に対するプロセスにともなう酸素の流れは電気的特性および安定性に影響を及ぼすことが報告されており, Lee らは a-IGZO の状態密度について研究している <sup>94)</sup>. 多周波 C-V 測定から a-IGZO TFT のギャップ内欠陥密度を抽出し, 過剰酸素もしくは弱結合酸素のような酸素関連欠陥はアクセプタライクの準位として作用することを提案している.

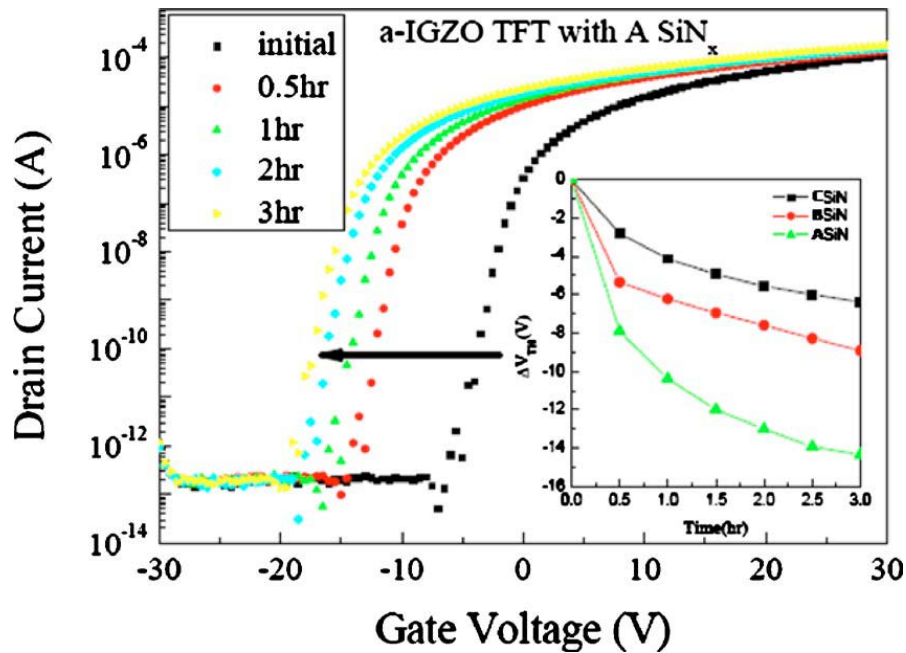


図 1-18 SiN<sub>x</sub>をGI層として用いた a-IGZO TFT の NBTIS 試験による伝達特性の変化.  
SiN<sub>x</sub>膜中の水素濃度は ASiN > BSiN > CSiN の順<sup>69)</sup>.

また、水素を多く含む SiN<sub>x</sub>膜を用いた a-IGZO TFT の不安定性が顕著であることから、水素含有量の低い SiN<sub>x</sub>膜を用いた取り組みも顕在化している。高密度化が可能な誘導結合型 PECVD 法により、SiF<sub>4</sub>/N<sub>2</sub>をプロセスガスとして利用したフッ素系シリコン窒化膜 (SiN:F 膜) は一般的な PECVD 法で作製した SiN<sub>x</sub>膜に比べて水素含有量は 1/10 以下で作製ができる。SiN:F 膜をGI層として適用した a-IGZO TFT の PBTS 安定性が改善し、SiN<sub>x</sub>膜の水素量濃度が減少したとともに、GIと a-IGZO の界面におけるフッ素の導入によって、CBM 近傍の DOSが減少することを報告している(図 1-19)<sup>95)</sup>。さらに、a-IGZO ESL-TFTにおいて、SiO<sub>x</sub>膜で構成された PV 層の代替として、SiN:F 膜を用いた取り組みもなされている<sup>96)</sup>。PV 層として SiN:F 膜を堆積した後に高温(350 °C, 3 hrs)の熱処理を施すことで、SiN:F 膜から a-IGZO にフッ素が拡散し、NBTIS 試験による  $V_{th}$  シフトが軽減することが報告されている。

さらに、a-IGZO TFT のバックチャネル側に Al<sub>2</sub>O<sub>3</sub> パッシベーション膜を形成することにより図 1-16 で示した酸素イオンの脱離を抑制し、ストレス耐性が向上することが報告されている(図 1-20)<sup>97,98)</sup>。Al<sub>2</sub>O<sub>3</sub>膜自体は SiN:F 膜同様に水素含有量が少ない。また、生産性の低いリフトオフ法プロセス(5章後述)との組み合わせにより、NBTISによる  $V_{th}$  のシフト量は全般的に小さく、光照射のエネルギーの増加に応じて、 $V_{th}$  シフトが誘起されることを指摘している。このように、TFT 製造プロセスにおいて、チャネル領域の周辺に水素の少ないプロセスを用いる取り組みがなされているが、設備や生産能力の課題を同時に招いてしまう。これらを解

決するため、従来のプロセスに立ち返り、プロセスがチャネル領域の電子状態に及ぼす影響を把握し、ストレス耐性の向上・改善を実現することが広く求められている。

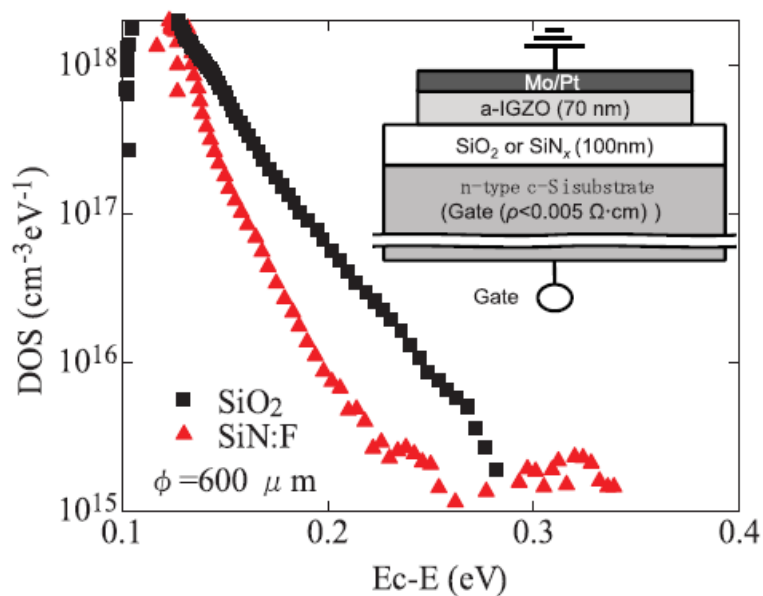


図 1-19 SiN:F 膜と SiO<sub>x</sub> 膜を GI 層として用いた a-IGZO の DOS 分布の比較<sup>95)</sup>。

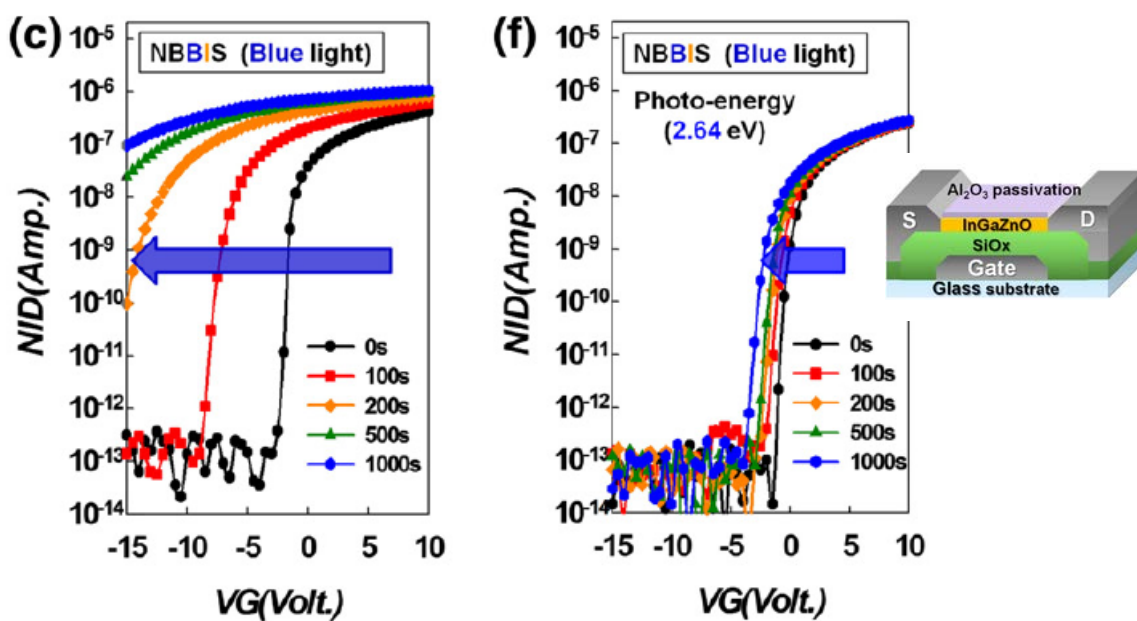


図 1-20 a-IGZO TFT の NBTIS による伝達特性の変化(青色バックライト使用)。

左図:PV 層無し, 右図:Al<sub>2</sub>O<sub>3</sub> PV 層使用<sup>97)</sup>。

## 1.5 本研究の背景と目的

前節までに述べたように、次世代ディスプレイとしての Flexible 性を有し、さらに、超解像度および動画性能を備えた高画質な LCD および OLED ディスプレイを実現するには、駆動素子として従来の a-Si よりも高移動度、かつ、LTPS よりも低温および低コストプロセスで大面積化が可能な a-IGZO TFT が有望である。さらには、従来の ESL 構造に比べて、BCE 構造はプロセスが簡素になるために低コストで製造ができることに加え、TFT サイズ微細化による高開口率化と、大面積ディスプレイおよび多画素ディスプレイに向けた寄生容量の低減による高画質化への貢献も見込まれる。

しかしながら、a-IGZO TFT の特性・信頼性は a-IGZO 自体の成膜条件やアニール条件、GI 層や ESL 層、PV 層等の成膜条件、その後のポストプロセスアニール等に強く影響を受ける。ギャップ内欠陥準位は TFT 特性・信頼性と密接に関わっていることから、TFT 特性・信頼性を制御する上で、TFT 製造プロセスの各工程が、どのように a-IGZO チャンネル内のギャップ内欠陥準位に影響を与えるかを実際のプロセスと照合し、直接比較する必要がある。

これまでに、a-IGZO の電子状態についての報告は多数ある。たとえば a-IGZO 堆積後の熱処理未実施 TFT に対して、熱処理を施した TFT の特性・信頼性が向上した原因として、C-V 法により a-IGZO の CBM から 0.1–0.3eV 付近に存在するギャップ内欠陥準位が大幅に減少することが報告されている<sup>68,98-100</sup>。図 1-21 は a-IGZO 堆積後の熱処理が異なる TFT を用いて C-V 法により抽出されたギャップ内欠陥準位である<sup>68</sup>。a-IGZO 薄膜を熱処理することにより、TDS 分析によって Zn, H, OH 等の脱離量が減少すること<sup>99</sup>、Isothermal Capacitance Transient Spectroscopy (ICTS) 評価によって過剰酸素に関連する欠陥が低減すること<sup>89</sup>、が報告されており、熱処理によりこれらに関係する不安定な欠陥密度が減少したと考えられる。また、GI 層に対しても、高密度膜(熱酸化膜)を適用した TFT は低密度膜(CVD-SiO<sub>x</sub>膜)を適用した TFT に比べて特性が優れており、ICTS 評価によって伝導帯により近い欠陥準位が減少していることが報告されている<sup>89</sup>。これらの結果は GI 層の性質によって a-IGZO の電子構造は影響を受けることを示しており、さらに、低密度 CVD-SiO<sub>x</sub>膜の高密度化、低水素含有量の膜質改善によって、TFT 特性の改善が得られることを明らかにしている。

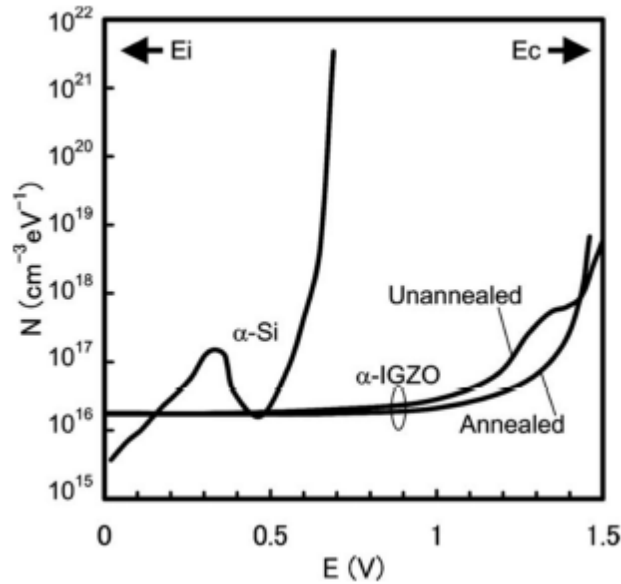


図 1-21 C-V 法により抽出された a-IGZO TFT における熱処理有無のギャップ内欠陥準位<sup>68)</sup>.

このように、TFT 特性・信頼性を制御するために、a-IGZO のギャップ内欠陥準位の評価がなされてはいるが、実際に用いられる TFT の製造過程では、チャンネル上に ESL 層や PV 層等の絶縁膜層が形成されるうえ、熱処理等のポスト処理が施される。また、BCE 構造では、S/D 形成工程において、チャンネル上でフォトリソグラフィおよびエッチングによるパターニングが行われるため、評価結果は TFT のチャンネル層の電子状態と必ずしも一致しない。さらに、絶縁膜層の形成やポスト処理は、チャンネルのギャップ内欠陥準位密度を増加させ、TFT 特性・信頼性の劣化を誘発すると考えられる。したがって、次世代ディスプレイに用いられる駆動素子を実現するために、GI 層や a-IGZO 成膜後の熱処理以外のプロセスが a-IGZO の欠陥準位に及ぼす影響を評価する手法を確立し、それらを制御することによって、チャンネルへのプロセスダメージの少ない TFT 製造プロセスを提案することが求められる。しかしながら、これまで、このようなアプローチはほとんどなされてこなかった。

このような背景から、以下の3点を本研究の大きな目的として取り上げる。

- a-IGZO TFT における a-IGZO バックチャネル領域のギャップ内欠陥準位の評価手法を確立し、その要因を明確にする。
- a-IGZO TFT の最重要課題である NBTIS ストレス試験による特性シフトに関して、a-IGZO バックチャネル領域のギャップ内欠陥準位評価に基づいて、ESL 構造における要因を議論する。
- ESL 構造から BCE 構造の変化に対して、TFT 不良要因を抽出し、a-IGZO バックチャネル領域のギャップ内欠陥準位の観点で、そのメカニズムを解明するとともに対策を施す。

## 1.6 本研究の意義

フレキシブルディスプレイはあらゆる生活空間への多様な視聴形態を創出する。たとえば中小型であれば建造物や移動体に自由に貼りつけたり剥がしたり、吊るしたりできるうえ、湾曲面やコンパクト性が求められる空間にも対応ができる。また、大画面であれば、高臨場感映像のように感性に迫る情報が提供でき、さらに、携帯性、収納性に優れることから次世代ディスプレイとして期待される。

このような超高解像度のフレキシブルディスプレイを実現するには、大画面で均一に、高移動度の特性が得られる TFT を、350℃以下のような低温プロセスで製造することが不可欠である。a-IGZO TFT はこれらバックプレーンとしての要求を満たす可能性が高く有望であるが、ストレスによる特性劣化が最大の課題である。最重要課題である NBTIS 試験に対する TFT の安定性を確保するためには、従来のプロセス条件を網羅的に変えて性能向上を図るような試行錯誤の取り組みから決別し、TFT プロセスが a-IGZO の電子状態に及ぼす影響を観察して、メカニズムを考察することが真に特性を向上するうえで重要である。そして、これらのメカニズムを把握した上で特性の改善を図るという、あらたな(ある意味王道の)アプローチを FPD の TFT においても実践し、実証するところに価値があると考ええる。さらに、このようなアプローチを ESL 型から BCE 型という TFT の進化に応用し、安定性向上によるフレキシブルディスプレイの発展への寄与が、本研究の意義である。

## 1.7 本論文の構成

### 第 1 章

本研究の背景として、次世代ディスプレイに求められる TFT の特徴とともに、期待される a-IGZO TFT の実用化における課題を述べ、本研究の目的を示す。

### 第 2 章

本研究を進めていく上で必要となる ESL 型および BCE 型それぞれの a-IGZO TFT の構造、製造方法を説明する。その上で、本研究の主目的である a-IGZO の電子状態の評価手法として、半導体膜中のトラップ準位の電氣的評価手法である DLTS 法とともに、その技術を応用した PITS 法の詳細内容を説明する。また、XPS および TPYS による電子状態を分析するための光電子分光法について述べる。

### 第 3 章

a-IGZO の TFT 製造プロセス中に誘起されるトラップ準位について、a-IGZO の電子状態およびその熱処理にともなう変化を PITS 法により評価する。その結果を述べるとともに、ZnO 中に形成されるトラップ準位と比較することによって、その類似性を検証する。また、水素化した a-IGZO の熱処理によるトラップ準位の変化を TPYS 分析することにより、a-IGZO 膜中のトラップ準位の形成における水素の役割を述べる。

### 第 4 章

ESL 型 a-IGZO TFT のチャネル領域のトラップ準位とストレス安定性の相関を述べる。TFT 作製プロセスである a-IGZO 成膜条件および ESL 成膜条件の異なる TFT から得られた PITS スペクトルにより、TFT チャネル領域に形成されるトラップ準位と NBTIS 試験による TFT 特性を比較し、プロセス条件が与える影響について考察する。また、a-IGZO の Zn 添加量が TFT チャネル領域のトラップ準位および TFT 特性に及ぼす影響を述べるとともに、PV 層からの水素拡散が与える影響を述べる。

### 第 5 章

BCE 型 a-IGZO TFT では、S/D 形成プロセスである BCE エッチングによって a-IGZO バックチャネルは直接的にダメージを受ける。Cu 配線に用いられる BCE エッチングが a-IGZO に及ぼす物理的な影響を述べるとともに、初期の TFT 特性に与える影響およびその特性劣化メカニズムを考察する。さらに、BCE 型 TFT と ESL 型 TFT の NBTIS 試験による TFT 特性を比較し、TFT チャネル領域のトラップ準位評価およびデバイスシミュレーションを活用



することにより、特性劣化メカニズムを検証する。また、BCE 型 TFT のストレス安定性向上のために考案したプロセスを述べる。

## 第 6 章

a-IGZO のプロセス適用性拡大を目指し、Al 配線に用いられる BCE エッチングに耐性のある Sn 添加 a-IGZO を開発した。Sn 添加 a-IGZO の薬液耐性を示し、Sn 添加 a-IGZO で構成した TFT チャネルの電子状態および TFT 特性を a-IGZO と比較した結果を示す。さらに、高移動度を備えた Sn 添加 a-IGZO TFT を用いて、高移動度の発現に寄与する電子状態について述べる。

## 第 7 章

本論文で得られた成果を総括し、本論文の結論とする。

## 参考文献

- 1) H. Hosono, N. Kikuchi, N. Ueda, and H. Kawazoe, ICAS 16: International Conference on Amorphous Semiconductors - Science and Technology No16, vol. 198200 (1), 647 (1996).
- 2) H. Hosono, N. Kikuchi, N. Ueda, and H. Kawazoe, Journal of Non-Crystalline Solids, 198, 165 (1996).
- 3) K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, Nature 488, 432 (2004).
- 4) 谷千束, ディスプレイ先端技術, 共立出版 (1998).
- 5) 時任静士, 安達千波矢, 村田英幸, 有機 EL ディスプレイ, オーム社 (2004).
- 6) 土屋元彦, 加藤康人, トランジスタ技術 2011 年 2 月号, pp.145, CQ 出版社 (2011).
- 7) 田口常正, LED ディスプレイ, 照学誌, 87-1, pp.42 (2003).
- 8) Flexible display & oled technology trend, 31st IHS Display Japan Forum (2016).
- 9) 栗田泰市郎, NHK 技研 R&D, シート型ディスプレイ特集号, No.145 (2014).
- 10) B. J. Lechner, F. J. Marlowe, E. O. Nester, and J. Tufts, Proc. IEEE, 59, 1566 (1971).
- 11) 薄膜材料デバイス研究会編: 薄膜トランジスタ, コロナ社 (2008).
- 12) 鵜飼育弘, THE CHEMICAL TIMES, フラットパネルディスプレイ概論 (10) FPD の将来展望, No.4 (2012).
- 13) Y. Matsueda The 6th International TFT Conference 2010, 314 (2010).
- 14) 古田守, 平松孝浩, 松田時宜, 新田浩士, 平尾孝, 高知工科大学紀要, 6 (1), 41-45 (2009).
- 15) 栗田泰市郎, “超高精細・高画質映像開発の将来展望”ISTF2008 シンポジウム講演.
- 16) J. E. Lilienfeld: 米国特許 No. 1745175 等 (1925).
- 17) O, Heil: 英国特許 No. 439457 (1935).
- 18) P. K. Weimer: Proc. IRE, 50, 1462 (1962).
- 19) T. P. Brody, J. A. Asaras, and G. D. Dixon, IEEE Trans. on Elec. Dev., ED-20, 995 (1973).
- 20) T. P. Brody, F. C. Luo, D. H. Davies, and E. W. Greenwich, SID Dig. Tech. Pap. p. 166 (1975).
- 21) 松村正清, 応用物理, 65, 842, (1996).
- 22) W. E. Spear and P. G. Le Comber, Solid State Commun. 17, 1193 (1975).
- 23) W. E. Spear and P. G. Le Comber, Philosophical Magazine 33, 935 (1976).
- 24) P. G. Le Comber, W. E. Spear, and A. Ghaith, Electron. Lett. 15, 179 (1979).
- 25) K. Takechi, N. Hirano, H. Hayama, and S. Kaneko, J. Appl. Phys. 84, 3993

- (1998).
- 26) C. -C. Chian, J. -Y. Nahm, T. Li, J. Kanickia, and Y. Ukai, Jpn. J. Appl. Phys. 40, 530 (2001).
  - 27) E. Takahashi, Y. Nishigami, A. Tomyo, M. Fujiwara, H. Kaki, K. Kubota, T. Hayashi, K. Ogata, A. Ebe, and Y. Setsuhara, Jpn. J. Appl. Phys. 46, 1280 (2007).
  - 28) 古田守, 平尾孝, 三井造船技報, 194, 1, (2008).
  - 29) Y. Mishima, M. Takei, N. Matsumoto, T. Uematsu, U. Wakino, T. Kakehi, and M. Okabe, Appl. Phys. Lett. 66 31 (1995).
  - 30) M. Cao, T. Zhao, K. C. Saraswat, and J. D. Plummer, IEEE Trans. on Ele. Dev., 42, 1134 (1995).
  - 31) T. Ohshima, T. Noguchi, and H. Hayashi, Jpn. J. Appl. Phys. 25, L291 (1986).
  - 32) M. Kitamura, and Y. Arakawa, Jpn. J. Appl. Phys. 50, 01BC01 (2011).
  - 33) W. Kang, M. Kitamura, M. Kamura, S. Aomori, and Y. Arakawa, Jpn. J. Appl. Phys. 51, 02BK10 (2012).
  - 34) 吉田兼紀, 日本印刷学会誌, 第 43 卷, 第 1 号, p.2 (2006).
  - 35) 山本敏裕, NHK 技研 R&D, シート型ディスプレイ特集号, No.145, p.28 (2014).
  - 36) K. Nomura, T. Kamiya, H. Ohta, K. Shimizu, M. Hirano, and H. Hosono, Physics State Solidi(a) 205, 1910 (2008).
  - 37) K. Nomura, T. Kamiya, H. Ohta, M. Hirano, and H. Hosono, Appl. Phys. Lett. 93, 192107 (2008).
  - 38) M. Fujii, H. Yano, T. Hatayama, Y. Uraoka, T. Fuyuki, J. S. Jung, and J. Y. Kwon, Jpn. J. Appl. Phys. 47, 6236 (2008).
  - 39) A. M. Kemp, M. Meunier, and C. G. Tannous, Solid-State Electron. 32, 149 (1989).
  - 40) M. Hack, J. G. Chaw, P. G. Lecomber, and M. Wilums, Jpn. J. Appl. Phys. 29, 2360 (1990).
  - 41) O. Tal, Y. Rosenwaks, Y. Preezant, N. Tessler, C. K. Chan, and A. Kahn, Phys. Rev. Lett. 95, 256405 (2005).
  - 42) S.M.Sze: Physics of Semiconductor Devices (Second Edition), John Wiley&Sons (1981).
  - 43) 出水清史, 半導体プロセス教本, SEMI ジャパン (1998).
  - 44) 河東田隆, 半導体評価技術, 産業図書 (1989).
  - 45) 生駒俊明, 奥村次徳, 電子通信学会誌, 64, 59-66, 195-202, 279-286 (1981).
  - 46) W. Shockley and W. T. Read. Jr, Phys. Rev. 87, 835 (1952).
  - 47) 細野秀雄, 平野正浩, 透明酸化物機能材料とその応用, シーエムシー出版 (2006).

- 48) K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, *Science* 300, 1269 (2003).
- 49) K. Nomura, A. Takagi, T. Kamiya, H. Ohta, M. Hirano, and H. Hosono, *Jpn. J. Appl. Phys.* 45, 4303 (2006).
- 50) 細野秀雄, 神谷利夫, 野村研二, 応用物理, 74, 910 (2005).
- 51) P.G. Carey, P.M. Smith, S.D. Theiss, and P. Wickboldt, *J. Vac. Sci. Technol. A*, 17, 1946 (2000).
- 52) T. Kamiya and H. Hosono, *Semiconductor Science and Technology* 20, S92 (2005).
- 53) 神谷利夫, 太田裕道, 平松秀典, 上岡隼人, 野村研二, オプトロニクス, 274, 128 (2004).
- 54) 神谷利夫, 野村研二, 細野秀雄 : 透明酸化物半導体, セラミックデータブック, 株式会社 テクノプラザ, 32, 158 (2004).
- 55) P. W. Anderson, *Phys. Rev.* 109, 1492 (1958).
- 56) S. Narushima, M. Orita, M. Hirano and H. Hosono, *Phys. Rev. B* 66, 035203 (2002).
- 57) T. Kamiya, K. Nomura, and H. Hosono, *Journal of Display Technology*, 5, 273 (2009).
- 58) A. Takagi, K. Nomura, H. Ohta, H. Yanagi, T. Kamiya, M. Hirano and H. Hosono, *Thin Solid Films* 486, 38 (2005).
- 59) K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano and H. Hosono, *Appl. Phys. Lett.* 85, 1993 (2004).
- 60) M. Kimura, T. Kamiya, T. Nakanishi, K. Nomura, and H. Hosono, *Appl. Phys. Lett.* 96, 262105 (2010).
- 61) T. Kamiya and H. Hosono, *NPG Asia Mater.* 2, 15 (2010).
- 62) S. K. O'Leary, *J. Master. Sci.: Master. Electron.* 15, 401 (2004).
- 63) M. L. Benkhedir, M. Brinza, and G. J. Adriaenssens, *J. Phys.: Condens. Matter.*, 16, S5253 (2004).
- 64) O. Tal, Y. Rosenwaks, Y. Preezant, N. Tessler, C. K. Chan, and A. Kahn, *Phys. Rev. Lett.* 95, 256405 (2005).
- 65) T. Kamiya, K. Nomura, and H. Hosono, *Sci. Technol. Adv. Mater.* 11, 044305 (2010).
- 66) C.-W. Chen, T.-C. Chang, P.-T. Liu, H.-Y. Lu, K.-C. Wang, C.-S. Huang, C.-C. Ling and T.-Y. Tseng, *IEEE Electron Device Lett.* 26, 731 (2005).
- 67) K. Nomura, T. Kamiya, H. Yanagi, E. Ikenaga, K. Yang, K. Kobayashi, M. Hirano, and H. Hosono, *Appl. Phys. Lett.* 92, 202117 (2008).

- 68) M. Kimura, T. Nakanishi, K. Nomura, T. Kamiya and H. Hosono, Appl. Phys. Lett. 92, 133512 (2008).
- 69) J. S. Jung, K. S. Son, K.-H. Lee, J. S. Park, T. S. Kim, J.-Y. Kwon, K.-B. Chung, J.-S. Park, B. Koo, and S. Lee, Appl. Phys. Lett. 96, 193506 (2010).
- 70) M. Mativenga, M. Seok, and J. Jang, Appl. Phys. Lett. 99, 122107, (2011).
- 71) K. Nomura, T. Kamiya, M. Hirano, and H. Hosono, Appl. Phys. Lett. 95, 013502 (2009).
- 72) M. D. H. Chowdhury, P. Migliorato, and J. Jang, Appl. Phys. Lett. 98, 153511 (2011).
- 73) Y.-K. Moon, S. Lee, W.-S. Kim, B.-W. Kang, C.-O. Jeong, D.-H. Lee, and J.-W. Park, Appl. Phys. Lett. 95, 013507 (2009).
- 74) M. D. H. Chowdhury, S. H. Ryu, P. Migliorato, and J. Jang, J. Appl. Phys. 110, 114503 (2011).
- 75) K. Nomura, T. Kamiya, and H. Hosono, J. Soc. Inf. Disp. 18/10, 789 (2010).
- 76) X. Huang, C. Wu, H. Lu, F. Ren, Q. Xu, H. Ou, R. Zhang, Y. Zheng, Appl. Phys. Lett. 100, 243505 (2012).
- 77) H. Oh, S. -M. Yoon, M. K. Ryu, C. -S. Hwang, S. Yang, and S. -H. K. Park, Appl. Phys. Lett. 97, 183502 (2010).
- 78) M. D. H. Chowdhury, P. Migliorato, and J. Jang, Appl. Phys. Lett. 97, 173506 (2010).
- 79) M. D. H. Chowdhury, M. Mativenga, P. Migliorato, and J. Jang, IMID 2012 DIGEST, 71 (2012).
- 80) K. H. Ji, J.-I. Kim, H. Y. Jung, S. Y. Park, R. Choi, U. K. Kim, C. S. Hwang, D. Lee, H. Hwang, and J. K. Jeong, Appl. Phys. Lett. 98, 103509 (2011).
- 81) J. K. Jeong, H. W. Yang, J. H. Jeong, Y.-G. Mo, and H. D. Kim, Appl. Phys. Lett. 93, 123508 (2008).
- 82) T.-C. Chen, T.-C. Chang, T.-Y. Hsieh, C.-T. Tsai, S.-C. Chen, C.-S. Lin, M.-C. Hung, C.-H. Tu, J.-J. Chang, and P.-L. Chen, Appl. Phys. Lett. 97, 192103 (2010).
- 83) J.-S. Park, J. K. Jeong, H.-J. Chung, Y.-G. Mo, and H. D. Kim, Appl. Phys. Lett. 92, 072104 (2008).
- 84) J. H. Jeong, H. W. Yang, J.-S. Park, J. K. Jeong, Y.-G. Mo, H. D. Kim, J. Song, and C. S. Hwang, Electrochem. Solid-State Lett. 11, H157 (2008).
- 85) S. Nakano, N. Saito, K. Miura, T. Sakano, T. Ueda, K. Sugi, H. Yamaguchi, I. Amemiya, M. Hiramatsu, A. Ishida, K. Kanomaru, and M. Sawada, Proc. of 18th Inter. Display Workshop, 2011, p. 1271.

- 86) H. Hosono, K. Nomura, Y. Ogo, T. Uruga, and T. Kamiya, *J. Non-Cryst. Solids*, 354, 2796 (2008).
- 87) J.-M. Lee, I.-T. Cho, J.-H. Lee, W.-S. Cheong, C.-S. Hwang, and H.-I. Kwon, *Appl. Phys. Lett.* 94, 222112 (2009).
- 88) D.-H. Cho, S.-H. K. Park, S. Yang, C. Byun, K. I. Cho, M. Ryu, S. M. Chung, W.-S. Cheong, S. M. Yoon, and C.-S. Hwang, *Proc. of 9th Inter. Meeting on Information Display*, 2009, p. 318.
- 89) A. Hino, S. Morita, S. Yasuno, T. Kishi, K. Hayashi, and T. Kugimiya, *J. Appl. Phys.* 112, 114515 (2012).
- 90) K. Remashan, D. K. Hwang, S. J. Park, and J. H. Jang, *IEEE Trans. Electron Devices*, 55, 2736 (2002).
- 91) J. Lee, J. S. Park, Y. S. Pyo, D. B. Lee, E. H. Kim, D. Stryakhulev, T. W. Kim, D. U. Jin, and Y. G. Mo, *Appl. Phys. Lett.* 95, 123502 (2005).
- 92) T. Toda, D. Wang, J. Jiang, M. P. Hung, and M. Furuta, *IEEE Trans. Electron Devices* 61, 3762 (2014).
- 93) K. Domen, T. Miyase, K. Abe, H. Hosono, and T. Kamiya, *IEEE Trans. Electron Device Lett.* 35, 832 (2014).
- 94) Y.-S. Lee, E. K-H, Yu, D.-H. Shim, H.-S. Kong, L. Bie, and J. Kanicki, *Jpn. J. Appl. Phys.* 53, 121101 (2014).
- 95) H. Yamazaki, Y. Ishikawa, M. Fujii, Y. Ueoka, M. Fujiwara, E. Takahashi, Y. Andoh, N. Maejima, H. Matsui, F. Matsui, H. Daimon, and Y. Uraoka, *ECS J. Solid State Sci. Technol.* 3, Q20 (2014).
- 96) M. Furuta, J. Jiang, M. P. Hung, T. Toda, D. Wang, and G. Tatsuoka, *ECS J. Solid State Sci. Technol.* 5, Q88 (2016).
- 97) S.-Y. Huang, T.-C. Chang, M.-C Chen, T.-C Chen, F.-Y. Jian, y.-C. Chen, H.-C. Huang, and D.-S. Gan, *Surface and Coatings Technology*, 231, 117–121 (2013).
- 98) S. Yang, D.-H. Cho, M. K. Ryu, S.-H. K. Park, C.-S. Hwang, J. Jang, and J. K. Jeong, *Appl. Phys. Lett.* 96, 213511 (2010).
- 99) M. Kimura, S. W. –B. Tam, S. Inoue, and T. Shimoda, *Jpn. J. Appl. Phys. Part I* 43, 71 (2004).
- 100) S. W.-B. Tam, P. Migliorato, O. K. B. Lui, and M. J. Quinn, *IEEE Trans. Electron Devices* 46, 134 (1999).

## 第2章 酸化物半導体 TFT と評価解析技術

### 2.1 はじめに

酸化物半導体では、製造プロセスに依存して欠陥準位が導入され、それらのいくつかは TFT の特性、信頼性に影響を与えるような電氣的に活性な欠陥として導入される。本研究では酸化物半導体を用いた TFT を作製し、TFT の特性、信頼性の変化と半導体薄膜のチャネル領域の電子状態の変化について評価を行う。本章では、本研究で用いた TFT の構造とプロセス、信頼性評価について述べ、酸化物半導体の電子状態評価手法を説明する。

### 2.2 酸化物半導体 TFT の構造

酸化物半導体 TFT は、多くのパネルメーカーでボトムゲート構造型の開発が先行している。図 2-1(a)は ESL 型 TFT、図 2-1(b)は BCE 型 TFT を示している。チャネル長の最小値 ( $L_{min}$ ) は ESL 型 TFT では ESL 幅で決定され、BCE 型 TFT ではソース/ドレイン (S/D) 幅で決定される。ESL 型 TFT の  $L_{min}$  は BCE 型 TFT の  $L_{min}$  に比べて大きくなるのが一般的である。また、ゲート (Gate) - S/D 間の寄生容量は Gate 電極と S/D 電極のオーバーラップ領域で決定される。ESL 型 TFT では Gate 電極幅は ESL 幅よりも広くなるために、ESL 型 TFT のオーバーラップ領域は BCE 型 TFT のオーバーラップ領域に比べて大きくなる。そのため、BCE 型 TFT は ESL 型 TFT に比べて寄生容量を低減することができる<sup>1)</sup>。

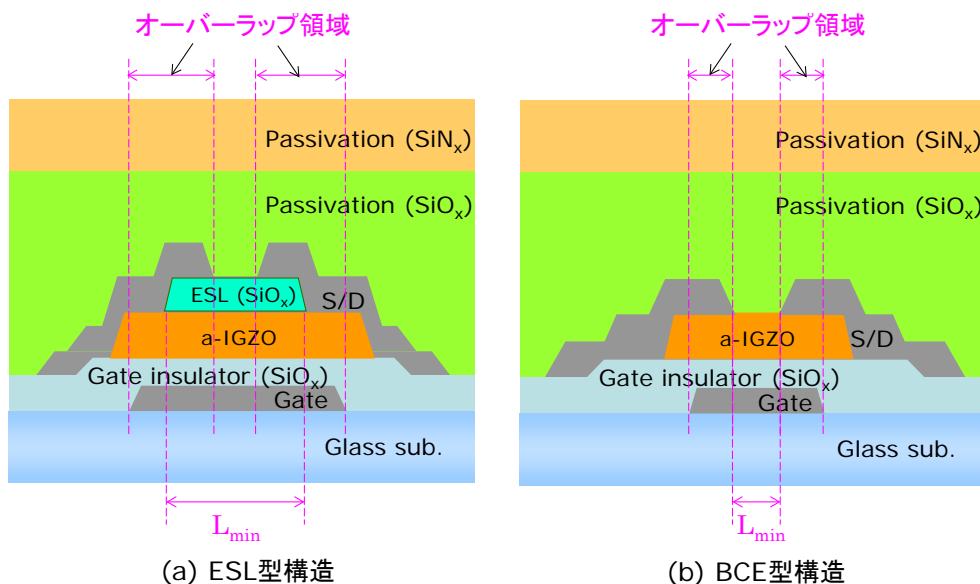


図 2-1 酸化物半導体 TFT の構造。

## 2.3 酸化物半導体 TFT の製造プロセス

本研究では、ガラス基板上に ESL 構造と BCE 構造の2種類の TFT を作製した。酸化物半導体 TFT の製造では、熱酸化膜シリコン上にチャネルから作製する製造プロセスや電極をリフトオフ法によって作製する製造プロセスが用いられる場合があるが、本研究では、パネルメーカーで一般に用いられる製造プロセスをベースとした。ESL 型 TFT および BCE 型 TFT の標準的な製造プロセスフローと製造プロセス条件の詳細は Appendix で述べる。

## 2.4 酸化物半導体 TFT の信頼性評価

第1章で述べたように、酸化物半導体 TFT の信頼性評価として、ディスプレイメーカーではパネル駆動におけるストレス状態を模擬した加速試験を行っている。TFT 動作時のストレス不安定性は、既存の TFT 材料である a-Si や LTPS 薄膜でも観察される現象であるが、アモルファス酸化物半導体の場合、In, Ga, Zn 等の多元素が関与する酸化物であることが解決を困難にしている。a-IGZO TFT のストレス安定性(信頼性)の確保は最も重要な課題になっている。

特に、LCD 製品に組み込まれた a-IGZO TFT では、ディスプレイの通電時の大部分を占める待機状態において、TFT に負のゲート電圧が印加されるとともに、バックライトの迷光による光照射を連続的に受ける状態で保持される。これら使用中に曝される光や待機中の印加電圧によってストレスを受けて、特性が変動することは実用上の大きな問題になることから、NBTIS 試験が最も重要視されている。

以下に、本研究で行った加速試験の条件を示す。

- PBTS:  $V_g = 20 \text{ V}$ ,  $V_d = 0.1 \text{ V}$ ,  $60 \text{ }^\circ\text{C}$
  - NBTS:  $V_g = -20 \text{ V}$ ,  $V_d = 10 \text{ V}$ ,  $60 \text{ }^\circ\text{C}$
  - NBTIS:  $V_g = -20 \text{ V}$ ,  $V_d = 10 \text{ V}$ ,  $60 \text{ }^\circ\text{C}$ , 光照射の光源波長  $400 \text{ nm}$  ( $80 \text{ nW/cm}^2$ )
- 加速試験の時間は  $7200 \text{ sec}$  を標準条件とし、状況に応じて追加時間を設定した。



## 2.5 酸化物半導体の電子状態評価

a-IGZO のような酸化物半導体では、薄膜内の酸素や、雰囲気中に存在する水素等に起因して、膜中に容易に欠陥が導入される。このことは、何らかの評価により、電子状態を一旦最適化したとしても、その後の作製プロセスの影響を受けて容易に変化(悪化)してしまうことを意味する。半導体の欠陥準位は大部分がバンドギャップ内にエネルギー準位を生じるので、 $E_F$  の位置に依存してキャリアを放出・捕獲して電氣的に活性化する。そのため、本研究では酸化物半導体の電子状態を評価するために、深いエネルギー準位の電氣的測定法である Photo-Induced Transient Spectroscopy (PITS) を主に実施した。さらに、物理分析による電子状態評価として、光電子分光法である X-ray Photoelectron Spectroscopy (XPS), Total Photo Yield Spectroscopy (TPYS) を用いた分析を実施した。本節では、これらの評価手法について説明する。

### 2.5.1 電氣的測定法による電子状態評価： DLTS 法<sup>2,3)</sup>

半導体の浅いエネルギー準位(不純物)の電氣的測定法には、空乏層容量の電圧依存性(C-V特性)<sup>4-6)</sup>、ホール測定<sup>2)</sup>等がある。一方で、半導体の深いエネルギー準位の電氣的測定法としては、Deep Level Transient Spectroscopy (DLTS) が有効な手法であり、従来から広く使われている。PITS法はICTS法<sup>7,8)</sup>と並び、このDLTS法を応用した評価手法であることから、まず、DLTS法の基礎と原理について説明する。

#### 2.5.1.1 エネルギー準位によるキャリアの捕獲・放出過程と接合容量の

##### 時間変化

DLTS 法はダイオードの空乏層内に存在する深いエネルギー準位を持つ欠陥の評価に有効な手法であり、ショットキーダイオードや MOS ダイオードが利用される。エネルギー準位による電子の捕獲とその放出過程を説明するために、図 2-2 に、n 型半導体と金属を接触させて拡散電位  $V_{BI}$  のショットキー接合を形成した時のエネルギーバンド図を示す<sup>9-11)</sup>。半導体中に深いドナー型エネルギー準位(トラップ準位)がある場合、図の(a)のように逆バイアス  $V_R$  をかけて空乏層を広げた状態では、空乏層内のエネルギー準位は  $E_F$  の上にあるために電子を捕獲していない。次に図の(b)のようにバイアスをゼロにして空乏層幅を  $\Delta W$  縮めると、この領域のエネルギー準位は  $E_F$  の下になるために、伝導帯から電子を捕獲する。その後、再び図の(a)のように  $V_R$  を印加すると、準位に捕獲されていた電子が熱的に放出される。

トラップ密度  $N_T$  のうち電子で占有される密度  $N(t)$  の時間変化は次式で表される<sup>12,13)</sup>.

$$\frac{dN(t)}{dt} = (c_n + e_p)\{N_T - N(t)\} - (c_p + e_n)N(t) \quad (2.1)$$

ここで,  $c_n$ ,  $e_p$ ,  $c_p$ ,  $e_n$  はそれぞれトラップの電子捕獲速度, 正孔放出速度, 正孔捕獲速度, 電子放出速度,  $N_T$  は深いエネルギー準位の全密度である.

図 2-2(b)で示したように, N 型半導体—金属ショットキー接合のバイアスを逆バイアスからゼロにした後にトラップが伝導帯から電子を捕獲する過程は, (2.1)式において,  $e_p$ ,  $c_p$ ,  $e_n$  をすべてゼロとおいてその解を求めると,

$$N(t) = N_T \{1 - \exp(-c_n t)\} \quad (2.2)$$

となる. (2.2)式で十分時間が経つとトラップはすべて電子を捕獲して  $N(t) = N_T$  となる. 図 2-2(a)のように, 再び逆バイアスを印加するとトラップは電子を放出する. この過程は, (2.1)式において  $c_n$ ,  $e_p$ ,  $c_p$  をすべてゼロとおいてその解を求めると,

$$N(t) = N_T \exp(-e_n t) \quad (2.3)$$

となる. (2.3)式で十分時間が経つとトラップはすべて電子を放出して  $N(t) = 0$  となる.

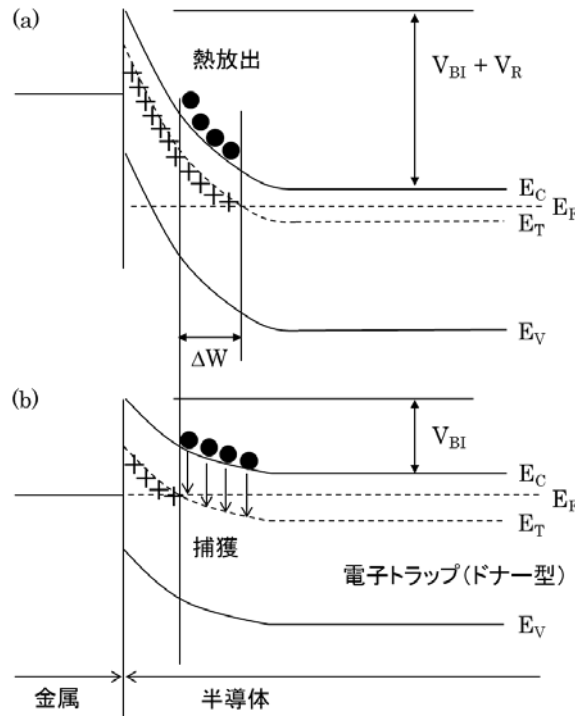


図 2-2 n 型半導体と金属とのショットキー接合の空乏層中の電子トラップによる電子の(a)熱放出と(b)捕獲.

n 型半導体－金属ショットキー接合の空乏層の厚さ  $W$  と単位面積当たりの容量  $C$  は、図 2-2 の接合面の位置を  $x = 0$  とし、半導体側の方へ  $x$  軸をとると、空乏層中の空間電荷密度  $\rho$  が  $x$  によらず一定とすれば、 $x$  における電位  $\phi(x)$  はポアソン方程式により与えられる。

$$\frac{d^2\phi(x)}{dx^2} = -\frac{\rho}{\varepsilon} \quad (2.4)$$

ここで、 $\varepsilon$  は誘電率である。 $x = 0$  における電位をゼロとし、空乏層の端における電位勾配をゼロとする境界条件 ( $x = 0, \phi(x) = 0$ ;  $x = W, d\phi(x)/dx = 0$ ) のもとで (2.4) 式を解き、金属側を正とする順バイアス  $V$  をかけると、半導体側は金属より  $V_{BI} - V$  だけ電位が高くなるので、解いた式に  $\phi(W) = V_{BI} - V$  を代入すると、空乏層の幅として、

$$W = \sqrt{\frac{2\varepsilon(V_{BI} - V)}{\rho}} \quad (2.5)$$

が得られる。したがって、空乏層の単位面積当たりの容量  $C$  は、

$$C = \frac{\varepsilon}{W} = \sqrt{\frac{\varepsilon\rho}{2(V_{BI} - V)}} \quad (2.6)$$

となる。図 2-2 で n 型半導体中に浅いドナー (密度:  $N_D$ ) とドナー型電子トラップが存在する場合 (図には  $N_D$  の準位は省略している)、正にイオン化したトラップの密度は  $N_T - N(t)$  である。浅いドナーは全てイオン化していると考えてよいから、 $N_D + N_T - N(t)$  はイオン化したドナーの総密度、すなわち空乏層中の正電荷の総密度になる。よって、 $\rho = q\{N_D + N_T - N(t)\}$  となるので、空乏層の厚さと単位面積当たりの接合容量はいずれも時間の関数  $W(t)$ 、 $C(t)$  となり、それぞれ以下の式で与えられる。

$$W = \sqrt{\frac{2\varepsilon(V_{BI} - V(t))}{q\{N_D + N_T - N(t)\}}} \quad (2.7)$$

$$C = \sqrt{\frac{q\varepsilon\{N_D + N_T - N(t)\}}{2\{V_{BI} - V(t)\}}} \quad (2.8)$$

図 2-3 には n 型半導体－金属ショットキー接合にかけるバイアス電圧  $V(t)$  の時間変化に伴う接合容量  $C(t)$  の過度変化と電子トラップでの電子の捕獲と放出を示している。

逆バイアスをかけた時間領域では、 $V(t) = -V_R$  となり、十分に時間が経ちトラップが全て電子を放出しているので、(2.8) 式で  $V(t) = -V_R$ 、 $N(t) = 0$  とおいて、

$$C_0 = \sqrt{\frac{q\varepsilon\{N_D + N_T\}}{2\{V_{BI} + V_R\}}} \quad (2.9)$$

となる. この後,  $t = 0$  で  $V(t)$  をゼロにするとトラップは(2.2)式にしたがって電子を捕獲し始める.  $t = 0$  ではトラップはまだ電子を捕獲していないが,  $V(t)$  が変化したために, 容量は

$$C_1 = \sqrt{\frac{q\varepsilon\{N_D + N_T\}}{2V_{BI}}} \quad (2.10)$$

に増加する. さらに,  $t = T_l$  でバイアスを  $-V_R$  に戻すと空乏層幅が瞬間的に広がり, 電子を捕獲した中性のトラップが空乏層中に取り込まれる. この時の容量は(2.8)式で  $V(t) = -V_R$ ,  $N(t) = N_T$  において,

$$C_3 = \sqrt{\frac{q\varepsilon N_D}{2\{(V_{BI} + V_R)\}}} \quad (2.11)$$

である.  $C_3$  の値は  $C_0$  より  $\Delta C$  分だけ小さく, これは, トラップの荷電状態が正から中性に変化した効果による.

$$\Delta C = C_0 - C_3 = C_0 \left( 1 - \sqrt{1 - \frac{N_T}{N_D + N_T}} \right) \quad (2.12)$$

$N_T \ll N_D$  では, (2.12)式は,

$$\Delta C = C_0 N_T / 2N_D \quad (2.13)$$

と近似される. これより  $N_T$  は,

$$N_T = 2N_D \Delta C / C_0 \quad (2.14)$$

と表され, トラップ密度  $N_T$  を評価することができる.

さらに,  $t \geq T_l$  では, トラップから電子の熱放出が起こり, 容量は徐々に増加することから,

$$C(t) = C_0 \sqrt{1 - \frac{N_T}{N_D + N_T} \exp\{-e_n(t - T_l)\}} \quad (2.15)$$

のように求められ, DLTS 法の基本となる式として表される.  $N_T \ll N_D$  では, (2.15)式は,

$$C(t) = C_0 - \Delta C \exp\{-e_n(t - T_l)\} \quad (2.16)$$

と近似される.

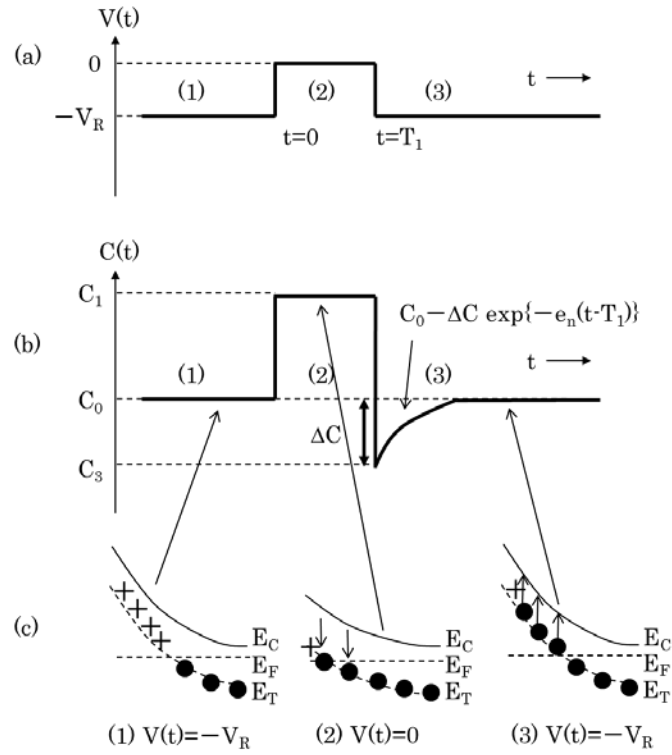


図 2-3 n 型半導体と金属とのショットキー接合にかかるバイアス電圧  $V(t)$  の時間変化(a), 接合容量の過度変化(b), 電子トラップレベルでの電子の捕獲と熱放出(c)<sup>3)</sup>.

### 2.5.1.2 キャリアの熱放出速度の温度依存性とトラップパラメータの決定

エネルギー準位の状態を電子が占める確率は、フェルミディラック分布関数(フェルミ分布関数)で与えられる<sup>4)</sup>。トラップ準位の占有確率を表す分布関数は、

$$f = \frac{1}{1 + g^{-1} \exp\{(E_T - E_F)/k_B T\}} \quad (2.17)$$

と表される。ここで、 $g$  は縮退度である。n 型半導体中の電子トラップについて考えた場合、その時定数は、トラップ準位の電子占有関数に対する速度方程式と SRH 統計<sup>14,15)</sup>から、

$$\tau = (e_n)^{-1} = (N_C v_{th} \sigma_n)^{-1} g \exp\left(\frac{\Delta E_T}{k_B T}\right) \quad (2.18)$$

で与えられる。ここで、 $N_C$  は伝導帯の有効状態密度、 $v_{th}$  は熱速度、 $\sigma_n$  は捕獲断面積を表し、 $\Delta E_T = E_C - E_T$  である。伝導帯の電子はマックスウエル・ボルツマン分布するので、 $v_{th}$  は、

$$v_{th} = \sqrt{\frac{3k_B T}{m_e^*}} \quad (2.19)$$

で与えられる。ここで、 $m_e^*$  は伝導帯の電子の有効質量である。 $n$  は、

$$n = N_C \exp\{-(E_C - E_F)/k_B T\} \quad (2.20)$$

と表される。 $N_C$ 、 $E_C$  はそれぞれ伝導帯の有効状態密度と伝導帯下端のエネルギーであり、 $N_C$  は次式で与えられる。

$$N_C = 2M_C \left( \frac{2\pi m_e^* k_B T}{h^2} \right)^{3/2} \quad (2.21)$$

$M_C$  は伝導帯の等価な極小点の数であり、 $h$  はプランクの定数である。これらの式により、

$$\frac{e_n}{T^2} = A \frac{\sigma_n}{g} \exp\{-(E_C - E_T)/k_B T\} \quad (2.22)$$

となる。ここで、 $A$  は定数で、

$$A = \frac{2^{5/2} \sqrt{3} \pi^{3/2} M_C m_e^* k^2}{h^3} \quad (2.23)$$

で与えられる。(2.23)式をアレニウスプロットすると、トラップのエネルギー準位の深さ  $E_C - E_T$  が、縦軸の切片から  $\sigma_n$  が決まる。

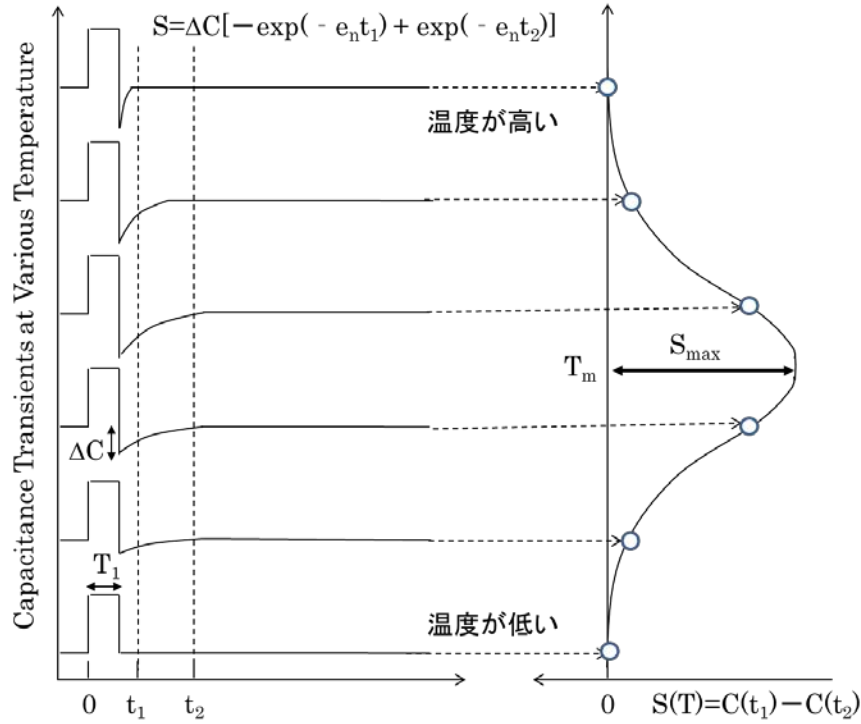


図 2-4 n 型半導体中の電子トラップからの電子の熱放出による接合容量の過度応答の温度依存性に対応する DLTS スペクトルの関係.

DLTS 法では, このアレニウスプロットを実験的に求めることができる. n 型半導体の電子トラップの場合, 接合容量の過度的な変化を模式的に示すと, 図 2-4 のようになる. (2.18)式から明らかなように, 高温になるほど時定数は短くなるため, 高温では短時間で過度変化が終わり, 低温では過度変化は遅くなる. 次式で示されるように DLTS 信号は, 2 つの定まった時刻における容量差を, 温度に対して測定することによって得られる.

$$S = C(t_1) - C(t_2) \quad (2.24)$$

(2.16)式から, (2.24)式は,

$$S = \Delta C \{-\exp(-e_n t_1) + \exp(-e_n t_2)\} \quad (2.25)$$

と表される. ここで,  $t_1$  と  $t_2$  は固定されているので,  $S(T)$  はある温度  $T_m$  において極値をとる. そこで,  $S$  を  $e_n$  で微分してゼロとおき, 整理をすると,

$$e_n = \frac{\ln(t_1/t_2)}{t_1 - t_2} \quad (2.26)$$

となり,  $e_n$  が  $t_1, t_2$  により表される. また, DLTS では通常バイアスをゼロにする時間  $T_1$  は十分に長くてトラップはキャリアを捕獲するような条件で測定を行うので,  $\Delta C$  を知れば(2.14), (2.16)式から, トラップ密度がわかる. さらに, DLTS ピークの大きさ  $S_{MAX}$  は実験的にわかるので,  $\Delta C$  は(2.25)式と(2.26)式を用いて  $S_{MAX}$  から(2.27)式のように計算することができる.

$$\Delta C = S_{MAX} / \left\{ \exp\left(-\frac{\ln(t_1/t_2)}{t_1 - t_2} t_1\right) - \exp\left(-\frac{\ln(t_1/t_2)}{t_1 - t_2} t_2\right) \right\} \quad (2.27)$$

トラップのエネルギー準位の深さとキャリアの捕獲断面積に関しては, キャリアの熱放出速度 ( $e_n, e_p$ ) の温度依存性を実験的に知ることによってアレニウスプロットから求めることができる. DLTS ピークが生じる温度における熱放出速度は(2.26)式から計算できるので, ピークの温度をスペクトルから読み取れば図 2-5 の上図に示されたアレニウスプロットの1点が得られる. 次に  $t_1, t_2$  の設定を変えて DLTS 測定を行うと他の温度にピークがでるので, アレニウスプロットの点が追加される.  $t_1, t_2$  の範囲を rate window と呼び, この範囲を変えることでアレニウスプロットの直線が得られる. このアレニウスプロットの傾きからエネルギー準位の深さ, 縦軸の切片から捕獲断面積を求めることができる. なお, 実際には, 複数のエネルギー準位が存在する場合があります, それぞれの熱放出速度が rate window に一致することによって, 図 2-5 の下図のような形で DLTS スペクトルが検出される. それぞれの準位が近接もしくは拡がりをもつ場合は, rate window の設定を変えることにより分離が検討される.

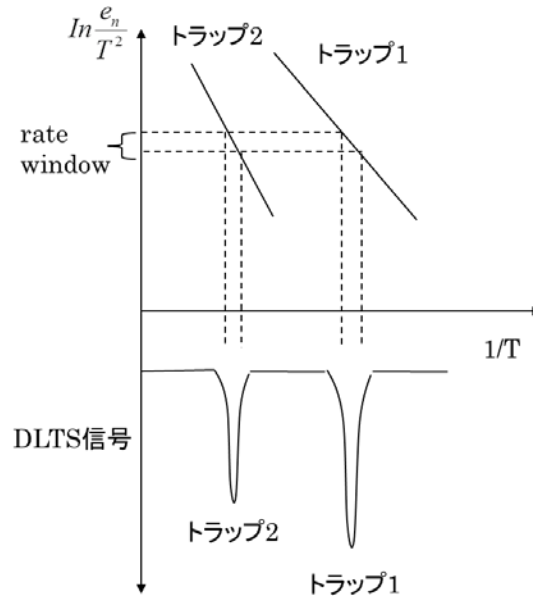




図 2-5 複数のエネルギー準位があるときの DLTS スペクトルおよび DLTS 法の rate window と信号の関係.

## 2.5.2 電氣的測定法による電子状態評価: PITS 法

膜中のトラップ準位の研究は従来から DLTS 法等により行われてきた. 前項で述べたように, 通常の DLTS 法は静電容量の過度応答(変化量)の温度依存性を測定してトラップ準位に関する情報を得ることができる. 一方で, PITS 法は DLTS 法を応用し, 光伝導の過度応答からトラップ準位を解析する手法である. 本項では, a-IGZO TFT におけるチャネル領域の電子状態を評価するために必要なデバイス構造を説明し, その構造を用いることによる PITS 法の原理とトラップパラメータの決定について説明する.

### 2.5.2.1 バックチャネル領域の電氣的測定のためのデバイス構造

図 2-6 に実際の TFT の断面構造と電氣測定のためのデバイス構造の比較を示す. MOS ダイオード構造は前述したように, 半導体中のエネルギー準位を静電容量の変化として評価する手法で一般的に用いられており, C-V 測定(浅いエネルギー準位の測定), DLTS 測定(深いエネルギー準位の測定)および ICTS 測定(深いエネルギー準位の測定)に代表される評価用のデバイス構造として利用される. 図 2-6(a)で示した TFT の断面構造のうち, 赤枠で示した箇所は, 図 2-6(b)で示した MOS ダイオード構造と完全に一致するものの, バックコンタクトが必要になる. このため, TFT 特性に強く影響を及ぼすチャネル領域を評価するために MOS ダイオード構造を利用することは困難である. このような事情を鑑みて, 図 2-6(c)で示すような半導体層のバックチャネルに2つのオーミックコンタクトを配置する構造であればバックチャネル領域を評価することが可能であると考えた. 本構造の評価用デバイスであれば, 明らかに, TFT のバックチャネル領域と同一の製造プロセスによって曝されるため, 同プロセスによる a-IGZO の電子状態の変化を反映することができる. このような図 2-6(c)構造を用いた電子状態の評価には PITS 法が有効であり, PITS 法はその原理から, トラップ準位のエネルギー深さを評価することができるため新しい評価ツールとして開発された. 一方で, トラップ密度を正確に求めることができない点は DLTS 法や ICTS 法とは異なる.

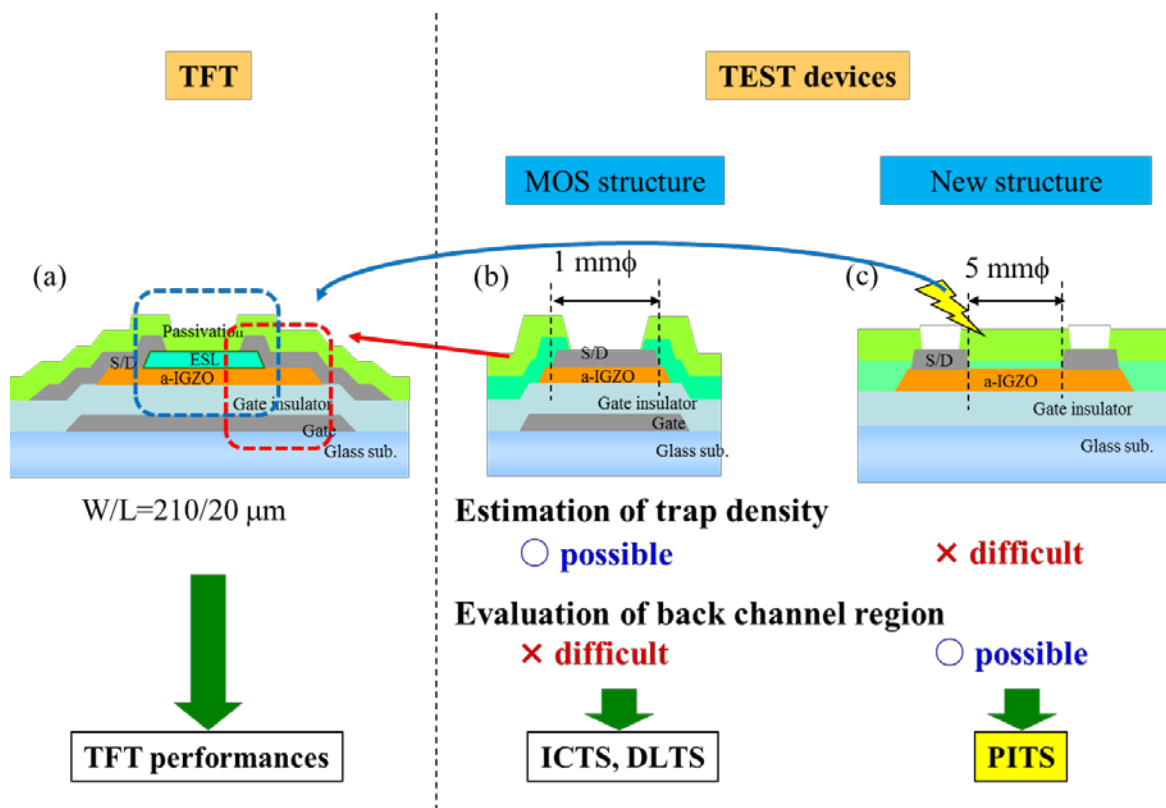


図 2-6 実際の TFT の断面構造と電気測定のためのデバイス構造の比較.  
 (a) 実際の TFT 断面構造, (b) MOS ダイオード断面構造, (c) 新規に開発した断面構造.

### 2.5.2.2 PITS 法の原理とトラップパラメータの決定

PITS 法は、半導体中のトラップ準位の評価に一般的に用いられる DLTS 法を応用し、もともと空乏層変化の生じない高抵抗な半絶縁膜 GaAs の評価に用いられた手法である<sup>16)</sup>。トラップ準位へのキャリアの捕獲が光による励起により基底状態から励起状態に完全に行われた後、そこからさらに熱エネルギーで伝導帯に励起されることによって電流として検出される。すなわち、PITS 法では光と熱の二段励起によって生ずる光伝導を検出する<sup>17,18)</sup>。そのため、PITS 法では光吸収法と本質的に同じ情報を得ることができ、その検出感度ははるかに高い<sup>3)</sup>。ただし、光吸収法では吸収係数により欠陥密度の定量が可能だが、PITS 法では電気伝導度の相対変化を検出するため、その定量化は困難である<sup>3)</sup>。

PITS 法で基本となる過渡電流は伝導帯への過剰電子と価電子帯へのホールの放出時定数に対応して変化する。その原理について図を用いて説明する。まず、図 2-6(c)で示した評価用デバイスが光源によって照射される(図 2-7(a))。その光源のエネルギーは測定される半導体のバンドギャップよりも大きい必要がある。そのデバイスが光照射されている間、バンドギャップ中のトラップ準位には電子が捕獲される(図 2-7(b))。さらに、光照射が中断された後、過剰な光励起キャリアの再結合による急速な減少が観察され、続いてトラップ状態からのキャリアの熱放出に起因する電流の緩やかな減衰過度応答が観察される(図 2-7(c))。

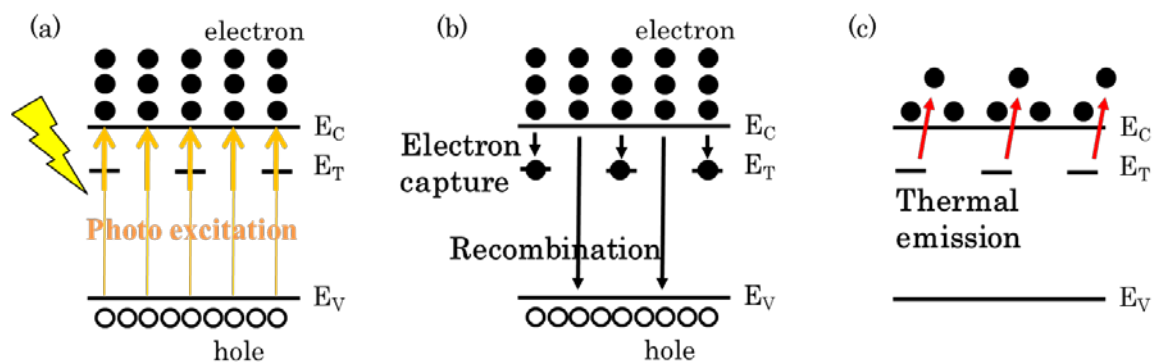


図 2-7 PITS 測定の原理図。

(a) 光照射による光励起, (b) トラップ準位への電子捕獲, (c) トラップ準位からの熱放出。

トラップ準位 ( $E_T$ ) の活性化エネルギーに対するトラップ状態の電子の熱放出割合 ( $e_n$ ) は、(2.18)式から以下の式で与えられる。ここで、 $g$  は連続分布をするときは 1 程度のオーダーである。

$$e_n = (N_C v_{th} \sigma_n) \exp\left(\frac{\Delta E_T}{k_B T}\right) \quad (2.28)$$

また、トラップ準位から放出される電子の密度は、

$$n(t) = n_T \tau_n e_n \exp(-e_n t) \quad (2.29)$$

で与えられ、それぞれ  $t$  は光照射を中断してからの時間、 $n_T$  は光照射によりトラップされた電子の密度、 $\tau_n$  はキャリアが再結合するまでの時間として表される。

そして、過渡電流  $I(t)$  は次式で与えられる。

$$I(t) = AqE\mu_n\tau_n n_T e_n \exp(-e_n t) \quad (2.30)$$

ここで、 $A$  は有効断面積、 $q$  は素電荷、 $E$  は電場、 $\mu_n$  は電子の移動度、 $\tau_n$  はキャリア再結合の寿命である。

前述したように、DLTS 法の場合、トラップ準位の密度およびエネルギー深さは、様々な rate window ( $T_w$ ) を有する容量の過渡状態を分析することによって特定される。一方、PITS 法では過渡電流が静電容量の過渡応答の代替として測定される。PITS 法の測定手順は図 2-8 に示す通りとなる。最初に、特定の時定数  $\tau_n = 1/e_n$  の範囲 ( $T_w$ ) が DLTS 法同様に、 $t_1$ ,  $t_2$  により決定される。光照射によりトラップ準位に電子が捕獲された後、光照射をオフすることによって、トラップ準位からの電子の熱放出にともなう過渡電流が観測される(図 2-8(a))。次に、測定温度を変更することにより、過渡電流の最大変化 [ $\Delta I = I(t_1) - I(t_2)$ ] からそれぞれの時定数ごとに特定温度 ( $T_m$ ) を抽出する(図 2-8(b))。トラップ準位のエネルギー深さは(2.28)式に基づき、 $1/T$  に対する時定数  $\tau_n = 1/e_n$  のアレニウスプロットから算出することができる。ここで、トラップ準位のエネルギー深さは DLTS 法の項で説明したように、縦軸  $\ln(\tau T^2)$  - 横軸  $1/T$  の傾きから計算される。トラップ準位密度は  $I$  の最大値に比例する。

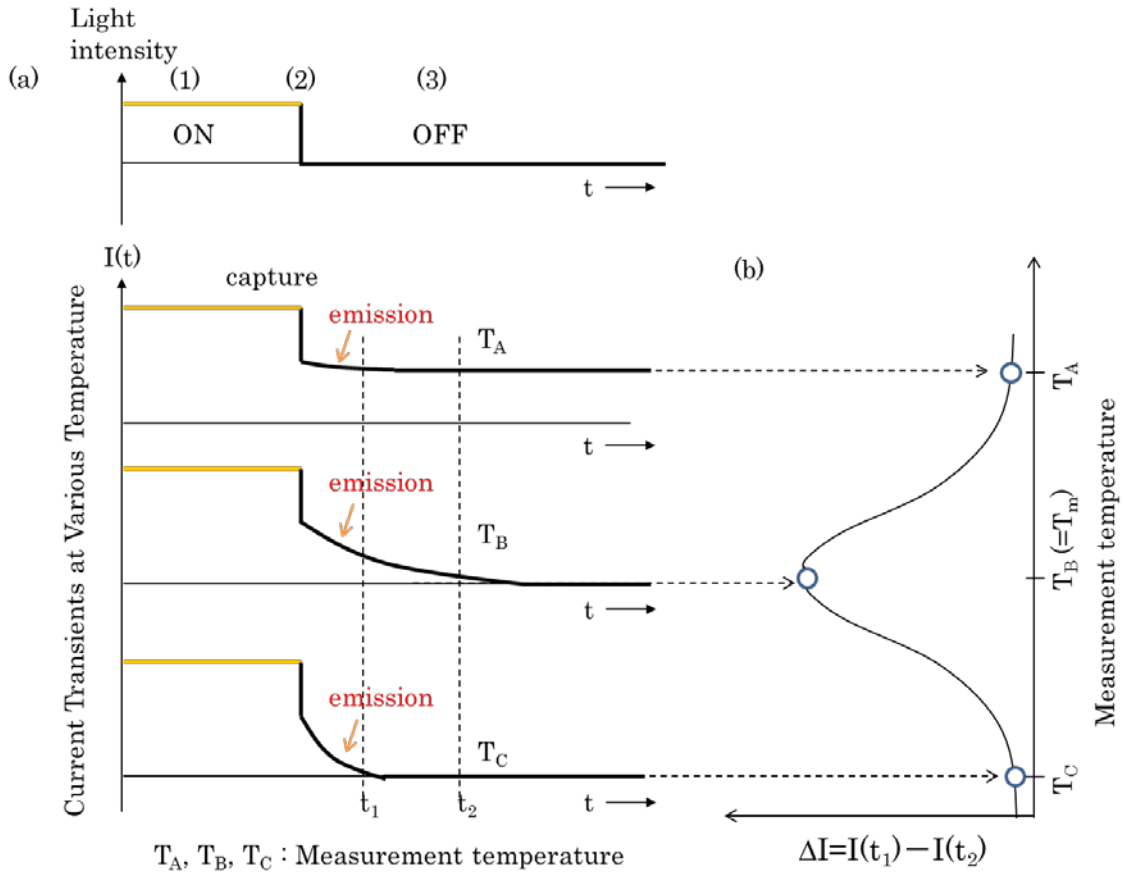


図 2-8 PITS 測定の手順.

(a) 光照射によるトラップ準位への電子の捕獲と熱放出にともなう過渡電流応答の温度依存性, (b) 対応する PITS スペクトルからの過渡電流最大変化の温度抽出.

本研究においては, 観測された過渡電流曲線をフーリエ変換 DLTS (FT-DLTS) の理論に基づいて解析し, 時定数の異なる信号の影響を最小限に抑えるようにした<sup>19,20)</sup>. これは, 一定温度下での電流変化をフーリエ変換し, 周波数応答成分を抽出する方法である. 様々な時間間隔で電流変化を測定し, それぞれの時間間隔毎にフーリエ展開を行い, フーリエ変換における  $\sin$  関数の第 1 項を  $b1$  係数としてピーク温度の抽出に用いた.  $b1$  係数の定義は,

$$b1 = \frac{1}{T_w} \int_{-T_w}^{T_w} I(t) \sin\left(\frac{\pi}{T_w} t\right) dt \quad (2.31)$$

と表される.  $b1$  の強度は, 従来の PITS における  $\Delta I$  と等しく, 特定の温度における相対的な状態密度に対応している. なお, 0.1–1eV の範囲の活性化エネルギーを有するトラップ準位が, 本実験条件下で検出可能であることに留意されたい.

### 2.5.3 アモルファス酸化物半導体における DLTS, PITS 適用の注意点

半導体の深いエネルギー準位を解析するための電氣的測定法について、2.5.1 項で DLTS 法の基本原理を、2.5.2 項で PITS 法の基本原理を述べた。これらの測定手法をアモルファス酸化物半導体に適用した場合、注意が必要な点もある。

たとえば、DLTS 法は、MOS 構造を用いたバイアス電圧に対する接合容量(過度応答)によって評価を行うため、 $\text{SiO}_x$  膜内に不純物として入った可動イオンが温度によって動くことにより C-V 特性に温度依存性が生じる。また、2.5.2.1 項で説明したように、評価に必要なとなるデバイス構造の制約により、バックチャネル側の評価ができない。

アモルファス酸化物半導体では、図 1-12 にあるように裾状の連続準位もしくは複数の局在準位の存在が示唆されている。そのような場合の DLTS スペクトル、PITS スペクトルはピークの重なりが生じるため、本研究では、主要なピークのみを議論する。

一方、PITS 法では、DLTS の印加電圧変化による電子捕獲と放出による過度容量の代わりに、光励起による電子捕獲とその放出を過度電流で評価するために、DLTS と異なり  $E_F$  の位置を積極的に変化させることはできない。また、低抵抗材料の測定ができないという原理上の制約がある。本研究では、この点に留意し、測定可能なギャップ内準位を対象として議論するとともに、測定ができない低抵抗サンプルは排除して議論を行う。また、懸念がある場合は、その旨を本文中に記載した。

## 2.5.4 光電子分光法による電子状態評価： XPS 法

光電子分光法では、物質に光を照射することによって物質中の電子を外部に飛び出させ（飛び出された電子は光電子と呼ばれる）、その数と運動エネルギーを測定することにより、物質中の電子が占有する状態のエネルギーと状態密度を知ることができる。光電子分光法は、物質の電子状態を直接測定できる点で優れており、紫外線を用いた紫外線光電子分光法(UPS: Ultraviolet Photoelectron Spectroscopy)と、X線を用いたX線光電子分光法(XPS)がよく知られている。UPSでは"価電子帯"や浅い"内殻準位"の電子状態を、XPSでは光のエネルギーが大きいので、固体内の原子核付近で深い内殻準位に束縛されている電子状態まで、測定を行うことができる。UPSでは表面に敏感な測定ができる利点があり、XPSでは化学シフトの特定が可能なのが特徴である。

物質にX線を照射すると、光電効果により軌道電子が飛び出す(光電子)が、この光電子の運動エネルギー( $E_k$ )と照射X線のエネルギー( $h\nu$ )の間には下式の関係が成り立つ<sup>21)</sup>。

$$h\nu = E_k + E_b + \phi \quad (2.31)$$

ここで、 $\phi$ は固体の仕事関数を表す。(2.31)式において、 $h\nu$ は一定、 $E_k$ は測定運動エネルギーであるから、 $\phi$ がわかれば束縛エネルギー(結合エネルギー)である $E_b$ の推定を行うことができる。分析深さは、物質の表面から放出された光電子の運動エネルギーに依存し、数 keV 程度の光電子では図 2-9<sup>22)</sup>に示すように 20 原子層(数 nm)以下である。

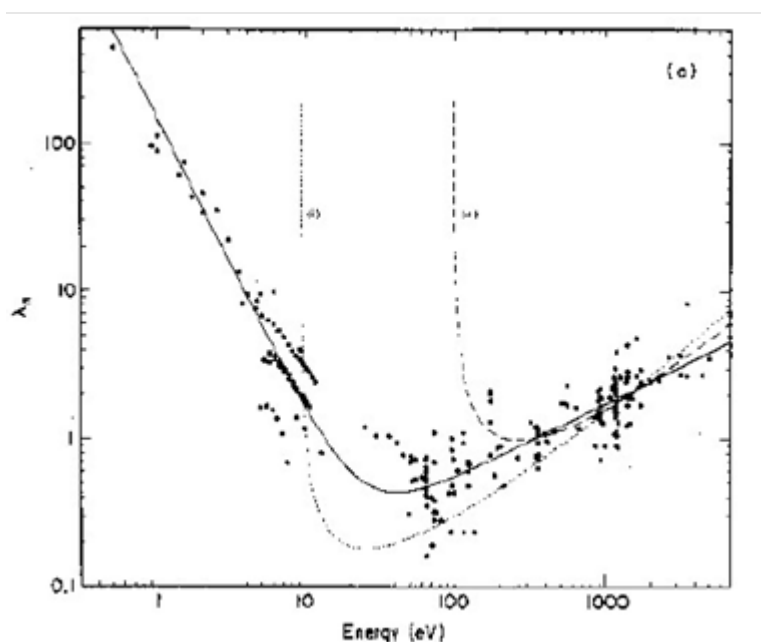


図 2-9 固体内での電子の減衰長さ<sup>22)</sup>。

X 線源は、空間分解能やエネルギー分解能を左右するため数 keV の軟 X 線で、線幅が狭いものが用いられる。光源として  $\text{MgK}\alpha$  (1254 eV),  $\text{AlK}\alpha$  (1487 eV) がよく用いられ、線幅はそれぞれ 0.7 eV, 0.85 eV である<sup>2)</sup>。

これら XPS 法の原理から、以下のような応用分析が可能である。

- (1) 組成分析
- (2) 化学結合状態分析
- (3) 深さ方向分析
- (4) 元素分布測定
- (5) 価電子帯スペクトル測定

(5) では、最外殻軌道(価電子帯)は結晶構造の違いを明確に反映していることから、構造の違い等に関する類推が可能である。本研究において、BCE 構造 TFT に対する BCE エッチング条件が a-IGZO 膜に及ぼす影響を解析するために用いた。

## 2.5.5 光電子分光法による電子状態評価： PYS 法, TPYS 法

光電子収量分光法(Photoelectron Yield Spectroscopy: PYS)は、試料に紫外光を照射し、放出される光電子の全電子収量を入射光のエネルギーの関数として測定する。測定する試料が金属の場合、単色光を照射すると光エネルギー  $h\nu$  が仕事関数以上で光電子が励起し、試料が半導体の場合はイオン化ポテンシャル以上で光電子が励起して試料外に放出される。PYS 法では、測定で使用する入射光のエネルギー範囲が小さく、運動エネルギーが極端に小さい電子を主に観測するため、UPS を含む他の光電子を利用する手法に対して表面敏感な測定手法である。また、放出された光電子が外部電界によって掃引され、放出された分、試料が電子不足となる。そのため、接地側から電子を供給して電流として検出するような技術開発もなされており、価電子帯の電子状態を反映することができる<sup>23,24)</sup>。

全光電子放出率分光法(Total Photoelectron emission Yield Spectroscopy: TPYS)は、光電子放出の量子効率を光エネルギーの関数として測定する<sup>25-27)</sup>。半導体のバンドギャップ光近傍の光電子放出を高感度で測定できる手法である。図 2-10 に TPYS 装置の概略図を示す<sup>28)</sup>。ここでは、光源はキセノンランプと重水素ランプが使用されており、測定範囲は 2-7.5 eV である。分光器で得られた単色光は、光強度測定用のフォトマル(PMT)と、超高真空中の試料への照射に分配して用いられる。TPYS 法は TPYS スペクトルのオンセットから真空状態と占有状態との間の絶対エネルギーギャップを直接決定することができる。本研



究では、水素化処理された a-IGZO 薄膜のサブギャップ状態を調べるために、a-IGZO 薄膜を水素ラジカルに曝した後、超高真空(UHV)条件下で 300 °C以上の熱処理を行った(詳細結果は後述)。

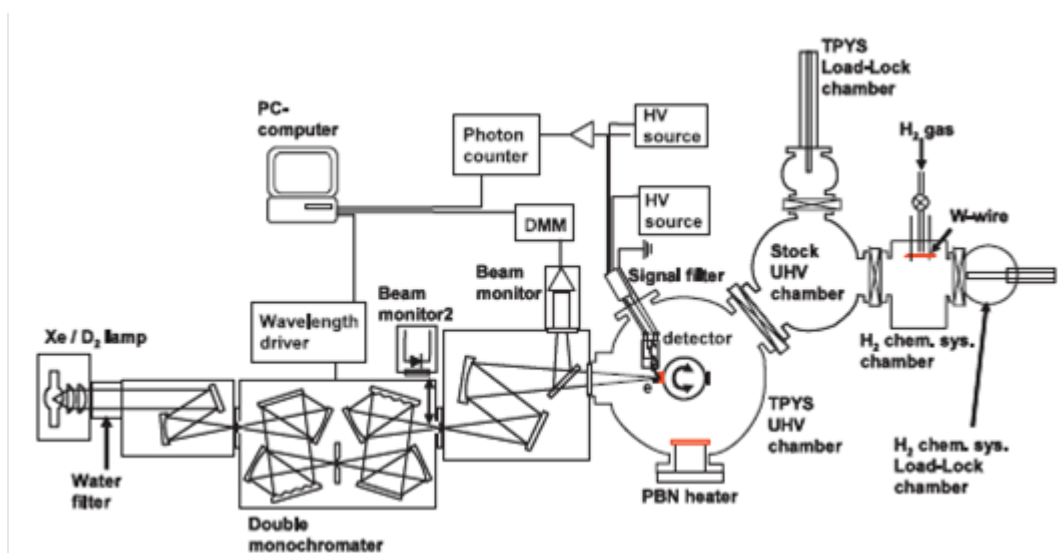


図 2-10 TPYS 装置の概略図<sup>28)</sup>。

## 参考文献

- 1) C. Ren, H. Lu, X. Xiao, W. Deng, Y. Xiao, and S. Zhang, Proc. AMFPD'16, p.139 (2016).
- 2) 河東田隆, 半導体評価技術, 産業図書 (1989).
- 3) 上浦洋一, シリコン結晶欠陥の基礎物性とその評価法, リアライズ社 (1997).
- 4) S. M. Sze, Physics of Semiconductor Devices, 2nd ed., John Wiley, Chap. 2, 5 (1981).
- 5) J. Hilbrand and R. D. Gold, RCA Rev., 21, 245 (1960).
- 6) M. G. Buehler, IEEE Trans. Electron Devices, ED-19, 1171 (1972).
- 7) H. Okushi and Y. Tokumaru, Jpn. J. Appl. Phys. 19, L335 (1980).
- 8) H. Okushi and Y. Tokumaru, Jpn. J. Appl. Phys. 20, Suppl. 20-1, 261 (1981).
- 9) デッカー, 固体物理, コロナ社 (1958).
- 10) キッテル, 固体物理学入門, 丸善 (1968).
- 11) 黒沢達美, 物性論, 裳華房 (1970).
- 12) D. V. Lang, in Thermally Stimulated Relaxation in Solids, Springer, 93 (1979).
- 13) G. L. Miller, D. V. Lang, and L. C. Kimerling, Annual Reviews of Materials Science 7, Annual Reviews Inc. 377 (1977).
- 14) 生駒俊明, 奥村次徳, 電子通信学会誌 64, 59-66, 195-202, 279-286 (1981).
- 15) W. Shockley and W. T. Read. Jr, Phys. Rev. 87, 835 (1952).
- 16) J. C. Balland, J. P. Zielinger, C. Nouguet, and M. Tapiero, J. Phys. D: Appl. Phys. 19, 57 (1986).
- 17) S. M. Kogan and T. M. Lifshits, Phys. Status Solidi. A 39 11 (1977).
- 18) E. E. Haller, W. L. Hansen and F. S. Goulding, Advances in Phys. 30, 93 (1981).
- 19) S. Weiss and R. Kassing, Solid State Electron. 31, 1733 (1988).
- 20) S. Weiss, "Halbleiteruntersuchungen mit dem DLTFs-(deep-level transient fourier spectroscopy-)Verfahren," Ph.D. dissertation (University of Kassel, 1991).
- 21) <https://www.jaima.or.jp/resource/jp/basic/electronbeam/2016summer.pdf>
- 22) M.P.Seah and W.A.Dench, Surf.Interf.Anal. 1, 2 (1979).
- 23) 石井久夫, 津波大介, 末永保, 佐藤信之, 木村康男, 庭野道夫: 表面科学 28, 264 (2007).
- 24) K. Inumaru, Y. Okubo, T. Fujii and S. Yamanaka, Phys. Chem. Chem. Phys. 2, 3681 (2000).
- 25) D. Takeuchi, H. Kato, G. S. Ri, T. Yamada, P. R. Vinod, D. Hwang, C. E. Nebel, H. Okushi, and S. Yamasaki, Appl. Phys. Lett. 86, 152103 (2005).

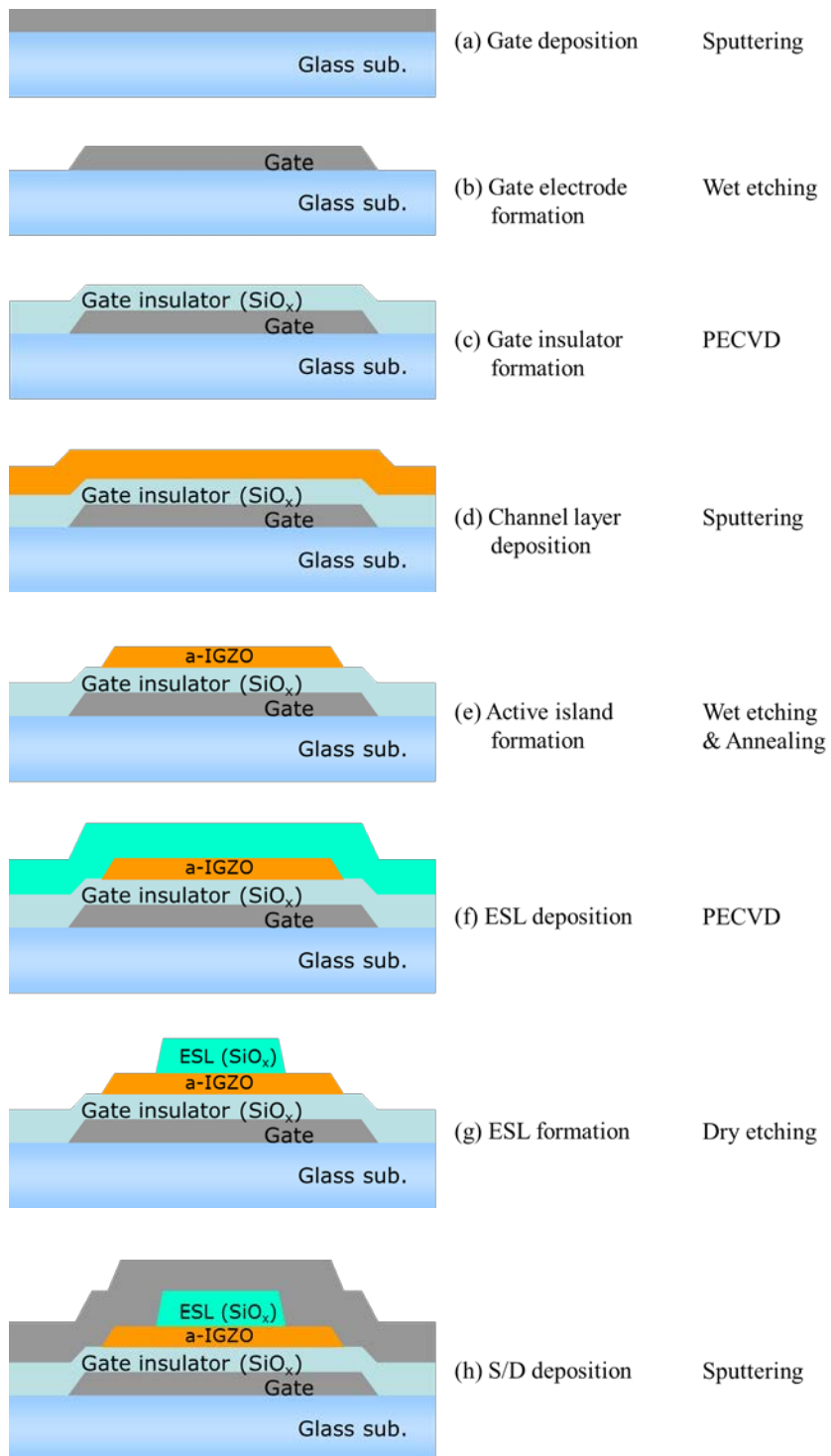
- 26) D. Takeuchi, C. E. Nebel, and S. Yamasaki, *Diamond Relat. Mater.* 16, 823 (2007).
- 27) N. Hirashita, M. Kobayakawa, A. Arimatsu, F. Yokoyama, and T. Ajioka, *J. Electrochem. Soc.* 139, 794 (1992).
- 28) 竹内大輔, 山崎聡, *表面科学* Vol.29, No.3, pp.151 (2008).

## Appendix 2-A ESL-TFT の製造プロセスの流れ

本研究で用いた ESL 型 TFT の標準的な製造プロセスフローを図 2-A1 に、そのプロセス条件を表 2-A1 に示す。

1. 4 インチ  $\phi$  のガラス基板にゲート(Gate)電極となる Mo (200 nm) を DC マグネトロンスパッタにより成膜した。その成膜は室温で実施し、投入パワーを DC 300 W, 成膜時のガス圧を 2 mTorr の条件とした。(図 2-A1(a))
2. フトリソグラフィプロセスを用いて、ウエットエッチングによりゲート電極を所定の形状にパターニングした。リン酸, 硝酸, 酢酸からなる混酸エッチャントを用いて、液温は室温のままでエッチングを行った。(図 2-A1(b))
3. GI 層として  $\text{SiO}_x$  (250 nm) を Plasma Enhanced-Chemical Vapor Deposition (PE-CVD) 法により堆積した。プロセスガスは  $\text{SiH}_4$ ,  $\text{N}_2\text{O}$ ,  $\text{N}_2$  の混合ガスを用い、成膜温度はガラス基板上で 320 °C になるように設定した。(図 2-A1(c))
4. 続いて、酸化物半導体材料として a-IGZO 薄膜を成膜した。InGaZnO<sub>4</sub> 焼結体ターゲットを用い、成膜は室温で実施し、投入パワーを DC 200 W, 成膜時のガス圧を 1 mTorr とした。また、特に表記の無い場合にはガス流量比  $\text{Ar}/\text{O}_2 = 24/1$  sccm とし、一部試験ではガス流量比を変更した。(図 2-A1(d))
5. a-IGZO 薄膜をフトリソプロセスとウエットエッチングにより、必要部分のみ残した。ウエットエッチングはシュウ酸からなるエッチャントを用いて、室温にて実施した。その後、プレアニールとして熱処理を施した。ガラス基板上で 350 °C になるように設定し、大気雰囲気にて、1 hr の条件とした。(図 2-A1(e))
6. a-IGZO 薄膜上に、ESL 層として  $\text{SiO}_x$  (100 nm) を PE-CVD 法により堆積した。プロセスガスは  $\text{SiH}_4$ ,  $\text{N}_2\text{O}$ ,  $\text{N}_2$  の混合ガスを用い、成膜温度はガラス基板上で 230 °C になるように設定した。一部試験ではガス流量比を変更した。(図 2-A1(f))
7. ESL 膜はフトリソプロセスとドライエッチングにより、必要部分のみ残した。ドライエッチングは Reactive Ion Etching (RIE) 法を用い、エッチングガスとして  $\text{CHF}_3$  と Ar の混合ガスを用いた。(図 2-A1(g))
8. 次に、ソースドレイン(S/D)電極となる Mo (200 nm) を DC マグネトロンスパッタにより成膜した。成膜条件は Gate 電極用と同一条件とした。(図 2-A1(h))
9. S/D 電極はフトリソプロセスとウエットエッチングにより所定の形状にパターニングした。Gate 電極用と同一のエッチャントを用い、室温でエッチングを行った。(図 2-A1(i))
10. その後、PV 層として  $\text{SiN}_x/\text{SiO}_x$  (150 nm/100 nm)の積層膜を PE-CVD 法にて形成した。ここで、 $\text{SiN}_x$  膜を上層としている。成膜温度はガラス基板上で 150 °C となるように設定した。一部試験では  $\text{SiN}_x$  膜の成膜条件および PV 層の構造を変更した。(図 2-A1(j))
11. 最後に、フトリソプロセスとドライエッチングによりコンタクトホールを形成し、TFT を完

成させた.  $\text{SiO}_x$  膜のエッチングガスは  $\text{CHF}_3$  と Ar の混合ガスを用い,  $\text{SiN}_x$  膜は  $\text{SF}_6$  と Ar の混合ガスを用いてドライエッチングを行った. サンプルによっては, その後にポストアニールとして窒素雰囲気にて, 0.5 hr の熱処理を施した. 温度はガラス基板上で  $250\text{ }^\circ\text{C}$ – $320\text{ }^\circ\text{C}$ の間で必要に応じて変更した. (図 2-A1(k))



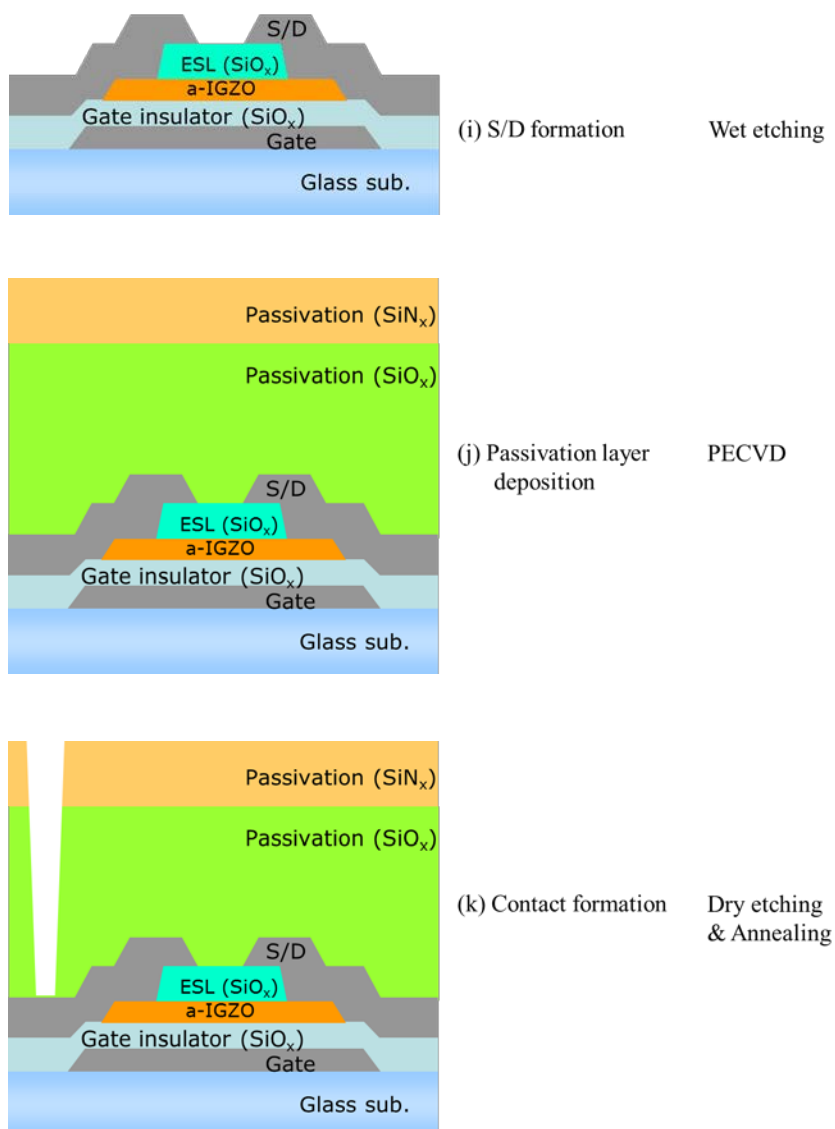


図 2-A1 ESL 型 TFT の標準的な製造プロセスフロー.

表 2-A1 a-IGZO ESL 型 TFT 作製のための標準的なプロセス条件.

No.	Process (4inchφ glass sub.)		Details
(a)	Gate deposition	Sputtering	Mo (200 nm)
(b)	Gate electrode formation	Wet etching	PAN system etchant
(c)	Gate insulator (GI) formation	PECVD	SiO <sub>x</sub> (250 nm) -SiH <sub>4</sub> /N <sub>2</sub> O = 4/100 sccm -300 W, 320 °C
(d)	Channel layer deposition	Sputtering	a-InGaZnO (40 nm) -4% O <sub>2</sub> p/p
(e)	Active island formation	Wet etching & Annealing	Oxalic acid system etchant 350 °C, 1 hr, air
(f)	S/D deposition	Sputtering	Mo (100 nm)
(g)	S/D formation	Wet etching	PAN system etchant
(h)	ESL deposition	PECVD	SiO <sub>x</sub> (100 nm) -SiH <sub>4</sub> /N <sub>2</sub> O = 4/100 sccm -100 W, 230 °C
(i)	ESL formation	Dry etching	For SiO <sub>x</sub> - Ar/CHF <sub>3</sub> = 100/60 sccm
(j)	Passivation layer (PV) deposition	PECVD	SiO <sub>x</sub> (100 nm) -SiH <sub>4</sub> /N <sub>2</sub> O = 4/100 sccm -100 W, 150 °C SiN <sub>x</sub> (150 nm) -NH <sub>3</sub> /SiH <sub>4</sub> /N <sub>2</sub> = 6/12.5/297.5 sccm -100 W, 150 °C
(k)	Contact formation	Dry etching	For SiO <sub>x</sub> - Ar/CHF <sub>3</sub> = 100/60 sccm For SiN <sub>x</sub> - SF <sub>6</sub> /O <sub>2</sub> /Ar = 35/28/42 sccm
(l)	Post process	Annealing	without or 250 °C, 0.5hr, N <sub>2</sub>

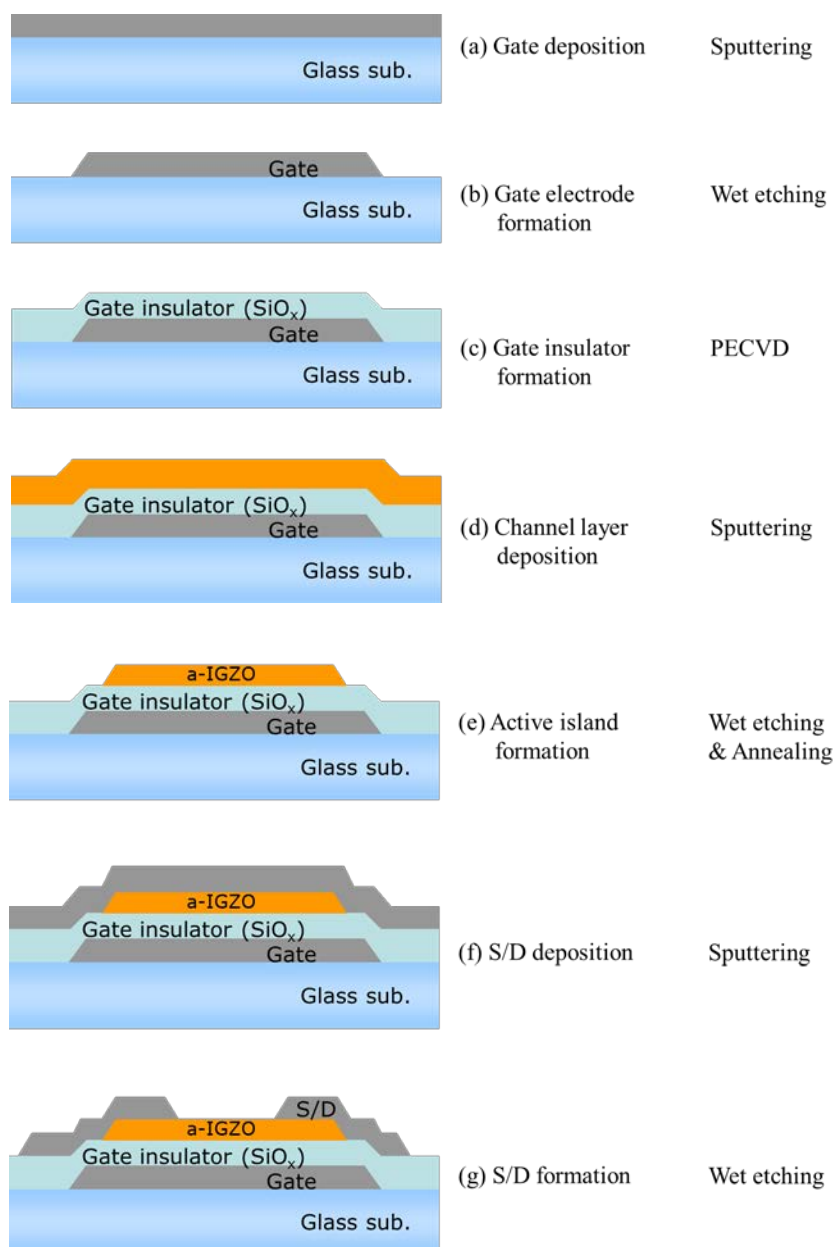


## Appendix 2-B BCE-TFT の製造プロセスの流れ

本研究で用いた BCE 型 TFT の標準的な製造プロセスフローを図 2-B1 に、そのプロセス条件を表 2-B1 に示す。

1. 4 インチ  $\phi$  のガラス基板にゲート(Gate)電極となる Mo (100 nm)を DC マグネトロンスパッタにより成膜した。その成膜は室温で実施し、投入パワーを DC 300 W, 成膜時のガス圧を 2 mTorr の条件とした。(図 2-B1(a))
2. フトリソグラフィプロセスを用いて、ウエットエッチングによりゲート電極を所定の形状にパターニングした。リン酸、硝酸、酢酸からなる混酸エッチャントを用いて、液温は室温のままでエッチングを行った。(図 2-B1(b))
3. GI 層として  $\text{SiO}_x$  (250 nm) を Plasma Enhanced-Chemical Vapor Deposition (PE-CVD) 法により堆積した。プロセスガスは  $\text{SiH}_4$ ,  $\text{N}_2\text{O}$ ,  $\text{N}_2$  の混合ガスを用い、成膜温度はガラス基板上で 320 °Cになるように設定した。(図 2-B1(c))
4. 続いて、酸化物半導体材料として a-IGZO 薄膜を成膜した。InGaZnO<sub>4</sub> 焼結体ターゲットを用い、成膜は室温で実施し、投入パワーを DC 200 W, 成膜時のガス圧を 1 mTorr とした。また、特に表記の無い場合にはガス流量比  $\text{Ar}/\text{O}_2 = 24/1$  sccm とし、一部試験ではガス流量比を変更した。(図 2-B1(d))
5. a-IGZO 薄膜をフトリソプロセスとウエットエッチングにより、必要部分のみ残した。ウエットエッチングはシュウ酸からなるエッチャントを用いて、室温にて実施した。その後、プレアニールとして熱処理を施した。ガラス基板上で 350 °Cになるように設定し、大気雰囲気にて、1 hr の条件とした。(図 2-B1(e))
6. a-IGZO 薄膜上に、S/D 電極となる Mo もしくは Mo 合金(100 nm)を DC マグネトロンスパッタにより成膜した。成膜条件は Gate 電極用と同一条件とした。ここで、S/D 電極の断面形状が順テーパにならない場合、後工程の PV 層( $\text{SiO}_x$ )成膜時に S/D 電極まわりの被覆が十分にできず、その上層の  $\text{SiN}_x$  膜からの水素供給の影響を受けることから、膜厚を 100 nm とした。(図 2-B1(f))
7. S/D 電極はフトリソプロセスとウエットエッチングにより所定の形状にパターニングした。過酸化水素からなるエッチャントを用いて、液温を 35 °Cに設定してエッチングを行った。S/D 電極の膜種、エッチャントの種類、エッチング時のエッチング時間等は TFT 特性に敏感に影響を及ぼすことから、その詳細を後述する。(図 2-B1(g))
8. その後、PV 層として  $\text{SiN}_x/\text{SiO}_x$  (150 nm/200 nm) の積層膜を PE-CVD 法にて形成した。BCE 型構造では ESL 工程を省略していることから、 $\text{SiO}_x$  膜厚を 200 nm に設定した。成膜温度は ESL 膜と同様に、ガラス基板上で 230 °Cとなるように設定した。 $\text{SiN}_x$  膜はガラス基板上で 150 °Cとなるように設定した。一部試験では  $\text{SiN}_x$  膜の成膜条件および PV 層の構造を変更した。(図 2-B1(h))

9. 最後に、フォトリソプロセスとドライエッチングによりコンタクトホールを形成し、TFT を完成させた。SiO<sub>x</sub> 膜のエッチングガスは CHF<sub>3</sub> と Ar の混合ガスを用い、SiN<sub>x</sub> 膜は SF<sub>6</sub> と Ar の混合ガスを用いてドライエッチングを行った。サンプルによっては、その後にポストアニールとして窒素雰囲気にて、0.5 hr の熱処理を施した。温度はガラス基板上で 250 °C–320 °Cの間で必要に応じて変更した。(図 2-B1(i))



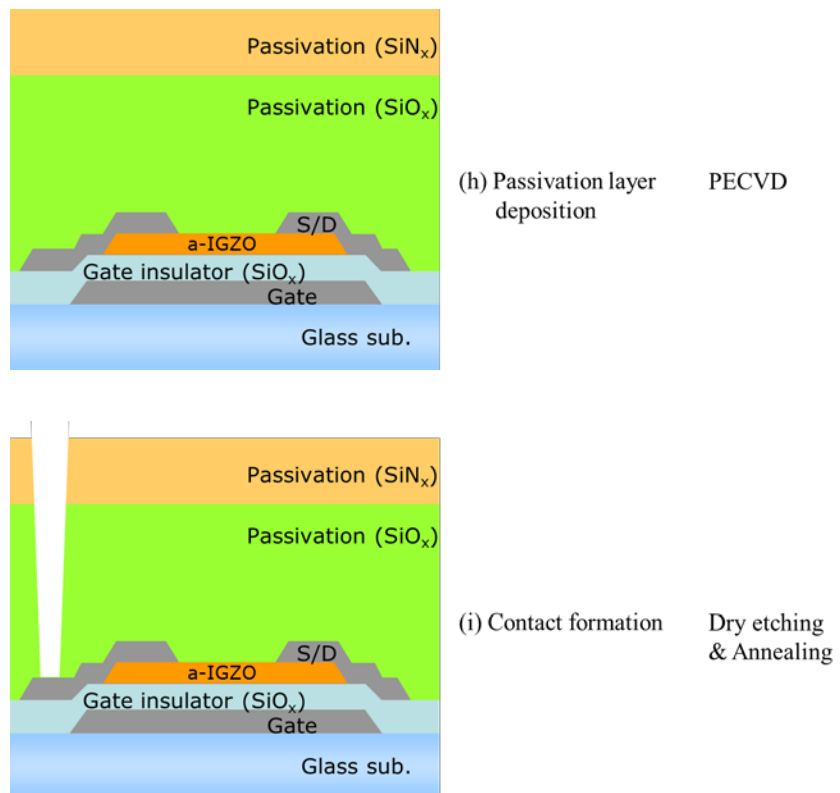


図 2-B1 BCE 型 TFT の標準的な製造プロセスフロー.

表 2-B1 a-IGZO BCE 型 TFT 作製のための標準的なプロセス条件.

No.	Process (4inchφ glass sub.)		Details
(a)	Gate deposition	Sputtering	Mo (200 nm)
(b)	Gate electrode formation	Wet etching	PAN system etchant
(c)	Gate insulator (GI) formation	PECVD	SiO <sub>x</sub> (250 nm) -SiH <sub>4</sub> /N <sub>2</sub> O = 4/100 sccm -300 W, 320 °C
(d)	Channel layer deposition	Sputtering	a-InGaZnO (40 nm) -4% O <sub>2</sub> p/p
(e)	Active island formation	Wet etching & Annealing	Oxalic acid system etchant 350 °C, 1hr, air
(f)	S/D deposition	Sputtering	Mo (100 nm)
(g)	S/D formation	Wet etching	H <sub>2</sub> O <sub>2</sub> system etchant
(h)	Passivation layer (PV) deposition	PECVD	SiO <sub>x</sub> (200 nm) -SiH <sub>4</sub> /N <sub>2</sub> O = 4/100 sccm -100 W, 230 °C SiN <sub>x</sub> (150 nm) -NH <sub>3</sub> /SiH <sub>4</sub> /N <sub>2</sub> = 6/12.5/297.5 sccm -100 W, 150 °C
(i)	Contact formation	Dry etching	For SiO <sub>x</sub> - Ar/CHF <sub>3</sub> = 100/60 sccm For SiN <sub>x</sub> - SF <sub>6</sub> /O <sub>2</sub> /Ar = 35/28/42 sccm
(j)	Post process	Annealing	without or 250 °C, 0.5 hr, N <sub>2</sub>

## 第3章 a-IGZO TFT 作製プロセス中に誘起される トラップ準位とその起源の解明

### 3.1 はじめに

一般に、TFT の性能は、チャンネル層に用いる半導体の物性と電子状態により決定される。アモルファス酸化物半導体では TFT 製造中のプロセス条件の違いがチャンネル層の電子状態に大きな影響を与えることが知られている。これまでに、酸化物半導体薄膜を形成するためのスパッタリング<sup>1,2)</sup>、酸化物半導体薄膜堆積後の熱処理<sup>3-5)</sup>、GI 層および a-IGZO チャンネルと S/D 電極間に配置される ESL 層の形成条件<sup>6-8)</sup>等が TFT 動作に与える影響に関して、数多くの研究が行われてきた。また、TFT の a-IGZO チャンネルの ESL 層の界面に近い領域（バックチャンネル領域）の電子トラップは、NBTIS 環境下における TFT の性能劣化の大きな要因の一つであると考えられており<sup>9-11)</sup>、このバックチャンネル領域のトラップ準位の評価は重要である。たとえば、バックチャンネル表面に吸着された H<sub>2</sub>O 分子はゲートバイアスストレス印加により容易に吸着脱離を起こし、a-IGZO TFT の信頼性の劣化を誘発することが報告されている<sup>12)</sup>。

これまで、ストレス安定性を改善するためにバックチャンネル付近の電子状態を制御する多くの試みがなされており、たとえば、a-IGZO 表面上の酸素欠損を減少させるためにプラズマ処理が適用された<sup>13-15)</sup>。同じ理由により、SiO<sub>x</sub> の代わりに、Al<sub>2</sub>O<sub>3</sub><sup>8,16)</sup>、TiO<sub>2</sub><sup>17)</sup>、および、Cyclotane<sup>18)</sup>が ESL に使用された。また、TFT 特性の変化に対して入射光のエネルギー依存性が報告されており<sup>19)</sup>、Y<sub>2</sub>O<sub>3</sub> PV 層を使用した場合、PV 層を使用しない TFT に比べて安定性が改善し、TFT の劣化を引き起こす入射光エネルギーの閾値は、Y<sub>2</sub>O<sub>3</sub> PV 層を用いることで大きくなることが報告されている。これにより、Y<sub>2</sub>O<sub>3</sub> PV 層の使用は a-IGZO 表面近傍の欠陥を不動態化すると結論付けられている<sup>19)</sup>。

しかしながら、これまでの研究の多くは、単に TFT 製作のためのプロセス条件や用いる材料の種類の特性と TFT 特性を結びつけたもので、電子状態については推察に過ぎず、a-IGZO TFT のチャンネル領域における電子トラップの評価については、報告がほとんどなされていない。すでに述べたように、TFT のチャンネル領域は絶縁層によって覆われており、物理的および電氣的評価方法の大部分は使用不可能である。また、バックチャンネル側にオーミックコンタクトを有する構造では、TFT のチャンネル層が受けるプロセスの影響を忠実に再現できず、MOS 構造を用いたほぼすべての特性評価技術をバックチャンネル領域に適用することはできない。そのため、a-IGZO を用いた TFT のチャンネル領域の電子トラップは系統的に評価されていない。

そこで、本研究では、a-IGZO TFT における a-IGZO バックチャンネル領域のギャップ内欠

陥準位の評価手法を新たに確立し、その要因の解明を試みた。本章では、ESL 型 a-IGZO TFT のチャネル領域における電子トラップの変化を確認するために、PITS 法を適用して、TFT 特性に最も影響を与えと考えられる熱処理(プリアニーリング、ポストアニーリング)による電子状態の評価を行った。本章では、a-IGZO 薄膜からの熱放出挙動と a-IGZO 薄膜中のプリアニーリングによる H および OH 含量の変化を述べた後、a-IGZO 中に誘起されるトラップ準位のプリアニーリングによる変化を PITS 法により評価した結果を述べ、ZnO で報告されるトラップ準位と比較し、その起源について議論する。また、TFT 作製後の熱処理(ポストアニーリング)による a-IGZO 中のトラップ準位の変化を述べる。さらに、トラップ準位の形成に大きな役割を果たすと考えられる水素の効果を検証するために、TPYS を用いて水素化された a-IGZO におけるトラップ準位の変化を評価し、TFT 製作中に施される熱処理により a-IGZO チャネル中の欠陥がどのように形成されるのかを議論する。

## 3.2 a-IGZO 薄膜における熱処理による物理的な変化

### 3.2.1 a-IGZO 薄膜の熱放出挙動

TFT 作製における熱処理プロセス中に誘起されたチャネル領域下の電子トラップの変化に注目した。熱処理プロセスのうち、プリアニーリングは a-IGZO 薄膜を一定の温度かつ時間、大気雰囲気中で熱処理を行う製造工程である。まず、a-IGZO 薄膜からの基本的な熱的な放出挙動および放出蓄積量を評価するために昇温脱離分析 (Thermal Desorption Spectroscopy: TDS) 実験を行った。TDS 分析法は、サンプルをプログラム昇温加熱した際にサンプル表面から脱離するガスを質量分析計で検出し、その脱離ガスの定性と発生量を測定する分析法である<sup>20)</sup>。

DC マグネトロンスパッタリングにより、酸素分圧 4%、20% の条件でガラス基板上に形成された a-IGZO 薄膜を用いて TDS 実験を行った。図 3-1(a) は Zn 原子の TDS 分析結果である<sup>21)</sup>。Zn 原子の脱離は、4% 酸素分圧の a-IGZO 薄膜からは 300 °C 以上の温度で生じており、20% 酸素分圧の a-IGZO 薄膜からは 400 °C 以上でもほとんど観察されなかった。一方、図 3-1(b) に示すように、H<sub>2</sub>O の脱離は、4% 酸素分圧の a-IGZO 薄膜からは 250 °C 以下の温度で始まり、300–500 °C の間で多い。また、20% 酸素分圧の a-IGZO 薄膜では、250–450 °C の脱離は 4% 酸素分圧に比べて少ない傾向があり、脱離が終了する温度は 70 °C も高いことがわかる。また、図 3-1(c) に示すように、O<sub>2</sub> の脱離は、20% 酸素分圧の a-IGZO 薄膜では測定温度が増加するにつれて脱離量が抑制される傾向があることがわかる。

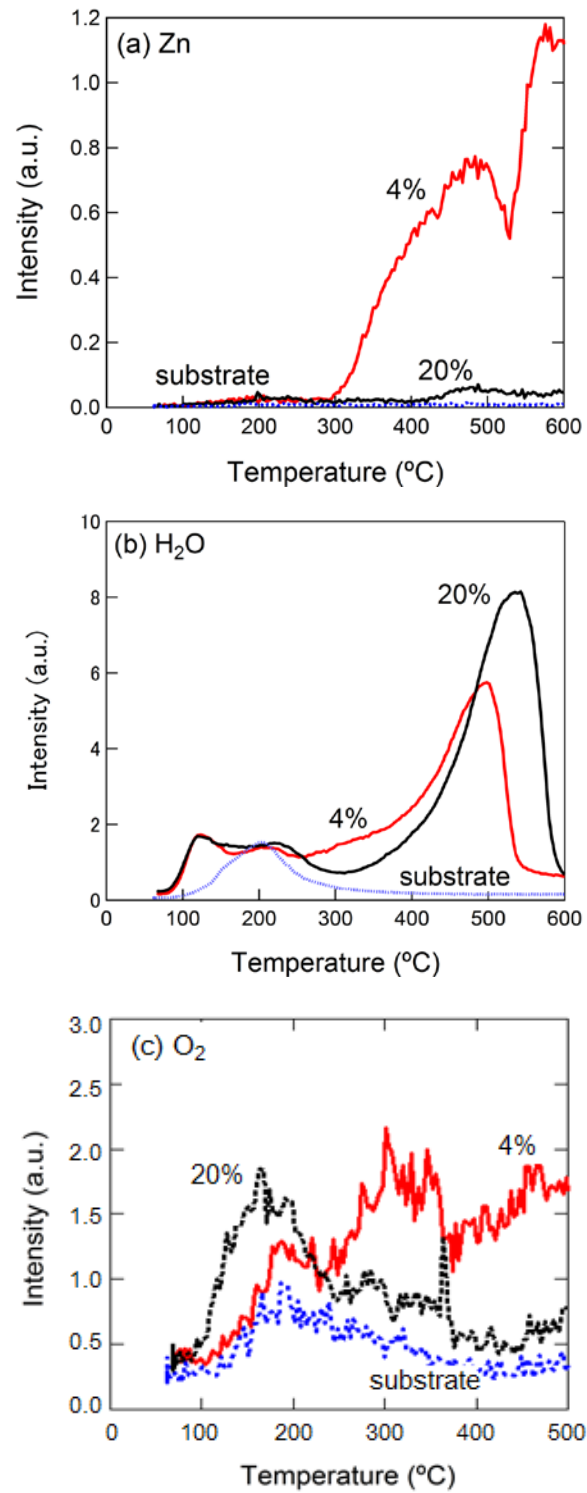


図 3-1 酸素分圧 4%, 20%で成膜した  $\alpha$ -IGZO 薄膜から得られた TDS スペクトル.  
 (a) Zn 原子 ( $M/Z = 64$ ), (b) H<sub>2</sub>O ( $M/Z = 18$ ), (c) O<sub>2</sub> ( $M/Z = 32$ ).

これらの TDS スペクトルにより, 4%酸素分圧で作製した a-IGZO 薄膜では温度が上昇するにつれて  $\text{H}_2\text{O}$ ,  $\text{O}_2$  とともに Zn 原子が脱離する振る舞いを示し, 20%酸素分圧ではそのような Zn 原子の脱離は生じ難いことがわかった. 4%酸素分圧の a-IGZO 薄膜で観察された Zn 原子の脱離は Zn-O の結合解離エネルギーから予想される温度よりも早くに生じることから, Zn 原子と隣接原子の結合エネルギーの低下が示唆される. また, a-IGZO 薄膜における H および OH の含有量もしくは結合状態が a-IGZO 成膜における酸素分圧に依存して変化することを示している. a-IGZO 薄膜からの Zn の脱離については Nomura らからも同様の報告がなされている<sup>22)</sup>.

### 3.2.2 a-IGZO 薄膜の熱処理による H, OH 含有量の変化

次に, 様々な酸素分圧で作製した a-IGZO 薄膜中の H および OH 含量の変化を調査した. 図 3-2(a)および(b)に, 各酸素分圧で形成された a-IGZO から得られた(a)H および(b)OH の二次イオン質量分析(Secondary-ion mass spectrometry: SIMS)データを示す. スパッタリング直後の a-IGZO 薄膜(「as」と表示)における H および OH の含有量は, 酸素分圧の違いにかかわらず熱処理前ではほぼ同等であったのに対し, 大気中の 350 °C, 1 hr の熱処理(プリアニールング)後では, H および OH の含有量が減少し, それは酸素分圧が低いほど顕著であった. 図 3-1(b)の TDS 分析からわかるように, 4%酸素分圧の a-IGZO 膜からの  $\text{H}_2\text{O}$  の脱離は, 20%酸素分圧の a-IGZO 膜に比べて, 250–450 °Cの間で多い. そのため, 熱処理後の 20%酸素分圧の a-IGZO 膜中には, 4%酸素分圧の a-IGZO 膜よりも O-H 結合が多いといえる.



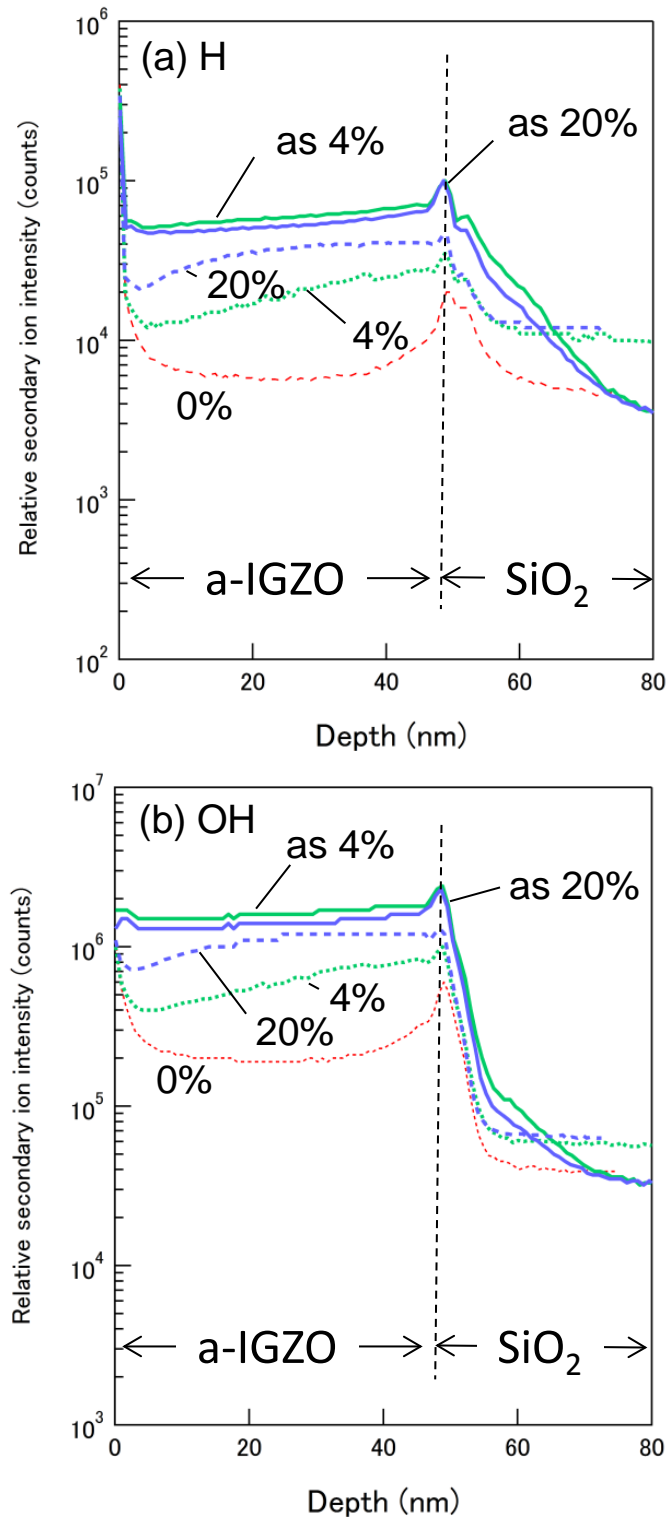


図 3-2 酸素分圧 4, 12, 20%で成膜した a-IGZO 薄膜から得られた SIMS プロファイル. As-sputtered およびプリアニーリングした a-IGZO 膜の(a)H および (b)OH の含有量.

### 3.3 PITS を用いた a-IGZO におけるトラップ準位評価

本節では, PITS 法を用いて評価した, ESL 層を備えた TFT 構造における a-IGZO チャネル領域のトラップ準位について述べる. 一般に, バックチャネル表面を保護する ESL 層を形成することにより, TFT 特性・信頼性が向上することが知られている<sup>23)</sup>. 一方で, 成膜中の水素が膜特性に大きな影響を与えることがわかっている.

#### 3.3.1 a-IGZO への PITS 法の適用

PITS 評価に用いた素子の上面図, 断面構造を図 3-3(a), (b)に示し, 比較として, a-IGZO ESL 型 TFT の断面構造を示した(図 3-3(c)). PITS 評価に用いた素子の電極間距離は 5 mm とした. PITS 評価に用いた素子はゲート電極の形成を除いて, ESL 型 TFT と同一プロセスにより素子作製を行った(第 2 章の Appendix 2-A 参照). GI 膜として 250 nm 厚さの  $\text{SiO}_x$  膜をガラス基板上に PECVD 法により形成し, 40 nm 厚さの a-IGZO 薄膜を堆積した後, フトリソグラフィー法を用いてチャネル層をパターニングした. 次に, サンプルを空气中で 1 hr の熱処理(プリアニーリング)を行った<sup>24)</sup>. その後, ESL として 100 nm 厚さの  $\text{SiO}_x$  層を PECVD 法により堆積した後, 反応性イオンエッチングによってパターニングした. 続いて, Mo をスパッタリングにより堆積し, フトリソグラフィー法を用いて S/D 電極を形成し, さらに, PV 層として PECVD 法により  $\text{SiN}_x(\text{PV}2)/\text{SiO}_x(\text{PV}1)$  の積層膜を堆積後に, スルーホールを形成した. 最後に, 幾つかのサンプルは, 窒素雰囲気中で 0.5 hr の熱処理(ポストアニーリング)を行った.

表 3-1 に示すように, プリアニーリング温度は 250, 300, 350 °Cで行い, それぞれのサンプルを PR250, PR300, PR350 と表した. また, プリアニーリングを行わないサンプルも基準として作製して PRS とした. a-IGZO 薄膜の成膜条件および GI, ESL, PV の成膜条件は表 3-2 および表 3-3 に記載した.

PITS 評価の測定温度は 80–400 K とした. トラップ準位の活性化エネルギーを得るための実験を除いて, rate window を 100 ms に設定し, 2 つのオーミック電極間に 1 V の電圧を印した. なお, 電極間の漏れ電流は PITS 測定を行うのに十分に低い 1 nA 未満であることを確認しながら進めている. また, 励起光源には波長 375 nm の UV レーザーを用いて, 安定した光電流を生成するためにパルス幅を 100 ms に設定した. 励起光源のエネルギーは, a-IGZO バンドギャップのエネルギーより高く, 絶縁層に対して透明(光吸収がない)のため, 測定された光電流は a-IGZO 薄膜に由来する. 観測された過渡電流曲線は FT-DLTS 理論に基づいて解析し, 時定数の異なる信号の影響を最小限に抑えるようにした.

第 2 章で述べたように, PITS 測定の評価にはフーリエ変換の第 1 項から得られた  $b_1$  係数を使用している. 各測定温度は決定されるトラップ準位の活性化エネルギーに対応しており, 同じ測定温度および時定数の下では,  $b_1$  係数の強度は所定の温度のトラップ密度に関

係するため、サンプル間でトラップ準位を比較することができる。本実験条件に用いた温度範囲は、トラップ準位の活性化エネルギーとして概ね 0.1–1 eV に対応している。

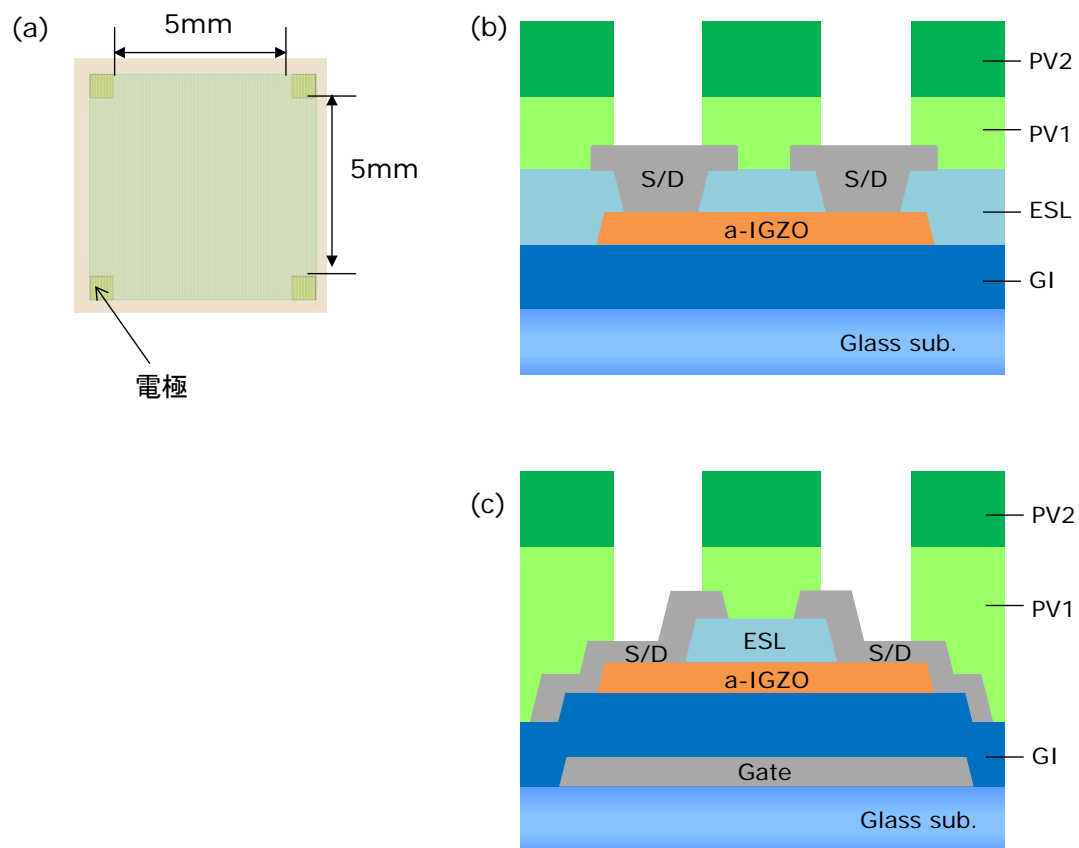


図 3-3 (a) PITS 評価で用いた素子の断面構造, (b) PITS 評価で用いた素子の上面図, (c) a-IGZO ESL-TFT の断面構造.

表 3.1 サンプル名とプリアニール条件.

サンプル名	PRS	PR250	PR300	PR350
熱処理温度 (°C)	---	250	300	350
熱処理時間 (min)	---	60	←	←
熱処理雰囲気	---	大気	←	←

表 3.2 a-IGZO チャネル成膜条件.

ターゲット	4 インチ $\phi$ InGaZnO <sub>4</sub>
成膜ガス流量 (sccm)	Ar/O <sub>2</sub> = 24/1 (4%酸素分圧)
成膜圧力 (Pa)	0.13
成膜電力(DC) (W)	200
成膜温度 (°C)	R.T.
基板-ターゲット間距離 (mm)	155
成膜速度 (nm/min)	10.0

表 3.3 GI, ESL, PV 成膜条件.

	GI	ESL	PV1	PV2
膜種類	SiO <sub>x</sub>	SiO <sub>x</sub>	SiO <sub>x</sub>	SiN <sub>x</sub>
成膜ガス流量 (sccm)	N <sub>2</sub> O/SiH <sub>4</sub> = 100/4	N <sub>2</sub> O/SiH <sub>4</sub> = 100/4	N <sub>2</sub> O/SiH <sub>4</sub> = 100/4	NH <sub>3</sub> /SiH <sub>4</sub> /N <sub>2</sub> = 6/12.5/297.5
成膜圧力 (Pa)	200	133	133	133
成膜電力 (W)	300	100	100	100
(RF 13.56MHz)				
成膜温度 (°C)	320	230	150	150
成膜速度 (nm/min)	14.6	27.4	26.0	59.1

### 3.3.2 a-IGZO の熱処理によるトラップ準位の変化

図 3-4(a)は、各温度でプリアニーリング処理を施した a-IGZO 薄膜から得られた PITS スペクトルである。いずれの素子もポストアニーリングは実施していない。ここで、PR250, PR300, PR350 のベースラインはスペクトルの違いを見やすくするため、PRS に対してそれぞれ、+0.05 nA, +0.10 nA, +0.15 nA 分をシフトして図示している。すべての PITS スペクトルからはいずれも 120 K 付近に最大値をもつブロードなピークが観測されており、アニーリング条件によってその詳細な特徴は変化していることがわかる。具体的には、プリアニーリング温度が上昇するにつれて、200 K 付近および 400 K 付近の  $b1$  強度は減少し、120 K 付近の  $b1$  強度は増加した。次に、a-IGZO 薄膜におけるトラップ準位に対するプリアニーリング温度の影響を明らかにするために、各プリアニールサンプル (PR250, PR300, PR350) の  $b1$  から標準サンプル (PRS) の  $b1$  を減算した推定  $\Delta b1$  を用いた検討を行った。図 3-4(b)に、PR250, PR300, および PR350 サンプルにおける対応する  $\Delta b1$  の値を示す。これらのスペクトルから、図 3-4(b)内に破線で示すように、a-IGZO 薄膜から得られた PITS スペクトルはおよそ 100 K, 130 K, 150 K, 210 K, 320 K, および 390 K の 6 つの特定温度付近に存在することが推測された。対応する PITS のピークは、100 K 付近を P1 として、低温側から順に、P6 までラベル付けした。この結果は、a-IGZO 膜中に少なくとも 6 つの異なるトラップ準位が存在することを示唆している。

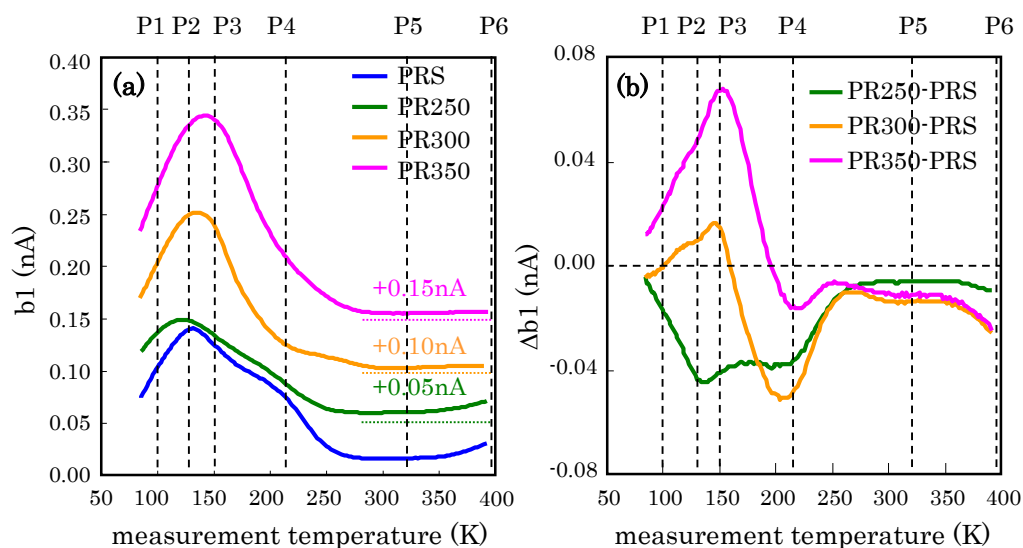


図 3-4 (a) 様々な温度でプリアニーリングされた a-IGZO から得られた PITS スペクトル, (b) 各 PITS スペクトルから PRS スペクトルを差し引いた  $\Delta b1$  スペクトル.

図 3-5 は図 3-4(a)で示した PITS スペクトルの各ピークの  $b_1$  強度をプリアニーリング温度の関数としてプロットした結果である。P1, P2, P3 の  $b_1$  強度は 250 °C 以上のプリアニーリング温度で増加し始め, P4, P5, P6 の  $b_1$  強度はプリアニーリング温度 300 °C の条件までは減少し, 300 °C より高いプリアニーリング温度になると増加に転じることが示された。とくに, P2, P3, P4 に相当する  $\alpha$ -IGZO 膜中のトラップ準位はプリアニーリング温度の影響が大きいといえる。

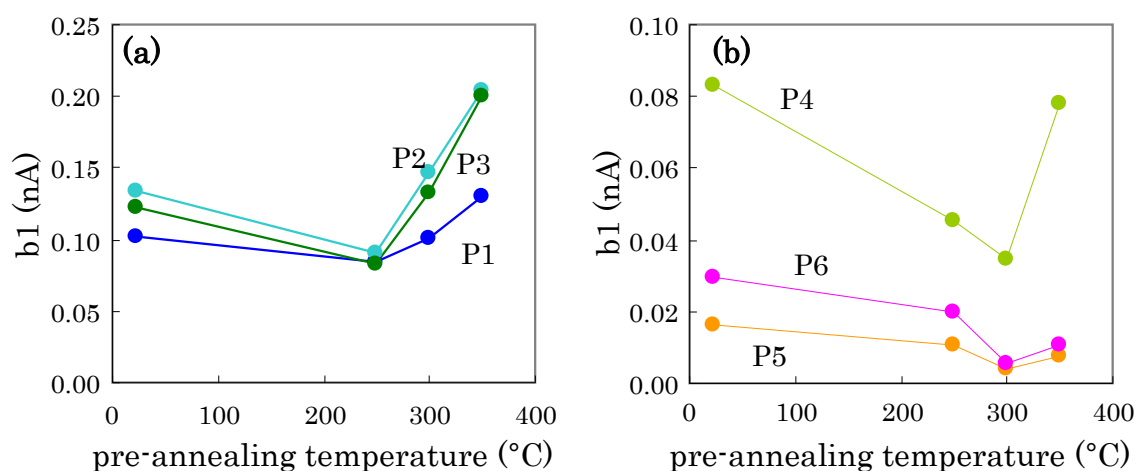


図 3-5 各  $b_1$  ピーク強度のプリアニール温度依存性 (a) P1, P2, P3, (b) P4, P5, P6. P1~P6 は PITS スペクトルの 100 K, 140 K, 150 K, 210 K, 320 K, 390 K に対応する。

### 3.3.3 DLTS 法を用いた ZnO におけるトラップ準位

本項では、次節の a-IGZO 膜中のトラップ準位の起源を議論する前提として、a-IGZO の先行研究として、Qemener らによって報告された ZnO サンプルのトラップ準位評価を述べる。図 3.6 は、各種雰囲気 (Ar, O, Zn) で熱処理された ZnO を用いて DLTS 法によって評価した実験結果である<sup>25,26)</sup>。それぞれ 70 K, 120 K, 160 K, 220 K, 290 K および 390 K にピークをもつ E1~E5a および E5b として知られる 6 つのトラップ状態が示されており、それぞれのピークは CBM から 0.1 eV, 0.19 eV, 0.3 eV, 0.54 eV, 0.72 eV および 1.0 eV にエネルギー準位を有することが報告されている。

120K 付近に観測されたピークは酸素熱処理により増加し、亜鉛熱処理により消失した。この E2 として知られるピークは酸素過剰欠陥もしくは酸素欠損欠陥に起因するといわれている<sup>25)</sup>。一方で、E4 として知られる 220 K 付近のピークは酸素欠損欠陥もしくは亜鉛過剰欠陥に起因すると報告されている<sup>25)</sup>。また、Hupfer らは、水素注入された ZnO を用いた研究により、E3 として知られる CBM から 0.3 eV に位置するトラップ準位は水素原子を含む欠陥に起因することを見出している<sup>27)</sup>。表 3-4 に、ZnO から得られた DLTS スペクトルのピーク温度と対応するトラップ準位の一覧を示した。

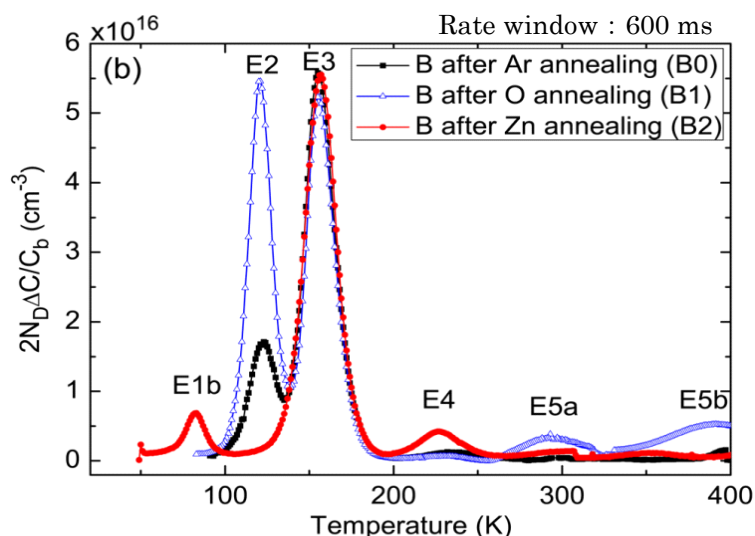


図 3-6 様々な熱処理が施された ZnO から得られた DLTS スペクトル<sup>25)</sup>。

表 3.4 ZnO から得られた DLTS ピーク温度と対応するトラップ準位<sup>25,26)</sup>。

ZnO	E1	E2	E3	E4	E5a	E5b
ピーク温度	70K	120K	160K	220K	290K	390K
トラップレベル	0.1eV	0.19eV	0.3eV	0.54eV	0.72eV	1.0eV
関連欠陥		亜鉛欠損 酸素過剰	水素関連	亜鉛過剰 酸素欠損		

### 3.4 a-IGZO のプリアニリングで誘起されるトラップ準位の起源

図 3-4 の PITS 評価で示された熱処理による a-IGZO 膜中の電子トラップの変化は, rate window が異なる測定であるものの(それゆえピーク温度は完全には一致しない), 各種雰囲気熱処理された ZnO 中の DLTS 評価で観測された電子トラップ(図 3-6)と類似性があることに気づく。

まず, 本項ではプリアニリング温度の影響が大きい P2, P4 について述べる(P3 については後述する)。図 3-4(b)で示したプリアニリング温度の異なる a-IGZO 薄膜の PITS スペクトルから得られた  $\Delta b_1$  を用いて, 支配的なトラップ準位の活性化エネルギーを試算した結果, P2, P4 のピークのアレニウスプロットにより, それぞれのトラップ準位の活性化エネルギーは CBM 下から 0.2 eV 程度および 0.4–0.5 eV 程度と算出された。これらの値は, それぞれ ZnO の E2 および E4 として割り当てられたトラップ準位に近いことがわかる。つまり, ZnO における熱処理雰囲気の違いによるトラップ準位の起源を考慮すると, プリアニリングの温度変化に対応した a-IGZO 薄膜の  $b_1$  強度の変化は, a-IGZO 薄膜からの熱脱着の挙動との関連が示唆された。

図 3-1 で示したように, 4%酸素分圧で形成した a-IGZO 薄膜の TDS 分析結果から, a-IGZO 薄膜の酸素は 250 °Cより高温の熱処理によって分解挙動が始まることが示されており, このように放出された酸素は亜鉛欠損欠陥もしくは酸素過剰欠陥に関連するトラップ準位(ZnO 中の E2 に相当)を低減すると考えられる。一方で, Zn 原子は 300 °C以上の熱処理によって放出されており, 亜鉛欠損欠陥もしくは酸素過剰欠陥に関連するトラップ準位の増加を誘発すると考えられる。また, 図 3-1 の TDS 分析から, 20%酸素分圧で形成した a-IGZO は温度が高くなるにつれて酸素の脱離が減少し, また, 300 °Cを超えても Zn の脱離が観測されていないことから, 4%酸素分圧で形成した a-IGZO とは異なる挙動が確認されている。

Hayashi らは, ボトムゲート構造の MOS ダイオードを用いて, 異なる酸素分圧で形成し, プリアニリングを施した a-IGZO の C–V 特性を評価した。a-IGZO 中の空間電荷密度は, 4%の酸素分圧で形成した a-IGZO に比べて, 20%の酸素分圧で形成した a-IGZO の方が 1 桁程度低いことを確認した<sup>21)</sup>。さらに, 同構造を用いた ICTS 評価から, 20%の酸素分圧で形成した a-IGZO 中のサブギャップ準位は, 4%酸素分圧で形成した a-IGZO 中のサブギャップ準位(CBM 下から 0.2 eV 付近に存在)に対して, その準位はやや深くなるとともに, トラップ準位密度が低減することを報告している<sup>21)</sup>。これらの結果からも 4%酸素分圧で形成した a-IGZO 薄膜は, 20%酸素分圧で形成した a-IGZO 薄膜に比べて, 亜鉛欠損欠陥に関連したトラップ準位が誘起されやすいことがわかる。

また, 上述した Zn 原子の脱離による分解挙動は同時に, 酸素欠損欠陥もしくは亜鉛過剰欠陥に関連するトラップ準位(ZnO 中の E4 に相当)を補償することが考えられる。たとえば, 4%酸素分圧で形成した a-IGZO 薄膜において, TDS 分析から Zn 原子および酸素の脱離は 300 °C以上で増加傾向にあり, PITS 評価から P2 および P4 に相当するトラップ準位密度の



増加が示された。しかしながら、Zn 原子の脱離は温度に対して単調に増加する一方で、酸素の脱離は飽和傾向にあることから、プリアニーリング 350 °C (PR350) およびそれ以上の温度の場合、P2 のピークが支配的に観察されと考えられる。このように、a-IGZO における P2 および P4 に相当するトラップ準位の形成は、Zn と酸素比の微視的变化に起因しており、熱処理中の Zn もしくは酸素に関連した欠陥の導入に起因すると結論づけられる。

### 3.5 a-IGZO のポストアニーリングによるトラップ準位の変化

プリアニーリングによる評価に続き、ポストアニーリングによる a-IGZO 膜中のトラップ準位の影響を調べた。ポストアニーリングは TFT 完成後に窒素雰囲気中で 250 °C、0.5 hr の条件で実施した。図 3-7 にポストアニーリング前後の PR350 サンプルから得られた PITS スペクトルを示した。ポストアニーリング後では、全測定温度範囲にわたって PITS スペクトルの  $b1$  強度は減少し、a-IGZO 薄膜の周囲に配置される GI 層や ESL 層等の影響を受けることがわかる。そこで、ポストアニーリング前後の PITS スペクトルの差から得られた  $\Delta b1$  を抽出し、図 3-7 にプロットした結果、ポストアニーリングによって P3 のピーク強度の減少が示された。また、この  $\Delta b1$  のピーク温度を用いたアレニウスプロットにより、P3 に相当するトラップ準位の活性化エネルギーは CBM 下から 0.3 eV 程度と算出された。上述した ZnO の場合、E3 として知られる 160 K 付近のピークは水素関連欠陥に起因するトラップ準位であり、その活性化エネルギーは CBM 下から 0.3 eV との報告がされている<sup>27)</sup>。

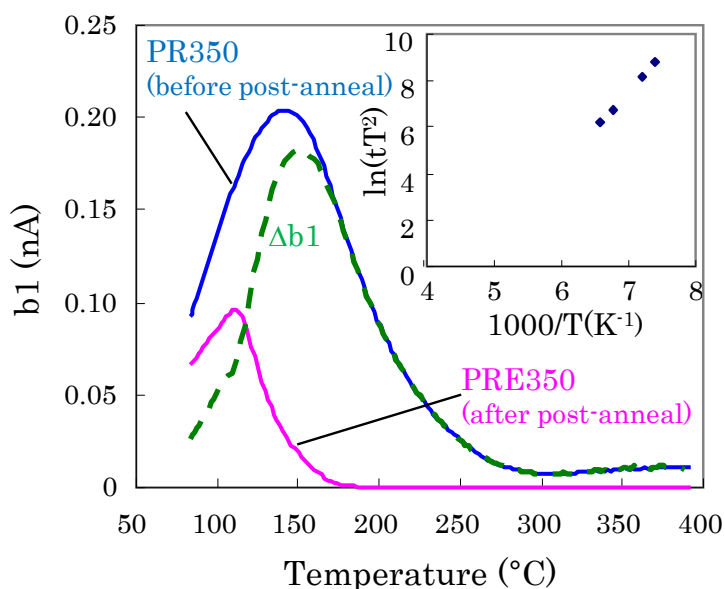


図 3-7 PRE350 サンプルのポストアニーリング前後の PITS スペクトル。  
破線はポストアニーリング前後の PITS スペクトルから抽出された  $\Delta b1$  を示す。  
挿入図は  $\Delta b1$  ピークのアレニウスプロットを示す。

次に, a-IGZO 薄膜および周辺の  $\text{SiO}_x$  膜 (GI 層, ESL 層) の H, O および OH の分布を評価するために SIMS デプスプロファイルを取得した (図 3-8). ポストアニーリングにより, O の分布に変化は生じなかったが, H は a-IGZO と ESL の界面近傍で明らかに低減しており, OH は a-IGZO と ESL の界面から a-IGZO 膜中にかけて一様に低減することがわかった. このことはポストアニーリングプロセスによって, a-IGZO 膜中の水素に関連する結合状態が変化したことを示唆しており, CBM から 0.3 eV 程度に存在するトラップ準位の減少は, a-IGZO 膜中の水素原子に関連した欠陥の減少に起因すると推測された.

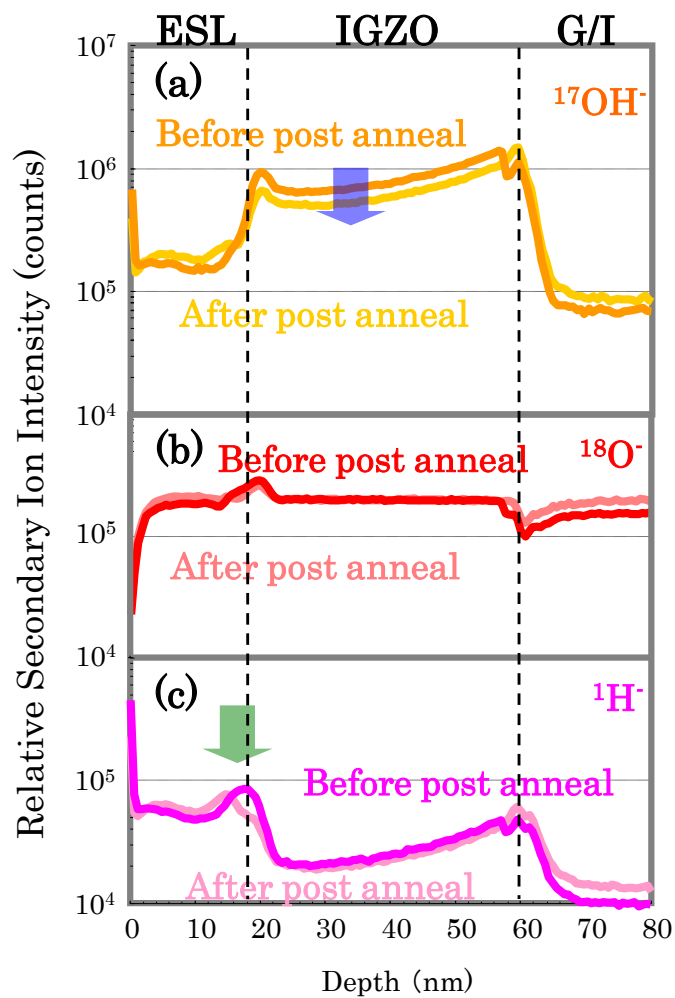


図 3-8 PRE350 サンプルのポストアニーリング前後の SIMS デプスプロファイル.  
(a) OH, (b) O, (c) H

また, YasunoらはX線吸収微細構造(X-ray absorption fine structure: XAFS)測定およびX線吸収端近傍構造(X-ray Absorption Near Edge Structure: XANES)測定を用いて a-IGZO 薄膜の局所構造を評価した<sup>28)</sup>. その解析により, a-IGZO 薄膜において, 各元素(Zn, Ga, In)は Metal-O 結合を形成することを報告している. Zn, Ga, In の配位数はそれぞれ約 3.4, 3.9, 5.2 であり, Zn-O, Ga-O, In-O の結合距離はそれぞれ約 2.0 Å, 1.8 Å, 2.1 Å と算出している. Zn-O と Ga-O の値は, 結晶質 IGZO よりもむしろ, 結晶質 ZnO<sup>29)</sup>と  $\beta$ -Ga<sub>2</sub>O<sub>3</sub><sup>30)</sup>に一致している<sup>31,32)</sup>. 一方, In のイオンは InO<sub>6</sub> の八面体構造を形成しており, 結晶質 IGZO や結晶質 In<sub>2</sub>O<sub>3</sub>と同等といわれている<sup>33)</sup>. これは, a-IGZO 薄膜の Zn 原子を取り囲む結晶構造が四面体であり, 結晶質 ZnO とほぼ同一であることを意味している. すなわち, a-IGZO 薄膜の Zn 原子を取り囲んでいる部分的な状態密度は結晶質 ZnO と類似している. ZnO サンプルで確認される欠陥は局所的な原子構造に起因することを考慮すると, 上述した熱処理条件下で誘起された a-IGZO 膜中のトラップ準位の性質は結晶相を有する ZnO の場合と同様であると推測される. そのため, TFT 製造プロセスにおける a-IGZO 膜中の電子構造の変化は, Zn-O 結合からなる四面体への Zn, 酸素もしくは水素に関連した欠陥の導入に帰属すると考えられる.

図 3-9 および図 3-10 は酸素分圧 4%および 20%で成膜した a-IGZO 薄膜の TDS 分析によるガス発生分析結果である. ここでは, 定性分析である Scan 測定から得られた等高グラフを示しており, In, Ga, Zn のうち熱処理で放出される元素は Zn のみであることがわかる. この結果からも, プロセス中に誘起される欠陥として, Zn, 酸素もしくは水素に起因するものが顕著であると断定される.

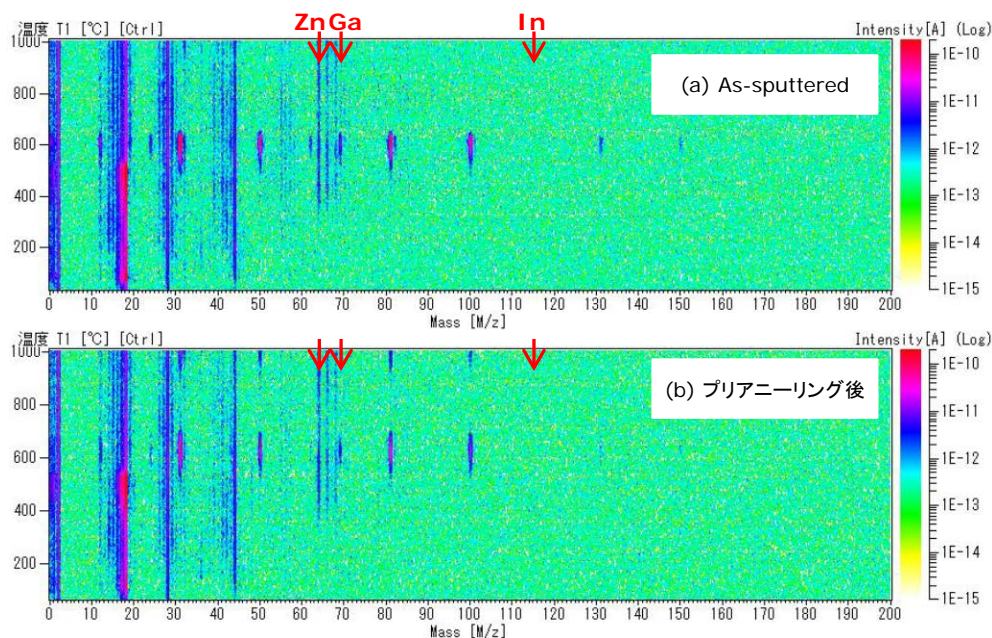


図 3-9 酸素分圧 4%で成膜した a-IGZO 薄膜の TDS 分析による Scan 等高グラフ.

(a) As-sputtered a-IGZO 膜, (b) プリアニールした a-IGZO 膜.

Zn 原子 ( $M/z = 64$ ), Ga 原子 ( $M/z = 69$ ), In 原子 ( $M/z = 115$ ).

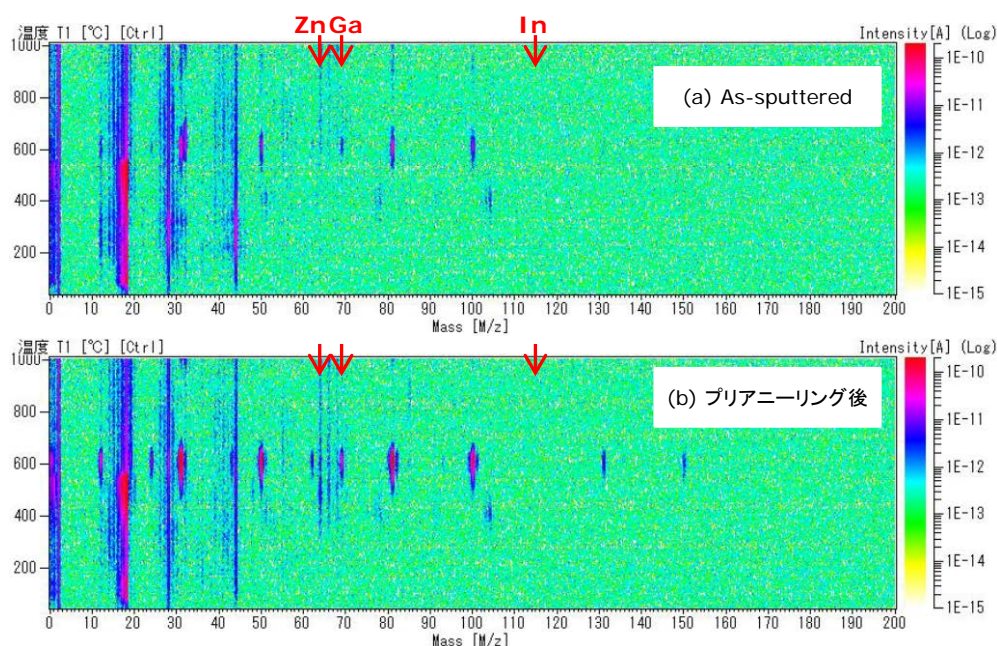


図 3-10 酸素分圧 20%で成膜した a-IGZO 薄膜の TDS 分析による Scan 等高グラフ.

(a) As-sputtered a-IGZO 膜, (b) プリアニールした a-IGZO 膜.

Zn 原子 ( $M/z = 64$ ), Ga 原子 ( $M/z = 69$ ), In 原子 ( $M/z = 115$ ).

### 3.6 a-IGZO のトラップ準位形成における水素の役割

a-IGZO 薄膜は不純物元素として水素原子を多く含み<sup>34,35)</sup>, 膜の導電性を高めることが広く知られている<sup>36-40)</sup>. また, 第一原理計算によって, 化学量論的 a-IGZO への水素原子のドーピングは,  $H^0(\text{from outside}) + O^{2-}(\text{in a-IGZO}) \Rightarrow -OH^-(\text{in a-IGZO}) + e^-$  の反応を通して電子をもたらすことが示されており, a-IGZO に組み込まれた水素原子は-OH 結合を形成するとともに, イオン化された $-O^{2-}H^+$ を形成することによって浅いドナー状態を生成することが予測されている<sup>41)</sup>.

また, 前節では, a-IGZO 薄膜から得られた PITS スペクトルの 160 K 付近にピークをもつ P3 トラップ準位は, ZnO で報告されている水素関連欠陥に起因する E3 トラップ準位に類似していることを述べた. よって, より詳しく水素の影響を調べるために, 水素化処理された a-IGZO 薄膜のサブギャップ状態について, TPYS 法を用いて評価を行った. TPYS 法は半導体のバンドギャップ光近傍の光電子放出を高感度で測定できる評価方法であり, 真空準位からの絶対評価が可能であることが特徴である<sup>42-44)</sup>.



### 3.6.1 水素化 a-IGZO の熱処理によるトラップ準位の変化

a-IGZO 薄膜は表 3-2 で示した標準的な条件で準備した。次いで、a-IGZO 薄膜を大気雰囲気中で、350 °C、1 hr の熱処理を施した（以下、「プリアニーリング」サンプルと称する）。水素処理は TPYS チャンバーに接続された水素添加システムによって生成された水素ラジカルにサンプルを曝すことによって実施した（以下、「水素処理」サンプルと称する）。ここで、H<sub>2</sub> ガス(9N)流量 400 sccm、処理中圧力 40 Torr を維持して 5min の水素処理を行った。加熱されたタングステンワイヤとサンプル間の距離は、水素処理中にサンプルが 150 °C 未満に保たれるように約 18 mm とした。その後、水素処理を行った a-IGZO 薄膜を用いて、UHV 条件下(ベース圧力:約  $2.3 \times 10^{-10}$  Torr)で 300–500 °C の温度範囲で 30 min の連続的な真空熱処理を行った（以下、「300–500 °C UHV 熱処理」サンプルと呼ぶ）。

TPYS 測定は  $2.3 \times 10^{-10}$  Torr のベース圧力、室温のもとで実施した。光源に Xe アークランプと D2 ランプを用い、それらサンプルは 2–7.75 eV の範囲の光子エネルギーをもつ単色光に供した。放出された光電子の収率を光子エネルギーの関数として記録し、TPYS スペクトルを計算した。

図 3-11 にプリアニーリングサンプルと水素処理サンプルから得られた TPYS 測定結果を示す。プリアニーリングサンプルから得られた全光電子放出はバックグラウンドと同等で、サンプルからの明らかな光電子放出は観測されなかった。一方で、水素処理サンプルでは、真空準位から約 4.3 eV において明確な光電子放出が観測されており、約 7 eV 程度まで測定範囲を広げてもそれ以上の特別な変化は観測されなかった(図 3-11 の内挿図)。原理的には、光電子放出は表面近くの電子状態を占める電子に起因し、TPYS スペクトルの開始は真空準位からの電子状態のエネルギーにほぼ対応する。したがって、図 3-11 の実験結果は a-IGZO 薄膜の水素処理により、真空準位から約 4.3 eV にサブギャップ状態が形成されたことを意味している。さらに、その TPYS スペクトルは UHV 熱処理によって、図 3-12 のように変化した。このスペクトルの変化により、300 °C の UHV 熱処理を連続して行うことで、TPYS スペクトルの開始は 4.15 eV にシフトし、熱処理温度が上昇すると、オンセットエネルギーが再び増加して、サブギャップ状態からの光電子放出が減少することがわかる。これらの TPYS スペクトルの変化は、低温の水素ラジカル照射による水素処理により誘発されたトラップ準位が準安定であり、300 °C の UHV 熱処理により変化したことを意味する。さらに、水素処理によって誘導されたサブギャップ状態(真空準位から約 4.3 eV)の密度は、500 °C のようなさらなる高温の UHV 熱処理によって減少することが明らかとなった。

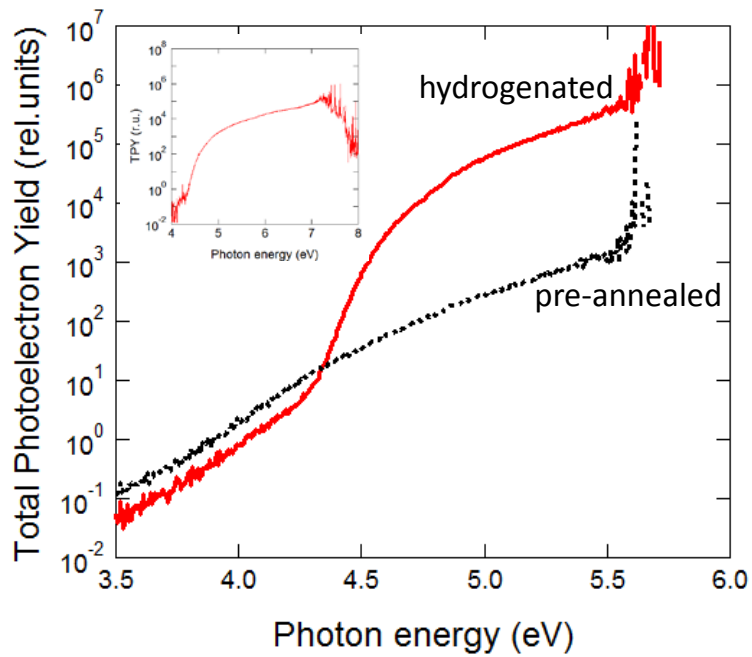


図 3-11 プリアニリングサンプルおよび水素処理サンプルから得られた TPYS スペクトル.  
内挿図は D2 ランプで検出された 4–7 eV のエネルギー範囲の TPYS スペクトルを示す.

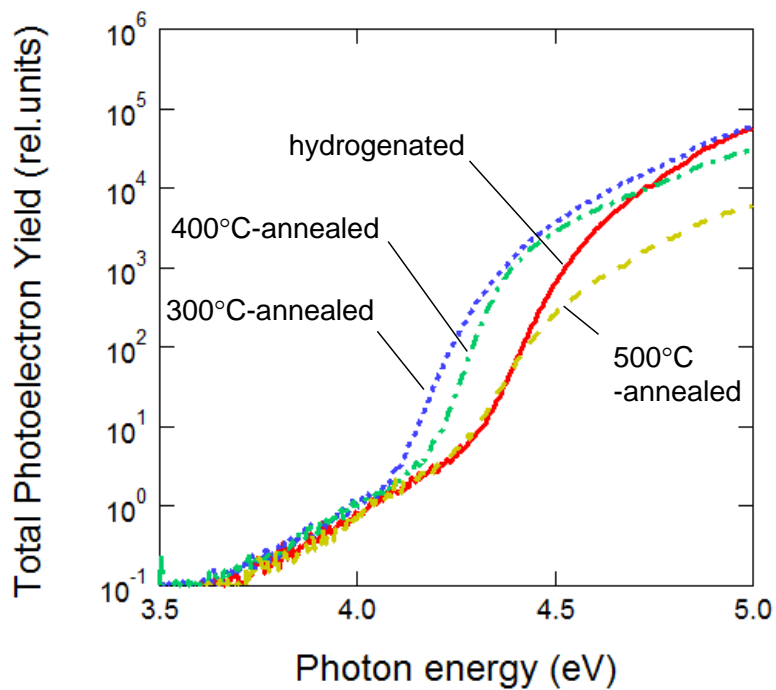


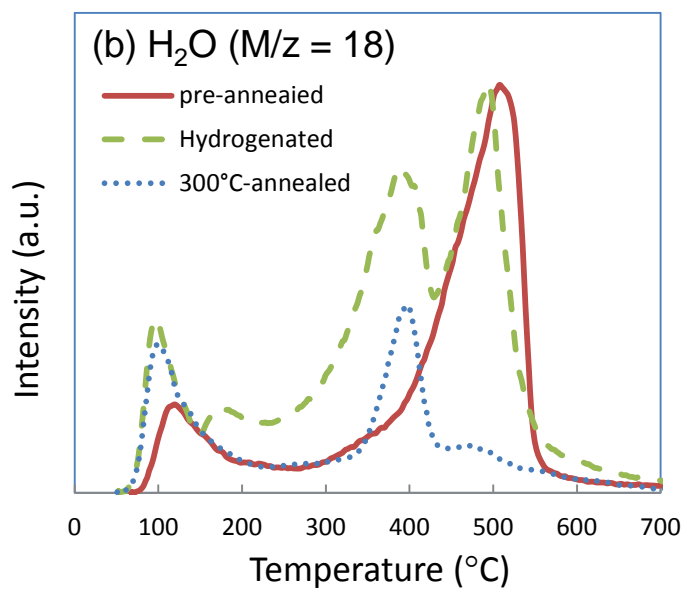
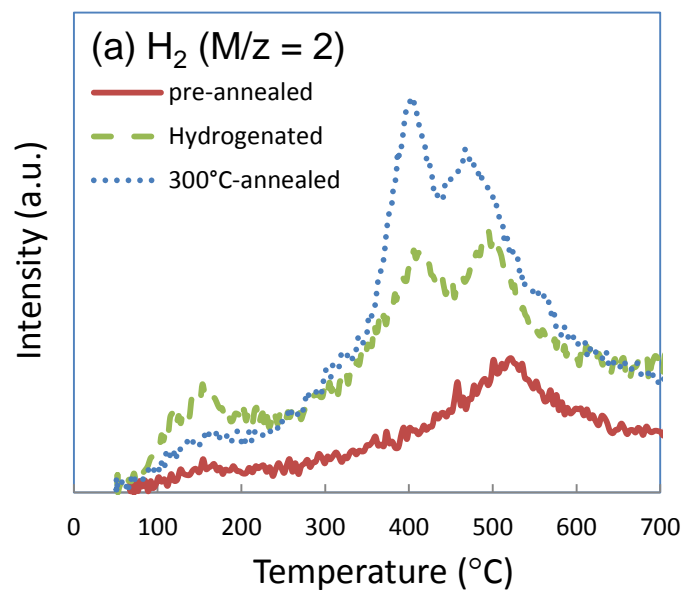
図 3-12 水素処理された  $\alpha$ -IGZO 薄膜を UHV 中で 300 °C, 400 °C, および 500 °C で  
熱処理したサンプルから得られた TPYS スペクトル.

### 3.6.2 a-IGZO の水素の取り込みと H, OH, Zn の脱離温度の変化

次に, a-IGZO 膜中の水素原子の取り込みを調べるために TDS 分析を実施した. TDS は a-IGZO サンプルを外部赤外線ランプで 60 °C/min の速度で加熱し, ランプ加熱中の発生ガスを質量分析計によって検出した. 図 3-13(a)~(c)は, それぞれ  $\text{H}_2$  ( $M/z = 2$ ),  $\text{H}_2\text{O}$  ( $M/z = 18$ ), Zn ( $M/z = 64$ )の TDS スペクトルを示しており, プリアニリング後, 水素処理後, 300°C UHV 熱処理後の各 a-IGZO サンプルで比較した.  $\text{H}_2$  の脱離はプリアニリングサンプルで約 300 °C から始まり, 500 °C 程度で最大値をとった一方で, 水素処理により測定温度全域にわたって TDS 強度が増加し, 50–700 °C で約  $8 \times 10^{14} \text{ cm}^{-2}$  の  $\text{H}_2$  が脱離したことがわかった. このことはプリアニリング後の水素処理によって, a-IGZO に水素原子が取り込まれたことを意味している. さらに, 水素処理サンプルでは, TDS スペクトルに 400 °C 程度のあらたなピークが明確に存在しており, 取り込まれた水素原子はプリアニリング後とは異なる化学結合を形成していると考えられた. その後の 300 °C UHV 熱処理サンプルにおいても, 400 °C 程度のあらたなピークが維持されており, その強度は増加している. この増加は a-IGZO 膜中の水素原子に関連した化学結合の変化を捉えているといえる.

また, TDS スペクトルにおける 400 °C 程度のあらたなピークの出現は,  $\text{H}_2\text{O}$  および Zn の TDS スペクトルにおいても顕著であった. 図 3-13(b)の  $\text{H}_2\text{O}$  の TDS スペクトルから, 水素処理サンプルは 400 °C, 500 °C の 2 つのピークを有していたが, 300 °C UHV 熱処理後に, 500 °C の高温側のピークは完全に消失し, 400 °C のピークが残ることがわかった. プリアニリングサンプルと水素処理サンプルの間で脱離した  $\text{H}_2\text{O}$  分子の総数は, 約  $1 \times 10^{16} \text{ cm}^{-2}$  と算出されており,  $\text{H}_2$  分子としての脱離より多い. このことは水素処理によって a-IGZO 薄膜に取り込まれた水素原子の一部はその構成が変化し, a-IGZO 薄膜中の酸素関連の化学結合を弱めることを示唆している. a-IGZO 膜中の水素の脱離が主に  $\text{H}_2\text{O}$  形態で起こるという報告がある<sup>24)</sup>. 一方, 水素処理サンプルおよびその後の 300 °C UHV 熱処理サンプルにおいては,  $\text{H}_2$ ,  $\text{H}_2\text{O}$  の TDS スペクトル同様, 400 °C 程度における Zn の脱離が観察された(図 3-13(c)). この完全な一致は, 高温熱処理による a-IGZO 膜中の水素の原子配置の変化により, 金属 (Zn) イオンの化学結合を弱めることを強く示唆している.

今回の a-IGZO 薄膜への水素処理をともなった実験では, TDS 分析において In 原子と Ga 原子の脱離は検出されなかった. 298 K の場合, Zn–O の結合解離エネルギーは, In–O (346 kJ/mol) や Ga–O (374 kJ/mol) と比較して, 226 kJ/mol と小さいことに起因すると思われる<sup>45)</sup>. また, 水素処理された a-IGZO 薄膜の電気的特性は, Hall 効果測定により n 型伝導が確認されており, キャリア濃度は  $3 \times 10^{14} \text{ cm}^{-2}$  (均一分布の場合は  $6 \times 10^{19} \text{ cm}^{-3}$  に相当)であった. この挙動は, a-IGZO 薄膜への水素の取り込みにより, サブギャップ内にドナー準位を形成するという一般的な理解とも一致している.





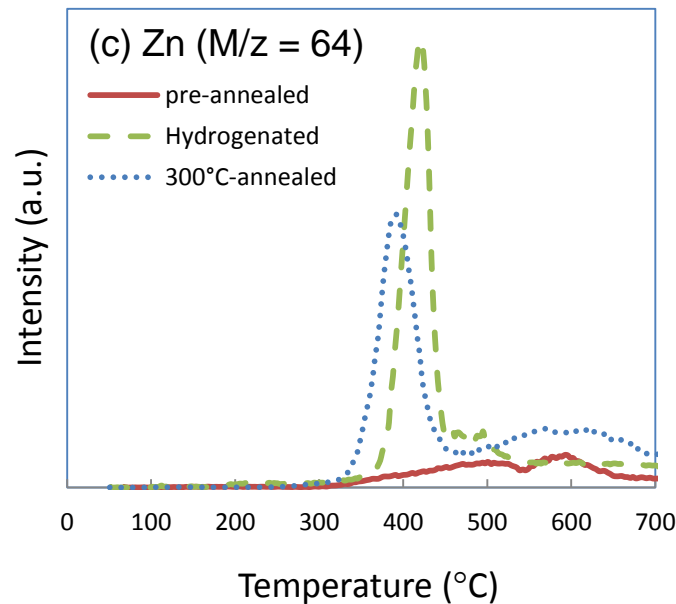


図 3-13 プリアニーリングサンプル(pre-annealing), 水素処理サンプル(hydrogenated), および 300 °C UHV 熱処理サンプル(300 °C-annealed)から得られた TDS スペクトル比較.

(a)  $H_2$  ( $M/z = 2$ ), (b)  $H_2O$  ( $M/z = 18$ ), (c)  $Zn$  ( $M/z = 64$ ).

### 3.7 水素により誘起される欠陥発生メカニズムと TFT 特性に与える影響

以上により, a-IGZO 薄膜に取り込まれた水素は, a-IGZO 膜中から Zn の脱離を促進する役割を担うことが明らかとなった. これまでに, Miyase らは従来のスパッタリング法と UHV スパッタリング法により形成した a-IGZO 薄膜の比較により, 水素原子は -OH 結合を形成し, a-IGZO 薄膜形成中に Zn 脱離が促進されることを提案している<sup>46)</sup>. a-IGZO 薄膜の水素化処理およびその後の UHV 熱処理から得られた上述の結果は, Miyase らの議論を支持しているといえ, a-IGZO 薄膜形成中だけでなく, その後の熱処理によっても取り込まれた水素により Zn 脱離が生じることを明らかにしている. また, a-IGZO 薄膜に取り込まれた水素原子は, 真空準位から約 4.3 eV の準安定サブギャップ準位を誘導し, その後の (UHV) 熱処理により a-IGZO 薄膜中の -OH 結合を形成したことで, Zn-O 関連の化学結合を弱めることによって, 真空準位から約 4.15 eV のサブギャップ状態を形成したといえる. このことは, PITS スペクトルにおけるプリアニーリング温度と P2トラップ準位の増加と同じ挙動であり, a-IGZO 薄膜からの Zn 脱離によって a-IGZO 膜中の CBM 下に約 0.2 eV のトラップ準位が形成されることを明らかとした. また, ポストアニーリング前後による P3トラップ準位の減少も関連している.

最近の ZnO のトラップ準位に関する研究では, E3 で知られる水素関連欠陥は亜鉛欠損欠陥の形成によって水素複合欠陥を誘発すると報告されている<sup>47)</sup>. このように a-IGZO 膜中の亜鉛欠損欠陥の形成は, 様々なトラップ準位の根源になる可能性が示唆され, a-IGZO を用いた TFT の特性に強く影響を与えることが予想される.

これまでに, 様々な温度でプリアニーリングされた a-IGZO から得られた PITS スペクトル (P1~P6) について述べた. TFT の伝達特性との関係を確認するために, 図 3-14(a) に, プリアニーリング温度の違いによる a-IGZO ESL-TFT の伝達特性の変化を示した. 伝達特性から得られた  $V_{th}$  値は, プリアニーリング温度が 300 °C まで上昇するにつれて減少して 300 °C を超えると増加した. この挙動は図 3-5 で示した P4~P6 欠陥の挙動に類似している. TFT の飽和移動度はプリアニーリング温度 250 °C で増加し始めた. この結果は同様に P1 から P3 のトラップ準位の変化に類似している. 表 3.5 に各 TFT の特性パラメータをまとめた.

一方, ポストアニーリング処理後の a-IGZO TFT の伝達特性からは, 正方向への  $V_{th}$  シフトが観察された. PR350 サンプルにおけるポストアニーリング前後の a-IGZO TFT の伝達特性を図 3-14(b) に示す. 図 3-7 で述べた a-IGZO TFT におけるポストアニーリング前後の PITS 測定結果との比較により, この TFT 特性の変化は CBM 下の 0.3 eV のトラップ準位 (P3) の減少との相関が考えられる. 前節において, a-IGZO の電子親和力が真空準位から約 4.0 eV であると仮定すると, a-IGZO 膜中の CBM 下から 0.3 eV に位置するトラップ準位は a-IGZO 薄膜への水素処理後に観測されるサブギャップ準位である可能性が高いことが TPYS を用いた評価によって示された. CBM 下の 0.3 eV の活性化エネルギーは, 室温で伝導帯に電子を供給するには比較的大きいが, ダイヤモンド<sup>48,49)</sup>等のワイドバンドギャップ半導体材料では知られており, トラップ準位密度が非常に大きい場合, 比較的深いサブギャップ状態の活性化効率が増加して, サブギャップ内に不純物バンドが形成されるといわれる<sup>48)</sup>. 図 3-14(b) の結果は水素に関連した浅い準位が影響した可能性もあるが, TPYS により評価した a-IGZO 膜中のサブギャップにはそのような浅い準位は形成されておらず支配的ではなかった. 次章では, これら a-IGZO 膜中に形成されたトラップ準位が TFT の信頼性に及ぼす影響について述べる.

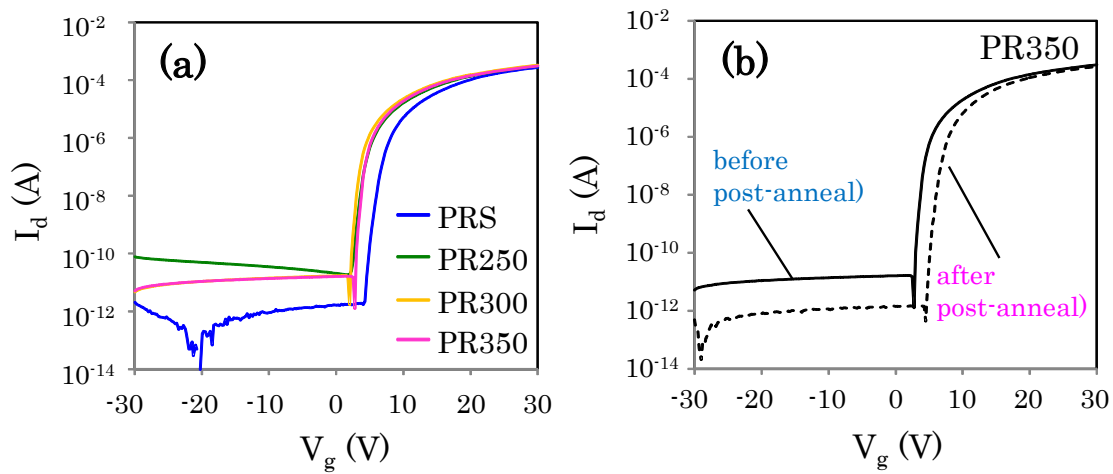


図 3.14 (a) プリアニーリング温度を変化させたときの TFT 伝達特性の変化. 250 °C, 300 °C, 350 °Cでプリアニーリングしたサンプルを PR250, PR300, PR350 と表し, プリアニーリング未適用のサンプルを PRS と表す. ポストアニーリングは未実施とした.

(b) PR350 サンプルのポストアニーリング前後の TFT 伝達特性の比較.

ポストアニーリング前を実線, ポストアニーリング後を破線で示す.

表 3.5 a-IGZO TFT の伝達特性の各項目比較.

	Before post anneal			After post anneal		
	$\mu_{sat}$ (cm <sup>2</sup> /Vs)	$V_{th}$ (V)	$S$ 値 (V/dec.)	$\mu_{sat}$ (cm <sup>2</sup> /Vs)	$V_{th}$ (V)	$S$ 値 (V/dec.)
PRS	7.9	5.8	0.46	9.0	11.5	0.34
PR250	7.3	3.0	0.47	7.4	7.0	0.35
PR300	7.5	2.8	0.30	8.5	8.5	0.39
PR350	7.5	3.6	0.27	8.2	8.2	0.37

### 3.8 まとめ

本章では, ESL 型 a-IGZO TFT のチャネル領域における電子トラップの変化を確認するために, PITS 法をあらたに適用して, TFT 特性に最も影響を与えと考えられる熱処理(プリアニールリング)による電子状態の評価を行った結果について述べた. a-IGZO 膜中に誘起されるトラップ準位の熱処理による変化を PITS 法で評価した結果を述べ, ZnO で報告されるトラップ準位と比較し, その起源について議論した. さらに, トラップ準位の形成に大きな役割を果たすと考えられる水素の効果を検証するために, TPYS を用いて水素化された a-IGZO におけるトラップ準位の変化を評価した結果をまとめた. さらに TFT 特性との対比を行い, トラップ準位が TFT 特性に与える影響について議論を行った.

本章で得られた結論を以下に示す.

- 1) a-IGZO のトラップ準位は熱処理により変化する.
- 2) a-IGZO のトラップ準位の活性化エネルギーは ZnO 中のトラップ準位と類似している. プリアニールリングによりバックチャネルの Zn が欠損し, CBM から約 0.2 eV 下にトラップ準位を形成する.
- 3) TPYS の評価から, プリアニールリング処理した a-IGZO への水素処理により, CBM から約 0.3 eV 下に準安定的な準位が誘起される. この準位は, その後の熱処理により, CBM から約 0.2 eV 下にサブギャップ準位を形成する. これは膜中に取り込まれた水素が熱処理により, Zn-O 結合を切断し, 亜鉛欠損を作ることに起因して形成されることが明らかとなった.
- 4) これらの準位は TFT 特性の導電性 ( $V_{th}$ ,  $\mu_{sat}$ ) に影響をあたえる.

以上の結果は, PITS を用いることで初めて明確にすることができた知見であり, TFT の最適化における重要な基礎データと位置づけることができる.

## 参考文献

- 1) J. H. Jeong, H. W. Yang, J.-S. Park, J. K. Jeong, Y.-G. Mo, H. D. Kim, J. Song, and C. S. Hwang, *Electrochem. Solid-State Lett.* 11, H157 (2008).
- 2) S. Nakano, N. Saito, K. Miura, T. Sakano, T. Ueda, K. Sugi, H. Yamaguchi, I. Amemiya, M. Hiramatsu, A. Ishida, K. Kanomaru, and M. Sawada, *Proceedings of the 18th International Display Workshop*, p. 1271 (2011).
- 3) M. Kimura, T. Nakanishi, K. Nomura, T. Kamiya, and H. Hosono, *Appl. Phys. Lett.* 92, 133512 (2008).
- 4) H. Hosono, K. Nomura, Y. Ogo, T. Uruga, and T. Kamiya, *J. Non-Cryst. Solids* 354, 2796 (2008).
- 5) T. Kamiya, K. Nomura, and H. Hosono, *Sci. Technol. Adv. Mater.* 11, 044305 (2010).
- 6) J.-M. Lee, I.-T. Cho, J.-H. Lee, W.-S. Cheong, C.-S. Hwang, and H.-I. Kwon, *Appl. Phys. Lett.* 94, 222112 (2009).
- 7) J. S. Jung, K. S. Son, K.-H. Lee, J. S. Park, T. S. Kim, J.-Y. Kwon, K.-B. Chung, J.-S. Park, B. Koo, and S. Lee, *Appl. Phys. Lett.* 96, 193506 (2010).
- 8) Cho D.-H., Park S.-H. K., Yang S., Byun C., Cho K. I., Ryu M., Chung S. M., Cheong W.-S., Yoon S. M. and Hwang C.-S., *Proceedings of the 9th International Meeting on Information Display*, p.318 (2009).
- 9) M. Furuta, Y. Kamada, M. Kimura, T. Hiramatsu, T. Mtsuda, H. Furuta, L. Chaoyang, S. Fujita, and T. Hirao, *IEEE Electron Device Lett.* 31, 1257 (2010).
- 10) P. Migliorato, M. D. H. Chowdhury, J. G. Um, M. Seok, and J. Jang, *Appl. Phys. Lett.* 101, 123502 (2012).
- 11) A. Hino, T. Kishi, H. Tao, S. Morita, K. Hayashi, and T. Kugimiya, *ECS J. Solid State Sci. Technol.* 2, P156 (2013).
- 12) S.-Y. Sung, J. H. Choi, U. B. Han, K. C. Lee, J.-H. Lee, J.-J. Kim, W. Lim, S. J. Pearton, D. P. Norton, and Y.-W. Heo, *Appl. Phys. Lett.* 96, 102107 (2010).
- 13) J. Park, S. Kim, C. Kim, S. Kim, I. Song, H. Yin, K. K. Kim, S. Lee, K. Hong, J. Lee, J. Jung, E. Lee, K. W. Kwon, and Y. Park, *Appl. Phys. Lett.* 93, 053505 (2008).
- 14) S.-J. Kim, S.-Y. Lee, Y. W. Lee, S.-H. Kuk, J.-Y. Kwon, and M.-K. Han, *Electrochem. Solid-State Lett.* 15, H108 (2012).
- 15) L. Xifeng, X. Enlong, S. Jifeng, L. Chunya, and Z. Jianhua, *J. Vac. Sci. Technol., A* 31, 031505 (2013).
- 16) J. Y. Bak, S. M. Yoon, S. Yang, G. H. Kim, S.-H. K. Park, and C.-S. Hwang, *J.*

- Vac. Sci. Technol., B 30, 041208 (2012).
- 17) H.-S. Seo, J.-U. Bae, D.-H. Kim, Y. Park, C.-D. Kim, I. B. Kang, I.-J. Chung, J.-H. Choi, and J.-M. Myoung, *Electrochem. Solid-State Lett.* 12, H348 (2009).
  - 18) W. Lim, E. A. Douglas, D. P. Norton, S. J. Pearton, F. Ren, Y.-W. Heo, S. Y. Son, and J. H. Yuh, *Appl. Phys. Lett.* 96, 053510 (2010).
  - 19) K. Nomura, T. Kamiya, and H. Hosono, *Proceedings of the 18th International Display Workshop*, 587 (2011).
  - 20) P. A. Redhead, *Vacuum* Vol.12, Issue 4, 203 (1962).
  - 21) K. Hayashi, A. Hino, H. Tao, Y. Takanashi, S. Morita, H. Goto, and T. Kugimiya, *Mater. Res. Soc. Symp. Vol. 1633*, p.176 (2014).
  - 22) K. Nomura, T. Kamiya, H. Ohta, M. Hirano, and H. Hosono, *Appl. Phys. Lett.* 93, 192107 (2008).
  - 23) M. Kim, J. H. Jeong, H. J. Lee, T. K. Ahn, H. S. Shin, J. S. Park, J. K. Jeong, Y. G. Mo, and H. D. Kim, *Appl. Phys. Lett.*, 90, 212114 (2007).
  - 24) K. Nomura, T. Kamiya, H. Ohta, M. Hirano, and H. Hosono, *Appl. Phys. Lett.* 93, 192107 (2008).
  - 25) V. Quemener, L. Vines, E. V. Monakhov, and B. G. Svensson, *Appl. Phys. Lett.* 100, 112108 (2012).
  - 26) W. Mtangi, F. D. Aurret, W. E. Meyer, M. L. Legodi, P. J. Janse van Rensburg, S. M. M. Coelho, M. Diale, and J. M. Nel, *J. Appl. Phys.* 111, 094504 (2012).
  - 27) A. Hupfer, C. Bhoodoo, L. Vines, and B. G. Svensson, *Appl. Phys. Lett.* 104, 092111 (2014).
  - 28) S. Yasuno, M. Inaba, S. Kosaka, S. Morita, A. Hino, K. Hayashi, T. Kugimiya, Y. Taniguchi, and I. Hirosawa, *Proceedings of the 20th International Display Workshop*, p. 617 (2013).
  - 29) Z. G. Yu, H. Gong, and P. Wu, *J. Cryst. Growth* 287, 199 (2006).
  - 30) M. Marezio, *Acta Crystallogr.* 20, 723 (1966).
  - 31) K. Kato, I. Kawada, N. Kimizuka, and T. Katsura, *Z. Kristallogr.* 141, 314 (1975).
  - 32) K. Nomura, T. Kamiya, H. Ohta, T. Uruga, M. Hirano, and H. Hosono, *Phys. Rev. B* 75, 035212 (2007).
  - 33) S. Geller, *J. Chem. Phys.* 33, 676 (1960).
  - 34) T. Kamiya and H. Hosono, *ECS Trans.* 54, 103 (2013).
  - 35) K. Nomura, T. Kamiya, and H. Hosono, *ECS J. Solid State Sci. Technol.* 2, P5 (2013).
  - 36) T. Kamiya, K. Nomura, and H. Hosono, *J. Disp. Technol.* 5, 273 (2009).

- 37) A. Sate, K. Abe, R. Hayashi, H. Kumomi, K. Nomura, T. Kamiya, M. Hirano, and H. Hosono, *Appl. Phys. Lett.* 94, 133502 (2009).
- 38) H. Kumomi, S. Yaginuma, H. Omura, A. Goyal, A. Sato, M. Watanabe, M. Shimada, N. Kaji, K. Takahashi, M. Ofuji, T. Watanabe, N. Itagaki, H. Shimizu, K. Abe, Y. Tateishi, H. Yabuta, T. Iwasaki, R. Hayashi, T. Aiba, and M. Sano, *J. Disp. Technol.* 5, 531 (2009).
- 39) L. Shao, K. Nomura, T. Kamiya, and H. Hosono, *Electrochem. Solid-State Lett.* 14, H197 (2011).
- 40) S.-H. Yanaga, J. Y. Kima, M. J. Parka, K.-H. Choib, J. S. Kwaka, H.-K. Kimb, and J.-M. Lee, *Surf. Coat. Technol.* 206, 5067 (2012).
- 41) T. Kamiya, K. Nomura, and H. Hosono, *Phys. Status Solidi A* 207, 1698 (2010).
- 42) J. B. Cui, J. Ristein, and L. Ley, *Phys. Rev. Lett.* 81, 429 (1998).
- 43) D. Takeuchi, H. Kato, G. S. Ri, T. Yamada, P. R. Vinod, D. Hwang, C. E. Nebel, H. Okushi, and S. Yamasaki, *Appl. Phys. Lett.* 86, 152103 (2005).
- 44) D. Takeuchi, C. E. Nebel, and S. Yamasaki, *Diamond Relat. Mater.* 16, 823 (2007).
- 45) *CRC Handbook of Chemistry and Physics: A Ready-Reference Book of Chemical and Physical Data*, 86th ed., edited by D. R. Lide (CRC Press, Boca Raton, FL, 2005).
- 46) T. Miyase, K. Watanabe, I. Sakaguchi, N. Ohashi, K. Domen, K. Nomura, H. Hiramatsu, H. Kumomi, H. Hosono, and T. Kamiya, *ECS J. Solid State Sci. Technol.* 3, Q3085 (2014).
- 47) A. Hupfer, C. Bhodoo, L. Vines, and B. G. Svensson, *Mater. Sci. Semicond. Process.* 69, 13 (2017).
- 48) *Diamond: Electronic Properties and Applications*, edited by L. S. Pan and D. R. Kania (Kluwer Academic, Boston, MA, 1995).
- 49) A. Denisenko and E. Kohn, *Diamond Relat. Mater.* 14, 491 (2005).

## 第 4 章 ESL-TFT におけるストレス信頼性と a-IGZO チャネル領域の電子状態の相関

### 4.1 はじめに

半導体中のトラップ準位は, MOS ダイオード構造を用いて DLTS 法および ICTS 法によって特徴付けられることが多い<sup>1-5)</sup>. しかし, a-IGZO TFT のチャネル領域は絶縁層である ESL によって完全に覆われているため, そのチャネル領域のトラップ準位を評価することは容易ではない. そのため, 第 3 章では実際の TFT 構造で評価が可能な PITS 法を適用し, a-IGZO 薄膜から得られたトラップ準位のエネルギー分布は ZnO で観測されたものとよく一致することを説明した. また, a-IGZO TFT のチャネル領域におけるトラップ準位は, 熱処理プロセス中に亜鉛, 酸素もしくは水素関連欠陥の導入に起因すると考えられることを述べた.

a-IGZO TFT の特性は, a-IGZO 薄膜の電子状態, 特に, CBM 下に位置するトラップ準位によって支配されることは広く認識されている. しかしながら, そのトラップ準位は TFT 製造中のプロセス条件に強く影響を受けて変化するため, その現象の理解を困難にしている. たとえば, Toda らは, ESL 層から a-IGZO 膜中への水素拡散の影響を定量的に分析し, a-IGZO 膜中に取り込まれた水素が ESL 層との界面のトラップ準位を不動態化し, ほとんどすべての水素がドナーとして作用することを指摘した<sup>6)</sup>. また, Domen らは, a-IGZO TFT における PBTS 試験による不安定性の原因は中性水素であると説明している<sup>7)</sup>. 逆に, 酸素の流れが a-IGZO TFT の電気的特性および信頼性に影響を及ぼすという報告もある. Lee らは, 多周波 C-V 測定から a-IGZO 膜中のサブギャップ密度を算出し, 過剰酸素もしくは弱結合酸素のような酸素関連欠陥がアクセプタライクなトラップ準位として振る舞うと報告した<sup>8)</sup>. また, Ji らは, 高圧酸素熱処理の実験により, NBTIS 試験による不安定性は酸素欠損関連欠陥に起因する可能性があると主張している<sup>9)</sup>. このようにいまだ統一されたメカニズムが無いのが実情である.

第 3 章では, a-IGZO 薄膜のプリアニリングによって, 亜鉛欠損が誘発されることを述べた. その起源は, a-IGZO 薄膜への水素の取り込みとその後の熱処理であり, それらに起因する a-IGZO 膜中のサブギャップ準位の形成について明らかにしてきた. 一方, ESL 型 a-IGZO TFT の場合, a-IGZO TFT の特性は ESL 層を形成する PECVD-SiO<sub>x</sub> 膜の成膜条件によって大きく変化することが知られている<sup>10,11)</sup>. しかし, ESL 成膜に対する a-IGZO TFT のチャネル領域のトラップ準位とストレス信頼性との相関については, 十分な議論がなされていない. このため, 本章では, a-IGZO チャネル領域の水素に関連したトラップ準位が a-IGZO 薄膜の成膜条件ならびに ESL 層の成膜条件により受ける影響を PITS 法により評価し, a-IGZO TFT の信頼性の中で最も重要とされる NBTIS に対する信頼性との相関につ



いて調査した。

一方, a-IGZO 薄膜の構成元素である Zn 量の違いが a-IGZO TFT のチャネル領域のトラップ準位やストレス信頼性に及ぼす影響について十分な知見が得られていない。a-IGZO TFT のチャネル領域のトラップ準位は, 亜鉛欠損の誘発をはじめ, 亜鉛, 酸素もしくは水素関連欠陥の導入と密接に関係することが考えられるため, a-IGZO 薄膜の Zn 添加量の影響を評価した。

さらに, PV 層が a-IGZO TFT のストレス信頼性に及ぼす影響が懸念される。一般に, ESL 型 a-IGZO TFT では ESL 層には  $\text{SiO}_x$  膜が採用され, その上層に配置される PV 層においても  $\text{SiO}_x$  膜が多用される。 $\text{SiO}_x$  膜は H および  $\text{H}_2\text{O}$  に対するバリア性が低いことでも知られる<sup>12)</sup>。そのため, 水分等の外部環境が TFT 特性に影響を及ぼすことが報告されており, PV 層の最上層への PECVD- $\text{SiN}_x$  膜の組み合わせが推奨される<sup>13)</sup>。しかし,  $\text{SiN}_x$  膜は  $\text{SiO}_x$  膜に比べて水素原子を多く含むことから, その製造プロセス中に  $\text{SiN}_x$  層から a-IGZO 薄膜に水素が取り込まれることによるトラップ準位の変化およびストレス信頼性に与える影響を評価した。

## 4.2 a-IGZO および ESL 成膜が a-IGZO のトラップ準位に与える影響

### 4.2.1 DC マグネトロンスパッタ法による IGZO 成膜条件

a-IGZO の成膜(膜厚 40 nm)は,  $\text{O}_2$  および Ar の混合ガスを用いた DC マグネトロンスパッタ法により行った。総ガス流量を 25 sccm に固定し, 酸素分圧を 4, 12, 20%とした。また, 全ての成膜条件において, ガラス基板はステージ上で加熱を行わずに室温とし, 到達真空度  $\leq 10^{-3}$  Pa を確認後に, ガス圧を 0.13 Pa に固定して成膜を行った。詳細な成膜条件を表 4.1 にまとめた。酸素分圧が大きくなるにつれて, 成膜速度は小さくなる傾向を示した。

表 4.1 a-IGZO 薄膜の成膜条件.

酸素分圧 (%)	4%	12%	20%
(成膜ガス流量 Ar/O <sub>2</sub> 比 (sccm))	(24/1)	(22/3)	(20/5)
成膜圧力 (Pa)	0.13	0.13	0.13
成膜電力(DC) (W)	200	200	200
成膜温度 (°C)	R.T.	R.T.	R.T.
基板・ターゲット間距離 (mm)	155	155	155
成膜速度 (nm/min)	10.0	8.3	7.0

#### 4.2.2 PECVD 法による ESL 成膜条件

ESL 層(膜厚 100 nm)は, N<sub>2</sub>O 及び SiH<sub>4</sub> をプロセスガスとして PECVD によって SiO<sub>x</sub> 膜を形成した. 基板温度は 230 °C に固定し, 成膜ガス流量比は N<sub>2</sub>O/SiH<sub>4</sub> = 100/4 sccm を標準に, SiH<sub>4</sub>/N<sub>2</sub>O = 4/100, 6/150, 10/250 sccm の3水準とした. ESL 層の詳細な成膜条件を表 4.2 に示した. 成膜ガス流量の合計が大きくなるにつれて, 成膜速度は大きくなった.

成膜条件の違いによる SiO<sub>x</sub> 膜中の水素量は反跳粒子検出分析(Elastic Recoil Detection Analysis: ERDA)を用いて分析を行うことができる. SiO<sub>x</sub> 膜中の水素量は SiH<sub>4</sub> ガス流量が多いほど大きくなり, それぞれ 4.3 at%, 5.9 at%, 7.9 at%を示した.

表 4.2 ESL 層 SiO<sub>x</sub> 膜の成膜条件.

成膜ガス流量 SiH <sub>4</sub> /N <sub>2</sub> O (sccm)	4/100	6/150	10/250
成膜圧力 (Pa)	133	133	133
成膜電力 (W)	100	100	100
(RF 13.56MHz)			
成膜温度 (°C)	230	230	230
成膜速度 (nm/min)	27.4	41.8	72.5
膜中水素量 (at%)	4.3	5.9	7.9

### 4.2.3 a-IGZO 成膜および ESL 成膜によるトラップ準位の変化

表 4-3 に a-IGZO TFT のプロセス条件と対応するサンプル名をまとめて記載した。図 4-1(a)に、異なる酸素分圧で成膜した a-IGZO 薄膜から得られた PITS スペクトルを示した。PITS-1, PITS-2 および PITS-3 の a-IGZO 成膜時の酸素分圧はそれぞれ 4%, 12%および 20%であり、ESL 層である  $\text{SiO}_x$  成膜時の  $\text{SiH}_4/\text{N}_2\text{O}$  のガス流量比は 4/100sccm に固定した。また、ポストアニーリングは窒素雰囲気中で 250 °C, 0.5 hr の条件で実施した。PITS-1 は 3 章の図 3-7 と同一条件であり、ほぼ一致するように  $b1$  の P2 ピークが顕著に観測されている。また、a-IGZO 成膜時の酸素分圧が増加するにつれて、 $b1$  の P2 ピーク強度が減少した。それにともない、図 4-1(a)の挿入図に示すように、 $b1$  の高温側の P4 ピークに相当するブロードな信号が現れた。一方、ESL 成膜時の  $\text{SiH}_4/\text{N}_2\text{O}$  ガス流量を 6/150 sccm に変更したときの a-IGZO 薄膜から得られた PITS スペクトルを図 4-1(b)に示す。ここで、PITS-4, PITS-5 および PITS-6 の a-IGZO 成膜時の酸素分圧はそれぞれ 4%, 12%および 20%である。図 4-1(b)の PITS スペクトルはいずれも  $b1$  の P2 ピークが観測されており、この P2 ピークは図 4-1(a)の同様のピークに対して高温側に広がりをもつ信号に変化した。また、 $b1$  の P4 ピーク強度が顕著に増大することを確認した。これらの図 4-1(a)と(b)の結果から、同一の a-IGZO の成膜条件において、ESL 成膜時の  $\text{SiH}_4/\text{N}_2\text{O}$  ガス流量の増加により( $\text{SiH}_4/\text{N}_2\text{O} = 6/150$  sccm),  $b1$  の P2 ピークのブロードニングと P4 ピークの増大が明確に観察された。さらに  $\text{SiH}_4/\text{N}_2\text{O}$  ガス流量を増加した場合は( $\text{SiH}_4/\text{N}_2\text{O} = 10/250$  sccm), a-IGZO 膜中への過剰な水素導入と想定される a-IGZO 薄膜の著しい導電率の増加がみられたため、PITS 測定は行わなかった。

第 3 章では、DLTS 法を用いた ZnO で抽出された欠陥と PITS 法で評価した a-IGZO 薄膜における欠陥の類似性について議論した。a-IGZO 薄膜は熱処理によって、亜鉛欠損欠陥 (ZnO の E2)に関連する 0.2 eV 程度の P2トラップ準位、および、酸素欠損欠陥もしくは亜鉛過剰欠陥 (ZnO の E4)に関連する 0.4–0.5 eV 程度の P4トラップ準位が形成されることを説明した。とくに、a-IGZO 成膜時の酸素分圧の違いによる a-IGZO 薄膜のトラップ準位の形成に及ぼす影響を明確にするには、図 3-1 で述べた酸素分圧違いによる a-IGZO 薄膜から得られた TDS スペクトルや図 3-2 で述べた酸素分圧違いによる a-IGZO 薄膜から得られた SIMS プロファイルが有効であり、これらの結果は、a-IGZO 膜中の H および OH の含有量や結合状態が a-IGZO 成膜時の酸素分圧に依存することを示した。

これらの知見を踏まえ、以下、図 4-1(a)と(b)で得られた PITS スペクトルの主要なピークについて議論する。まず、4/100 sccm の  $\text{SiH}_4/\text{N}_2\text{O}$  流量比により作製された ESL 層を用いた TFT の場合(図 4-1(a))、4%酸素分圧の a-IGZO 薄膜では、図 3-1 により、20%酸素分圧の a-IGZO 薄膜よりも  $\text{H}_2\text{O}$  および Zn の脱離温度が低温化していることから、プリアニーリングによる亜鉛欠損欠陥によるトラップ準位が関連づけられたといえる。さらに、20%酸素分圧の a-IGZO 薄膜では、図 3-2 により、4%酸素分圧の a-IGZO 薄膜よりも膜中に残存する H およ

び OH が多く, Zn-O 結合への H の導入による不對亜鉛結合の存在を示している. よって, 20%酸素分圧の a-IGZO 薄膜との組み合わせでは, a-IGZO に誘起された亜鉛過剰欠陥が関連付けられたといえる.

一方, 6/150 sccm の  $\text{SiH}_4/\text{N}_2\text{O}$  流量比により作製された ESL 層を用いた TFT の場合 (図 4-1(b)), PITS スペクトルは *b1* の P2 ピークの広がりが確認された. そのため, トラップ準位形成に対する  $\text{SiH}_4/\text{N}_2\text{O}$  流量の影響を明らかにするために, 異なる  $\text{SiH}_4/\text{N}_2\text{O}$  ガス流量で成膜した ESL 層と組み合わせた素子を用いて PITS 測定を行った. 図 4-2 に, 4% 酸素分圧の a-IGZO 薄膜を用いて, 2/50, 4/100, 6/150, 8/200, 10/250 sccm の 5 水準の  $\text{SiH}_4/\text{N}_2\text{O}$  ガス流量で作製した ESL 層と組み合わせて評価した PITS スペクトルを示す.  $\text{SiH}_4/\text{N}_2\text{O}$  流量の増加にともない, PITS スペクトルである *b1* のピークが高温側に広くなることがわかる. この傾向は図 4-1 に示す傾向に一致しており, さらに, 水準を増やすことにより, PITS スペクトルの *b1* は 160K 付近にピークをもつ信号に変化したことから,  $\text{SiH}_4/\text{N}_2\text{O}$  流量の変更は P3 トラップ準位の形成に関連するといえる (10/250 sccm のサンプルは漏れ電流が大きいため過渡電流を測定することができなかった). これまで述べたように, ZnO の先行研究により, E3 として知られているトラップ準位は CBM の 0.3 eV 下に位置する水素原子を含む欠陥に起因することが明らかになっている<sup>3)</sup>. 8/200 sccm のサンプルから算出された 0.3 eV の活性化エネルギーは, この ZnO の水素由来の欠陥の活性化エネルギーと一致しており, PITS スペクトルである *b1* の P2 ピークの広がり, 水素関連トラップ準位の増加を含むことを示唆する.  $\text{SiH}_4/\text{N}_2\text{O}$  流量の増加は a-IGZO のサブギャップのドナー準位の形成を増加する可能性が示された.

本項で述べた PITS 測定から得られた評価結果をまとめる. 酸素分圧 (4%) および低  $\text{SiH}_4/\text{N}_2\text{O}$  流量 (4/100 sccm) の場合, PITS スペクトルの *b1* の P2 ピークはブリアニールンによる a-IGZO の亜鉛欠損欠陥に起因して観察された. 一方, より高い酸素分圧 (20%) の条件では, a-IGZO 中に -OH 結合の形成により P4 ピークが増加しており, 亜鉛過剰欠陥の形成がもたらされた. 高  $\text{SiH}_4/\text{N}_2$  流量条件を適用した ESL 成膜により, サブギャップにおける水素関連トラップ準位の形成にともなう P3 ピークによる信号の広がりが生じるとともに, 高酸素分圧 (20%) 条件における亜鉛過剰欠陥による P4 ピークのさらなる増加が確認された.

表 4.3 プロセス条件と TFT 特性の一覧.

Sample	O <sub>2</sub> p/p for deposition(%)	SiH <sub>4</sub> /N <sub>2</sub> O flow rate (sccm)	TFT performances			
			$\mu_{sat}$	$S$ 値	$V_{th}$	$\Delta V_{th}$ after 2h-NBTIS
			(cm <sup>2</sup> /Vs)	(V/dec.)	(V)	(V)
PITS-1/TFT-1	4	4/100	9.41	0.65	8.25	-2.5
PITS-2/TFT-2	12	4/100	8.18	0.78	6.75	-3.5
PITS-3/TFT-3	20	4/100	9.82	0.82	5.50	-5.0
PITS-4/TFT-4	4	6/150	9.39	0.50	2.75	-6.0
PITS-5/TFT-5	12	6/150	8.36	0.61	2.00	-6.0
PITS-6/TFT-6	20	6/150	10.48	0.47	1.75	-6.0
PITS-7/TFT-7	4	10/250	No operation			
PITS-8/TFT-8	12	10/250	No operation			
PITS-9/TFT-9	20	10/250	No operation			

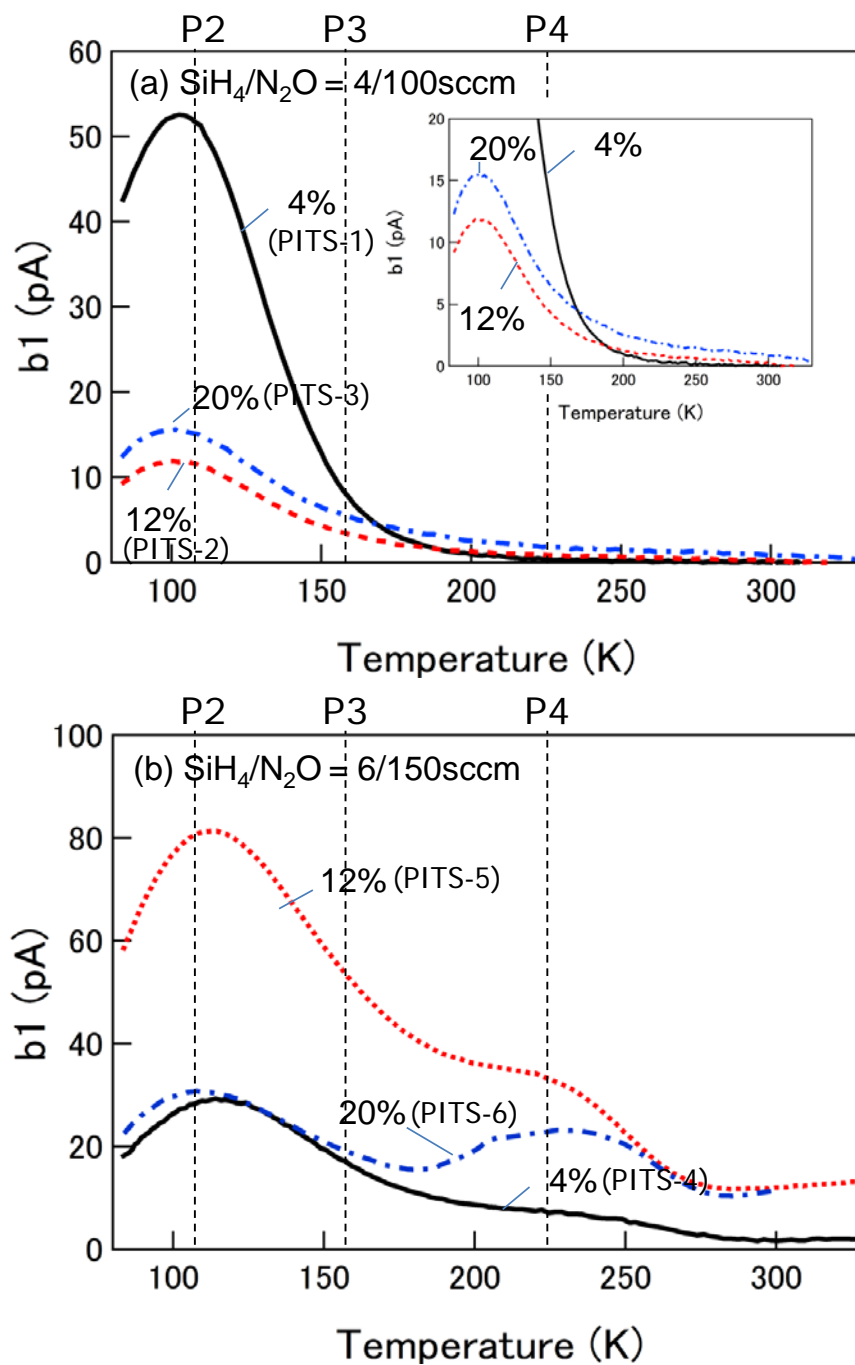


図 4-1 酸素分圧 4, 12, 20%で成膜した a-IGZO 薄膜から得られた PITS スペクトル.  
 評価用素子は ESL-TFT と同一プロセスで作製された. ESL 層は, (a)  $\text{SiH}_4/\text{N}_2\text{O} = 4/100$  sccm (PITS-1~3), (b)  $\text{SiH}_4/\text{N}_2\text{O} = 6/150$  sccm (PITS-4~6)で成膜した.

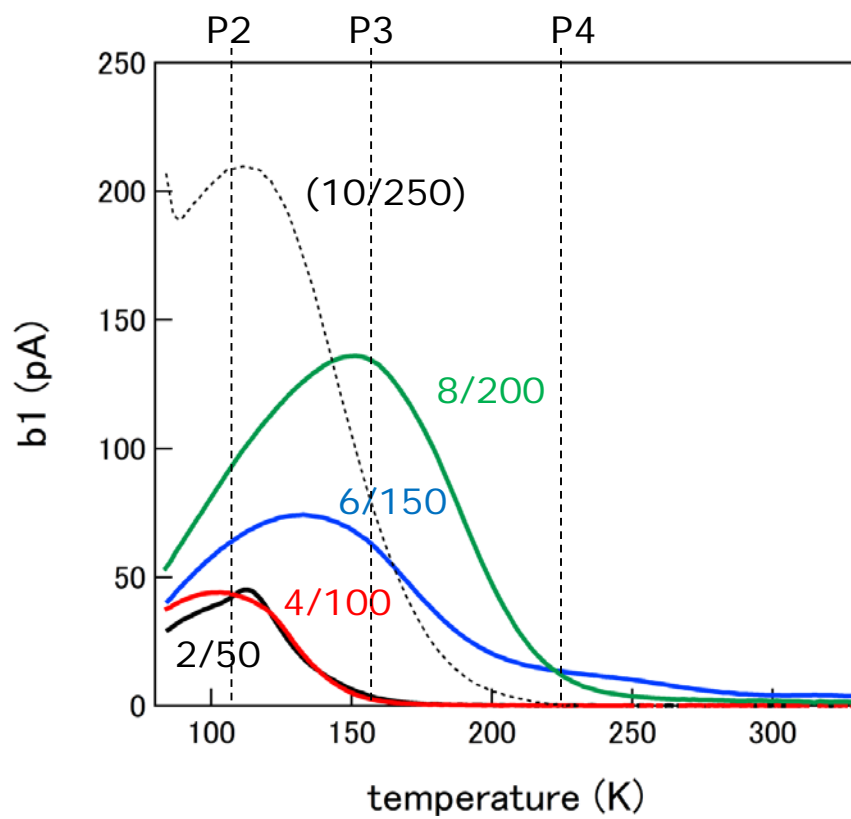


図 4-2 4% 酸素分圧で堆積された a-IGZO 薄膜から得られた PITS スペクトルの ESL 成膜  $\text{SiH}_4/\text{N}_2\text{O}$  流量の依存性. 評価用素子は ESL-TFT と同一プロセスで作製された.

#### 4.2.4 トラップ準位と TFT ストレス信頼性の比較

図 4-3(a), (b)および(c)に, 4, 12, 20%酸素分圧で成膜された a-IGZO 薄膜を半導体層とした ESL-TFT(TFT-1~TFT-3)の 2 時間の NBTIS 試験(2h-NBTIS)による伝達特性の変化を示す. ESL 層は 4/100 sccm の  $\text{SiH}_4/\text{N}_2\text{O}$  流量で成膜した. a-IGZO 成膜時の酸素分圧の増加は NBTIS 試験における a-IGZO TFT の特性劣化を誘発しており, NBTIS 試験後の  $V_{th}$  シフト( $\Delta V_{th}$ )は TFT-1 では-2.5 V であるのに対し, TFT-2 および TFT-3 の  $\Delta V_{th}$  は, それぞれ-3.5 V および-5.0 V であった. また, 高酸素分圧条件では, NBTIS 試験によって伝達特性にハンプ状の変化が顕著に見られており, 高酸素分圧ほどハンプ幅は大きくなった. 図 4-3 (d), (e)および(f)に, 6/150 sccm の  $\text{SiH}_4/\text{N}_2\text{O}$  流量で ESL 成膜を行った a-IGZO TFT (TFT-4~TFT-6) から得られた伝達特性の変化を示す.  $\text{SiH}_4/\text{N}_2\text{O}$  流量の増加により, 2h-NBTIS 試験後の大幅な  $\Delta V_{th}$  の増加が観察されており, NBTIS 試験後のこれら TFT (TFT-4~TFT-6)の  $\Delta V_{th}$  は-6.0 V であった. また,  $\text{SiH}_4/\text{N}_2\text{O}$  流量の増加により, ハンプの高さが増加する傾向がみられた. 10/250 sccm の  $\text{SiH}_4/\text{N}_2\text{O}$  流量で ESL 成膜を行った TFT は PITS 測定から予想されたように, OFF 状態が現れず, TFT 動作を示さなかった.

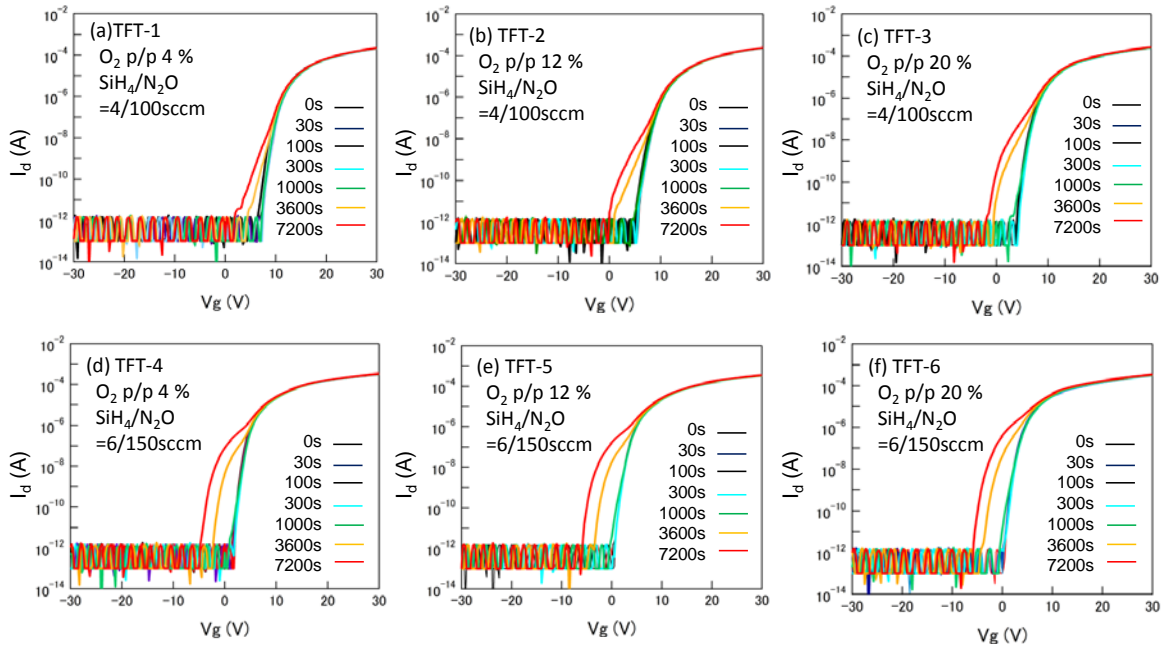


図 4-3 a-IGZO ESL-TFT から得られた NBTIS 試験による伝達特性の変化.

(a) TFT-1 (4%酸素分圧,  $\text{SiH}_4/\text{N}_2\text{O}$  = 4/100 sccm), (b) TFT-2 (12%酸素分圧,  $\text{SiH}_4/\text{N}_2\text{O}$  = 4/100 sccm), (c) TFT-3 (20%酸素分圧,  $\text{SiH}_4/\text{N}_2\text{O}$  = 4/100 sccm), (d) TFT-4 (4% 酸素分圧,  $\text{SiH}_4/\text{N}_2\text{O}$  = 6/100 sccm), (e) TFT-5 (12%酸素分圧,  $\text{SiH}_4/\text{N}_2\text{O}$  = 6/100 sccm), (f) TFT-6 (20%酸素分圧,  $\text{SiH}_4/\text{N}_2\text{O}$  = 6/100 sccm). TFT-7~9 は TFT 動作を示さなかった.



図 4-4 に 10 時間の NBTIS 試験(10h-NBTIS)における時間を関数とした  $V_{th}$  の変化を示した。すべての TFT の  $V_{th}$  の値は 1000 sec の NBTIS 試験にかけられた後に減少しており、その  $V_{th}$  の変動はストレス時間とともに対数減少を示すことがわかる。TFT-2 および TFT-3 の場合には、飽和する傾向がある一方で、ESL 成膜時の  $\text{SiH}_4/\text{N}_2\text{O}$  流量が 6/150 sccm である TFT-4, 5 および 6 の場合には、a-IGZO 成膜中の酸素分圧にかかわらず、実質的に同じ特性を示した。a-IGZO TFT と PITS 評価用素子の構造と作製プロセスは共通しているため、a-IGZO 膜中に形成されるトラップ準位は NBTIS 試験に対するストレス信頼性に影響を及ぼすといえる。デバイスシミュレーションにより、様々なエネルギー分布および空間分布を有するトラップ準位は TFT 伝達特性の正側もしくは負側シフトを引き起こすことが報告がされている<sup>14,15)</sup>。今回の NBTIS 試験による変化はハンプをともなった負側の  $V_{th}$  シフトが確認されていることから、固定電荷もしくは CBM から離れた深い準位というよりもむしろ、フェルミ準位に近接して位置するトラップ準位の存在が示唆される。また、TFT のオン動作に影響を与えていないことから、電子を放出することによって正電荷を提供するドナーライク欠陥が想定される。

a-IGZO 薄膜の水素原子に関連した欠陥は、サブギャップ中でドナー準位として振る舞う傾向があることから<sup>16-20)</sup>、 $V_{th}$  シフトの起源の可能性のひとつとして挙げられる。また、PITS スペクトルの  $b1$  の P2 ピークに相当する a-IGZO 薄膜中の亜鉛欠損欠陥に関しては、第 3 章の TYPIS 分析により、水素ラジカル照射によって誘発されたトラップ準位は UHV 熱処理中によって真空レベルから 4.3 eV から 4.15 eV に変化したことを説明した。そのため、これらの P2 トラップ準位は条件によって、P3 トラップ準位(水素関連欠陥)と P2 トラップ準位(亜鉛欠損欠陥)に割り当てられるといえる。また、図 4-4 の  $V_{th}$  の時間依存性はストレス時間に対して対数的に減少することを示した。この関係は文献で頻繁に報告されており、トラップ準位の形成はポテンシャル障壁による反応から生じると説明されている<sup>21)</sup>。そのため、ストレス時間に対して、a-IGZO 膜中のドナーライクな欠陥準位が増加し、負電圧側に  $V_{th}$  シフトを向かわせた可能性が考えられる。一方、PITS スペクトルの  $b1$  の P4 ピークに係わるトラップ準位(亜鉛過剰欠陥)の活性化エネルギーは比較的大きいと考えられ、このことはトラップ準位がフェルミ準位の下に位置することと同義である。よって、そのトラップ準位がアクセプタを補償するように振る舞う場合には、トラップ準位密度を減少させることにより、 $V_{th}$  は負側にシフトすることになる(アクセプタライク欠陥は電子の捕獲により負電荷を形成する)。しかし、ハンプ状の変化はドナーライク準位の形成を示唆していることから、このようなトラップ準位は  $V_{th}$  シフトに支配的な影響を与えていないと考えられる。

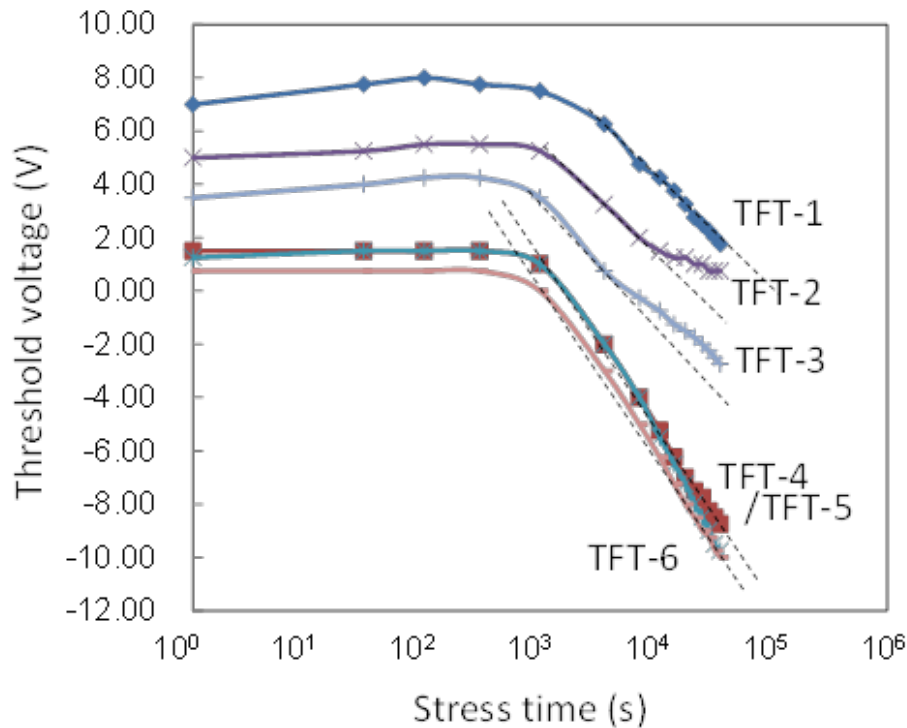


図 4-4 10h-NBTIS 試験のストレス時間を関数とする  $V_{th}$  値の変化.

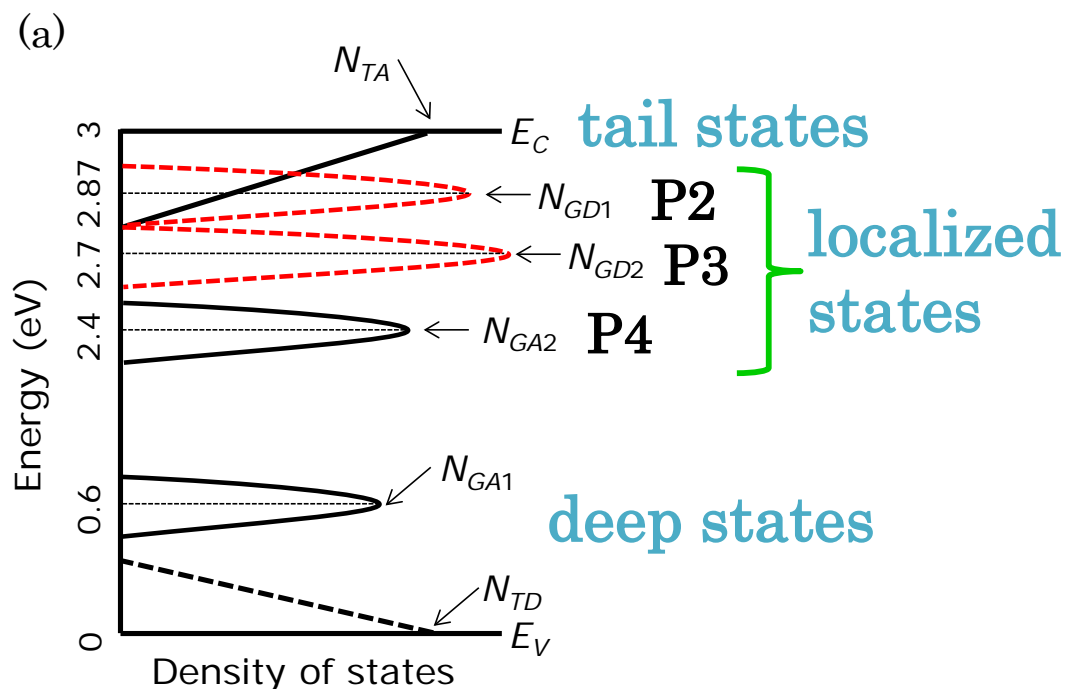
以上のことをまとめると、低酸素分圧で作製した  $\alpha$ -IGZO 薄膜および低  $\text{SiH}_4/\text{N}_2\text{O}$  流量で作製した ESL 層を用いて作製された TFT (TFT-1) ではキंक電流の現象をともなう TFT 特性劣化が観察された. このキंक現象はチャネル領域の  $\alpha$ -IGZO 膜中の亜鉛欠損欠陥に関連しているといえる. 一方で、高酸素分圧の  $\alpha$ -IGZO 薄膜および高  $\text{SiH}_4/\text{N}_2\text{O}$  の ESL 層によって作製された TFT (TFT-6) では、 $\alpha$ -IGZO 膜中の水素関連欠陥および亜鉛過剰欠陥の存在が PITS スペクトルおよび  $\alpha$ -IGZO 薄膜の熱放出に関する分析結果 (3 章参照) から示されている. しかしながら、NBTIS 試験によるハンプをともなう変化は、活性化エネルギーが比較的大きい亜鉛過剰欠陥に起因するトラップ準位ではなく、水素原子が ESL 成膜中に  $\alpha$ -IGZO 薄膜に取り込まれることにより、 $\alpha$ -IGZO に水素関連トラップ準位および -OH 結合が形成され、さらに、 $\alpha$ -IGZO 薄膜のバックチャネル表面近傍では亜鉛原子の脱離が促進されている可能性が高い. 図 4-4 で示されたように、すべてのサンプルの  $V_{th}$  シフト挙動において 1000 sec までのインキュベーションが観察された ( $V_{th}$  が 1000 sec までほぼ同一値を示した). ESL 層から  $\alpha$ -IGZO 薄膜への水素拡散が報告されていることから<sup>10)</sup>、NBTIS 試験中に ESL-SiO<sub>x</sub> 膜、PV-SiN<sub>x</sub> 膜のような水素含有層から  $\alpha$ -IGZO 薄膜への水素の取り込みが生じ、負側に  $V_{th}$  がシフトしたと考えられる. また、NBTIS 試験後の伝達特性の詳細な形状は実験によって異なっている. このことは、 $V_{th}$  シフトに関与する支配的なトラップ準位のエネルギーレベルや部分的な分布が変化したことを示唆している.

#### 4.2.5 デバイスシミュレーションによるトラップ準位の解析

a-IGZO 膜中のサブギャップ準位が TFT 特性に及ぼす影響について, TCAD(ATLAS, SILVACO)を用いたデバイスシミュレーションにより調査した. 図 4-5 に Fujii らによって報告された状態密度(DOS)モデルを参考に, 今回のデバイスシミュレーションに用いた DOS モデルを示す<sup>14)</sup>.  $N_{GA}$  および  $N_{GD}$  はガウス分布のアクセプタリクトラップ準位およびドナーライクトラップ準位のピークとなるトラップ準位密度である.  $N_{TA}$  は伝導帯端におけるアクセプタリクトラップ準位密度であり,  $N_{TD}$  は価電子帯端におけるドナーライクトラップ準位密度を示し, ともに裾状準位である. また,  $N_{GD1}$ ,  $N_{GD2}$  および  $N_{GA2}$  のエネルギーレベルはそれぞれ P2, P3 および P4 を仮定しており, 価電子帯に近い  $N_{GA1}$  を合わせて, 価電子帯  $E_v$  を 0 V に, それぞれ 2.87 eV, 2.7 eV, 2.4 eV および 0.6 eV と設定した.

図 4.6(a)に P3 のトラップ準位密度を増加したときの TFT 伝達特性の変化を, 図 4.6(b)に P2 のトラップ準位密度を増加したときの変化を示す. P3 のトラップ準位密度が増加するほどハンパ幅が増加し, P2 のトラップ準位密度が増加するほどハンパ高さが増加することがわかる. また,  $V_{th}$  シフトの時間依存性から, ESL 層からの水素拡散によるトラップ準位の変化が示唆されていた. そのため, デバイスシミュレーションにより, P3 のトラップ準位密度が変化することでストレス後の TFT 特性が変化し, TFT-4~TFT-6 の結果が再現された. 図 4.7(a)に半導体層全体に P2 を指定し, チャネル領域に P3 のトラップ準位が  $1.0 \times 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$  で存在すると指定した. P3 の存在領域がバックチャネル側から 1, 5, 10, 20, 40 nm と深くなると仮定して計算を行うと, これら局在準位領域が深くなるにしたがって  $V_{th}$  が負電圧側にシフトした. 低電流領域のハンパは明らかなこぶ状ではなく, 裾を引いたような増減を示し, TFT-1 の結果を定性的に再現していることがわかる. また, 図 4.7(b)に半導体層全体に P3 トラップ準位を指定し, チャネル領域のバックチャネル側から 5 nm 深さの領域に P2 トラップ準位が存在すると指定した. P2 トラップ準位の密度を変えて計算することにより( $0, 5.0 \times 10^{17} \text{ cm}^{-3} \text{ eV}^{-1}, 1.0 \times 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}, 2.0 \times 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}, 3.0 \times 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$ ), 条件によってハンパが生じた定電流領域でより顕著な  $V_{th}$  の負電圧側へのシフトを示しており, TFT-3 の結果を定性的に再現した.

これらのシミュレーション結果により, 前節で述べた a-IGZO チャネル領域のサブギャップ準位の形成によって, TFT の伝達特性が平行に変化するのではなく, ハンパ形状をともなった変化をすることが明らかになった. とくに, PITS 評価により存在が示された P2 および P3 のトラップ準位はドナーライクな準位として働き, それらのトラップ準位の密度が変わることにより, ハンパの幅や高さが変わることを確認した. さらに, a-IGZO バックチャネル側からの深さ方向のトラップ準位密度の変化によってもハンパ形状が変化することを確認した. TFT への NBTIS ストレス印加によって, これらトラップ準位密度が変化し, TFT の伝達特性が変化したといえる. このように, ストレス印加によって生じる TFT の伝達特性の変化は, 異なるプロセス条件により作製された TFT でその影響が異なることが示された.



(b)

設定パラメータ

$N_{TA}$		$N_{GD1}$ (P2)			$N_{GD2}$ (P3)		
density (/cm <sup>3</sup> ·eV)	width (eV)	density (/cm <sup>3</sup> ·eV)	level (eV)	width (eV)	density (/cm <sup>3</sup> ·eV)	level (eV)	width (eV)
2.0E+18	0.03	任意	2.87	0.1	任意	2.7	0.1
$N_{TD}$		$N_{GA2}$ (P4)			$N_{GA1}$		
density (/cm <sup>3</sup> ·eV)	width (eV)	density (/cm <sup>3</sup> ·eV)	level (eV)	width (eV)	density (/cm <sup>3</sup> ·eV)	level (eV)	width (eV)
3.0E+17	0.2	1.0E+17	2.4	0.6	5.0E+16	0.6	0.3

図 4-5 デバイスシミュレーションで用いた DOS モデル.

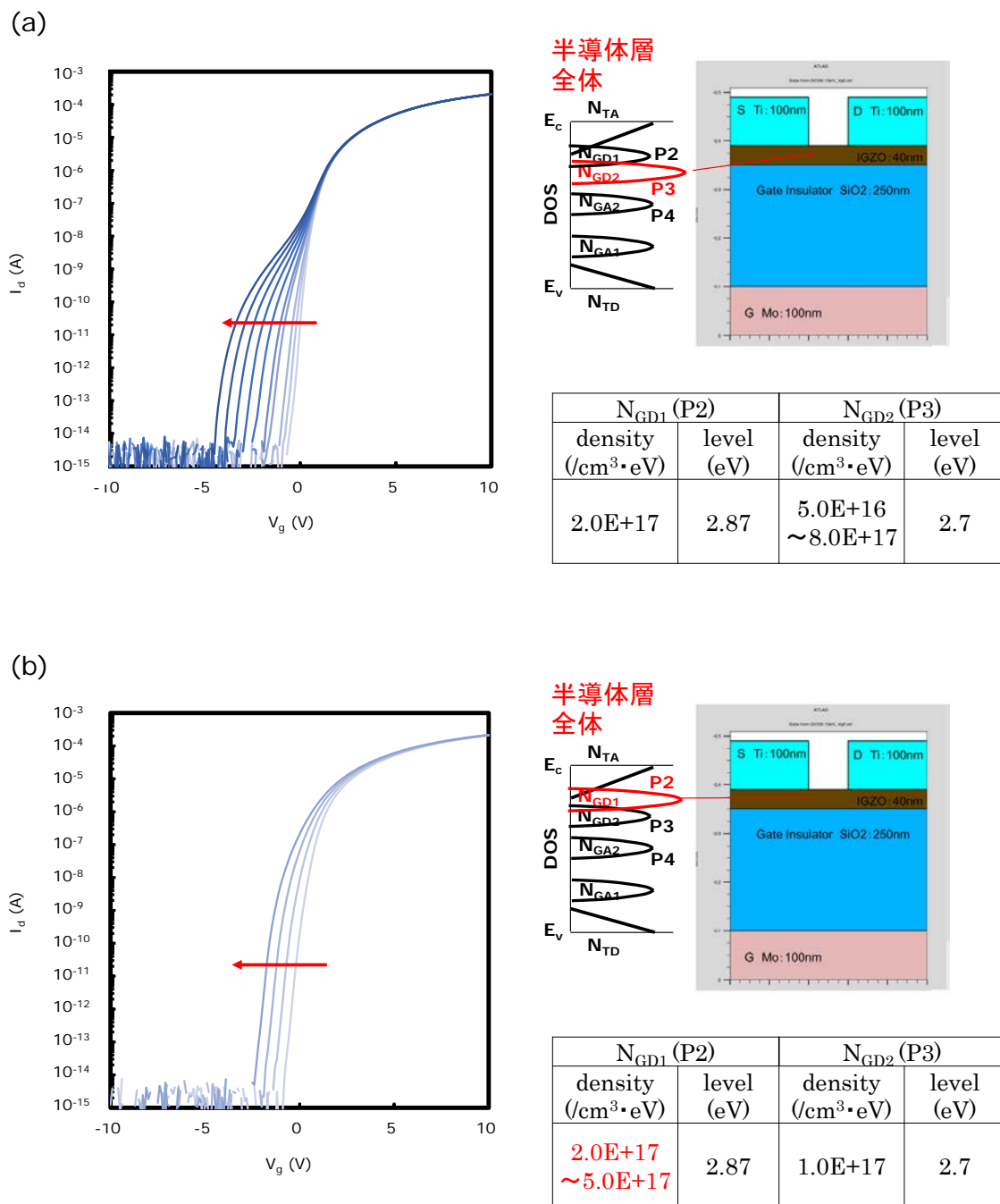


図 4-6 a-IGZO のサブギャップトラップ準位密度の変化による TFT 伝達特性のシミュレーション結果. (a) P3 トラップ準位の変化, (b) P2 トラップ準位の変化.

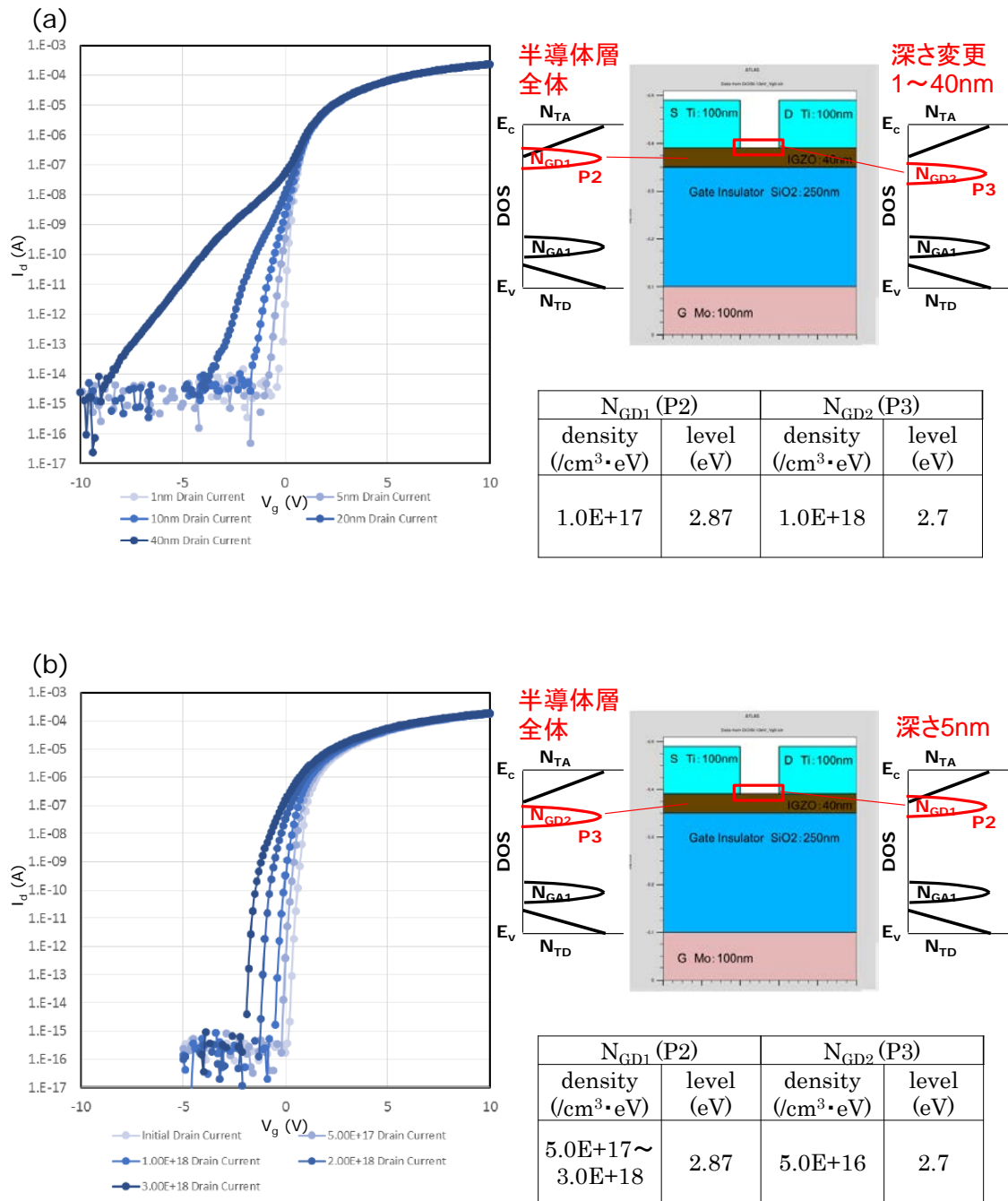


図 4-7 a-IGZO のサブギャップトラップ準位密度の変化による TFT 伝達特性のシミュレーション結果.

(a) 半導体層全体に P2 を指定し、チャネル領域の P3 の深さを変えた場合、(b) 半導体層全体に P3 を指定し、チャネル領域の P2 をバックチャネル 5 nm までの領域に指定した場合.

## 4.3 a-IGZO の Zn の化学量論的組成に起因するトラップ準位とストレス

### 信頼性の評価

第3章では、a-IGZO 薄膜における亜鉛欠損欠陥に関連するトラップ準位が形成される起源について説明し、前節では、a-IGZO 成膜条件や ESL 成膜条件が a-IGZO チャネル領域のトラップ準位や TFT のストレス信頼性に及ぼす影響について述べた。これらプロセスによって、亜鉛欠損欠陥 (P2)、水素関連欠陥 (P3)、亜鉛過剰欠陥 (P4) に関連する支配的なトラップ準位が変わり、TFT の NBTIS 試験によるストレス信頼性に与える影響を議論した。その結果、熱処理による Zn 脱離および ESL 層からの水素拡散が a-IGZO TFT の特性を決める重要な因子であることが明らかになった。このため、本節では、a-IGZO 薄膜における亜鉛欠損欠陥 (P2) および酸素欠損欠陥 (P4) に関連するトラップ準位の形成とそれらの補償について議論をするために、a-IGZO 薄膜を構成する Zn 量を変更し、a-IGZO チャネル領域のトラップ準位やストレス信頼性に与える影響について調査した。

#### 4.3.1 高濃度 Zn 添加 a-IGZO 薄膜の作製

Zn 添加量の異なる a-IGZO 薄膜の作製は Co-sputter 法を用いた<sup>22,23)</sup>。a-IGZO ターゲット (In:Ga:Zn:O=1:1:1:4) および ZnO ターゲットを所定のカソードにそれぞれ設置し、カソードへの投入パワーの調整により、基板内に In/Ga 比を固定し、Zn 添加量の傾斜をもつ a-IGZO 薄膜を作製した (図 4-8)。ここでは、基板内の膜厚の均一性を高めるために、a-IGZO ターゲットを2枚用いて成膜した。

TFT および PITS 評価は、同様の手順により作製した a-IGZO 薄膜を組み込み完成した基板内の素子の測定場所を変えることにより、Zn 添加量の異なる a-IGZO 薄膜に対応する特性を評価した。

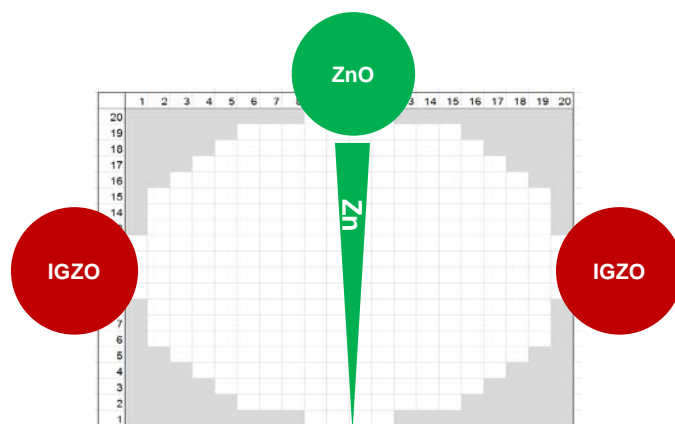


図 4-8 本実験で用いたマルチカソードによる Co-sputtering 法。

### 4.3.2 トラップ準位とストレス信頼性の Zn 添加量依存性

表 4-3 の PITS-1 および TFT-1 と同一のプロセスを用いて, PITS 評価用素子および ESL-TFT を作製した. 表 4-4 に, Zn 添加量を変化させたときの ICP 分析により得られた a-IGZO 薄膜の組成とそれぞれの PITS および TFT のサンプル番号の一覧を示す. また, それぞれの TFT 特性を同表にまとめた. 伝達特性から得られた  $\mu_{sat}$  は, TFT-10, TFT-11 の  $6.6 \text{ cm}^2/\text{Vs}$ ,  $6.3 \text{ cm}^2/\text{Vs}$  に対し, Zn 添加量の増加により, TFT-13 で  $9.95 \text{ cm}^2/\text{Vs}$  に増加した後, さらなる Zn 添加量の増加により減少に転じた.  $S$  値も同様の傾向を示し, Zn 添加量の増加により改善後, さらなる増加により悪化に転じていることがわかる.

表 4.4 Zn co-doped a-IGZO 薄膜の各構成元素と TFT 特性の一覧.

Sample	a-IGZO metal ratio			TFT performances			
	In	Ga	Zn	$\mu_{sat}$	$S$ 値	$V_{th}$	$\Delta V_{th}$ after 2h-NBTIS
	(at%)	(at%)	(at%)	( $\text{cm}^2/\text{Vs}$ )	(V/dec.)	(V)	(V)
PITS-10 / TFT-10	35.9	37.6	26.5	6.60	0.46	5.25	-2.5
PITS-11 / TFT-11	31.7	31.7	36.6	6.30	0.32	6.25	-3.0
PITS-12 / TFT-12	22.9	21.8	55.3	9.40	0.25	3.50	-3.8
PITS-13 / TFT-13	19.2	18.1	62.7	9.95	0.28	3.00	-4.3
PITS-14 / TFT-14	15.5	14.4	70.1	7.25	0.50	3.75	-6.5
PITS-15 / TFT-15	6.6	6.6	86.8	0.18	0.81	3.50	-9.3

図 4-9 は, それぞれの ESL-TFT に対応する PITS スペクトル(PITS-10~PITS-15)である. PITS-10 および PITS-11 に対して, Zn 添加量が増加した PITS-12 では  $b1$  の低温のピーク強度が増加するとともに, ピークが高温側に動くことを観測した. さらに Zn 添加量を増加した PITS-13 では  $b1$  の低温のピークとともに, 130–270 K 付近の高温領域にブロードなピークの出現が観測された. さらに Zn 添加量を増加することにより, PITS-14, PITS-15 では低温のピーク強度は低下し, 高温領域のブロードなピークの形成が顕著になることが確認された. これらの高温領域に現れたピークは水素関連欠陥に関連する P3, 酸素欠損欠陥もしくは亜鉛過剰欠陥に関連する P4 のトラップ準位に起因すると考えられる. また, 低温のピーク強度の低下は亜鉛欠損欠陥に関連する P2 のトラップ準位の低減に因るといえる. 後者は, PITS-1/TFT-1 と同一組成の a-IGZO 薄膜を  $250^\circ\text{C}$  でプリアニリングした際, 亜鉛脱離が生じ難いうえ, 同様の低温のピーク強度の低下が確認されたことからわかる(図示せず).



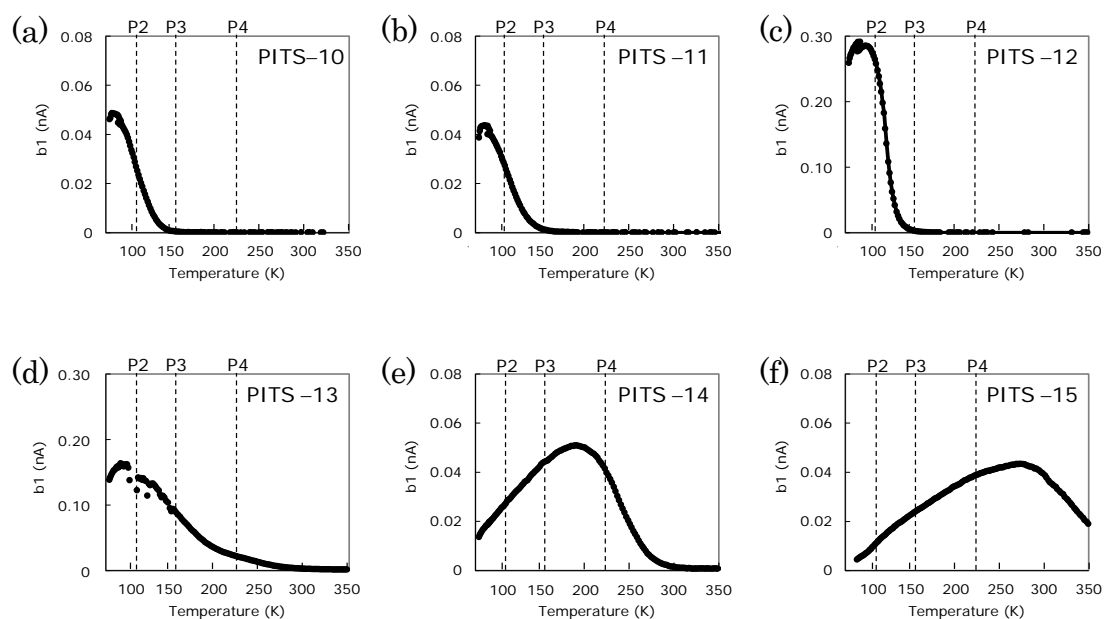


図 4-9 Zn co-doped a-IGZO 薄膜から得られた PITS スペクトル.

(a) PITS-10, (b) PITS-11, (c) PITS-12, (d) PITS-13, (e) PITS-14 および(f) PITS-15.

評価用素子は ESL-TFT と同一プロセスで作製された.

高 Zn 添加 a-IGZO 薄膜から得られた PITS スペクトルは, 高温領域のピークが顕著であることを述べた. そこで, PITS-11 および PITS-14 を対象として, それぞれの a-IGZO 薄膜の組成 (In, Ga, Zn, O, H) を比較するために, 高エネルギー Rutherford Backscattering Spectrometry (RBS) <sup>(注1)</sup> および高分解 Elastic Recoil Detection Analysis (ERDA) <sup>(注2)</sup> により測定した. 分析に用いた a-IGZO 薄膜の概要を表 4-5 に示す.

表 4-5 高エネルギー RBS および高分解 ERDA 分析に用いた a-IGZO 薄膜サンプル.

サンプル構造	プロセス条件
a-IGZO 薄膜(45 nm) / ガラス基板	スパッタリング: 4%酸素分圧 プリアニリング: 350 °C, 1 hr, 大気雰囲気

(注1) エネルギー 2300 keV の  $\text{He}^{++}$  イオンを試料面の法線に対し 8 度で試料に照射し, 散乱された He 粒子 ( $\text{He}$ ,  $\text{He}^+$ ,  $\text{He}^{++}$ ) を各条件の散乱角の位置で半導体検出器により検出した. 照射量は試料に照射された電流量を測定することにより求めた.

(注2) エネルギー480 keVの $N^+$ イオンを試料面の法線に対し70度で試料に照射し、反跳された水素イオンを散乱角30度の位置で偏向磁場型エネルギー分析器により検出した。照射量はビーム経路にて振り子を振動させ、振り子に照射された電流量を測定することにより求めた。

図4-10(a)および(b)に高エネルギーRBSの測定値とシミュレーションによるフィッティング結果を示す。図4-10(c)は、高エネルギーRBSと高分解ERDAから得られたa-IGZO組成の平均値である。Zn添加量の違いにより3.0 at%の酸素量の差が生じており、高Zn添加a-IGZO薄膜では酸素量が低いことが示された。また、RBS測定により得られたIn, Ga, Znの平均組成から算出した化学量論組成の酸素量(化学量論組成の $In_2O_3$ ,  $Ga_2O_3$ ,  $ZnO$ から総酸素量を算出)の比較により、その差は0.6 at%であることから、高Zn添加a-IGZO薄膜は酸素欠損の状態にあることが明らかとなった。そのため、図4-9の高Zn添加a-IGZO薄膜から得られたPITS-13~PITS-15で出現した高温領域のピークは酸素欠損欠陥に関連したトラップ準位に起因していると考えられる。Zn添加量の違いにより、亜鉛欠損欠陥と酸素欠損欠陥に関連するトラップ準位が形成されることが明らかとなった。

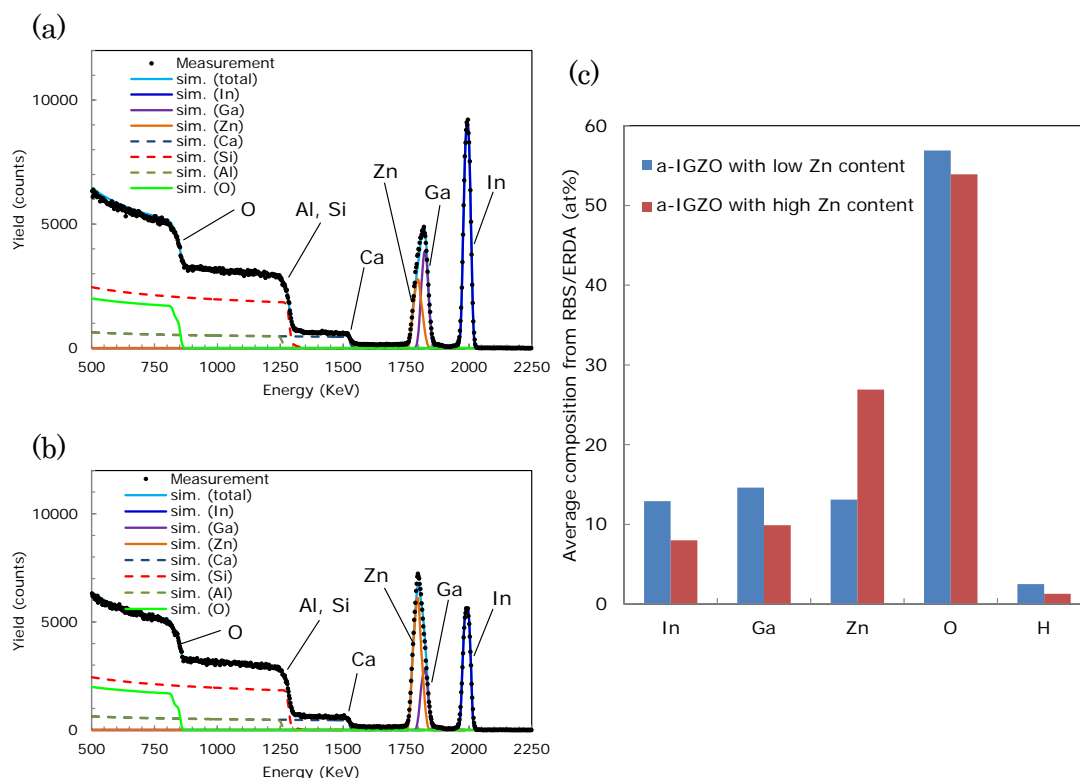


図4-10 a-IGZO 薄膜から得られた高エネルギーRBS 分析から得られたスペクトル。  
(a) 低 Zn 添加 a-IGZO (PITS-11/TFT-11), (b) 高 Zn 添加 a-IGZO (PITS-14/TFT-14).  
(c) 高エネルギーRBS 分析および高分解 ERDA 分析から得られた a-IGZO 組成の平均値。

次に、図 4-9 に対応する NBTIS 試験によるストレス信頼性の結果を図 4-11 に示す。それぞれの TFT 伝達特性(表 4.4)は、TFT-12, TFT-13 で良好な $\mu_{sat}$  および  $S$  値を示す一方で、Zn 添加量の低減(TFT-10, TFT-11)および増加(TFT-14, TFT-15)により $\mu_{sat}$  および  $S$  値は劣化した。高 Zn 添加 a-IGZO では、PITS-14, PITS-15 からわかるように、CBM から比較的浅い亜鉛欠損欠陥に起因するトラップ準位は減少し、CBM から深い酸素欠損欠陥に起因するトラップ準位が増加した。これらの深い準位は、酸素欠損欠陥に関連すると報告されている  $V_{O^{2+24\cdot27}}$  としてキャリアを放出するように(ドナーとして)働いたとしても CBM から深く離れた位置に存在するために移動度に寄与しない可能性が高い。それゆえ、高 Zn 添加 a-IGZO の $\mu_{sat}$  は顕著に低下したと推察される。また、これら深い準位は連続的に生じていることは明らかであり  $S$  値劣化を誘発したと考えられる。一方、NBTIS 試験では、TFT-10, TFT-11 のように Zn 添加量が相対的に少ない場合は、これまで同様、TFT 伝達特性はキック現象をともしなう変化をした。他方、Zn 添加量の増加により、その TFT 伝達特性は TFT-12, TFT-13 に示すようにハンプ形状を有する変化に変わり、さらなる高 Zn 添加により、TFT-14, TFT-15 に示すようにパラレルに変化することがわかる。このパラレルシフトの要因は特定できていないが、既に議論したように、P4 のような深いトラップ準位は多くの場合電気伝導に寄与しないことに加え、図 4-8 のデバイスシミュレーション結果から、伝達特性のパラレル変化は浅いトラップ準位の影響が考えられる。もしくは、ストレスの時間変化が異なるために起源が違う可能性もある。今後、これらパラレルシフトの要因をさらに追究するための取り組みを継続する。

以上のことから、a-IGZO 薄膜における Zn 添加量の違いにより、亜鉛欠損欠陥に関連するトラップ準位から酸素欠損欠陥に関連するトラップ準位に変化し、PITS 評価において、それぞれに起因したトラップ準位(P2 および P4)の変化を確認した。また、高 Zn 添加 a-IGZO TFT の伝達特性は $\mu_{sat}$  および  $S$  値の劣化が顕著であり、NBTIS 試験によりその伝達特性はパラレルに変化する傾向がある。 $\mu_{sat}$  および  $S$  値の劣化は P2 トラップ準位の低減および P4 の連続的な深いトラップ準位に起因したと考えられる。NBTIS 試験による伝達特性のパラレル変化は、P2 に関連するトラップ準位よりもさらに浅いトラップ準位により誘発された、もしくは起源が異なる可能性がある。

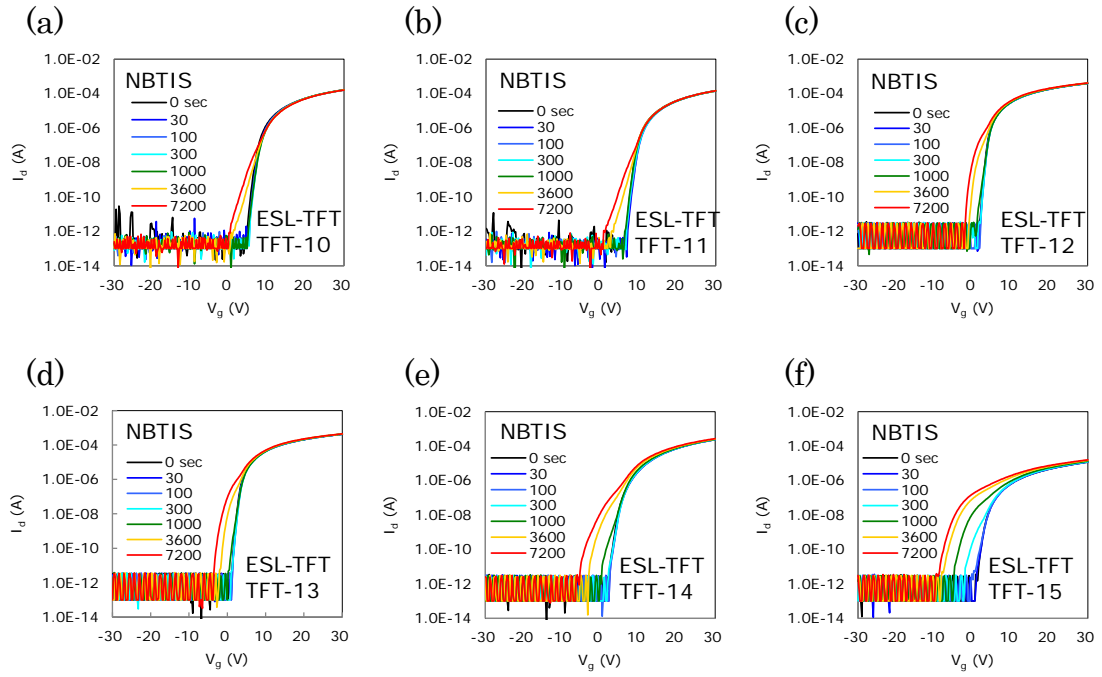


図 4-11 Zn co-doped a-IGZO ESL-TFT から得られた NBTIS 試験による伝達特性の変化.  
 (a) TFT-10, (b) TFT-11, (c) TFT-12, (d) TFT-13, (e) TFT-14 および(f) TFT-15.

## 4.4 PV 層 $\text{SiN}_x$ 膜からの水素拡散と NBTIS ストレス信頼性

TFT 素子はその製作後において、水蒸気や酸素等のガス侵入による特性劣化を回避する必要がある。これらガスのバリア性薄膜を形成する方法・膜種は幾つかあるが、 $\text{a-Si}$  TFT や LTPS TFT では、成膜速度とガスバリア性能の観点から、一般に、PECVD 法による  $\text{SiN}_x$  膜が多く用いられてきた。また、表示パネルの基材にはガスバリア性に優れるガラスが用いられてきたが、薄膜化、軽量化、耐衝撃性向上、フレキシブル化、さらには、ロールツーロールプロセスへの適応の観点から、透明プラスチック基板への代替要求が高まっている。しかし、PET や PC 等のプラスチック基板のガスバリア性は低く、これらガスバリア性薄膜の組み合わせによる機能性の付与が必要になる。一方、 $\text{SiN}_x$  膜のガスバリア性は高いものの、膜自体に多くの水素を含んでいることから、前節までに述べたようにストレス信頼性等の TFT 特性に影響を与えることが考えられる。このため、本節では PV 層  $\text{SiN}_x$  膜からの水素拡散が TFT のストレス信頼性に及ぼす影響について調べた。

### 4.4.1 PV 層への樹脂適用プロセス

第 2 章では、ESL 型  $\text{a-IGZO}$  TFT の作製プロセスフローを記載した。本項では、PV 層に Si 系樹脂を適用したプロセスについて述べる。PV 層に Si 系樹脂を適用した場合の TFT の断面構造を図 4-12 に示す。

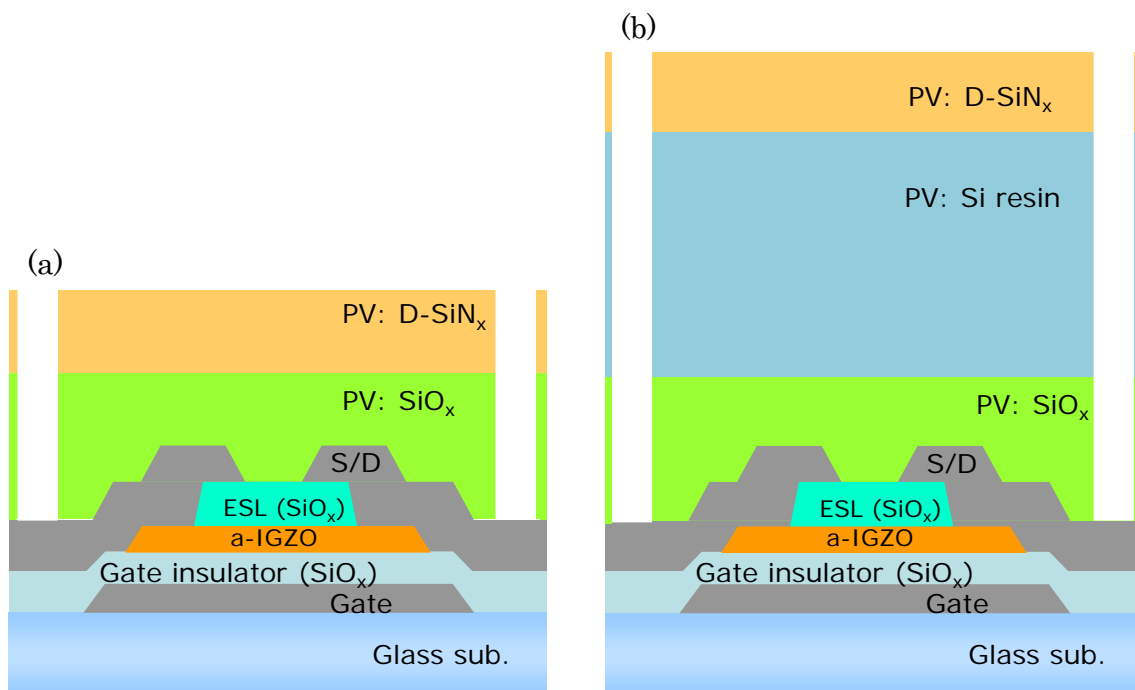


図 4-12 ESL 型  $\text{a-IGZO}$  TFT の断面構造。

(a) PV 層に Si 系樹脂を適用しない場合、(b) PV 層に Si 系樹脂を適用した場合。

製造プロセスは以下の手順とした。まず、S/D電極を形成した後に、PV層の1層目として、PECVD法を用いてSiO<sub>x</sub>膜を堆積する。次に、PV層の2層目として、シロキサン化合物を原料とするSi系樹脂をスピンコーティング法によって堆積した。続いて、堆積したSi系樹脂を180℃でバークした後、従来のフォトリソグラフィーによってパターンニングを行った。その後、PV層の3層目として、PECVD法を用いてSiN<sub>x</sub>膜を堆積した。本項では、水素の移動を議論するために重水素(Deuterium: D<sub>2</sub>)ガスをプロセスガスに用いたSiN<sub>x</sub>膜を用いて実験を進めた(以下、D-SiN<sub>x</sub>という)。最後に、D-SiN<sub>x</sub>膜およびSiO<sub>x</sub>膜を一括してRIE法によるドライエッチングを行い、スルーホールを形成した。表4-6に、PV層の構成をまとめた。また、表4-7に、PV層として用いたSiO<sub>x</sub>膜およびD-SiN<sub>x</sub>のプロセス条件をまとめた。

表 4-6 本実験で用いた PV 層の構成.

Si 系樹脂を適用しない場合	1 層目 (PV1)	2 層目 (PV2)		
膜種類	SiO <sub>x</sub>	D-SiN <sub>x</sub>		
堆積方法	PECVD	PECVD		
膜厚	100 nm	150 nm		

Si 系樹脂を適用した場合	1 層目 (PV1)	2 層目 (PV2)	3 層目 (PV3)
膜種類	SiO <sub>x</sub>	Si 系樹脂	D-SiN <sub>x</sub>
堆積方法	PECVD	スピンコーティング	PECVD
膜厚	100 nm	600 nm	150 nm

表 4-7 本実験で用いた PECVD 法により形成した PV 層のプロセス条件.

膜種類	SiO <sub>x</sub>	D-SiN <sub>x</sub>	(参考) SiN <sub>x</sub>
成膜ガス流量 (sccm)	N <sub>2</sub> O/SiH <sub>4</sub> = 100/4	SiH <sub>4</sub> /D <sub>2</sub> /N <sub>2</sub> = 12.5/25/297.5	NH <sub>3</sub> /SiH <sub>4</sub> /N <sub>2</sub> = 6/12.5/297.5
成膜圧力 (Pa)	133	133	133
成膜電力 (W) (RF 13.56MHz)	100	100	100
成膜温度 (°C)	230	150	150
成膜速度 (nm/min)	27.4	59.1	54.7

#### 4.4.2 重水素含有 SiN<sub>x</sub> 膜の形成

D-SiN<sub>x</sub> 膜中の水素(H)および重水素(D)の深さ方向の分布を SIMS 分析により調べた。それぞれの成膜条件を表 4-7 に示す。図 4-13 は従来の SiN<sub>x</sub> 膜と D-SiN<sub>x</sub> 膜の H および D の SIMS デプスプロファイルである。SIMS デプスプロファイルから、D-SiN<sub>x</sub> 膜中の H および D はいずれも均一に分布していることがわかる。従来の SiN<sub>x</sub> 膜の膜中 H 量は平均で  $6.5 \times 10^5$  counts, D 量は検出限界未満であり、D-SiN<sub>x</sub> 膜の膜中 H 量は平均で  $3.8 \times 10^5$  counts, D 量は平均で  $1.5 \times 10^5$  counts を示した。分光特性評価により、従来の SiN<sub>x</sub> 膜の屈折率は 1.9, 消衰係数は 0.003 を示す一方、D-SiN<sub>x</sub> 膜では、それぞれ 2.2 および 0.03 の値を示した。D-SiN<sub>x</sub> 膜では屈折率および消衰係数の値は高いが、NH<sub>3</sub> ガスの代替として D<sub>2</sub> ガスを導入したため、窒化がやや不十分であると推測される。

図 4-14 は従来の SiN<sub>x</sub> 膜と D-SiN<sub>x</sub> 膜の TDS 分析結果である。従来 SiN<sub>x</sub> 膜では、昇温温度が 200 °C を超えると H<sub>2</sub> の放出が確認された。D-SiN<sub>x</sub> 膜では、H<sub>2</sub>+D, HD および D<sub>2</sub> の放出が確認されており、それらの総量(H<sub>2</sub>+D+HD+D<sub>2</sub>)は温度に対して類似の挙動を示した。とくに、H<sub>2</sub>+D と HD は酷似しており、D-SiN<sub>x</sub> 成膜中もしくはその後のポストアニーリングにより、D は H と同様に振る舞う。つまり、a-IGZO 薄膜中および SiO<sub>x</sub> 膜中の D を検出することにより、D-SiN<sub>x</sub> 膜から拡散された D (および H) をモニタリングすることができるといえる。

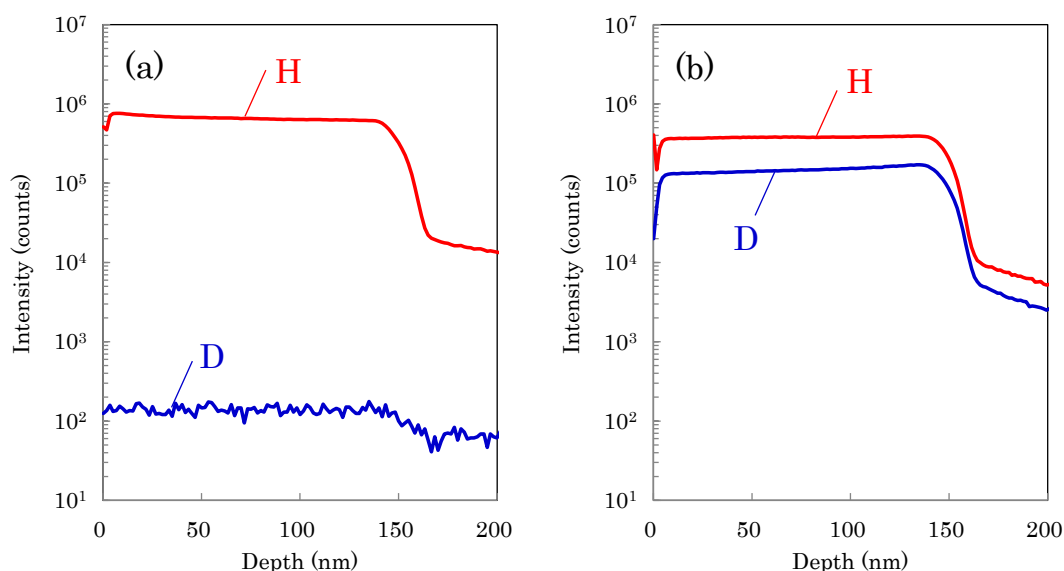


図 4-13 (a)通常 SiN<sub>x</sub> 膜および(b)D-SiN<sub>x</sub> 膜の H および D の SIMS デプスプロファイル。

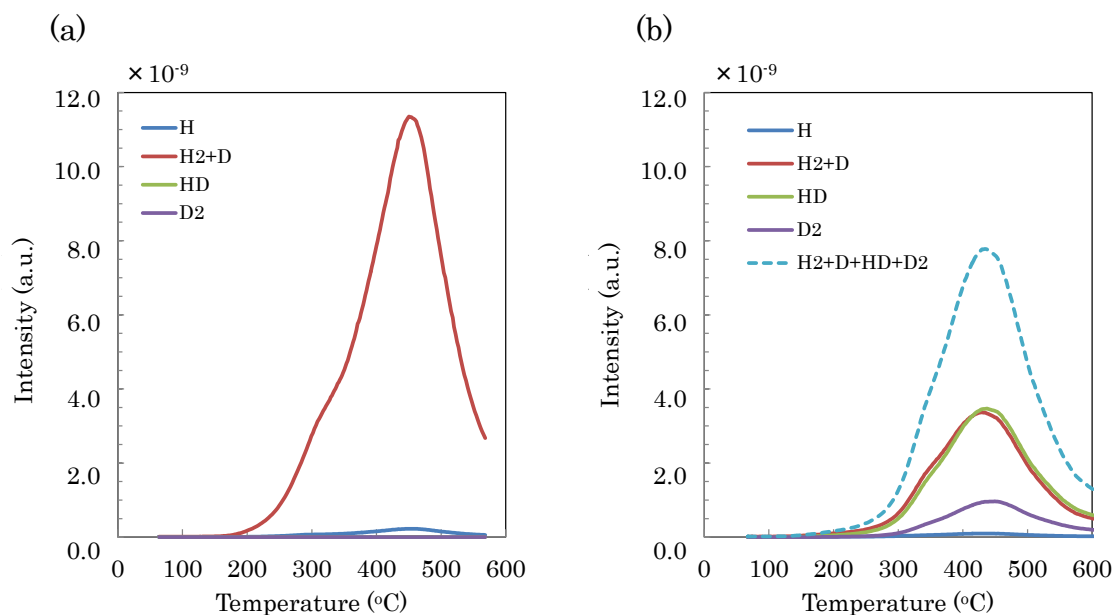


図 4-14 (a)通常 SiN<sub>x</sub> 膜および(b)D-SiN<sub>x</sub> 膜から得られた TDS スペクトル.

### 4.4.3 ESL-TFT を用いた PV 層 SiN<sub>x</sub> 膜からの水素拡散が及ぼす影響

#### 4.4.3.1 PV 層に樹脂を適用した TFT のストレス信頼性の評価

次に、図 4-12 で示した 2 層積層構造と 3 層積層構造の PV 膜を備えた ESL 型 a-IGZO TFT を準備した (TFT-16, TFT-17). 2 層積層構造は Si 系樹脂を用いていない D-SiN<sub>x</sub>/SiO<sub>x</sub> で構成される PV 膜 (上層 D-SiN<sub>x</sub>, 下層: SiO<sub>x</sub>) であり, 3 層積層構造は Si 系樹脂を用いた D-SiN<sub>x</sub>/Si resin/SiO<sub>x</sub> で構成される PV 膜 (上層: D-SiN<sub>x</sub>, 中層: Si resin, 下層: SiO<sub>x</sub>) である. それぞれの a-IGZO 成膜および ESL 成膜条件は表 4-3 の TFT-1 と同一条件とし, 両 TFT とともにポストアニーリングは未実施とした. 表 4-8 に TFT-16 および TFT-17 の伝達特性から得られた  $\mu_{sat}$ ,  $V_{th}$ ,  $S$  値を示す. また, 図 4-15(a) および (b) は, NBTIS 試験による TFT の伝達特性の変化を示しており, いずれもハンプをとまなう負側方向へのシフトが確認された. 2h-NBTIS 試験前後の  $\Delta V_{th}$  は, TFT-16 の  $-2.25$  V に対して TFT-17 は  $-1.75$  V を示しており, 差は大きくないものの, ハンプの出方は TFT-16 において顕著に観察された. このため, NBTIS 試験におけるハンプ状の変化をとまなう TFT 特性劣化は, PV 層に Si 系樹脂を挿入することにより抑制されたといえる. 一方, 図 4-16(a) および (b) は, NBTS 試験により得られた TFT-16 および TFT-17 の伝達特性の変化を示す. いずれの TFT においても, 2h-NBTS 試験前後の  $\Delta V_{th}$  は PV 層の構造にかかわらず同等であった (TFT-16 の  $\Delta V_{th}$  は  $-0.75$  V, TFT-17 の  $\Delta V_{th}$  は  $-0.75$  V を示した).



表 4-8 プロセス条件と TFT 特性の一覧.

Sample	Process	TFT performance (without postannealing)				
	PV layer	$\mu_{sat}$	$S$ 値	$V_{th}$	$\Delta V_{th}$	$\Delta V_{th}$
					after	after
					2h-NBTIS	2h-NBTS
Structure	(cm <sup>2</sup> /Vs)	(V/dec.)	(V)	(V)	(V)	
TFT-16	D-SiN <sub>x</sub> /SiO <sub>x</sub>	9.5	0.33	7.5	−2.25	−0.75
TFT-17	D-SiN <sub>x</sub> /Si-resin/SiO <sub>x</sub>	9.8	0.34	6.5	−1.75	−0.75

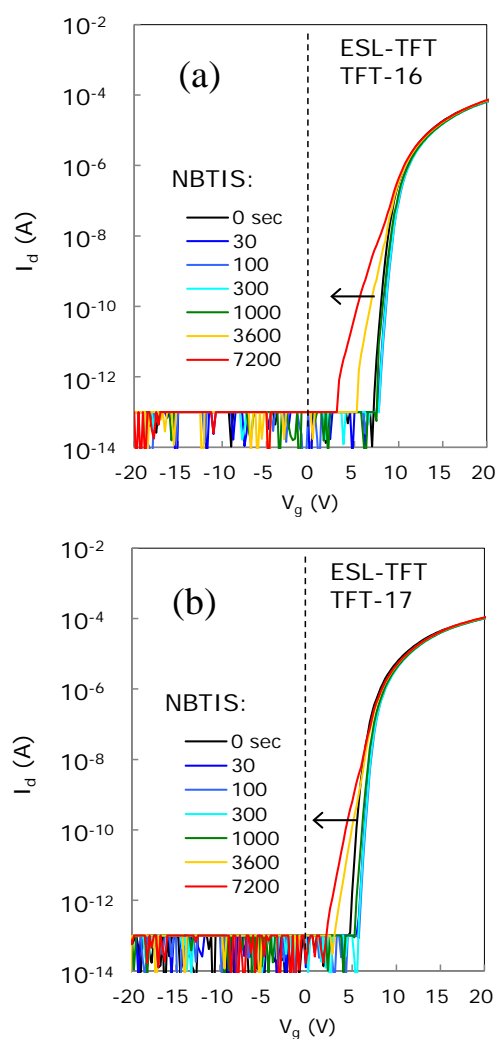


図 4-15 a-IGZO ESL-TFT から得られた NBTIS 試験による伝達特性の変化.

(a) PV 層 D-SiN<sub>x</sub>/SiO<sub>x</sub>, (b) PV 層 D-SiN<sub>x</sub>/Si resin/SiO<sub>x</sub>.

いずれの TFT もポストアニーリングは未実施.

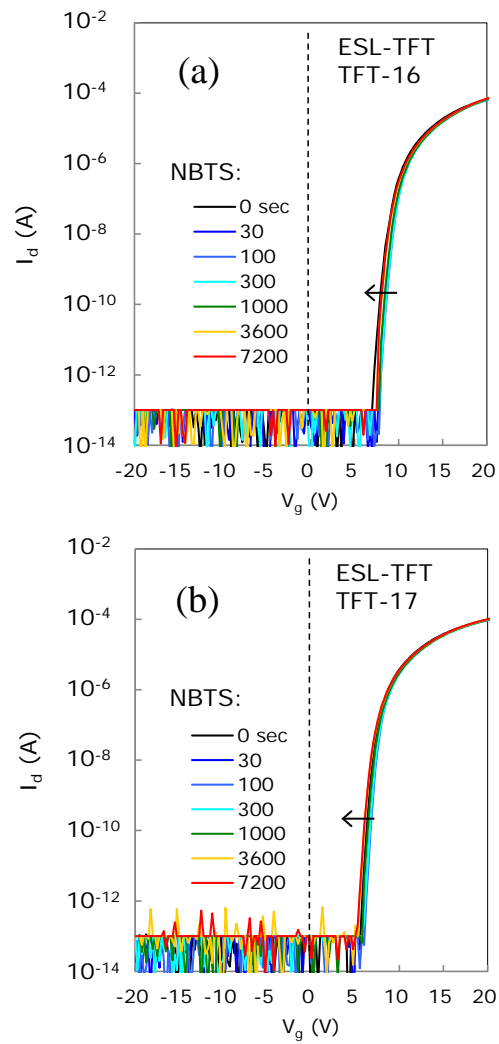


図 4-16 a-IGZO ESL-TFT から得られた NBTStress 試験による伝達特性の変化.

(a) PV 層 D-SiN<sub>x</sub>/SiO<sub>x</sub>, (b) PV 層 D-SiN<sub>x</sub>/Si resin/SiO<sub>x</sub>.

いずれの TFT もポストアニーリングは未実施.

#### 4.4.3.2 PV 層に樹脂を適用した TFT のトラップ準位とストレス信頼性

##### の比較

TFT-16 および TFT-17 の伝達特性は NBTIS 試験により  $V_{th}$  はハンパをともないながら負電圧側に変化した。これら TFT のチャネル領域における a-IGZO の電子状態を評価するために PITS 測定を行った。図 4-17 は TFT-16 および TFT-17 に対応する PITS スペクトル (PITS-16 および PITS-17) である。PV 層を単層構造 ( $\text{SiO}_x$ ) として構成した素子をリファレンスとした (以下、PITS-R1 と称する)。PITS-R1 に対して、2 層積層構造 ( $\text{D-SiN}_x/\text{SiO}_x$ ) の PV 層からなる素子から得られた PITS-16 は 160 K 付近の  $b1$  の信号強度が広く連続的に増加した。一方で、3 層積層構造 ( $\text{D-SiN}_x/\text{Si resin}/\text{SiO}_x$ ) の PV 層をもつ素子から得られた PITS-17 では 160 K 付近の  $b1$  の信号強度は PITS-R1 同様に小さい。これまで述べてきたように、160 K 付近の  $b1$  のピークは水素関連欠陥に起因するトラップ準位 (P3) と考えられる。そのため、PITS-R1 から PITS-16 へのスペクトルの広がり、a-IGZO における P3 トラップ準位の増加が強く示唆される。2 層積層構造の PV 層においては、PV 層の最上層である  $\text{D-SiN}_x$  膜と a-IGZO 薄膜との間に ESL 層および PV 層の  $\text{SiO}_x$  膜 (計 200 nm) が存在するが、 $\text{D-SiN}_x$  膜に係る水素原子が a-IGZO 膜中に取り込まれた可能性が高い。対照的に、PV 層の  $\text{D-SiN}_x$  膜と  $\text{SiO}_x$  膜との間に Si 系樹脂を導入した 3 層積層構造では、PITS-R1 と PITS-17 の間で P3 トラップ準位に関する信号はほとんど確認しておらず、P3 トラップ準位の減少が示された。

図 4-18(a) は 2 層積層構造 PV 層を備えた TFT から得られた D, H, OH の SIMS デプスプロファイルである。PV 層の  $\text{SiO}_x$  膜中の H 濃度はほぼ一定であるのに対して、D 濃度は表面側から a-IGZO にかけて傾斜していることがわかる。一方、図 4-18(b) は、2 層積層構造および 3 層積層構造の PV 層を備えた TFT から得られた D の SIMS デプスプロファイルである (ここで、図 4-18(b) で用いた素子は図 4-18(a) で用いた素子と異なり、次章で述べる BCE プロセスを適用した素子で比較した。BCE プロセスは D のデプスプロファイルに影響しない)。この比較では、重水素は  $\text{D-SiN}_x$  層にのみ含まれているため、SIMS デプスプロファイルにより、 $\text{D-SiN}_x$  膜からの重水素の拡散をモニタリングすることができる。図 4-18(b) の結果により、Si 系樹脂を PV 層に導入することにより重水素が半導体層に到達していないことは明白であり、Si 系樹脂の導入により、 $\text{SiN}_x$  膜と半導体層の物理的な距離が大きくなることから、 $\text{SiN}_x$  膜成膜時の水素のブロッキング層として機能することが確認された。一般に、光照射 (+ 電場) により  $\text{SiO}_x$  膜および  $\text{SiN}_x$  膜の PV 層中の Si-H 結合は切断されるため、PV 層からの水素の拡散は水素関連トラップ準位の形成に顕著な効果をもたらす。そのため、PV 層への Si 系樹脂層の導入によって、NBTIS 試験における TFT 伝達特性のハンパ状の負側へのシフトが抑制されたと考えられる。

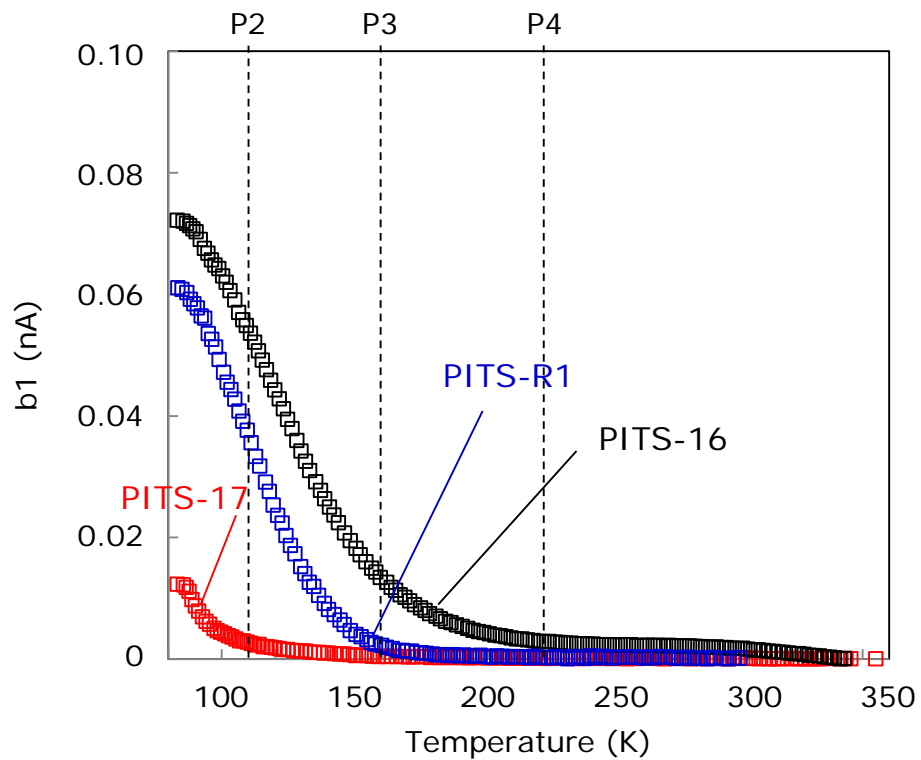


図 4-17 a-IGZO 薄膜から得られた PITS スペクトルの PV 構造の違いによる比較.  
 評価用素子は TFT と同一プロセスで作製された. PITS-16 は D-SiN<sub>x</sub>/Si resin/SiO<sub>x</sub> の 3 層  
 積層構造, PITS-17 は D-SiN<sub>x</sub>/SiO<sub>x</sub> の 2 層積層構造, PITS-R1 は SiO<sub>x</sub> の単層構造.  
 いずれもポストアニーリングは未実施.

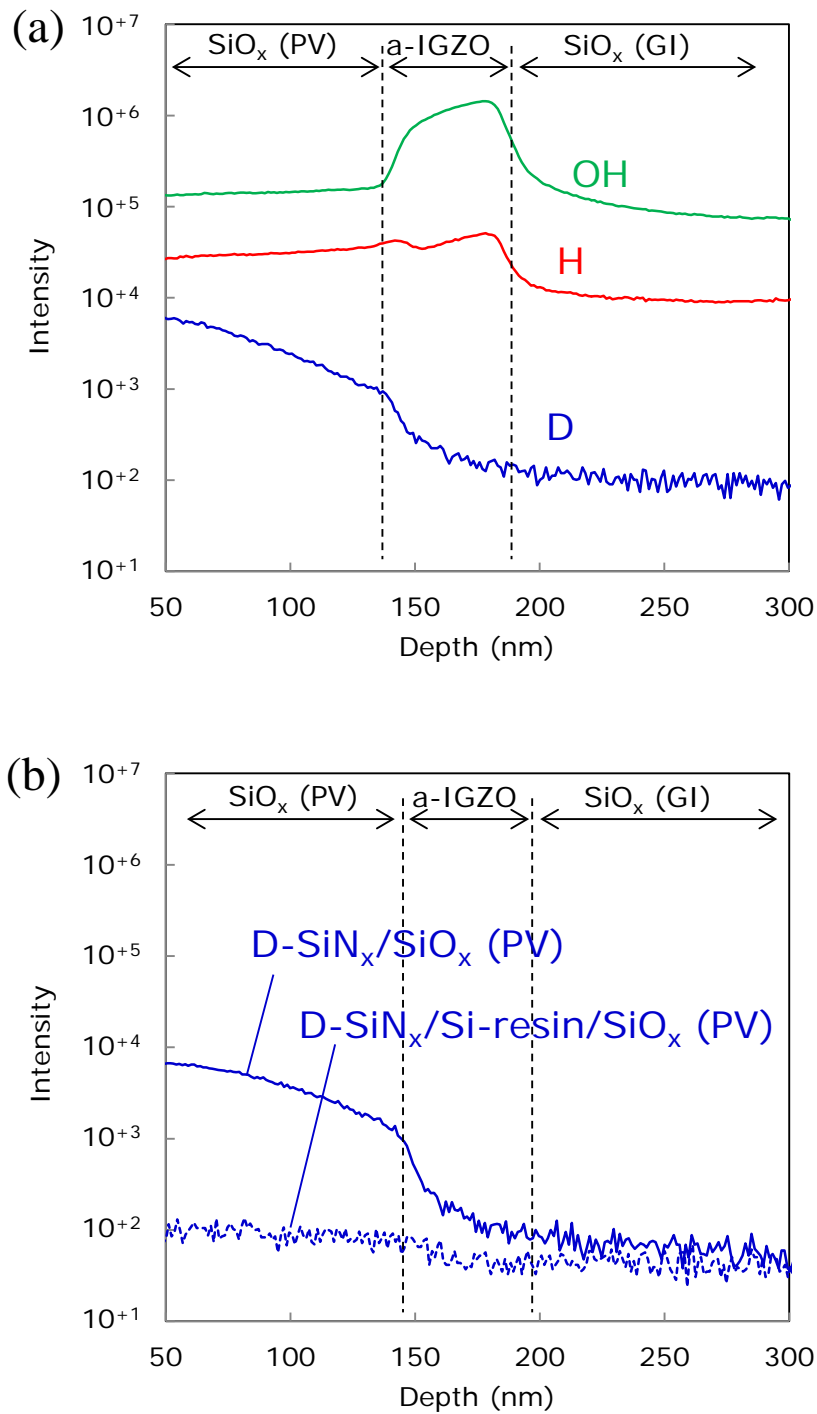


図 4-18 (a) D-SiN<sub>x</sub>/Si resin/SiO<sub>x</sub> の PV 構造を備えた TFT の SIMS デプスプロファイル,  
 (b) D-SiN<sub>x</sub>/SiO<sub>x</sub> および D-SiN<sub>x</sub>/Si resin/SiO<sub>x</sub> の PV 構造を備えた TFT の重水素の  
 SIMS デプスプロファイル. (b) で用いた素子は次章で述べる BCE プロセスを実施した.  
 いずれもポストアニーリングは未実施.

図 4-19 に異なる PV 層を備えた a-IGZO ESL-TFT の NBTIS 試験による TFT 伝達特性の変化をまとめた。PV 層はそれぞれ、(a)  $\text{SiO}_x$  単層、(b)  $\text{D-SiN}_x/\text{SiO}_x$ 、(c)  $\text{D-SiN}_x/\text{Si resin}/\text{SiO}_x$ 、(d)  $\text{SiN}_x/\text{SiO}_x$  および (e)  $\text{SiN}_x/\text{Si resin}/\text{SiO}_x$  で構成される。Si 系樹脂を適用しない場合、 $\text{SiO}_x$  単層に比べて、 $\text{D-SiN}_x/\text{SiO}_x$  積層はハンプをとめないながら  $\Delta V_{th}$  が増加する。 $\text{SiN}_x/\text{SiO}_x$  積層の  $\Delta V_{th}$  はさらに増加した。一方、Si 系樹脂の適用により、 $\Delta V_{th}$  は全体的に低減することが確認された。図 4-20 は対応する PITS スペクトルであり、TFT チャネル領域の電子状態を評価した。160 K 付近の  $b1$  のピーク強度は  $\text{D-SiN}_x/\text{SiO}_x$  積層および  $\text{SiN}_x/\text{SiO}_x$  積層で確認されるが、 $\text{SiO}_x$  単層、 $\text{D-SiN}_x/\text{Si resin}/\text{SiO}_x$  積層、 $\text{SiN}_x/\text{Si resin}/\text{SiO}_x$  積層では明らかに小さい。これらの結果は PITS スペクトルの 160K 付近の  $b1$  のピーク強度が NBTIS 試験による TFT 伝達特性の変化 (=ハンプをとめなう負側方向への  $V_{th}$  シフト) と相関があることを示している。 $\text{SiN}_x$  膜と  $\text{D-SiN}_x$  膜の SIMS デプスプロファイルの比較(図 4-13)により、 $\text{SiN}_x$  膜の水素と重水素の総量は  $\text{D-SiN}_x$  膜の総量よりも高い( $\text{SiN}_x$  膜中の H 量の平均:  $6.5 \times 10^5$  counts および D 量の平均:  $1.4 \times 10^2$  counts,  $\text{D-SiN}_x$  膜中の H 量の平均:  $3.8 \times 10^5$  counts および D 量の平均:  $1.4 \times 10^5$  counts)。このため、成膜中もしくはポストプロセスにおける  $\text{SiN}_x$  膜からの水素(重水素)の拡散は  $\text{D-SiN}_x$  膜よりも多く、a-IGZO TFT のチャネル領域のトラップ準位と NBTIS 試験によるストレス信頼性に影響を及ぼしていると考えられる。

以上の結果により、PV 層として  $\text{SiN}_x$  膜を用いる場合、ガスバリア性に優れる利点がある一方で、膜中に多くの水素を含むことから、その製造プロセス中に水素が拡散し、a-IGZO 膜中にまで拡散することを確認した。また、この  $\text{SiN}_x$  膜から拡散した水素は P3 トラップ準位を形成し、NBTIS 試験によるハンプをとめなう TFT 伝達特性の変化を誘発することを確認した。PV 層への Si 系樹脂の導入は  $\text{SiN}_x$  膜からの水素拡散を抑制する効果があるとともに、NBTIS 試験による TFT 信頼性の劣化を改善できることを見出した。

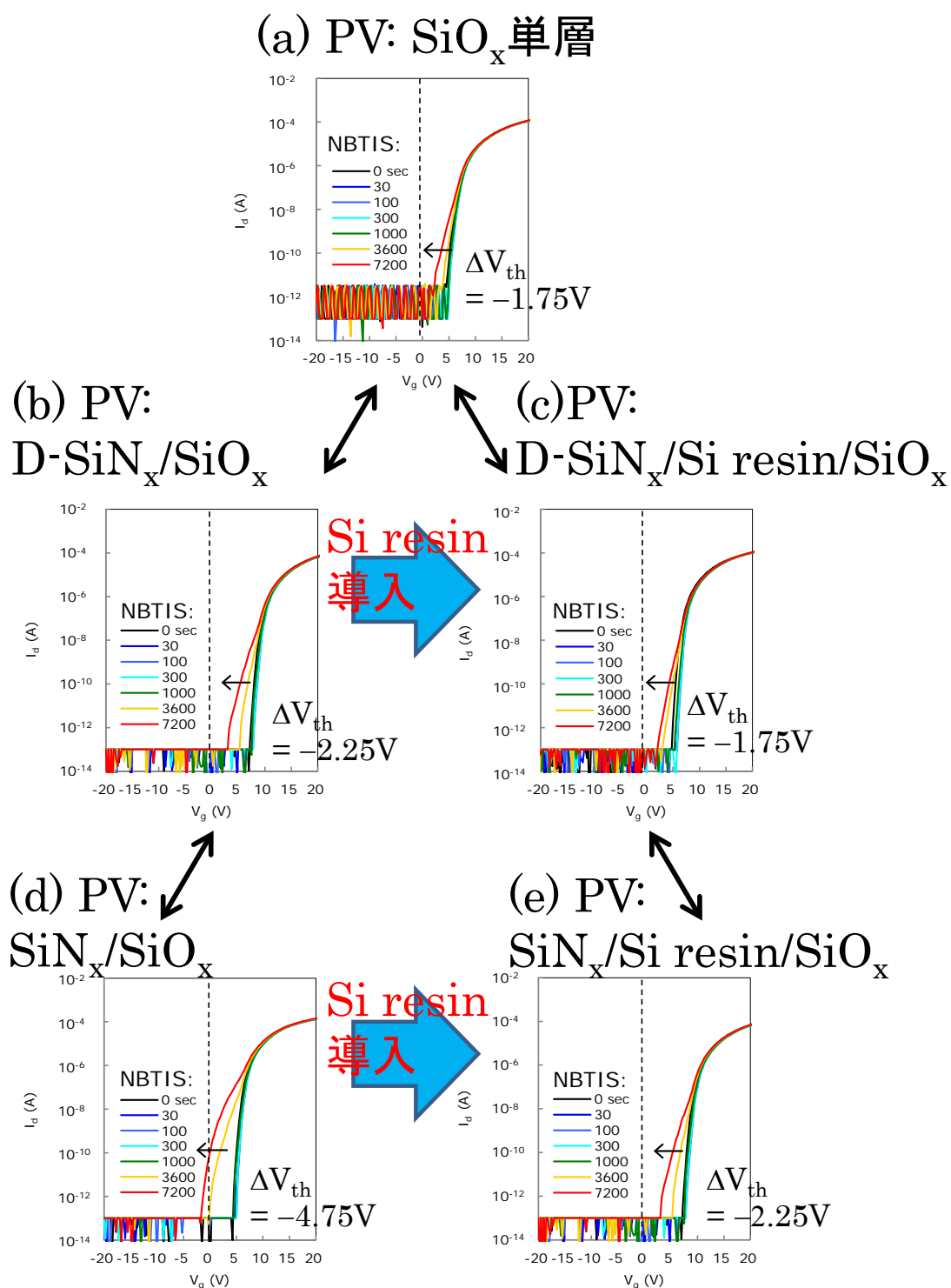


図 4-19 異なる PV 層を有する a-IGZO ESL-TFT の NBTIS 試験による伝達特性の変化。

(a)  $\text{SiO}_x$  単層, (b)  $\text{D-SiN}_x/\text{SiO}_x$ , (c)  $\text{D-SiN}_x/\text{Si resin}/\text{SiO}_x$ ,  
(d)  $\text{SiN}_x/\text{SiO}_x$  および (e)  $\text{SiN}_x/\text{Si resin}/\text{SiO}_x$ .

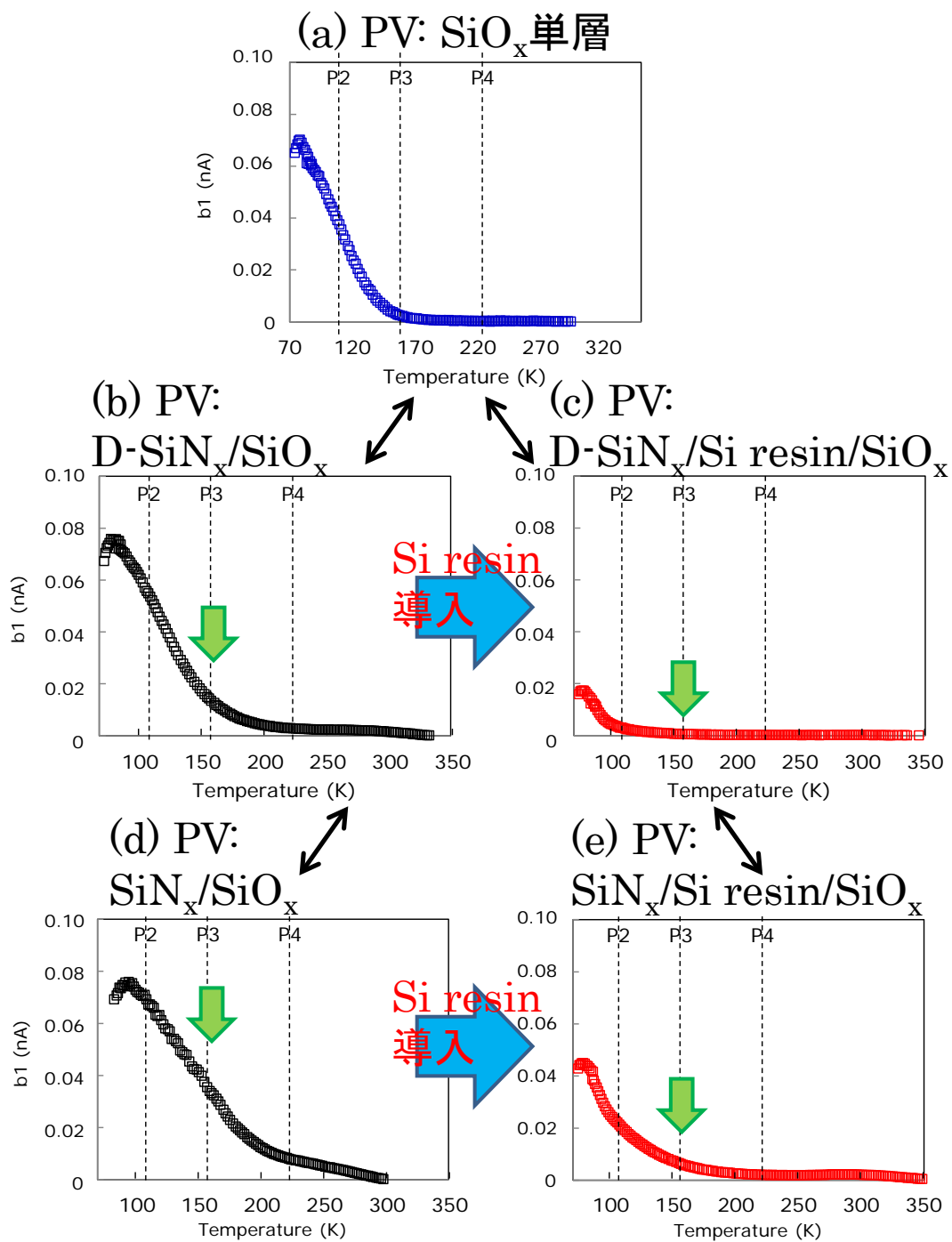


図 4-20 異なる PV 層を有する ESL-TFT の a-IGZO から得られた PITS スペクトル.

(a)  $\text{SiO}_x$  単層, (b)  $\text{D-SiN}_x/\text{SiO}_x$ , (c)  $\text{D-SiN}_x/\text{Si resin}/\text{SiO}_x$ ,  
 (d)  $\text{SiN}_x/\text{SiO}_x$  および (e)  $\text{SiN}_x/\text{Si resin}/\text{SiO}_x$ .



## 4.5 まとめ

本章では, ESL 型 a-IGZO TFT のチャネル領域のトラップ準位とストレス信頼性の中で最も重要とされる NBTIS に対する信頼性との相関について調査した. また, a-IGZO 薄膜の成膜ならびに a-IGZO 薄膜直上の ESL 層が a-IGZO 膜中に形成されるトラップ準位に及ぼす影響について, PITS 法で評価した結果を述べた. さらに, NBTIS 試験によって生じた TFT の伝達特性のハンプをとまなう変化と a-IGZO 膜中に形成されるトラップ準位との対比を行い, その相関を検証するために, TFT 特性の  $V_{th}$  の時間依存性とデバイスシミュレーションの結果から議論を行った.

加えて, a-IGZO 薄膜の Zn 添加量の違いにより生じるトラップ準位について説明し, TFT 特性に及ぼす影響について議論した. さらに, PV 層の  $\text{SiN}_x$  膜が a-IGZO に与えるトラップ準位の変化および NBTIS 試験による TFT 特性の変化を評価した結果をまとめた. PV 層  $\text{SiN}_x$  膜に含まれる水素と a-IGZO および ESL- $\text{SiO}_x$  膜に含まれる水素を切り分けるために PV 層  $\text{SiN}_x$  膜は重水素含有  $\text{SiN}_x$  膜 (D- $\text{SiN}_x$  膜) を用いて実験を進めた.

本章で得られた結論を以下に示す.

- 1) ESL-TFT チャネル領域の電子状態は a-IGZO と ESL の形成プロセスにより大きく異なる. 「低酸素分圧 a-IGZO および低  $\text{SiH}_4/\text{N}_2\text{O}$  流量 ESL」条件では a-IGZO 膜中は亜鉛欠損欠陥 (P2) が多い状態にあり, 「高酸素分圧 a-IGZO」条件では a-IGZO 膜中は  $-\text{OH}$  結合が相対的に多く, 亜鉛過剰欠陥 (P4) が多い状態になる. さらに「高  $\text{SiH}_4/\text{N}_2\text{O}$  流量 ESL」条件では a-IGZO 膜中に水素関連欠陥 (P3) が相対的に多い状態にあることが明らかとなった.
- 2) デバイスシミュレーションにより, 1) で述べた a-IGZO チャネル領域のサブギャップ準位の密度が変化することで, TFT の伝達特性はパラレルに変化するのではなく, ハンプ形状をとまなう変化や裾を引いた変化をすることを示した.  $V_{th}$  シフトの時間依存性から, NBTIS 試験による TFT 伝達特性の変化は, ESL からの水素の拡散によりとくに変化することを明らかにした. また, NBTIS 試験後の伝達特性の詳細な形状は実験によって異なる. このことは,  $V_{th}$  シフトに関与する支配的なトラップ準位のエネルギーレベルや部分的な分布が変化したためと考えられる.
- 3) a-IGZO 薄膜における Zn 添加量の増加により, a-IGZO チャネル領域は亜鉛欠損欠陥の多い状態から酸素欠損欠陥の多い状態に変化することを確認した. 高 Zn 添加 a-IGZO TFT は  $\mu_{sat}$  および  $S$  値が劣化し, NBTIS 試験による伝達特性のパラレルシフトを誘発した. パラレルシフトは亜鉛欠損欠陥 (P2) より浅い準位に起因する可能性が示された.
- 4) PV 層の  $\text{SiN}_x$  膜の形成にとまなう水素拡散によって, a-IGZO 膜中に水素関連欠陥に起因するトラップ準位が形成された. この  $\text{SiN}_x$  膜からの水素拡散は, NBTIS 試験によ

るハンプをともなう負電圧側への  $V_{th}$  シフトを誘発した. さらに,  $\text{SiN}_x$  膜の直下への Si 系樹脂の導入により,  $\text{SiN}_x$  膜からの水素拡散が抑制され,  $V_{th}$  シフトが改善することを確認した.

## 参考文献

- 1) A. Hino, S. Morita, S. Yasuno, T. Kishi, K. Hayashi, and T. Kugimiya; J. Appl. Phys. 112, 114515 (2012).
- 2) V. Quemener, L. Vines, E. V. Monakhov, and B. G. Svensson, Appl. Phys. Lett. 100, 112108 (2012).
- 3) A. Hupfer, C. Bhodoo, L. Vines, and B. G. Svensson; Appl. Phys. Lett. 104, 092111 (2014).
- 4) K. Hayashi, A. Hino, S. Morita, Y. Satoshi, H. Okada, and T. Kugimiya, Appl. Phys. Lett. 100, 102106 (2012).
- 5) A. Chasin, E. Simoen, A. Bhoolokam, M. Nag, J. Genoe, G. Gielen, and P. Heremans, Appl. Phys. Lett. 104, 082112 (2014).
- 6) T. Toda, D. Wang, J. Jiang, M. P. Hung, and M. Furuta; IEEE Trans. Electron Devices 61, 3762 (2014).
- 7) K. Domen, T. Miyase, K. Abe, H. Hosono, and T. Kamiya, IEEE Trans. Electron Device Lett. 35, 832 (2014).
- 8) Y.-S. Lee, E. K-H, Yu, D.-H. Shim, H.-S. Kong, L. Bie, and J. Kanicki, Jpn. J. Appl. Phys. 53, 121101 (2014).
- 9) K. H. Ji, J. -I. Kim, H. Y. Jung, S. Y. Park, R. Choi, U. K. Kim, C. S. Hwang, D. Lee, H. Hwang, and J. K. Jeong, Appl. Phys. Lett. 98, 103509 (2011).
- 10) T. Toda, D. Wang, J. Jiang, M. P. Hung, and M. Furuta; IEEE Trans. Electron Devices 61, 3762 (2014).
- 11) A. Hino, H. Tao, Y. Takanashi, M. Ochi, H. Goto, K. Hayashi, T. Kugimiya, Proc. of 21st International Workshop on Active-Matrix Flatpanel Displays and Devices (AM-FPD), p. 141 (2014).
- 12) Y. Yamada-Takamura, F. Koch, H. Maier, and H. Bolt, Surface and Coatings Technology, 153, 114 (2002).
- 13) M. D. H. Chowdhury, M. Mativenga, J. G. Um, R. K. Mruthyunjaya, G. N. Heiler, T. J. Tredwell, and J. Jang, IEEE Trans. Electron Devices, 62, 869 (2015).
- 14) M. Fujii, Y. Uraoka, T. Fuyuki, J. S. Jung, and J. Y. Kwon, Jpn. J. Appl. Phys., Part 1 48, 04C091 (2009).
- 15) J. Jeong and Y. Hong, ITC'10, 182 (2010).
- 16) T. Kamiya, K. Nomura, and H. Hosono, J. Disp. Technol. 5, 273 (2009).
- 17) A. Sato, K. Abe, R. Hayashi, H. Kumomi, K. Nomura, T. Kamiya, M. Hirano, and H. Hosono, Appl. Phys. Lett. 94, 133502 (2009).

- 18) H. Kumomi, S. Yaginuma, H. Omura, A. Goyal, A. Sato, M. Watanabe, M. Shimada, N. Kaji, K. Takahashi, M. Ofuji, T. Watanabe, N. Itagaki, H. Shimizu, K. Abe, Y. Tateishi, H. Yabuta, T. Iwasaki, R. Hayashi, T. Aiba, and M. Sano, J. Disp. Technol. 5, 531 (2009).
- 19) L. Shao, K. Nomura, T. Kamiya, and H. Hosono, Electrochem. Solid-State Lett. 14, H197 (2011).
- 20) S.-H. Yanga, J. Y. Kima, M. J. Parka, K.-H. Choib, J. S. Kwaka, H.-K. Kimb, and J.-M. Lee, Surf. Coat. Technol. 206, 5067 (2012).
- 21) A. V. Ferris-Prabhu, IEEE Trans. Electron Devices, ED-24, 524 (1977).
- 22) H. Kumomi, K. Nomura, T. Kamiya, and H. Hosono, Thin Solid Films, 516, 1516 (2008).
- 23) M. Ryu, S. Yang, S. Park, C. Hwang, and J. Jeong, Appl. Phys. Lett., 98, 72104 (2009).
- 24) X. Huang, C. Wu, H. Lu, F. Ren, Q. Xu, H. Ou, R. Zhang, Y. Zheng, Applied Physics Letters, 100, 243505 (2012).
- 25) H. Oh, S. -M. Yoon, M. K. Ryu, C. -S. Hwang, S. Yang, and S. -H. K. Park, Applied Physics Letters, 97, 183502 (2010).
- 26) M. D. H. Chowdhury, P. Migliorato, and J. Jang, Appl. Phys. Lett. 97, 173506 (2010).
- 27) M. D. H. Chowdhury, M. Mativenga, P. Migliorato, and J. Jang, IMID 2012 DIGEST, 71 (2012).

## 第5章 BCE プロセスが TFT 特性に与える影響 および BCE-TFT の特性改善

### 5.1 はじめに

a-IGZO TFT の量産化は ESL 型構造が先行している。BCE 型構造は製造プロセスの工程短縮による低コスト化に加え、寄生容量の低減による大型パネルへの対応および短チャネル化による素子微細化等の多くの利点を有する。このため、a-Si TFT では BCE 型構造が既に標準であり、次世代 FPD に搭載されるバックプレーンへの BCE 型 a-IGZO TFT の搭載は時間の問題であると思われる。しかしながら、BCE 型プロセスでは、a-IGZO バックチャネルが保護されていない状態で S/D 電極形成や PV 層形成等が施されるため、ESL 型プロセスに比べて、TFT 伝達特性の劣化<sup>1,2)</sup>やストレス信頼性の劣化<sup>3-7)</sup>のように TFT 特性が不十分になることが報告されている。そのため、BCE 型 a-IGZO TFT における特性劣化の抑制もしくはその回復を施すために、S/D 電極形成における適切なエッチングプロセスや PV 層形成プロセスおよびその後のプロセスインテグレーションを考慮する必要がある。

FPD パネルの大型化により、TFT に用いられるゲート電極や S/D 電極用材料には Cu に代表される低抵抗材料の採用が検討されてきた。一般に、Cu/Mo 積層膜や Mo/Cu/Mo 積層膜のように、バリアメタルとの組み合わせで使用され、これらの電極形成には、過酸化水素 ( $\text{H}_2\text{O}_2$ ) ベースのエッチャントが広く使用される。BCE 型プロセスの技術確立に向けて、これまでに、エッチャントの調整<sup>8)</sup>、PV 層形成プロセスにおける S/D メタルの再堆積の回避<sup>9)</sup>、S/D 電極形成後のクリーニング処理<sup>10-12)</sup>等により、TFT の伝達特性およびストレス耐性の改善が提案されている。また、従来の Al を用いた S/D 電極を用いた場合において、ドライエッチングプロセスによる S/D 電極形成後のプラズマダメージや PV 層形成にともなう a-IGZO 膜中への水素導入による導体化の回復を目的として、 $\text{N}_2\text{O}$  プラズマのような追加プロセス導入の提案もなされている<sup>2)</sup>。しかしながら、これらの TFT プロセスが a-IGZO チャネル領域の電子状態に及ぼす影響については明らかになっていない。

第4章では、ESL 型 a-IGZO TFT における ESL( $\text{SiO}_x$ )成膜条件によるトラップ準位の誘発と NBTIS ストレス信頼性について述べてきた。BCE 型 a-IGZO TFT においても、PV 層 ( $\text{SiO}_x$ ) が TFT 特性に及ぼす影響は大きいことが予想され、S/D 電極形成時に a-IGZO のバックチャネルにダメージが加わる分、TFT 伝達特性の  $V_{th}$  制御やストレス信頼性の向上はさらに困難になる。そのため、BCE 型 a-IGZO TFT の開発においては、S/D 電極形成による a-IGZO のバックチャネルダメージを低減するために、量産性の低いリフトオフプロセスが選択されるケースが多い。また、PV 層からの水素の影響や外部環境からの水分を回避するために、radio-frequency (RF) スパッタリングを用いた  $\text{Al}_2\text{O}_3$  膜<sup>13)</sup>、plasma-assisted atomic

layer deposition (ALD) による  $\text{Al}_2\text{O}_3$  膜<sup>14-16)</sup>および thermal ALD (TALD) による  $\text{Al}_2\text{O}_3$  膜の適用が検討されている<sup>17)</sup>。しかし、a-Si TFT 製造ラインとの親和性、成膜レートの低さ、製造設備の稀少性など  $\text{Al}_2\text{O}_3$  膜を用いた量産性の困難さを考慮すると、第 4 章で述べたように、含有水素量の多い PECVD- $\text{SiO}_x$  膜や PECVD- $\text{SiN}_x$  膜を PV 層として用いることが実用上望ましい。本章では、S/D 電極形成プロセス(以降、同様の S/D 電極形成プロセスを BCE プロセスという)が a-IGZO 膜中の電子状態に及ぼす影響と TFT 特性に与える影響を調査した。さらに、バリア膜として一般的に用いられる  $\text{SiN}_x$  膜を PV 層の最上層に備えた TFT 特性の変化を調べて、BCE プロセス中に a-IGZO 膜中に誘起される電子状態の変化と TFT のストレス信頼性との相関を調査した。そして、これらの知見を元に、各種ストレス信頼性を向上する製造プロセスを検討した。

## 5.2 BCE プロセスの種類

表 5-1 に BCE 型 a-IGZO TFT における BCE プロセスの種類と使用するエッチャントもしくはエッチングガスに対する a-IGZO の選択性を示した。一般に、中小型パネルの S/D 電極は Mo/Al/Mo (合金を含む) が広く使われているが、Mo/Al/Mo をパターニングするための PAN エッチャント(リン酸・硝酸・混酸の混合酸)に対して a-IGZO のエッチングレート(E/R)は非常に大きい。そのため、a-IGZO の選択性が確保できず、BCE プロセス中にチャネル領域の a-IGZO 薄膜は過剰に膜減りする、もしくは消失してしまう。現状、BCE プロセスには、 $\text{H}_2\text{O}_2$  系エッチャントを用いたウエットエッチングもしくは  $\text{Cl}_2$  系ガス系を用いたドライエッチングが検討される(一部、Cu/Ti 電極(Ti はバリアメタル)のように、Cu をウエットエッチングした後に連続して Ti をドライエッチングする手段が用いられる場合もある)。また、リフトオフ法と呼ばれるプロセスが用いられる場合もある。リフトオフ法は、S/D 電極の形成領域にレジスト等の開口を形成して、スパッタリングにより各 S/D 電極材料を成膜した後、超音波洗浄等によりレジスト上の S/D 電極材料とともにレジストを除去してパターニングを行う手法である。リフトオフ法を用いることにより、a-IGZO のバックチャネル表面は BCE プロセスのエッチャントやエッチングガスに曝されないため、バックチャネルのダメージを軽減できる利点がある。しかし、プロセスの特性上、均一な電極形成と微細な素子形成が困難であることから、量産ラインでは実用的に用いられることはない。本研究では、次世代ディスプレイとしての大画面化に対応可能な Cu/Mo もしくは Mo/Cu/Mo への適用が可能な  $\text{H}_2\text{O}_2$  系エッチャントによるウエットエッチングを用いた BCE プロセスに着目して取り組みを進めた。

表 5-1. BCE-TFT における BCE プロセスと a-IGZO との選択性.

S/D プロセス	Wet etching		Dry etching	Lift-off
エッチャント ／エッチングガス	PAN 系 (  酸,  酸,  酸)	H <sub>2</sub> O <sub>2</sub> 系 (  酸化水素系)	Cl <sub>2</sub> 系ガス	---
S/D 材料	Mo Mo/Al/Mo	Mo Cu/Mo Mo/Cu/Mo	Ti Ti/Al/Ti	Mo Ti Au/Ti 等
		Cu/Ti (Wet+Dry)		
a-IGZO 選択比 (E/R)	× (105 nm/min)	○ (4 nm/min)	○	---
量産プロセス適合性	×	○	○	×

### 5.3 エッチャント浸漬によるバックチャネル表面組成および結合状態

BCE-TFT では a-IGZO のバックチャネルは H<sub>2</sub>O<sub>2</sub> 系エッチャントに浸漬される. そのため, a-IGZO 薄膜の H<sub>2</sub>O<sub>2</sub> 系エッチャント浸漬による a-IGZO 表面組成および結合状態の評価するために XPS 分析を行った. サンプルは 4%酸素分圧条件で a-IGZO 薄膜 (40 nm) を成膜した後, プリアニリングとして, 大気雰囲気中で 350 °C, 1 hr の熱処理を施した. その後, 過酸化水素水, 有機酸, 水の混合物である H<sub>2</sub>O<sub>2</sub> 系エッチャントを 35 °C に加温し, サンプルを 5 min 浸漬した.

図 5-1 に H<sub>2</sub>O<sub>2</sub> 系エッチャント浸漬前後の a-IGZO 薄膜組成の表面近傍の XPS デプスプロファイルを示す. H<sub>2</sub>O<sub>2</sub> 系エッチャントの浸漬前後では, Ga および酸素のデプスプロファイルはほとんど変化がないことがわかる. 一方で, H<sub>2</sub>O<sub>2</sub> 系エッチャント浸漬後, 最表面の Zn 濃度は減少し, In 濃度は増加した. H<sub>2</sub>O<sub>2</sub> 系エッチャント浸漬前は, 表面近傍の Ga 濃度は膜中に比べて低く, In 濃度は高い傾向であったが, エッチャント浸漬によって In 濃度はさらに増加傾向を示したといえる. In, Ga, Zn の同時スパッタ (Co-sputtering) による Hall 移動度およびキャリア濃度の組成依存性評価において, In 濃度の高い組成領域, Ga 濃度の低い組成領域はキャリア濃度および Hall 移動度が増加するという報告がなされている<sup>18)</sup>. H<sub>2</sub>O<sub>2</sub> 系エッチャント浸漬後の最表面近傍は In 濃度が高く, Ga 濃度が低いことから, バックチャネル最表面近傍ではキャリア濃度の高い領域が形成されていると推察される.

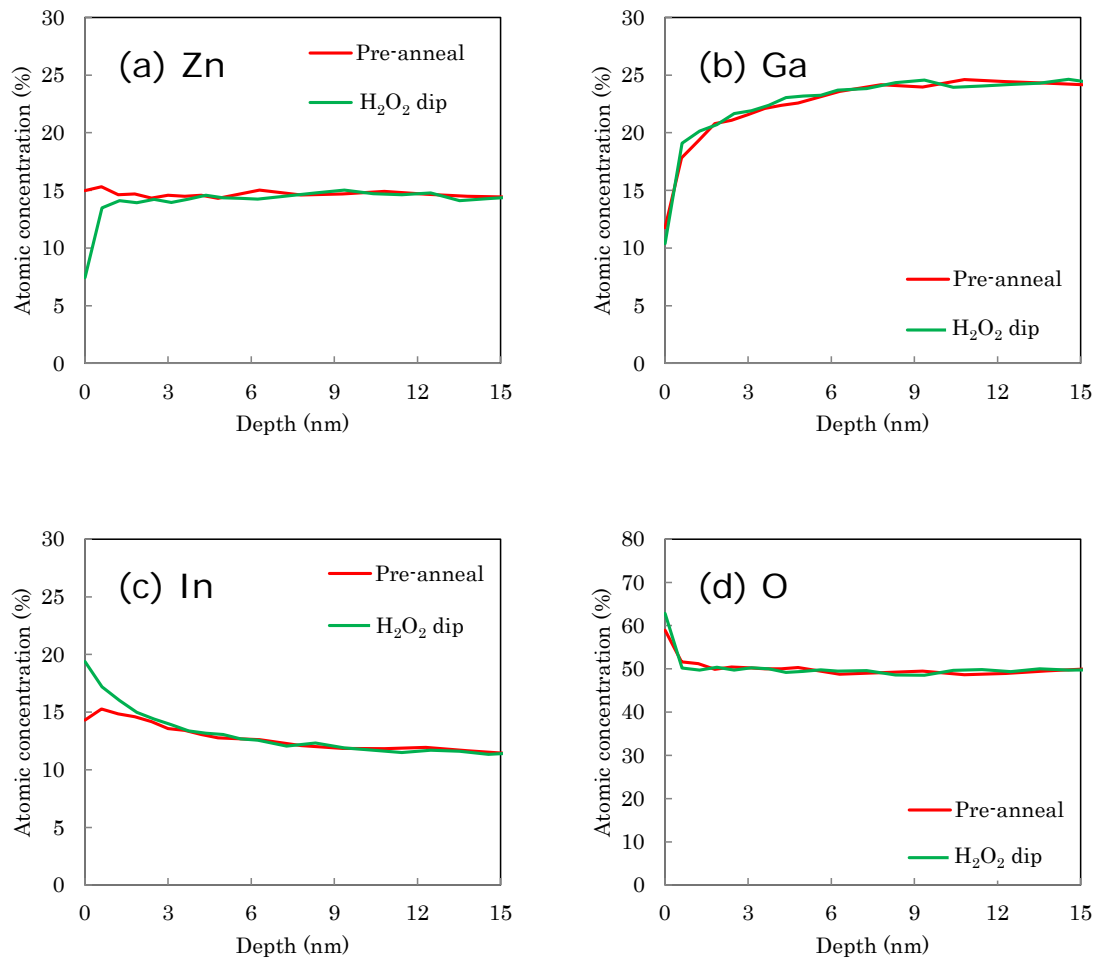


図 5-1 XPS により求めた H<sub>2</sub>O<sub>2</sub> 系エッチャントの浸漬前後の a-IGZO 薄膜表面近傍組成.

次に, a-IGZO バックチャネル表面近傍の結合状態を XPS により分析した. 一般に, 原子が光電放出過程で電子を失うときに非導電性試料では表面に電荷が生じる(帯電). そのため, 最も一般的である C1s 準位からの光電子を基準としてピーク位置の帯電を補正した. 図 5-2, 5-3, 5-4, 5-5 に H<sub>2</sub>O<sub>2</sub> エッチャントの浸漬前後の a-IGZO 薄膜における最表面から約 5 nm までの XPS スペクトルを示す. それぞれ図 5-2 は In3d<sub>5/2</sub>, 図 5-3 は Ga2p<sub>3/2</sub>, 図 5-4 は Zn2p<sub>3/2</sub> である. In3d<sub>5/2</sub> スペクトルから, In<sub>2</sub>O<sub>3</sub>(444.6 eV)のピークが H<sub>2</sub>O<sub>2</sub> 系エッチャント浸漬前後で観測されており, H<sub>2</sub>O<sub>2</sub> 系エッチャント浸漬後の a-IGZO 薄膜の最表面に In(OH)<sub>3</sub>(445.0 eV)のピークの形成が示された. また, Zn2p<sub>3/2</sub> では, ZnO(1022.1 eV)のピークが H<sub>2</sub>O<sub>2</sub> 系エッチャント浸漬前後で観測されており, H<sub>2</sub>O<sub>2</sub> 系エッチャント浸漬後の a-IGZO 最表面に Zn(1021.9 eV)のピークを確認した. 一方, Ga2p<sub>3/2</sub> では, Ga<sub>2</sub>O<sub>3</sub>(1118.0 eV)のピークが H<sub>2</sub>O<sub>2</sub> 系エッチャント浸漬前後で同様のスペクトルを示しており, 結合状態の変化は確認されなかった. また, 図 5-5 は O1s スペクトルを表している. a-IGZO では O1s ピークを分



離することで酸素欠損の解析がなされているが<sup>19)</sup>,  $\text{H}_2\text{O}_2$  系エッチャントの浸漬によって変化していないことがわかる. これらのことから,  $\text{H}_2\text{O}_2$  エッチャントの浸漬によって, a-IGZO の最表面近傍は一部の結合状態に影響を受けており,  $\text{In}_2\text{O}_3$  から  $\text{In}(\text{OH})_3$ , および,  $\text{ZnO}$  から  $\text{Zn}$  への変化が示された.

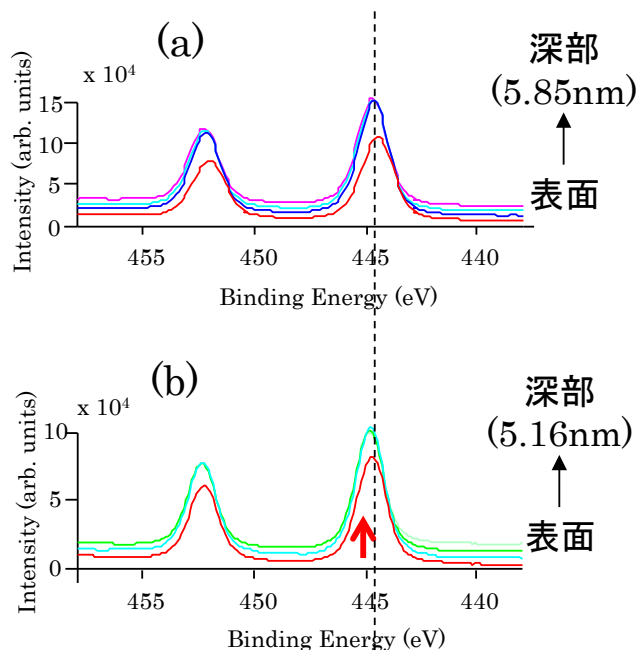


図 5-2 a-IGZO の XPS  $\text{In } 3d_{5/2}$  のスペクトル (a) Pre-anneal 後, (b)  $\text{H}_2\text{O}_2$  dip 後.

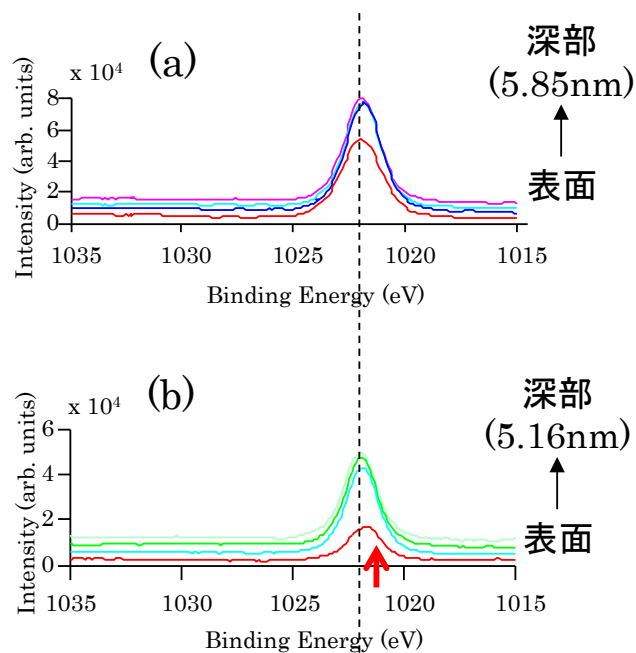


図 5-3 a-IGZO の XPS  $\text{Zn } 2p_{3/2}$  のスペクトル (a) Pre-anneal 後, (b)  $\text{H}_2\text{O}_2$  dip 後.

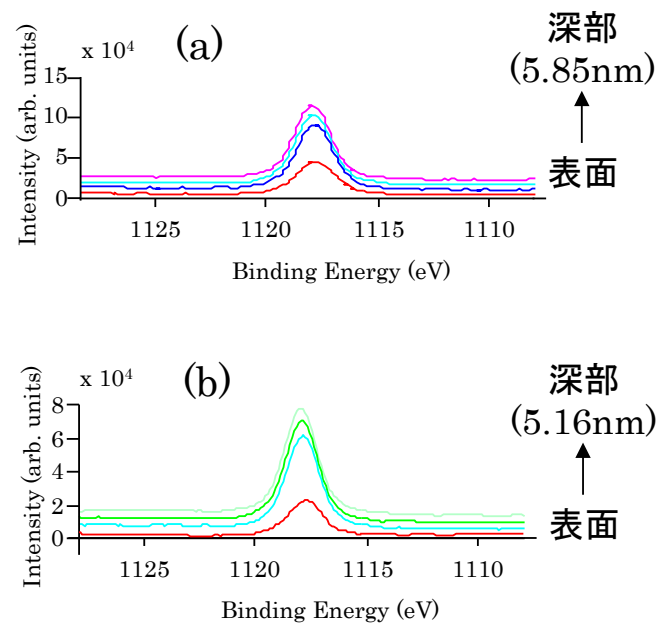


図 5-4 a-IGZO の XPS Ga<sub>2p<sub>3/2</sub></sub> のスペクトル (a) Pre-anneal 後, (b) H<sub>2</sub>O<sub>2</sub> dip 後.

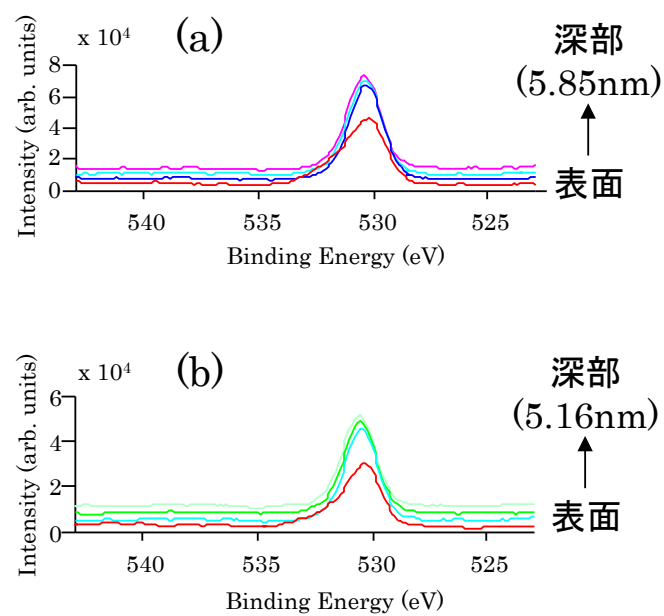


図 5-5 a-IGZO の XPS O1s のスペクトル (a) Pre-anneal 後, (b) H<sub>2</sub>O<sub>2</sub> dip 後.

## 5.4 BCE プロセスに起因する初期の TFT 特性が受ける影響

図 5-6(a)に a-IGZO BCE-TFT の断面図を、図 5-6(b)に a-IGZO バックチャネル領域の BCE プロセスの工程毎の断面の変化を示す。BCE プロセスでは、S/D 電極材料のスパッタリングが行われた後、フォトリソグラフィ工程が施される。その後、ウエットエッチング処理により S/D 電極材料が除去され、a-IGZO バックチャネルはエッチャントに浸漬される。ウエットエッチングのオーバーエッチング(バックチャネル上の S/D 電極材料が完全に除去された後の追加エッチング)によって、a-IGZO バックチャネル側に膜減りが生じる。

そこで、BCE-TFT の伝達特性に対する S/D オーバーエッチングが及ぼす影響を評価した。S/D 電極材料にはバリアメタルとして広く用いられる Mo を用い、そのパターニングには  $\text{H}_2\text{O}_2$  系エッチャントを用いた。

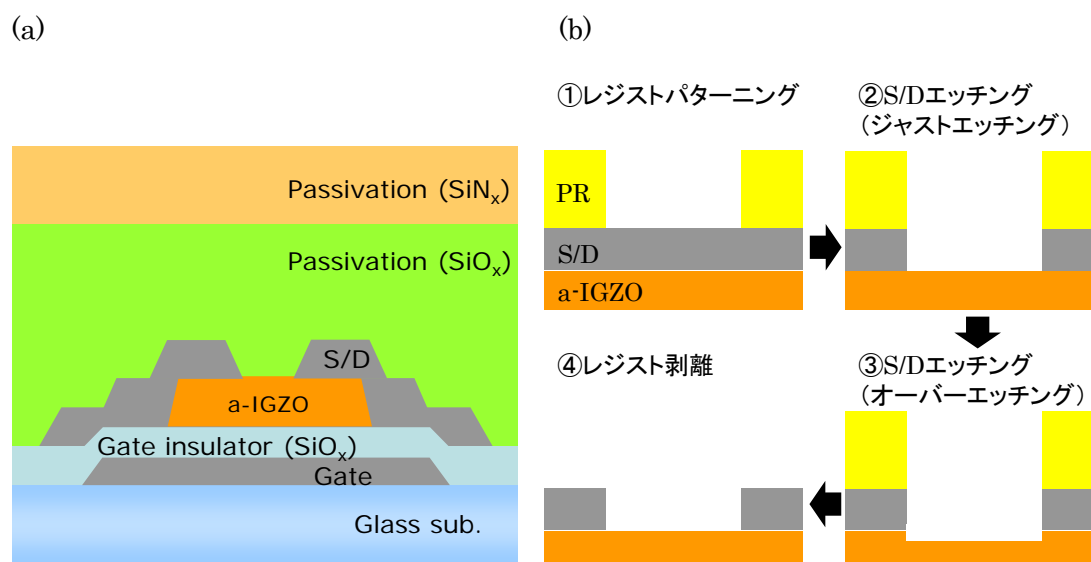


図 5-6 (a) BCE 型 a-IGZO TFT の断面構造, (b) BCE プロセスの工程毎の断面図.

### 5.4.1 BCE-TFT 伝達特性の $S$ 値劣化

図 5-7 に a-IGZO BCE-TFT における伝達特性の S/D オーバーエッチング時間依存性を示す。S/D 電極である 100 nm の Mo 膜に対して、S/D 電極のエッチング時間を 60 sec, 80 sec, 120 sec に設定した。オーバーエッチング量としてはそれぞれ 50%, 100%, 200%になる。50%オーバーエッチングの TFT の伝達特性から得られた  $\mu_{sat}$ ,  $S$  値,  $V_{th}$  はそれぞれ, 7.5  $\text{cm}^2/\text{V}\cdot\text{s}$ , 1.8 V/decade, 0.0 V の値を示しており、a-IGZO ESL-TFT に比べて  $S$  値の顕著

な劣化が確認された。100%オーバーエッチングの場合、同様に得られた $\mu_{sat}$ ,  $S$  値,  $V_{th}$  はそれぞれ  $8.1 \text{ cm}^2/\text{V}\cdot\text{s}$ ,  $1.6 \text{ V/decade}$ ,  $-1.25 \text{ V}$  の値を示しており、50%オーバーエッチングと同様に  $S$  値が大きい。一方、200%オーバーエッチングの場合、 $\mu_{sat}$ ,  $S$  値,  $V_{th}$  はそれぞれ  $8.8 \text{ cm}^2/\text{V}\cdot\text{s}$ ,  $0.8 \text{ V/decade}$ ,  $-2.5 \text{ V}$  の値が得られ、オーバーエッチング量の増加による  $S$  値の改善が確認された。

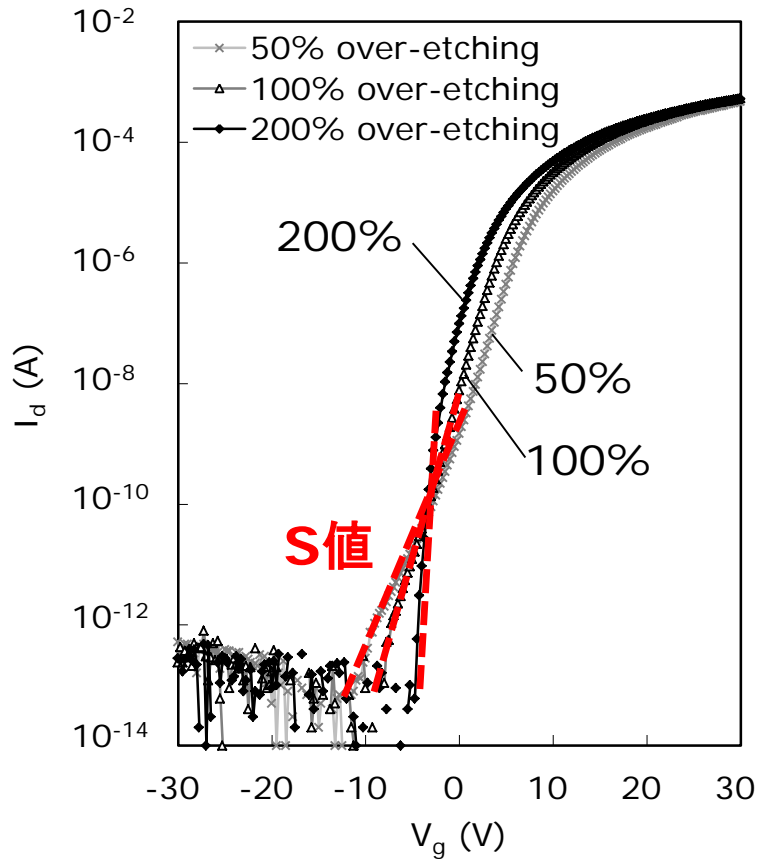


図 5-7 BCE 型 a-IGZO TFT の伝達特性の S/D オーバーエッチング時間依存性.

#### 5.4.2 $S$ 値劣化の要因解析

一般に、 $S$  値は総トラップ密度  $N_t = D_{it} + tN_{sg}$  に関係しており、次の式を用いて推定することができる<sup>20,21)</sup>。

$$S = \log_e 10 \times k_B T / q \times \left[ 1 + q(D_{it} + tN_{sg}) / C_{ox} \right] \quad (5.1)$$

ここで  $q$  は素電荷,  $k_B$  はボルツマン定数,  $T$  は温度,  $t$  は a-IGZO の厚さ,  $C_{ox}$  は面積あたりのゲート容量である.  $D_{it}$  は GI/活性層界面における  $E_F$  に近いトラップ準位の面積密度であり,  $N_{sg}$  は a-IGZO のバルク領域における浅いトラップ準位の体積密度である. 50%, 100%, 200%のそれぞれの S/D オーバーエッチング時間によって作製された a-IGZO BCE-TFT の  $N_t$  は, 図 5.7 から得られた  $S$  値および(5.1)式により,  $2.26 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ ,  $2.04 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$  および  $9.10 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$  と算出された. 次に, S/D オーバーエッチング時間に対する a-IGZO バックチャネル側の電子構造を評価するために, XPS による価電子帯スペクトルを取得した. 実際の a-IGZO バックチャネルを模擬するために, 分析サンプルはブリアニリングした a-IGZO 薄膜の直上に S/D 電極となる Mo を堆積し,  $\text{H}_2\text{O}_2$  系エッチャントにより Mo を全面エッチングした. 図 5-8 および図 5-9 は 50%および 200%の S/D オーバーエッチングを施した a-IGZO 薄膜のバックチャネル表面から得られた価電子帯 XPS スペクトルであり, 図 5-10 に参考としてブリアニリング後の a-IGZO 薄膜から得られた価電子帯 XPS スペクトルを示した. 50%の S/D オーバーエッチングの場合, TFT 伝達特性の  $S$  値の劣化が顕著であったが(図 5-7), a-IGZO 薄膜から得られた価電子帯 XPS スペクトルから, バンドギャップ全体にわたって連続的なギャップ準位が存在することが明らかになった. このようなギャップ準位は, BCEプロセスを施す前には観察されておらず, また, 200%の S/D オーバーエッチング後にも検出されなかった. さらに,  $20^\circ$ ,  $45^\circ$ ,  $90^\circ$ の角度分解 XPS 解析を行い, サンプルに対して低角で測定したスペクトルほどこれらギャップ準位が顕著に確認されることから, a-IGZO バックチャネルの表面から数 nm の範囲に分布していることが判明した.

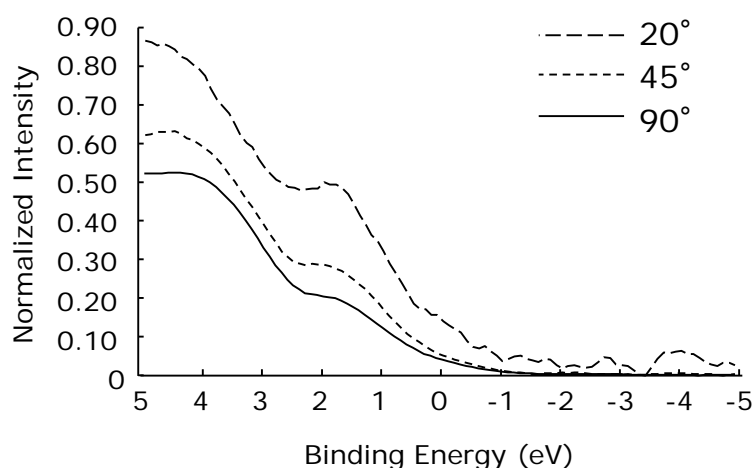


図 5-8 50% S/D オーバーエッチング後の a-IGZO 薄膜から得られた価電子帯 XPS スペクトル(電子放出角  $20^\circ$ ,  $45^\circ$ ,  $90^\circ$ ).

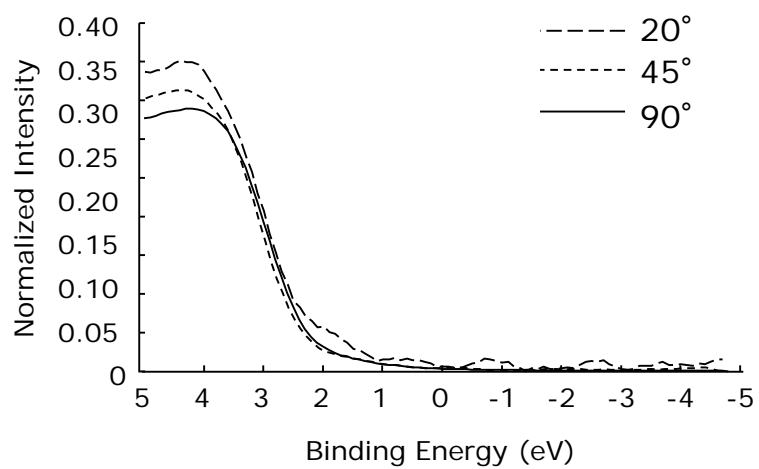


図 5-9 200% S/D オーバーエッチング後の a-IGZO 薄膜から得られた価電子帯 XPS スペクトル(電子放出角 20°, 45°, 90°).

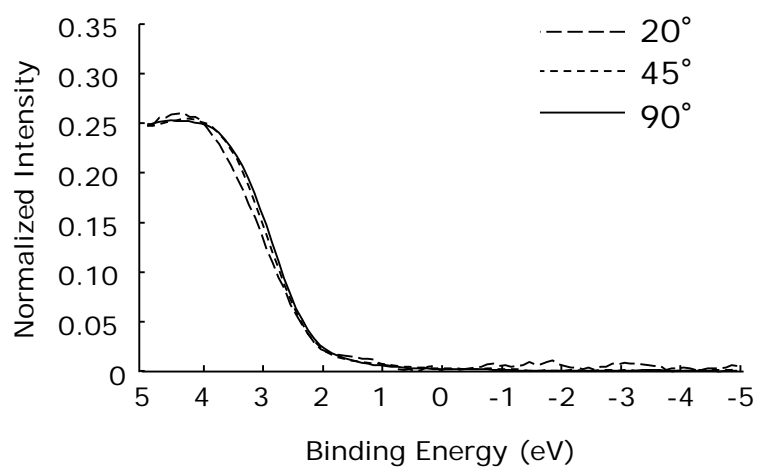
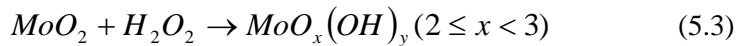
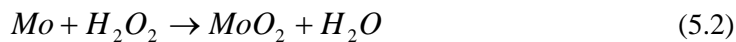


図 5-10 プリアニーリング後の a-IGZO 薄膜から得られた価電子帯 XPS スペクトル (電子放出角 20°, 45°, 90°).

次に、上述したギャップ準位の起源を明らかにするために、S/D オーバーエッチング時間がそれぞれ 50%および 200%の BCE-TFT と同一構造を有するサンプルを用いて、SIMS デプスプロファイルを取得した(図 5-11(a)および(b))。図 5-11(a)に示すように、50%の S/D オーバーエッチングによって作製されたサンプルでは、Mo 残留物がバックチャネル表面付近で顕著に観察された。図 5-12 は図 5-11(a)および(b)から Mo の SIMS デプスプロファイルを抽出し、Mo 薄膜の SIMS デプスプロファイルから得られた値によって規格化したものである。50%の S/D オーバーエッチングのサンプルは、200%の S/D オーバーエッチングのサンプルに比べて、a-IGZO と SiO<sub>x</sub> の界面付近の Mo 残留物が多いことがわかる。また、図 5-13 はプリアニールリング後、50% S/D オーバーエッチング後、200% S/D オーバーエッチング後の a-IGZO 薄膜の最表面の XPS Mo3d のスペクトルである。50% S/D オーバーエッチング後のみ、Mo が検出されており、この Mo 残留物は酸化物として形成されていることを確認した。

一般に、Mo や Al で構成される S/D 電極の場合、PAN エッチャントを用いてパターニングを行うので、このような金属残留物は問題にならない。しかし、Mo や Cu で構成される S/D 電極の場合は H<sub>2</sub>O<sub>2</sub> 系エッチャントを用いるため、エッチング中に(5.2)、(5.3)式で示されるようにバリア金属の Mo と H<sub>2</sub>O<sub>2</sub> 系エッチャントが反応し、さらなる酸化によって MoO<sub>x</sub> が生成されると考えられる<sup>10)</sup>。MoO<sub>3</sub> のエッチング速度は極端に遅いことが報告されている<sup>10)</sup>。



以上のことから、BCE 型 a-IGZO TFT では、BCE プロセス中に a-IGZO バックチャネルの表面近傍にエッチング速度の遅い Mo 残留物が形成されやすく、その形成にともなってバンドギャップ全体に渡りギャップ準位を形成することが明らかになった。また、このように形成されたギャップ準位は TFT 伝達特性の *S* 値の顕著な劣化を生じさせることから、BCE プロセス中に形成される Mo 残留物の回避が重要になる。その手段として、S/D のオーバーエッチング時間の制御は有効であり、a-IGZO チャネル領域の膜減り  $\geq 5$  nm にすることによって効果が得られることを確認できた。

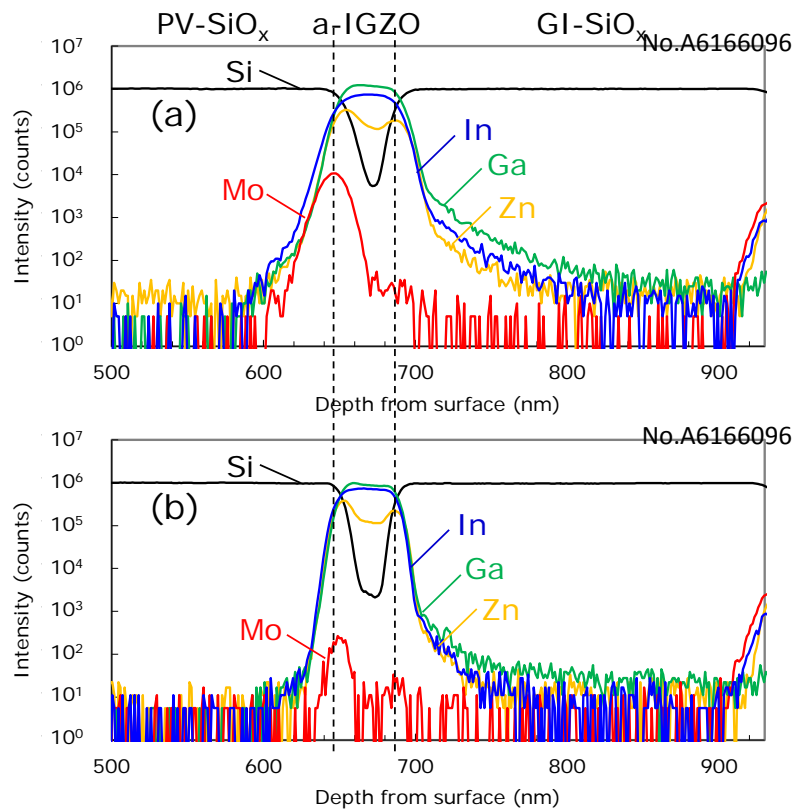


図 5-11 BCE-TFT の Mo の SIMS デプスプロファイル.  
(a) 50% S/D オーバーエッチング, (b) 200% S/D オーバーエッチング.

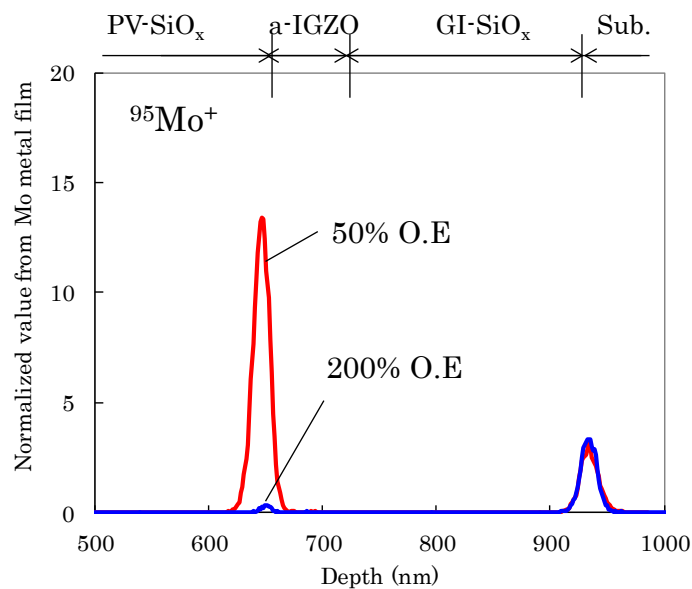


図 5-12 規格化した BCE-TFT の Mo の SIMS デプスプロファイル.



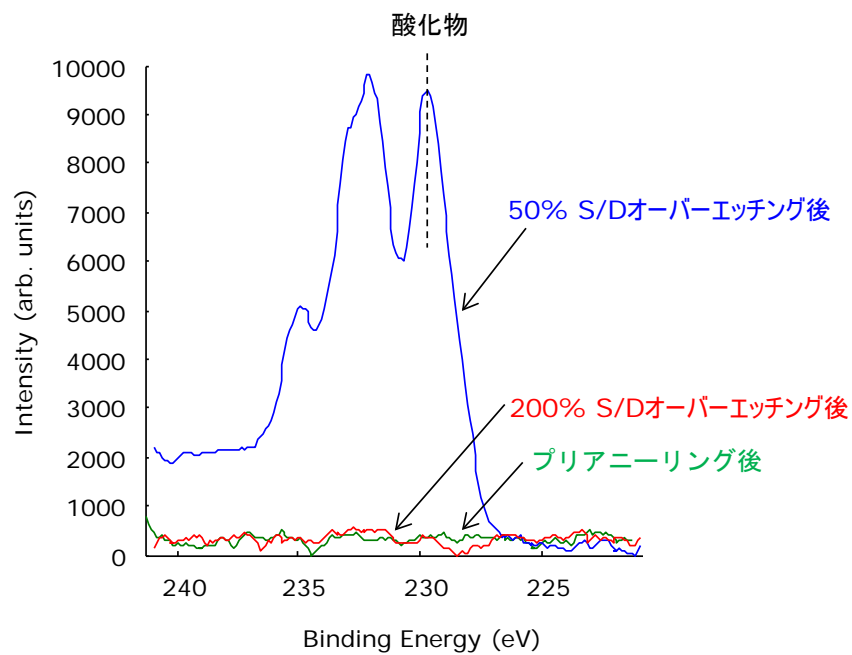


図 5-13 プリアニールング後, 50% S/D オーバーエッチング後,  
200% S/D オーバーエッチング後の  $\alpha$ -IGZO の XPS Mo3d のスペクトル(電子放出角  $45^\circ$ ).

## 5.5 ESL-TFT と BCE-TFT の TFT 特性およびストレス信頼性の比較

図 5.14 に PV 層の異なる BCE 型 a-IGZO TFT の断面構造を示す. 図 5.14(a)は 2 層積層構造(D-SiN<sub>x</sub>/SiO<sub>x</sub>), 図 5.14(b)は 3 層積層構造(D-SiN<sub>x</sub>/Si resin/SiO<sub>x</sub>)の PV 層を組み合わせている. 4.4 節では, これらの PV 層を備えた ESL 型 a-IGZO TFT の断面構造を示した(図 4.12). また, 図 5.14(c)に示す単層構造(SiO<sub>x</sub>)の PV 層はリファレンスとして準備した. 前節同様, S/D 電極は Mo 系材料を用いて, H<sub>2</sub>O<sub>2</sub> 系エッチャントによりパターンニングを行っており, TFT 伝達特性で  $S$  値の劣化が生じないように十分な S/D オーバーエッチングを施した. a-IGZO 膜は 5nm 以上の膜減りが生じるように設定した.

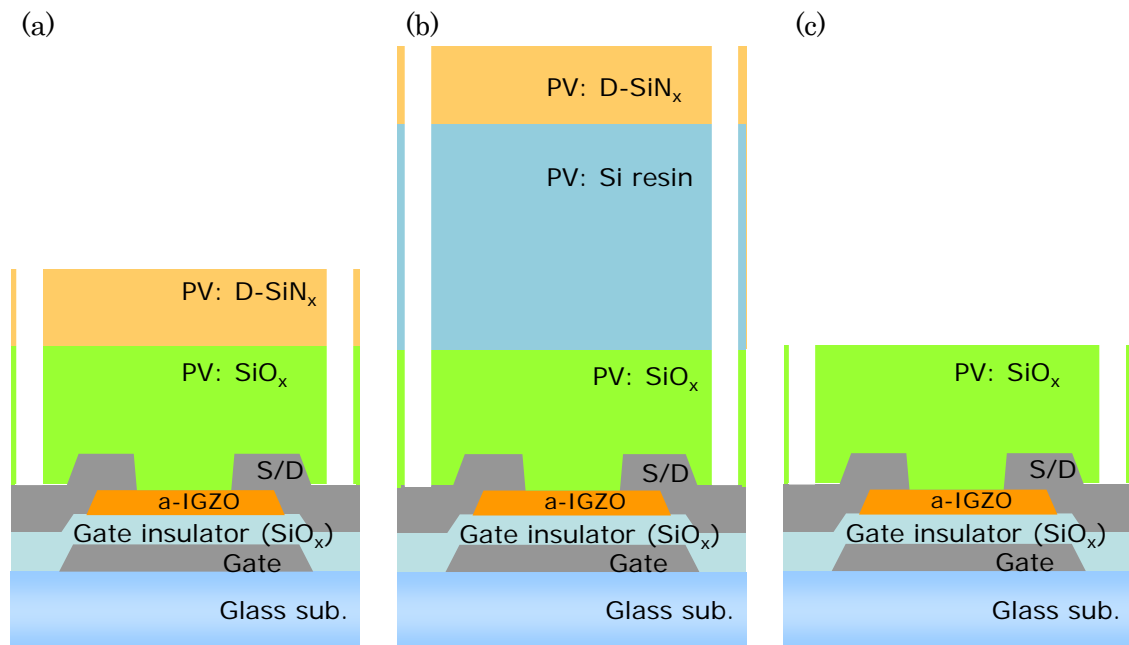


図 5-14 BCE 型 a-IGZO TFT の断面構造.

(a) 3 層積層構造 PV 層, (b) 2 層積層構造 PV 層, (c) 単層構造 PV 層.

表 5-2 に, 2 層積層構造, 3 層積層構造および単層構造の PV 層を用いた ESL 型および BCE 型 a-IGZO TFT の特性をまとめた(ESL 型 a-IGZO TFT の #1, #2 の特性は表 4-8 の値と同一). いずれもポストアニーリングは施しておらず, 比較として, 単層構造 PV 層の a-IGZO ESL-TFT および BCE-TFT の特性を併記した. ESL-TFT と BCE-TFT の比較により, 2 層積層構造 PV 層を備えた BCE-TFT の  $S$  値は顕著に劣化し,  $V_{th}$  も大きく負側にシフトすることがわかる. このような  $S$  値劣化および  $V_{th}$  の負側シフトは a-IGZO チャネルへの水素の取り込みによって生じることが報告されている<sup>22)</sup>. また, 5.3 節で述べたように, H<sub>2</sub>O<sub>2</sub> エッチャントの浸漬によって, a-IGZO 表面近傍に -OH 結合が生じることを確認した. つまり,

BCE プロセスによる a-IGZO チャンネルへの水素の取り込みおよび PV 層からの水素の取り込みによって、これら伝達特性に変化が生じたと推測される。一方、PV 層への Si 系樹脂の導入によって、PV 層からの a-IGZO チャンネル領域への水素の取り込みが低減されるため、これにより  $S$  値が改善したとともに  $V_{th}$  の負側シフトが軽減したと考えられる。

表 5-2 ESL-TFT と BCE-TFT の特性比較.

Sample	Process		TFT performance (without postannealing)				
	BCE process	PV layer	$\mu_{sat}$	$S$ 値	$V_{th}$	$\Delta V_{th}$ after 2h-NBTIS	$\Delta V_{th}$ after 2h-NBTS
	Applied/ Not applied	Structure	(cm <sup>2</sup> /Vs)	(V/dec.)	(V)	(V)	(V)
#1	Not applied (ESL)	D-SiN <sub>x</sub> /SiO <sub>x</sub>	9.5	0.33	7.5	-2.25	-0.75
#2	Not applied (ESL)	D-SiN <sub>x</sub> /Si-resin /SiO <sub>x</sub>	9.8	0.34	6.5	-1.75	-0.75
#R1	Not applied (ESL)	SiO <sub>x</sub>	9.2	0.32	5.5	-1.50	-0.50
#3	Applied (BCE)	D-SiN <sub>x</sub> /SiO <sub>x</sub>	7.4	0.70	-5.5	-5.75	-5.00
#4	Applied (BCE)	D-SiN <sub>x</sub> /Si-resin /SiO <sub>x</sub>	7.9	0.36	-1.0	-6.75	-5.25
#R2	Applied (BCE)	SiO <sub>x</sub>	8.1	0.40	-0.8	-10.5	-6.50

次に、表 5-2 で示した 2 層積層構造および 3 層積層構造の PV 層を用いた BCE-TFT, ESL-TFT の NBTS 試験結果を図 5-15 に、NBTIS 試験結果を図 5-16 に示した (ESL-TFT の結果はそれぞれ図 4-15 および図 4-16 と同一である)。また、単層構造の PV 層の BCE-TFT, ESL-TFT の NBTS 試験結果を図 5-17 に、NBTIS 試験結果を図 5-18 に示した。前章では、NBTIS 試験による ESL-TFT の伝達特性の変化は、ハンプをともなう負側シフトが支配的で、PV 層の構造によってその変化量に違いがあることを述べた。

BCE-TFT では、図 5-16 に示すように、NBTIS 試験によって 2 層積層構造 (TFT#3)、3 層積層構造 (TFT#4) とともに負側に平行にシフトしており、TFT#3 の  $\Delta V_{th}$  は  $-5.75$  V、TFT#4 の  $\Delta V_{th}$  は  $-6.75$  V を示した。また、3 層積層構造の TFT#4 では、長時間のストレス印加時間により、ハンプをともなう変化が確認された。一方、図 5-15 で示したように、光照射のない NBTS 試験では、2 層積層構造 (TFT#3)、3 層積層構造 (TFT#4) とともに負側に平行シフトすることがわかる。そのため、TFT#4 の NBTIS 試験によるハンプをともなう変化は光照射によって誘発されたといえる。

単層構造の場合、ESL-TFT (TFT#R1) では、2 層および 3 層積層構造と同様に、NBTS 試験による伝達特性の変化は非常に小さく、NBTIS 試験によりハンプをともなう変化を示した (図 5-17(a) および図 5-18(a))。BCE-TFT (TFT#R2) では、3 層積層構造と同様に、NBTS 試験により平行にシフトし (図 5-17(b))、NBTIS 試験により平行シフト後に、ハンプをともなう変化を確認した (図 5-18(b))。

図 5-16 で示した 2h-NBTIS 試験に対し、さらに長時間の 10h-NBTIS 試験を実施した。図 5-19 は ESL-TFT (TFT#1, TFT#2) および BCE-TFT (TFT#3, TFT#4) におけるストレス時間を関数とした伝達特性の  $V_{th}$  の変化である。ESL-TFT では 2 層および 3 層積層構造ともに、およそ 1000 sec 経過後に  $V_{th}$  の減少が生じた。一方、BCE-TFT では 2 層および 3 層積層構造ともにストレス時間初期の 100 sec 経過後に  $V_{th}$  が減少しており、この傾向は平行シフトに起因したものといえる。さらに長時間のストレス印加により、3 層積層構造 (TFT#4) は 3600 sec 経過後に急激に負側に変化した。この傾向はハンプの形成に付随した変化といえる。2 層積層構造 (TFT#3) では 10000 sec 経過後以降に、ハンプ形成に起因する変化が生じている。図 5-20 に単層構造の ESL-TFT (TFT#R1) および BCE-TFT (TFT#R2) の 2h-NBTIS 試験による  $V_{th}$  のストレス時間依存性を示した。これらの結果により、ESL-TFT では PV 層の構造違い (TFT#R1, TFT#1, TFT#2) に関わらず、1000 sec 経過後にハンプをともないながら  $V_{th}$  が減少した。一方、BCE-TFT では PV 層の構造違い (TFT#R2, TFT#3, TFT#4) に関わらず 100 sec 経過後に平行に  $V_{th}$  は減少しはじめ、その後にハンプをともなう変化が生じた。ハンプをともなう変化は 2 層積層構造に比べて、単層構造および 3 層積層構造の方が短時間で生じることがわかる。

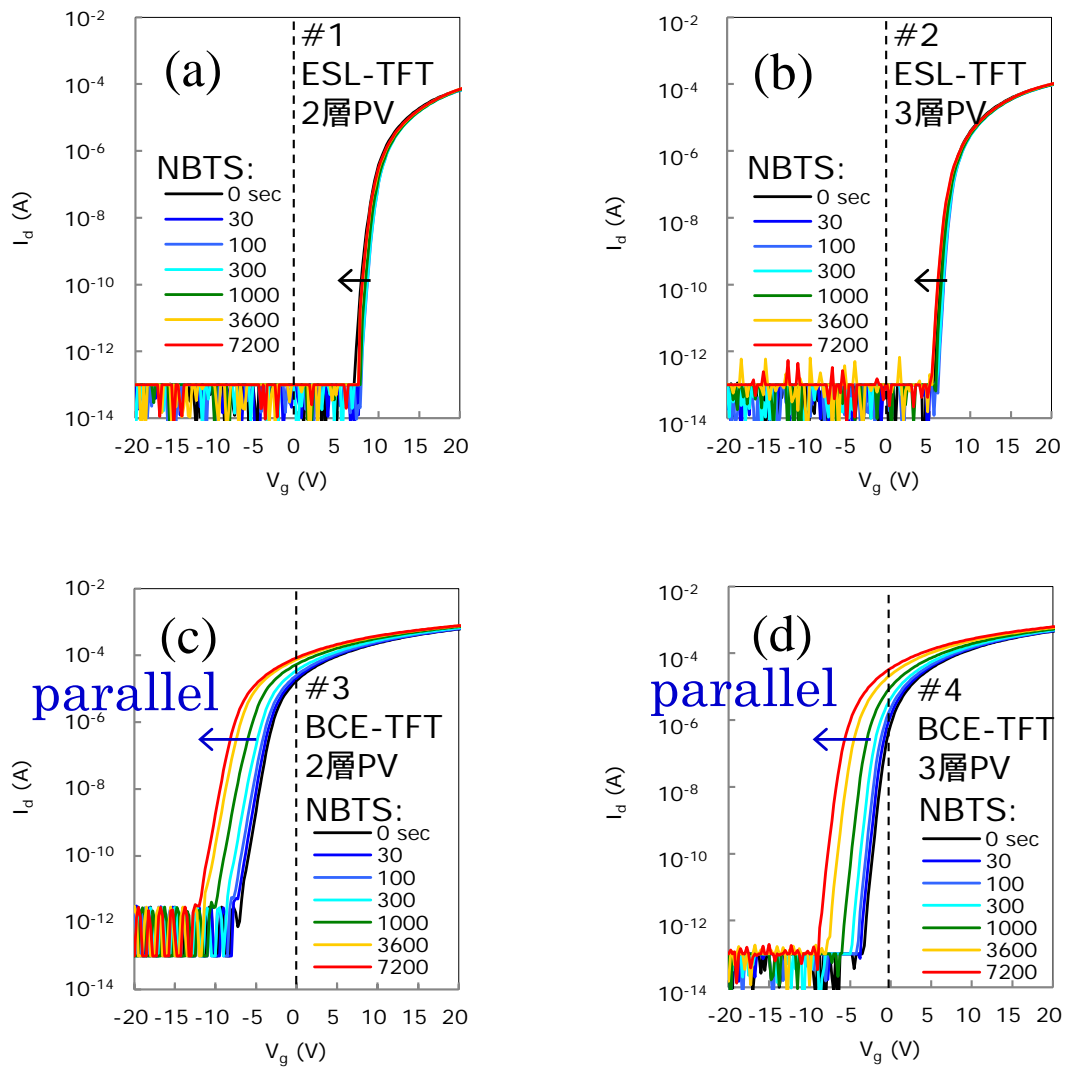


図 5-15 a-IGZO ESL-TFT および BCE-TFT から得られた NBTS 試験による伝達特性の変化.

- (a) ESL-TFT, 2 層積層構造 PV 層 (D-SiN<sub>x</sub>/SiO<sub>x</sub>),
- (b) ESL-TFT, 3 層積層構造 PV 層 (D-SiN<sub>x</sub>/Si resin/SiO<sub>x</sub>),
- (c) BCE-TFT, 2 層積層構造 PV 層 (D-SiN<sub>x</sub>/SiO<sub>x</sub>),
- (d) BCE-TFT, 3 層積層構造 PV 層 (D-SiN<sub>x</sub>/Si resin/SiO<sub>x</sub>).

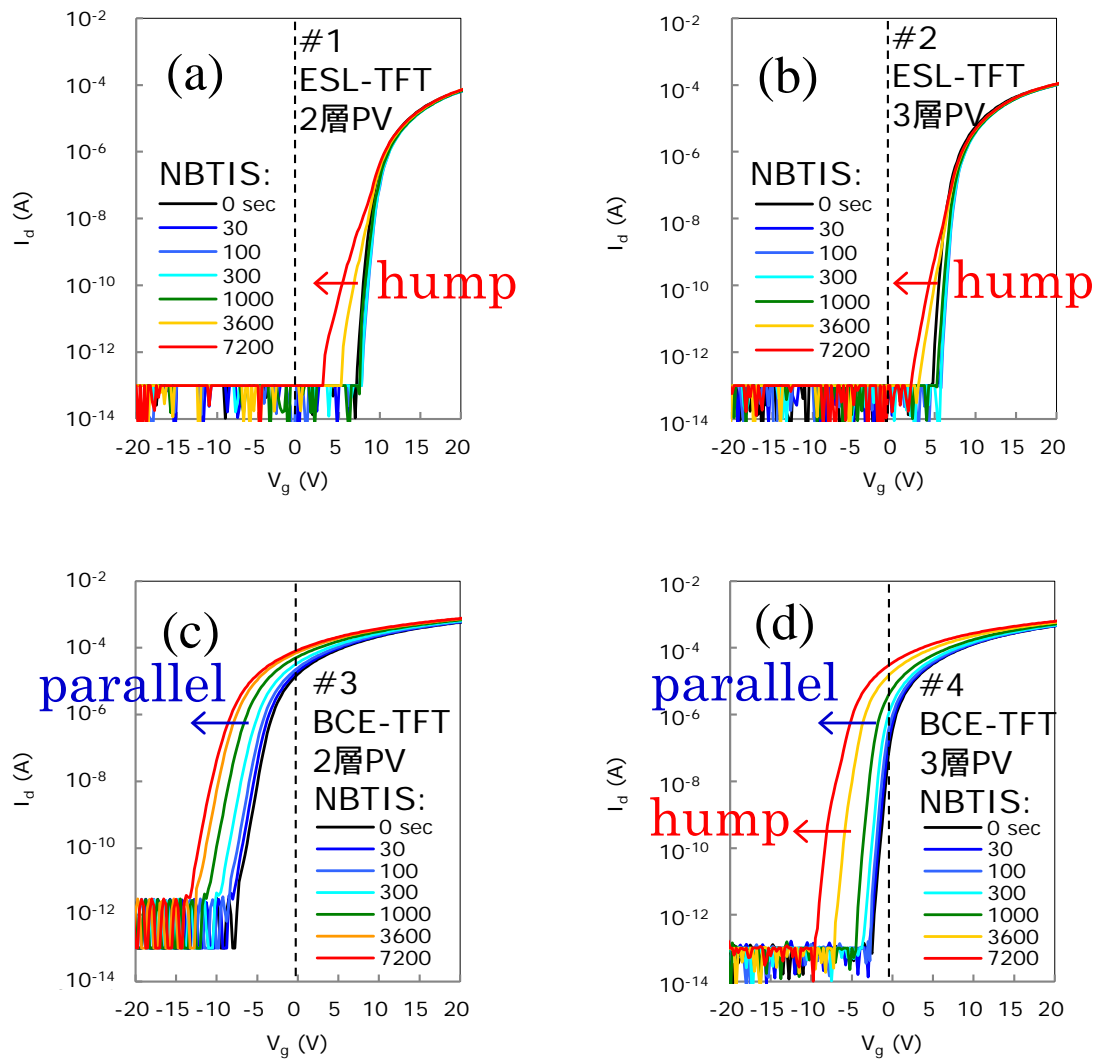


図 5-16 a-IGZO ESL-TFT および BCE-TFT から得られた NBTIS 試験による伝達特性の変化.

- (a) ESL-TFT, 2 層積層構造 PV 層 (D-SiN<sub>x</sub>/SiO<sub>x</sub>),
- (b) ESL-TFT, 3 層積層構造 PV 層 (D-SiN<sub>x</sub>/Si resin/SiO<sub>x</sub>),
- (c) BCE-TFT, 2 層積層構造 PV 層 (D-SiN<sub>x</sub>/SiO<sub>x</sub>),
- (d) BCE-TFT, 3 層積層構造 PV 層 (D-SiN<sub>x</sub>/Si resin/SiO<sub>x</sub>).

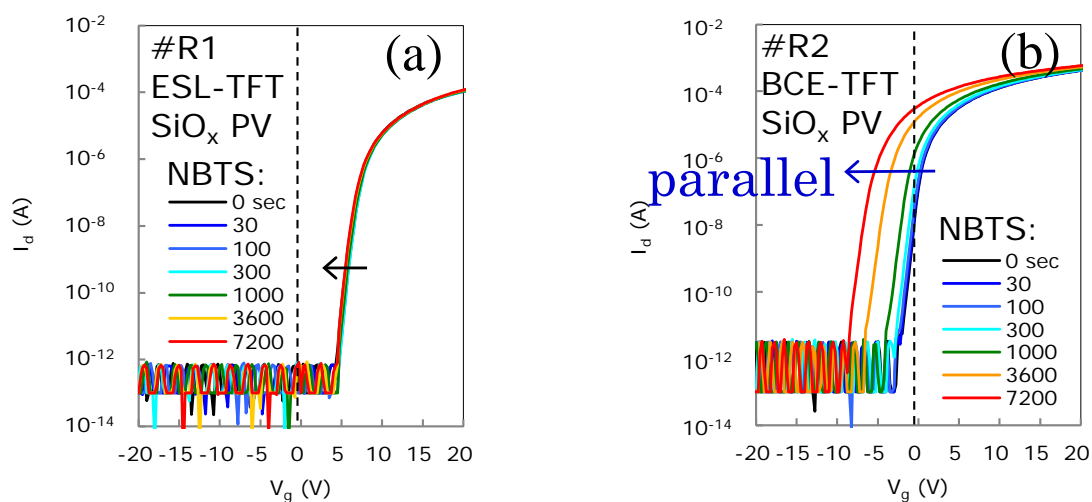


図 5-17 単層構造 PV 層 ( $\text{SiO}_x$ ) を備えた (a) a-IGZO ESL-TFT および (b) BCE-TFT から得られた NBTIS 試験による伝達特性の変化.

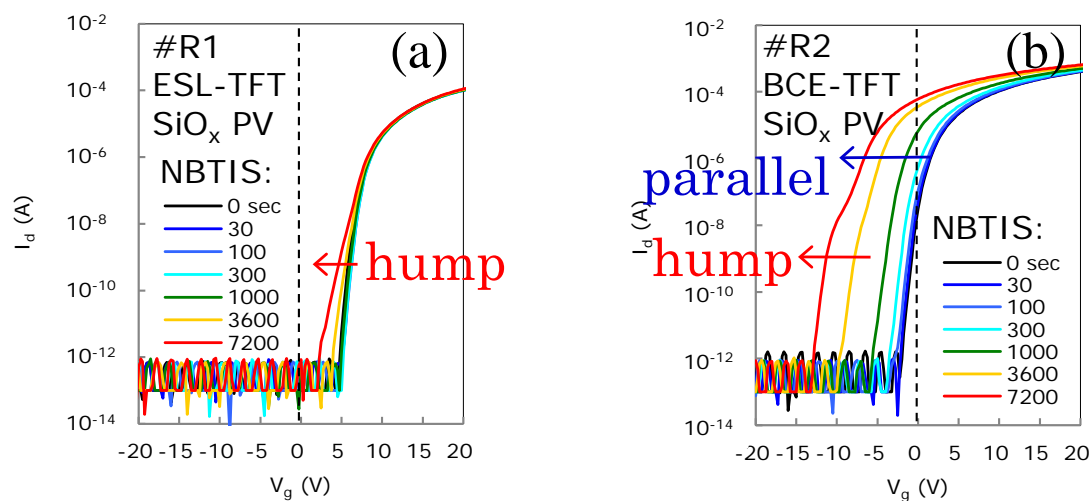


図 5-18 単層構造 PV 層 ( $\text{SiO}_x$ ) を備えた (a) a-IGZO ESL-TFT および (b) BCE-TFT から得られた NBTIS 試験による伝達特性の変化.

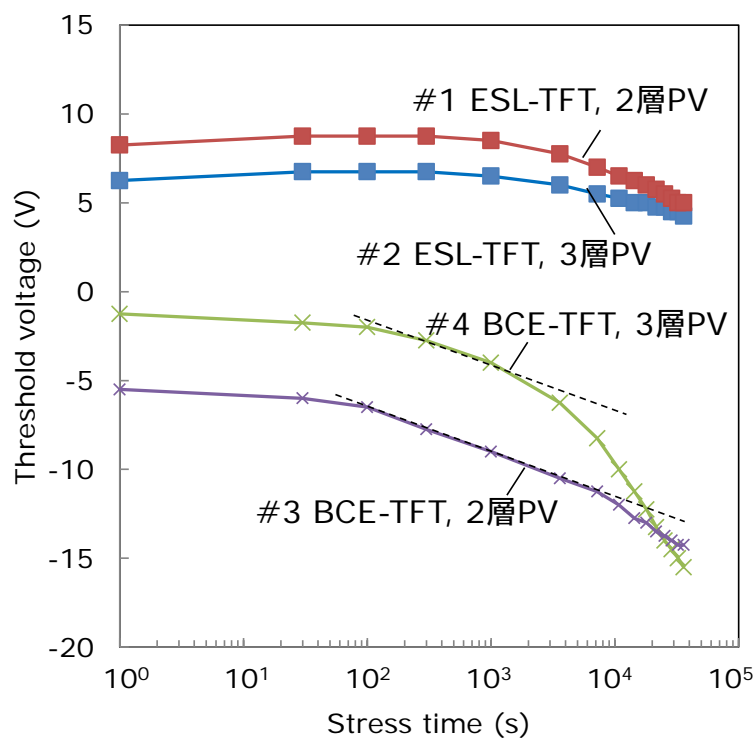


図 5-19 NBTIS 試験による ESL-TFT および BCE-TFT の  $V_{th}$  の時間依存性.

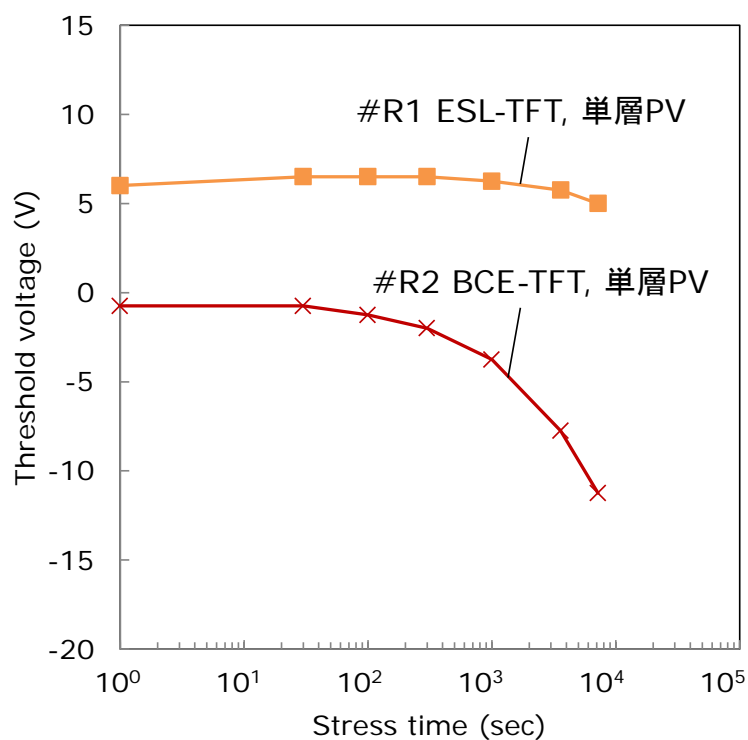


図 5-20 NBTIS 試験による ESL-TFT および BCE-TFT の  $V_{th}$  の時間依存性.  
( $\text{SiO}_x$ -PV 層 TFT の場合)



## 5.6 BCE プロセスに起因するストレス信頼性の解析

### 5.6.1 BCE プロセスにより誘起される a-IGZO のトラップ準位の変化

図 5-21(a)に、2 層、3 層積層構造および単層構造 PV 層の ESL-TFT に対応した a-IGZO から得られた PITS スペクトル(PITS#1, PITS#2 および PITS#R1)を示す。図 5-21(b)は、それぞれの PV 層の BCE-TFT に対応する a-IGZO から得られた PITS スペクトル(PITS#3, PITS#4 および PITS#R2)である。BCE プロセスの適用により、3 層積層構造および単層構造に対応する PITS スペクトル(PITS#4, PITS#R2)は 130–200 K 付近に大きく張り出した幅広いピーク形状をもつことを確認した。2 層積層構造(PITS#3)においても、同様の幅広いピークが確認されている。このような温度域のピークは、第 3 章で述べたように、水素関連欠陥に起因したトラップ準位(P3)と考えられており、BCE プロセスによって、a-IGZO 膜中に水素関連欠陥が形成されたと推測される。図 5-2～図 5-5 の a-IGZO 薄膜の結合状態の変化からも、 $\text{H}_2\text{O}_2$  エッチャント浸漬により亜鉛の結合が切れ、動いた亜鉛のところに水素が(In と結合して)集まることが示唆されている。

図 5-19, 図 5-20 で示したように、NBITS 試験により、3 層積層構造および単層構造の BCE-TFT(TFT#4, TFT#R2)の  $V_{th}$  は負電圧側に平行シフトした後、ハンプをともなう急激な変化をした。TFT#4, TFT#R2 で確認された長時間ストレス印加によるハンプ状の  $V_{th}$  の急激な悪化はこの P3 トラップ準位に起因することが考えられる。また、2 層積層構造の BCE-TFT(TFT#3)においても、NBITS 試験による  $V_{th}$  の平行シフトを示した後の長時間ストレス印加によるハンプ状の変化がみられる。TFT#3 のハンプ状の変化は TFT#4 に比べてさらに長時間のストレス印加によって観測されており、TFT#4, TFT#R2 と同様に P3 トラップ準位の形成に起因すると考えられる。

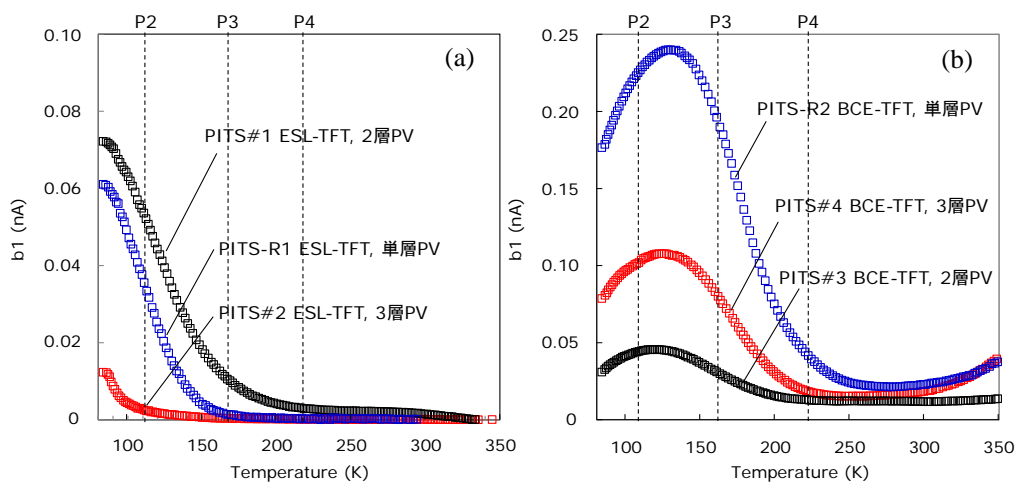


図 5-21 a-IGZO 薄膜から得られた PITS スペクトルの PV 構造の違いによる比較。  
(a) ESL-TFT と同一の素子構造, (b) BCE-TFT と同一素子構造

## 5.6.2 BCE プロセスにより誘起される界面トラップの変化

本項では, BCE-TFT における NBTS および NBTIS 試験により生じる伝達特性の負電圧側の平行シフトの起源について議論する. これまでに BTS 試験による  $V_{th}$  シフトのメカニズムに関して, PBTS はゲート絶縁膜中もしくはチャネル層／ゲート絶縁膜界面の電子トラップに起因し<sup>23,24)</sup>, NBTS はゲート絶縁膜中もしくはチャネル層／ゲート絶縁膜界面のホールトラップやゲート側の固定電荷に起因する<sup>25)</sup>との報告がある. NBTS に対しては, 半導体層のキャリアは空乏化によりごく僅かな影響しか受けないとも言われている<sup>26)</sup>. しかし, BCE プロセスにおいては, a-IGZO バックチャネル表面の欠陥形成<sup>27-29)</sup>や a-IGZO への水素の取り込みによる高キャリア密度化<sup>30-35)</sup>による TFT のディプレッションモード化が報告されている. このような状況から, BCE-TFT ではバックチャネル側の電荷の影響は無視できず, Si MOSFET で提唱されている Negative Bias Temperature Instability (NBTI) 理論に基づく反応拡散 (Reaction-Diffusion: R-D) モデル<sup>36,37)</sup>との類似性について検討を進めた. 一般に, R-D モデルは界面の結合が外れて状態が変わり, 外れたものが拡散する現象を表す. MOSFET の NBTI では, Si-SiO<sub>x</sub> 界面へのホールの供給によって Si-H 結合が分離し, Si<sup>+</sup> 界面準位を形成して (Reaction), 放出された水素は界面からゲート絶縁体に拡散する (Diffusion) ことにより特性を不安定にする. 図 5-22(a)に, この R-D モデルの概略図を, 図 5-22(b)にそのゲート絶縁膜中の水素プロファイルを表す<sup>36)</sup>. 水素のプロファイルは反応律速 (1,2)と拡散律速 (3,4)により決まり, ゲート到達後 (5), ゲートとゲート絶縁膜界面の H<sub>2</sub> 濃度の変化は緩やかになる.

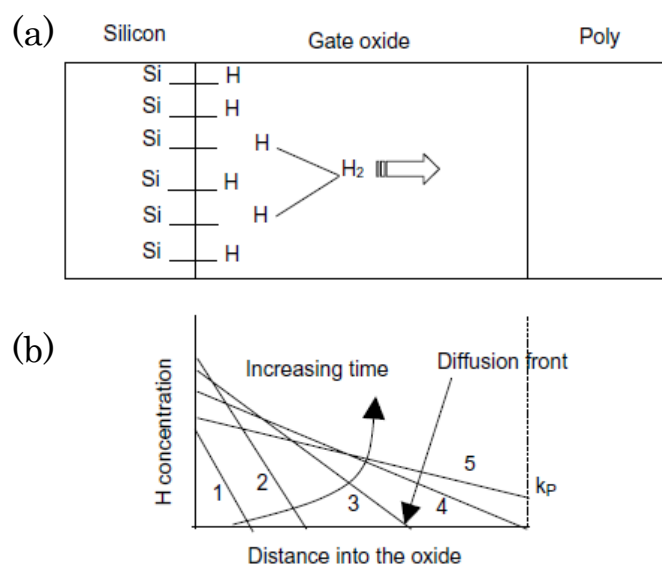


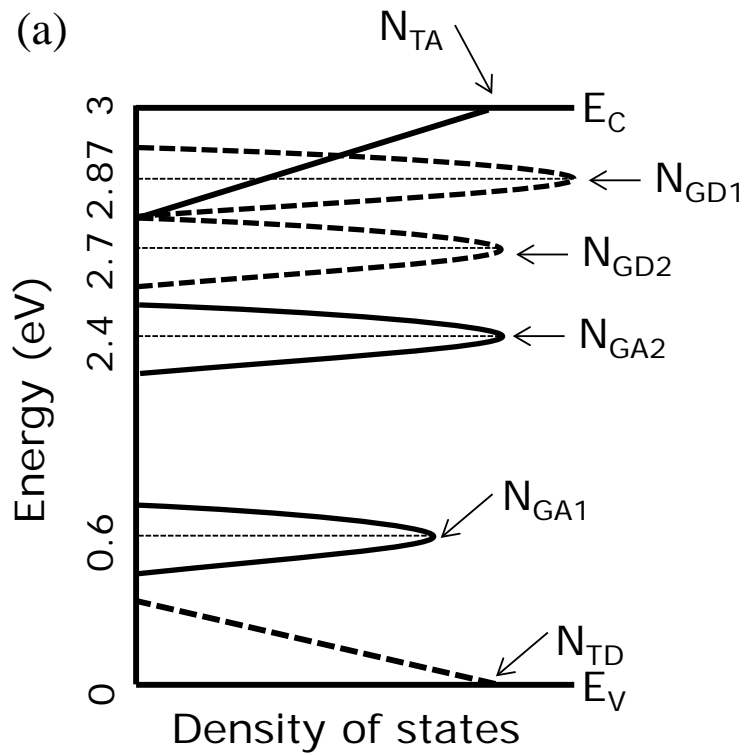
図 5-22 Si-MOSFET の NBTI の界面トラップを解釈するための R-D モデル概略図<sup>36)</sup>.

a-IGZO BCE-TFT においては, NBTIS 試験中に a-IGZO バックチャネル界面に捉えられた水素が電界により脱離することで正帯電した界面状態になり, 脱離した水素原子は a-IGZO 膜中に( $H_2$ となって)拡散して P3 に入ること, (ストレス時間 1000 sec 後くらいから)負電圧側へのシフトをハンプとして引き起こしたと考えられた. 一方, a-IGZO を用いた TFT では, a-IGZO チャネル界面における酸素過剰に起因する表面準位への水素パシベーションにより PBTS 試験による TFT 伝達特性の正電圧側のパラレルシフトが改善することが報告されている<sup>38)</sup>. 今回の NBTS 試験にともなう TFT 伝達特性の負電圧側のパラレルシフトは, このモデルと逆の現象(a-IGZO チャネル界面から水素が離れることによる TFT 伝達特性が負電圧側にシフトする)の可能性を示唆している.

そこで, 上述した a-IGZO バックチャネル界面の正の固定電荷の形成が TFT 特性に及ぼす影響について, TCAD(ATLAS, SILVACO)を用いたデバイスシミュレーションにより検証を進めた. Fujii らによって報告された状態密度(DOS)モデルを参考に, 今回のシミュレーションに用いた DOS モデルを図 5-23(a)に示す<sup>39)</sup>. 4.2.5 項で述べたように,  $N_{GA}$ ,  $N_{GD}$  はアクセプタライク, ドナーライクのトラップ準位密度を表し,  $N_{TA}$ ,  $N_{TD}$  は伝導帯端におけるアクセプタライク, 価電子帯端におけるドナーライクの裾状トラップ準位密度を表す.  $N_{GD1}$ ,  $N_{GD2}$ ,  $N_{GA2}$ ,  $N_{GA1}$  のエネルギーレベルはそれぞれ 2.87 eV, 2.7 eV, 2.4 eV および 0.6 eV と設定した.  $N_{GD1}$ ,  $N_{GD2}$ ,  $N_{GA2}$  はそれぞれ P2, P3 および P4 を仮定した. また, 図 5-23(b)に示すように,  $SiO_x$ -PV 層と a-IGZO 薄膜の界面に正の固定電荷( $Q_f$ )を仮定して配置した.

その結果, 図 5-24 に示すように, バックチャネル側の  $SiO_x/a$ -IGZO 界面の  $Q_f$  の増加によって, TFT 伝達特性の  $V_{th}$  は負側方向にパラレルにシフトすることが確認された. 一方で, 伝達特性のオン電流,  $S$  値ともに変化していないことがわかる. なお,  $Q_f$  が  $7 \times 10^{11} \text{ cm}^{-3}$  以上では両チャネルに電流が生じはじめた(図 5-25).

以上のことから, NBTS 試験によるゲート酸化膜界面のホールトラップと同様に, バックチャネル界面に正の固定電荷が入ることによって, TFT 伝達特性はパラレルに負側シフトすることが確認できた. さらに, 界面から脱離した水素が P3 トラップ準位に入ることによって, TFT 伝達特性がハンプをともなった変化をすることが考えられる. 10h-NBTS 試験ではハンプは形成されていないが(図示せず), さらなる長時間環境で生じるものと推測される. 一方, 10h-NBTIS 試験ではハンプをともなう変化が確認されており(図 5-19 の TFT#3, TFT#4), 光照射による PV 層からの水素の拡散による影響が大きいと考えられる. これらのパラレルシフトとハンプシフトの概念を図 5-26 に示した.



(b)

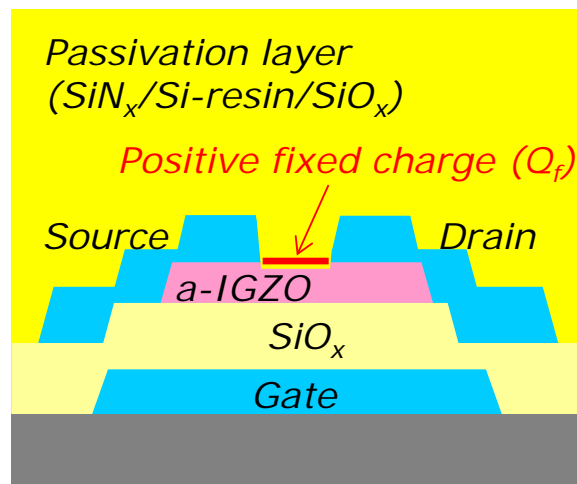


図 5-23 (a) a-IGZO のエネルギーギャップにおけるトラップ密度モデル. 実線はアクセプタライクトラップ, 破線はドナーライクトラップの挙動を示す. (b) シミュレーションに用いた a-IGZO TFT の断面図. 正の固定電荷が印加された位置を赤線で示している.

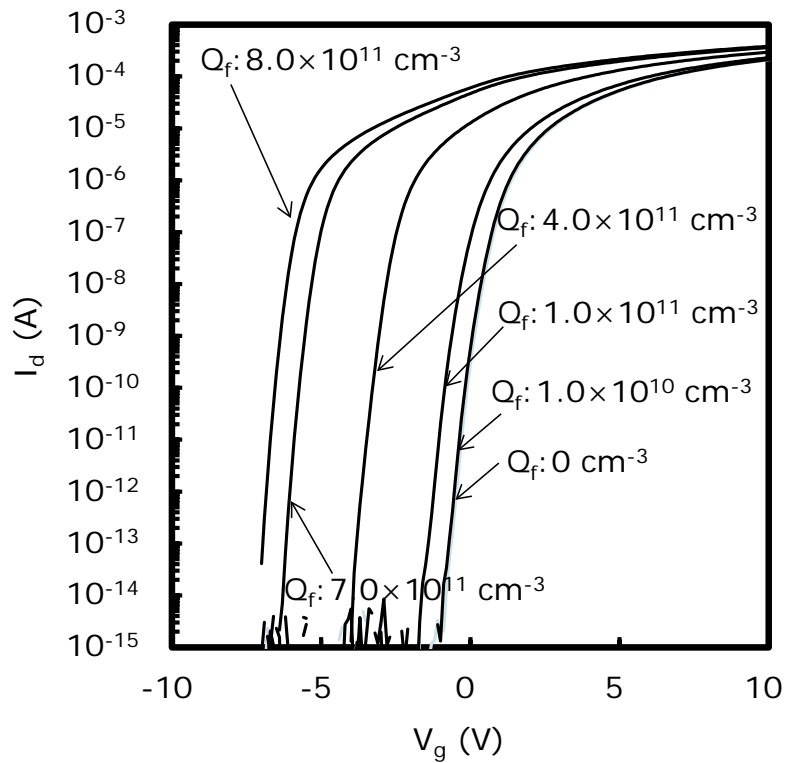


図 5-24 a-IGZO のバックチャネル表面で正の固定電荷密度 ( $Q_f$ ) が増加したときの TFT 伝達特性のシミュレーション結果.

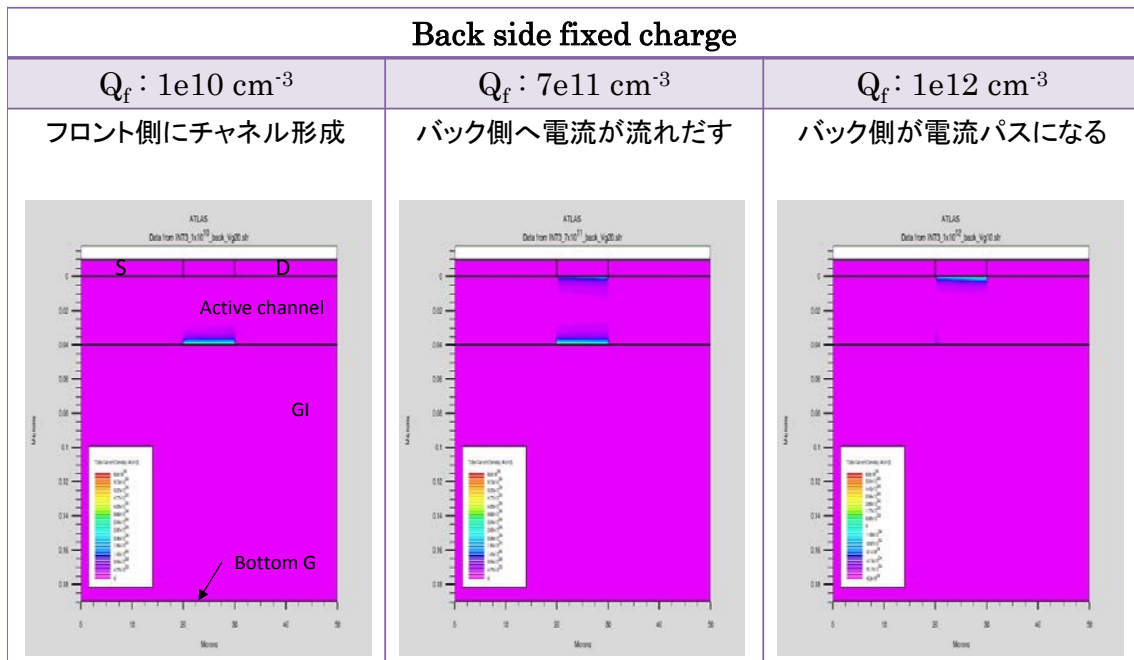


図 5-25 a-IGZO チャネルにおける総電流密度のシミュレーション結果.

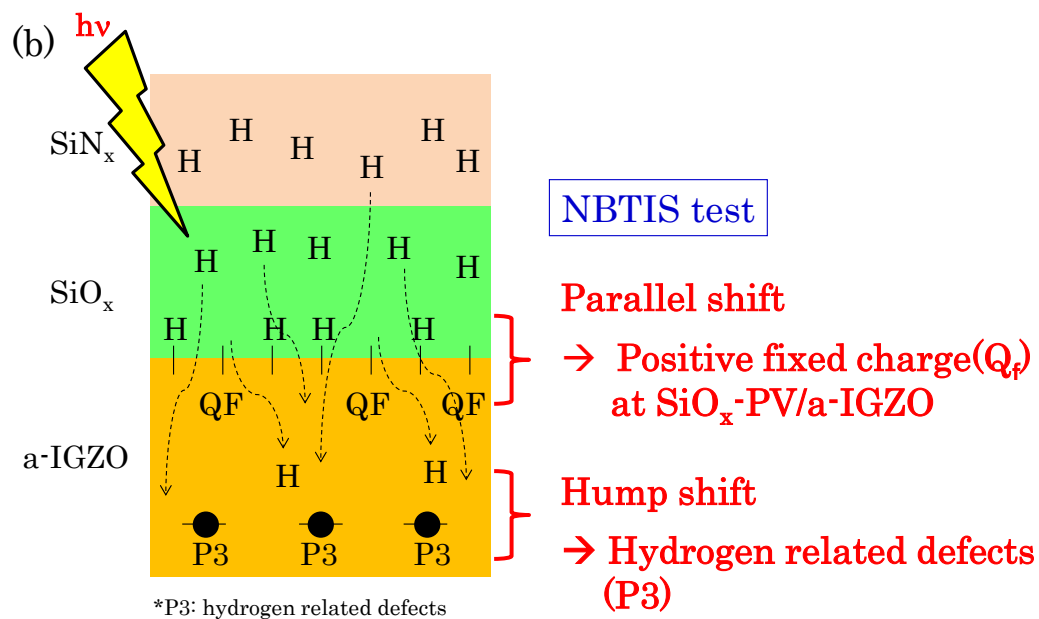
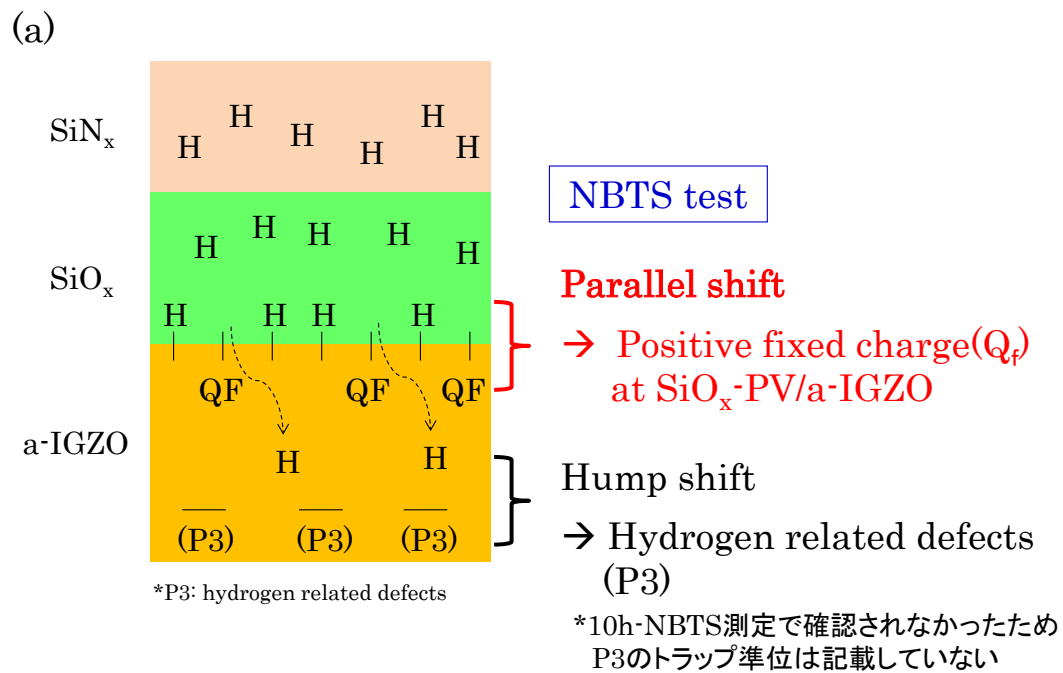


図 5-26 a-IGZO BCE-TFT におけるパラレルシフトとハンプシフトの概念図.  
(a) NBTS 試験時, (b) NBTIS 試験時.

## 5.7 ポストアニーリングによる BCE-TFT のストレス信頼性の改善

前節では, a-IGZO BCE-TFT のストレス信頼性に関して, NBTS 試験におけるパラレルシフト, NBTIS 試験におけるパラレルシフトおよび長時間ストレス印加によるハンプシフトの要因について述べた. 本節では, TFT 製造プロセスの最終工程であるポストアニーリングがこれらのストレス信頼性に与える効果について検証する.

### 5.7.1 NBTS ストレス信頼性の向上

図 5-27 に, それぞれの PV 層を用いた BCE-TFT に, 窒素雰囲気中で 250 °C, 0.5 hr のポストアニーリング (PA250) を施した後の NBTS 試験結果を示す. 2 層積層構造, 3 層積層構造および単層構造の PV 層に対して, 2h-NBTS 試験による  $\Delta V_{th}$  は, -6.5 V (図 5-27(a)), -1.0 V (図 5-27(b)) および -1.0 V (図 5-27(c)) の値を示した. ポストアニーリングを施していない場合, それぞれの  $\Delta V_{th}$  値は, -5.0 V, -5.25 V および -6.5 V であったことから, 3 層積層構造および単層構造では大幅に改善した. 3 層積層構造および単層構造では, PA250 により PV 層 SiO<sub>x</sub>/a-IGZO 界面に吸着した水素の脱離が促進され, NBTS 試験前の状態が ESL-TFT の状態に近づいた結果, NBTS 試験による信頼性の改善が得られたといえる. 2 層積層構造では, PA250 による PV 層 SiO<sub>x</sub>/a-IGZO 界面に吸着した水素の脱離と同時に, PV 最上層の SiN<sub>x</sub> 膜から PV 層 SiO<sub>x</sub>/a-IGZO 界面への水素供給が生じる, もしくは, PV 層 SiO<sub>x</sub>/a-IGZO 界面吸着した水素の脱離が抑制されるために, NBTS 試験による  $\Delta V_{th}$  の改善が得られなかったと考えられる.

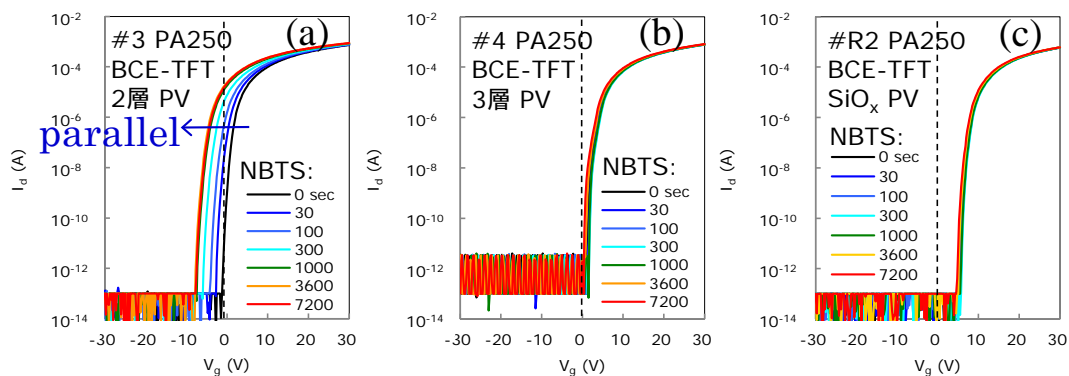


図 5-27 PA250 後の a-IGZO BCE-TFT から得られた NBTS 試験による伝達特性の変化.  
(a) 2 層積層構造 PV 層 (D-SiN<sub>x</sub>/SiO<sub>x</sub>), (b) 3 層積層構造 PV 層 (D-SiN<sub>x</sub>/Si resin/SiO<sub>x</sub>),  
(c) 単層構造 PV 層 (SiO<sub>x</sub>).

### 5.7.2 トラップ準位の変化と NBTIS ストレス信頼性の向上

次に、ポストアニーリングによる NBTIS ストレス信頼性について検証した。前項で述べたように、NBTS 試験による劣化を回避するには 3 層積層構造 PV 層を用いた BCE-TFT が有効であることから、同構造におけるポストアニーリング温度依存性を評価した。ここでは、PV 最上層は D-SiN<sub>x</sub> ではなく SiN<sub>x</sub> 膜を用いた。ポストアニーリング温度は 250 °C, 270 °C, 300 °C, 320 °C の 4 水準とし、それぞれの a-IGZO BCE-TFT の伝達特性の一覧を表 5-3 に示す。サンプル名をそれぞれ PA250, PA270, PA300, PA320 と併記した。初期の伝達特性は、ポストアニーリング温度に依らず、 $\mu_{sat}$  および  $S$  値はほぼ同等であり、 $V_{th}$  は PA250 が最も大きく、ポストアニーリング温度が高くなるにつれて 0 V に近づくことがわかる。

続いて、2h-NBTIS 試験における伝達特性の時間依存性の結果を図 5-28 に示す。BCE-TFT の PA270 は、PA250 とほぼ同様の特徴を示した。具体的には、ストレス初期に  $V_{th}$  の正側へのわずかなシフトが観察された後、ハンパを伴う負側へのシフトが観察され、最終的な  $\Delta V_{th}$  は PA250 の -4.0 V に対して、PA270 では -3.3 V とわずかに減少した。また、PA300 では、 $V_{th}$  はストレス印加時間に依存して負側にシフトした。最終的な  $\Delta V_{th}$  は -1.5 V に改善され、ハンパ状の変化は極端に小さくなった。PA320 は PA300 に非常に近い特徴を示し、最終的な  $\Delta V_{th}$  は -0.75 V に向上した。NBTIS 試験におけるストレス印加時間の関数とした  $\Delta V_{th}$  の変化を図 5-29 にまとめた。

表 5-3 SiN<sub>x</sub>/Si-resin/SiO<sub>x</sub> の 3 層積層構造 PV 層を備えた BCE-TFT の伝達特性およびストレス信頼性のポストアニーリング温度依存性。

Sample	Process	TFT performance					
	Post annealing temperature(°C)	$\mu_{sat}$  (cm <sup>2</sup> /Vs)	$S$ 値 (V/dec.)	$V_{th}$ (V)	$\Delta V_{th}$	$\Delta V_{th}$	$\Delta V_{th}$
					after	after	after
					2h-NBTIS	2h-NBTS	2h-PBTS
					(V)	(V)	(V)
PA250	250	8.3	0.3	2.3	−4.0	−1.0	6.5
PA270	270	8.8	0.3	1.5	−3.3	−1.5	5.0
PA300	300	8.2	0.2	0.8	−1.5	0.0	0.5
PA320	320	8.3	0.2	0.8	−0.8	0.0	0.8



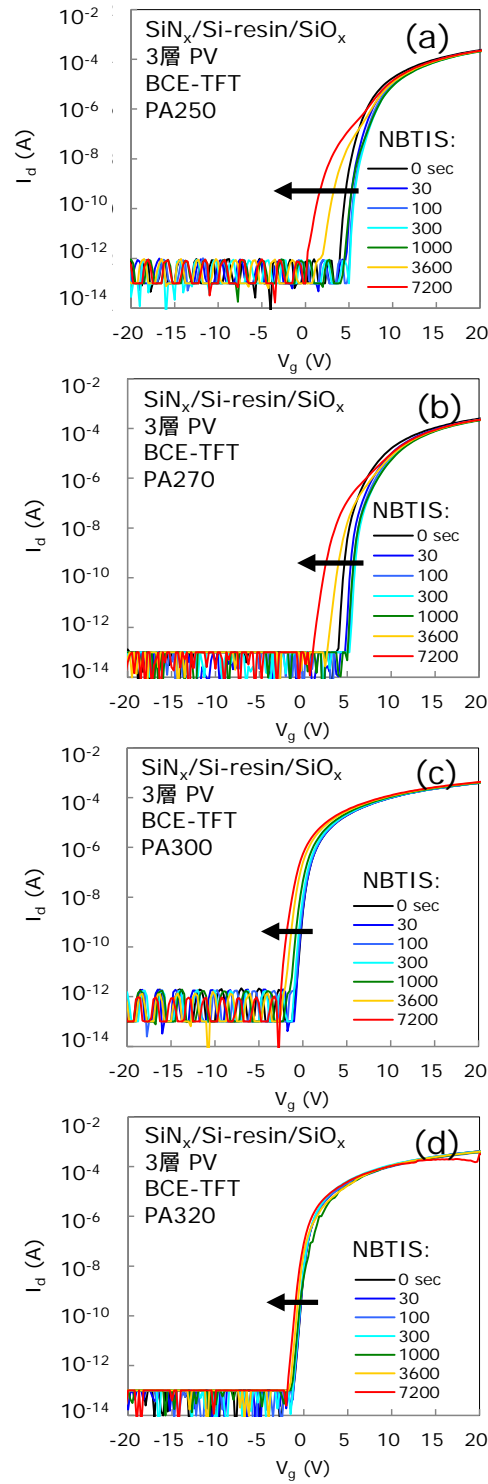


図 5-28 3 層積層構造 PV 層を用いた BCE-TFT の NBTIS 試験による伝達特性のポストアニーリング温度依存性. (a) PA250, (b) PA270, (c) PA300, (d) PA320.

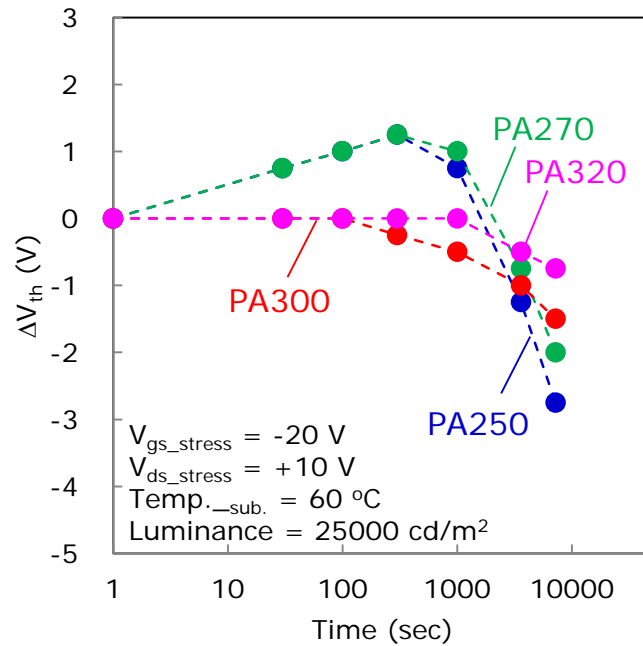


図 5-29 3 層積層構造 PV 層を用いた BCE-TFT, ポストアニーリング温度の違いによる NBTIS 試験の  $\Delta V_{th}$  の時間依存性.

ポストアニーリング高温化による NBTIS ストレス信頼性の向上を理解するために, a-IGZO の電子状態を PITS 測定により評価した. 図 5-30 に PA250, PA270, PA300 および PA320 に対応する a-IGZO から得られた PITS スペクトルを示す. それぞれ PITS-PA250, PITS-PA270, PITS-PA300 および PITS-PA320 と表記した. 一連の評価により, ポストアニーリングの高温化は PITS スペクトルにおける 160 K 付近の  $b1$  のブロードなピークの低減に明らかに寄与していることがわかる.

詳細には, PA250 から PA270 の変更により 160 K 付近のピークの僅かな減少が確認され, PA300 および PA320 の高温化によって 160 K 付近を含むブロードなピークの顕著な低減を確認した. 160 K 付近のピークはこれまでに水素関連欠陥に起因する P3トラップ準位であることを把握している. よって, これら PITS-PA250~PITS-PA320 の PITS スペクトル変化から, 高温ポストアニーリングは準安定な水素関連欠陥の低減に有効と考えられる. すなわち, PV 層への Si 系樹脂の導入により, 300 °C 以上のポストアニーリングは水素含有量の多い PV 層 SiN<sub>x</sub> 膜からの a-IGZO 膜中への水素の取り込みを抑制しながら, a-IGZO 膜中からの水素の脱離を効果的に促すことに成功したといえる. その a-IGZO 膜からの水素脱離はバックチャネルから Si 系樹脂を経由してコンタクトホール等を介したと考えられる.

加えて, PITS-PA300 からわかるように, 300 °C のポストアニーリングによって 100 K 付近の  $b1$  のピークも減少する. 既に, TDS 分析から, 300 °C 以上で Zn 脱離が生じ, 水素処理さ

れた a-IGZO 薄膜からの Zn 脱離は  $H_2$ ,  $H_2O$  に追従し, (UHV)熱処理とともに観察されることを説明した(3 章参照). これらの結果は水素の原子配置の変化により金属(Zn)イオン中の化学結合を弱める働きをすることを示唆する. それゆえ, PITS-PA300 および PITS-PA320 における P2 の変化は, a-IGZO 薄膜中に取り込まれた水素がポストアニーリングの温度上昇により脱離したことに対応しているといえる. また, 温度上昇により, Zn が PV 層  $SiO_x$  側の界面にマイグレーションすることで亜鉛欠損欠陥に関連するトラップ準位が減少した可能性もある.

一方, PA250 および PA270 では, NBTIS 試験の初期段階で  $V_{th}$  が正方向にシフトした(図 5-29). Hupfer らは, 水素の存在下で E4 トラップ準位は格子間水素の移動を仮定したモデルによって, そのトラップ準位の低減が促進されることを報告している<sup>40)</sup>. また, E4 の活性化エネルギーは大きいため, アクセプタライクのトラップ準位として働くときは,  $V_{th}$  を平行にシフトする. それゆえ, PA250 および PA270 の場合, a-IGZO 膜中に取り込まれている水素は PA300 よりも相対的に多いうえ, ストレス測定初期に, P4 のトラップ準位に捕えられていた水素が離れる, もしくは, 取り込まれた水素がトラップ準位に捕まることにより,  $V_{th}$  が正側にシフトしたと推測している.

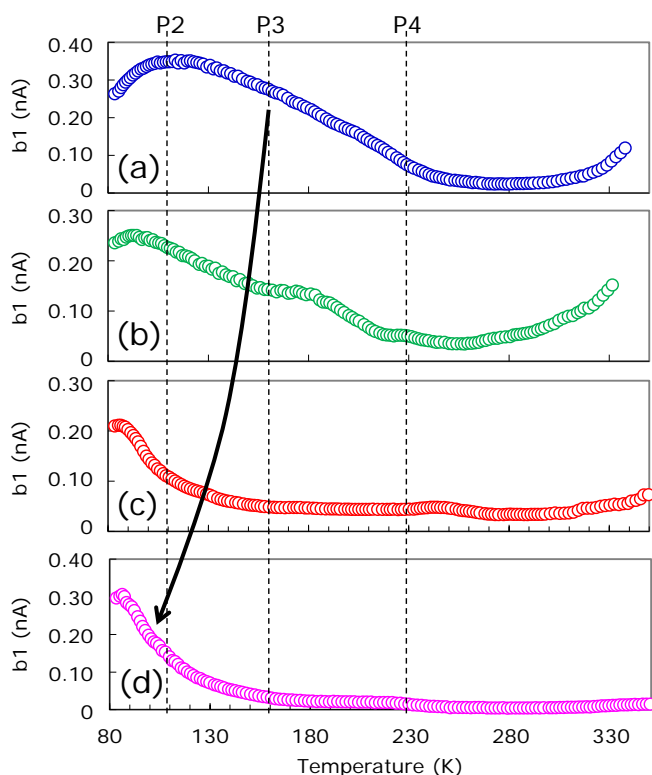


図 5-30 3 層積層構造 PV 層を備えた BCE-TFT の a-IGZO から得られた PITS スペクトルのポストアニーリング温度の違いによる比較.

(a) PA250, (b) PA270, (c) PA300, (d) PA320.

ポストアニーリング温度に対する各ストレス試験における $\Delta V_{th}$  値を表 5-3 に記載した。PA300, PA320 では, NBTIS 試験による負側シフトの $\Delta V_{th}$  の改善だけでなく, PBTS 試験によるパラレルに正側シフトする $\Delta V_{th}$  の低減が確認できる。この PBTS 試験による  $V_{th}$  変動は a-IGZO/GI 層 SiO<sub>x</sub> 界面もしくは PV 層 SiO<sub>x</sub>/a-IGZO 界面準位の存在により生じることが知られている。バックチャネルにおいてアクセプターライクの界面準位が存在した場合を考えると(n 型半導体ではこのアクセプターライク型が主流), 正バイアス印加により, 界面準位は電子を捕獲して負に帯電し, バックチャネル側はそれに釣り合うように電子が吹き払われてバンドが曲がる(図 5-31)。この界面準位の一部分が水素等によって不動態化されるとバンドの曲がり方は変わり, PBTS 試験による $\Delta V_{th}$  の違いが生じると考えられる。図 5-32 に PA250 と PA300 における 10h-PBTS 試験による $\Delta V_{th}$  の時間依存性を示しており, べき乗則 (Power-law relationship)を表す(5.4)式<sup>36)</sup>を用いて解析した。

$$\Delta V_{th} \propto t^n \quad (5.4)$$

PA250 において, ストレス初期の  $n$  は 0.49 を示し, その後に 0.26 の値が得られた。全体のストレス時間に対して  $n$  は 0.26 が支配的であった。一方, PA300 の  $n$  は, ストレス時間がおよそ 15000 sec までは 0.49 の値を示し, ストレス時間を延ばすことにより 0.49 から小さくなることがわかる。一般に,  $n = 0.25$  は界面で結合していた元素が脱離し, 界面準位の形成とともに放出された中性の原子が濃度勾配により界面から拡散していると説明されており<sup>41)</sup>,  $n = 0.5$  は拡散する原子がイオン化していることが知られている<sup>42)</sup>。ここでは, 正イオン化した水素等が考えられ, PA300 では界面に結合していた正イオン化した水素が分離し, それにともなう拡散が PBTS における主因であることが示唆された。時間とともに傾きが変わるのは, 当初の拡散種であったイオンが欠乏し, 結果として, 中性原子の拡散が多くなった可能性が考えられる。PA250 においても, 当初はイオン化した水素による変化をしているが, 高温ポストアニーリングの方が, 界面に結合していたイオンが多いといえ, PA250 と PA300 の比較により, 界面に結合したイオンが多い方が PBTS 試験の初期の $\Delta V_{th}$  が抑制されると考えられた。図 5-33 は 3 層積層構造 PV 層を備えた BCE-TFT におけるポストアニーリング温度の違いによる D の SIMS デプスプロファイルである。SIMS 分析のために, PV 最上層に D-SiN<sub>x</sub> 膜を設けてポストアニーリングによる D の拡散を調べた。その結果, 高温ポストアニーリングによって, D-SiN<sub>x</sub> 膜から a-IGZO 薄膜への D の拡散が僅かに増加する傾向を確認することができた。図 5-30 で示したように, PA320 では a-IGZO 膜中の水素関連欠陥は減少することがわかっている。そのため, この増加は界面に結合した正イオン化した水素に寄与していると推測している(但し, SIMS 分析では打ち込み効果があるために a-IGZO 膜中と界面の切り分けはできていない。より詳細にはバックサイド SIMS などによる追加分析が必要である)。以上の結果により, 高温ポストアニーリングの適用は NBTIS 試験および PBTS 試験後の $\Delta V_{th}$  の低減を導くことが明らかとなり, a-IGZO 膜中および界面領域の両方のトラップ準位を効果的に減少させることが示唆された。

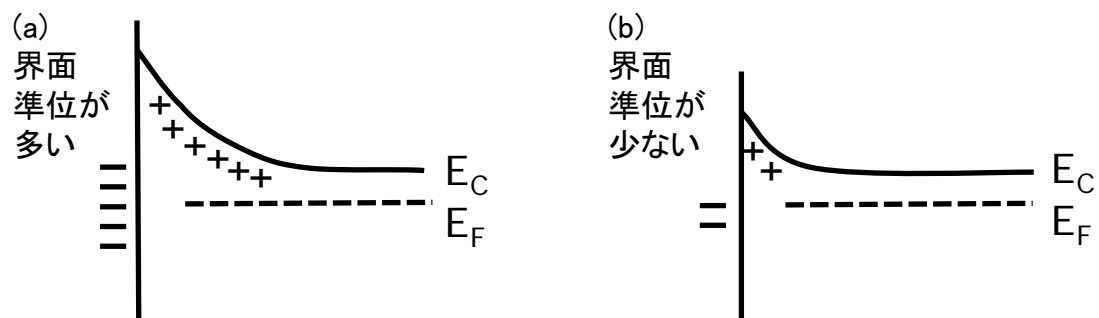


図 5-31 バックチャネルにおける界面準位の存在とバンドの曲がりの関係.

(a) 界面準位が多い場合, (b) 界面準位が少ない場合.

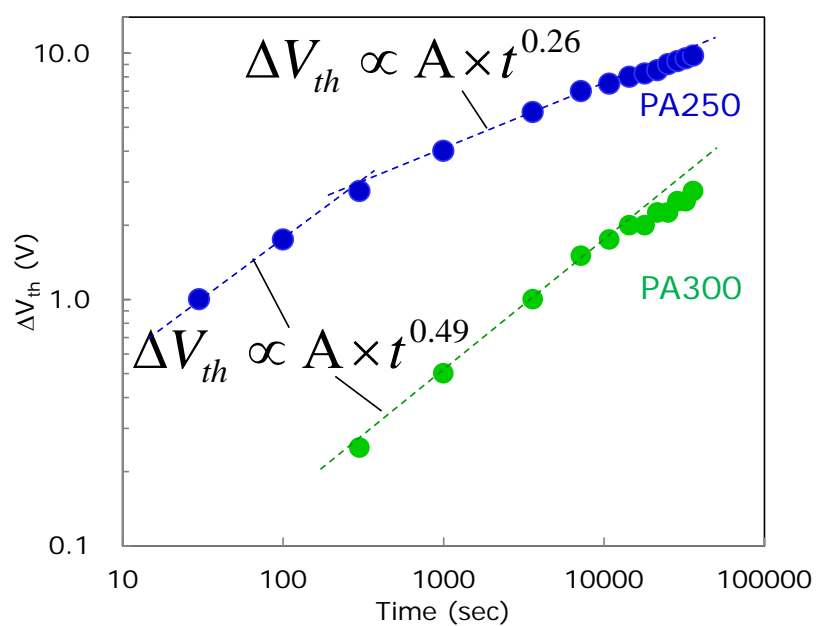


図 5-32 3 層積層構造 PV 層を用いた BCE-TFT, ポストアニーリング温度の違いによる 10h-PBTS 試験におけるストレス時間を関数とする  $\Delta V_{th}$  値の変化.

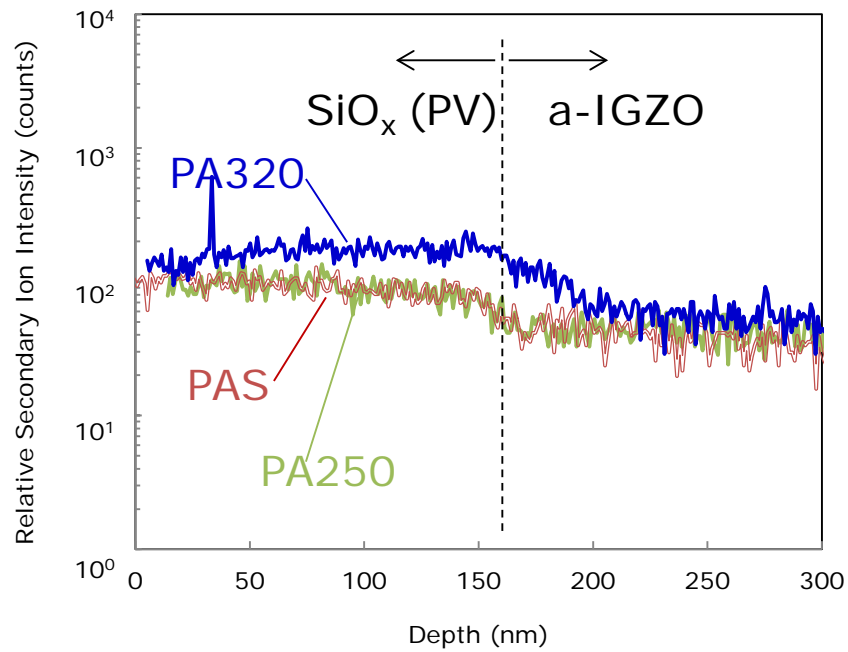


図 5-33 3 層積層構造 PV 層 (D-SiN<sub>x</sub>/Si-resin/SiO<sub>x</sub>) を備えた BCE-TFT における D の SIMS デプスプロファイル. ポストアニーリング条件は PAS (ポストアニーリング無し), PA250 (250°C) および PA320 (320°C) で実施した.

## 5.8 まとめ

本章では、BCE 型 a-IGZO TFT の広い普及を目指し、BCE プロセスが a-IGZO のバックチャネル領域に及ぼす影響について、ESL 型 a-IGZO TFT と特性比較しながら、調査を進めた。BCE プロセスである S/D 電極形成に用いられる S/D 電極材料のスパッタリング工程やウエットエッチング工程により、a-IGZO のバックチャネル領域はプラズマやエッチャントに直接曝される。そのため、a-IGZO 薄膜のバックチャネルにおける BCE エッチング ( $\text{H}_2\text{O}_2$  エッチャント浸漬) による組成や結合状態の変化を調査し、さらに BCE エッチングのオーバーエッチングが TFT 特性に及ぼす影響とともに、TFT 伝達特性である  $S$  値の劣化要因を議論した。

加えて、BCE 型 a-IGZO TFT では、ESL 型 a-IGZO TFT と同様の TFT 伝達特性であっても NBTIS ストレス信頼性が劣化することが明らかになった。そのため、BCE プロセスに起因する a-IGZO のバックチャネル領域のトラップ準位の変化を調査し、NBTIS に対する信頼性との相関について議論した。また、BCE 型 a-IGZO TFT の場合、ESL 型 a-IGZO TFT では問題にならなかった NBTS ストレス信頼性の劣化が顕著であったため、その要因について述べた。

最後に、BCE 型 a-IGZO TFT におけるストレス信頼性を改善するために、その劣化要因をもとに、PV 構造およびポストアニーリングプロセスにより検証した。

本章で得られた結論を以下に示す。

- 1) BCE エッチングにより、a-IGZO バックチャネル再表面近傍は In 濃度が高く、Ga 濃度が低くなるためにキャリア濃度の高い領域が形成される。また、 $\text{In}_2\text{O}_3$  から  $\text{In}(\text{OH})_3$ 、 $\text{ZnO}$  から Zn への変化など、結合状態が影響を受けることがわかった。
- 2) BCE エッチングのオーバーエッチング不十分により、TFT 伝達特性の顕著な  $S$  値劣化が生じる。表面近傍に形成されたエッチング速度の遅い  $\text{Mo}$  残留物が主因であり、その形成にともないバンドギャップ全体に渡ってギャップ準位が形成されることを確認した。
- 3) BCE 型 a-IGZO TFT では、NBTIS 試験の初期に、TFT 伝達特性が負側にパラレルにシフトし、その後の長時間ストレス印加によりハンプが形成される。パラレルシフトは NBTS 試験により生じる。
- 4) NBTS 試験による負側のパラレルシフトは、界面からの水素の脱離と拡散の関係によるバックチャネル側の  $\text{SiO}_x/\text{a-IGZO}$  界面の正固定電荷の密度増加に起因すると結論付けられる。BCE プロセスは a-IGZO バックチャネルに水素関連のトラップ準位を形成する。NBTIS 試験によるハンプをとまなう信頼性の劣化は、光照射による PV 層からの H の拡散による影響が支配的と考えられる。
- 5) NBTS 試験による信頼性劣化は 3 層積層構造 PV 層の適用により、PV 層  $\text{SiN}_x$  膜からの水素拡散が抑制されて、 $250^\circ\text{C}$  ポストアニーリングにより改善する。さらなる高温ポストアニーリングにより、水素関連欠陥、亜鉛欠損欠陥に関連するトラップ準位が低減

することで改善されることを見出した。また、高温ポストアニーリングは、NBTIS 試験だけでなく、PBTS 試験によるストレス耐性の向上に寄与することから、TFT チャネル領域の a-IGZO 膜中だけでなく、界面トラップ準位を効果的に減少することを確認した。



## 参考文献

- 1) J. Y. Kwon, K. S. Son, J. S. Jung, T. S. Kim, M. K. Ryu, K. B. Park, B. W. Yoo, J. W. Kim, Y. G. Lee, K. C. Park, S. Y. Le, and J. M. Kim, *IEEE Electron Device Lett.*, vol. 29, no. 12, pp. 1309–1311, Dec. 2008.
- 2) J. Park, S. Kim, C. Kim, S. Kim, I. Song, H. Yin, K.-K Kim, S. Lee, K. Hong, J. Lee, J. Jung, E. Lee, K.-W. Kwon, and Y. Park, *Appl. Phys. Lett.*, 93, 053505 (2008).
- 3) M. Nag, S. Steudel, A. Bhoolokam, A. Chasin, M. Rockele, K. Myny, J. Maas, T. Fritz, J. Trube, G. Groeseneken, and P. Heremans, *J. Soc. Inf. Disp.* 22, 23 (2014).
- 4) J. S. Jung, K.-H. Lee, K. S. Son, J. S. Park, T. S. Kim, J. H. Seo, J.-H. Jeon, M.-P. Hong, J.-Y. Kwon, B. Koo, and S. Lee, *Electrochem. Solid-State Lett.* 13, H376 (2010).
- 5) M. Kim, J. H. Jeong, H. J. Lee, T. K. Ahn, H. S. Shin, J.-S. Park, J. K. Jeong, Y.-G. Mo, and H. D. Kim, *Appl. Phys. Lett.* 90, 212114 (2007).
- 6) X. Li, E. Xin, L. Chen, J. Shi, and J. Zhang, *AIP Adv.* 3, 032137 (2013).
- 7) M. Nag, M. Rockele, S. Steudel, A. Chasin, K. myny, A. Bhoolokam, M. Willegems, S. Smout, P. Vicca, M. Ameys, T. H. Ke, S. Schols, J. Genoe, J.-L. van der Steen, G. Groeseneken, and P. Heremans, *J. Soc. Inf. Disp.* 21, 369 (2013).
- 8) S. H. Ryu, Y. C. Park, M. Mativenga, D. H. Kang and J. Jang; *ECS Solid. State. Lett.* 1, Q17 (2012).
- 9) M. Nag, A. Bhoolokam, S. Steudel, A. Chasin, K. Myny, J. Maas, G. Groeseneken, and P. Heremans, *Jpn. J. Appl. Phys.* 53, 111401 (2014).
- 10) H. Xu, L. Lan, M. Xu, J. Zou, L. Wang, D. Wang, and J. Peng, *Appl. Phys. Lett.* 99, 253501 (2011).
- 11) M.-Ho Kim, M.-J. Choi, K. Kimura, H. Kobayashi, D.-K. Choi, *Solid-State Electron.*, 126, 87 (2016).
- 12) X. Liu, L. L. Wang, H. Hu, X. Lu, K. Wang, G.. Wang, and S. Zhang, *IEEE Electron Device Lett.* 36, 911 (2015).
- 13) T. Arai, N. Morosawa, K. Tokunaga, Y. Terai, E. Fukumoto, T. Fujimori, T. Nakayama, T. Yamaguchi, and T. Sasaoka, *SID Digest* 1033 (2010).
- 14) S. H. Rha, U. K. Kim, J. Jung, E. S. Hwang, S. J. Lee, W. Jeon, Y. W. Yoo, J.-H. Choi, and C. S. Hwang, *J. Vac. Sci. Technol. B* 31, 061205 (2013).
- 15) P.-T. Liu, C.-H. Chang, and C.-S. Fuh, *RCS Adv.* 108, 106374 (2016).

- 16) S. H. K. Park, M. K. Ryu, H. Oh, C. S. Hwang, J. H. Jeon, and S. M. Yoon, *J. Vac. Sci. Technol. B* 31, 020601 (2013).
- 17) J. Tanaka, Y. Ueoka, K. Yoshitsugu, M. Fujii, Y. Ishikawa, Y. Uraoka, K. Takechi, and H. Tanabe, *ECS J. Solid State Sci. Technol.* 4, Q61 (2015).
- 18) T. Iwasaki, N. Itagaki, T. Den, H. Kumomi, K. Nomura, T. Kamiya, and H. Hosono, *Applied Physics Letters*, 90, 242114 (2007).
- 19) K. Nomura, T. Kamiya, E. Ikenaga, H. Yanagi, K. Kobayashi, and H. Hosono, *Journal of Applied Physics* 109, 073726 (2011).
- 20) C. R. Kagan and P. Andry, "Thin-Film Transistors", Marcel Dekker, New York, p. 87 (2003).
- 21) Y. C. Park, J. G. Um, M. Mativenga, and J. Jang, *ECS Solid. State. Sci.* 4, Q124 (2015).
- 22) H. J. Kim, S. Y. Park, H. Y. Jung, B. G. Son, C.-K. Lee, C.-K. Lee, J. H. Jeong, Y.-G. Mo, K. S. Son, M. K. Ryu, S. Lee, and J. K. Jeong, *J. Phys. D: Appl. Phys.* 46, 055104 (2013).
- 23) R. B. M. Cross and M. M. De Souza, *Appl. Phys. Lett.* 89, 263513 (2006).
- 24) J. K. Jeong, H. W. Yang, J. H. Jeong, Y.-G. Mo, and H. D. Kim, *Appl. Phys. Lett.* 93, 123508 (2008).
- 25) S. D. Brotherton, "Introduction to Thin Film Transistors: Transparent Amorphous Oxide Semiconductor TFTs 325–328", Springer, Cham (2013).
- 26) J. M. Lee, I. T. Cho, J. H. Lee, and H. I. Kwon, *Appl. Phys. Lett.* 93, 093504 (2008).
- 27) S. H. Ryu, Y. C. Park, M. Mativenga, D. H. Kang, and J. Jang, *ECS Solid State Lett.* 1, Q17 (2012).
- 28) Y. C. Park, J. G. Um, M. Mativenga, and J. Jang, *ECS J. Solid State Sci. Technol.* 4, P124 (2015).
- 29) G. Wang, Z. Song, X. Xiao, and S. Zhang, *Proc. AMFPD'15*, 2015, p. 111.
- 30) M. Li, L. Lan, M. Xu, D. Luo, N. Xiong, and J. Peng, *Jpn. J. Appl. Phys.* 51, 076501 (2012).
- 31) S.-I Oh, G. Choi, H. Hwang, W. Lu, and J.-H. Jang, *IEEE. Trans. Electron Devices* 60, 2537 (2013).
- 32) J. Hong, S. Kim, and K. Kim, *Jpn. J. Appl. Phys.* 50, 08KE02 (2011).
- 33) C. Van de Walle, *Phys. Rev. Lett.* 85, 1012 (2002).
- 34) T. Kamiya, K. Nomura, and H. Hosono, *J. Disp. Technol.* 5, 273 (2009).
- 35) T. Toda, D. Wang, J. Jiang, M. P. Hung, and M. Furuta, *IEEE Trans. Electron Devices* 58, 3018 (2011).

- 36) M. A. Alam and S. Mahapatra, *Microelectron. Reliab.* 45, 71 (2005).
- 37) V. Huard, M. Denais, and C. Parthasarathy, *Microelectron. Reliab.* 46, 1 (2006).
- 38) J.-H. Baeck, S. Oh, D. Lee, T. Park, J. U. Bae, K.-S. Park, S. Y. Yoon, and I. Kang, *SID Symp. Dig. Tech. Pap.* Volume 48, 294 (2017).
- 39) M. Fujii, Y. Uraoka, T. Fuyuki, J. S. Jung, and J. Y. K, *Jpn. J. Appl. Phys.* 48, 04C091 (2009).
- 40) A. Hupfer, C. Bhoodoo, L. Vines, and B. G. Svensson, *J. Appl. Phys.* 119, 181506 (2016).
- 41) S. Chakravarthi, A. Krishnan, V. Reddy, C. F. Machala, and S. Krishnan, *Proc. IEEE Inter. Reliability Phys. Symposium*, 273 (2004).
- 42) S. Ogawa and N. Shiono, *Physical Review B* 51, 4218 (1995).

## 第 6 章 先進 a-IGZO 酸化物半導体材料の開発

### 6.1 はじめに

前章では、次世代 FPD に搭載されるバックプレーンとして普及が期待される BCE 型 a-IGZO TFT について述べた。低抵抗配線である Cu 配線 (Cu/Mo, Mo/Cu/Mo 等) の適用に向けて、 $\text{H}_2\text{O}_2$  エッチャントを用いた BCE プロセスを対象として取り組んだ。一方で、大型パネル用途だけでなく中小型パネル用途においても、低消費電力をキーワードに、a-Si TFT から酸化物半導体 TFT への移行が始まっている。中小型パネルでは、Al 配線が多用されるため Al 配線に向けた取り組みが必要になる。加えて、狭縁部への制御ドライバを内蔵するためには a-IGZO よりも高い電界移動度を有する新しい酸化物半導体材料の開発が望まれる。第 1 章で述べたように、ディスプレイの多画素駆動、高フレームレート化による高画質化、および、OLED 製品適用の側面からもさらなる高移動度酸化物半導体の開発は重要な位置付けを担うことになる。

本章では、まず、a-IGZO への元素添加によって Al 配線のウエットエッチングプロセスへの耐性を高めた例について述べる。5.2 節で述べたように、Al 配線は Mo/Al/Mo 構造 (それぞれの合金を含む) を代表として、PAN エッチャント (磷酸・硝酸・酢酸の混合酸) を用いたウエットエッチングによってパターニングを行う。ところが、BCE 型 a-IGZO TFT において、a-IGZO 薄膜は PAN エッチャントに対してエッチング選択性が著しく低いことが課題であった。そのため、a-IGZO が直面するこの問題を克服し、a-IGZO のプロセス適用性の拡大に向けて、PAN エッチャント中の溶解度が低くなる (すなわち、S/D 電極材料に対する高い選択性を備える) 新しい酸化物半導体として Sn 添加 a-IGZO 半導体材料に注目した。次いで、組成調整を施した Sn 添加 a-IGZO 半導体材料を用いることにより、高移動度 TFT を実現した。Sn 添加 a-IGZO 半導体材料を用いた高移動度 TFT 特性とチャネル領域における Sn 添加 a-IGZO の電子状態について述べる。

### 6.2 a-IGZO への Sn 添加による PAN エッチング耐性の向上

Sn 添加 a-IGZO 薄膜を Co-sputter 法<sup>1,2)</sup>により作製した。a-IGZO ターゲット (In:Ga:Zn:O=1:1:1:4) に加えて、SnO ターゲットを使用し、図 6-1 に示すようにターゲットを配置した。カソードへの投入パワーを調整することによって所望の組成比を持つように成膜を行った。図 6-2 に Sn 添加 a-IGZO 薄膜の PAN エッチャントのエッチングレート (E/R) の Sn 添加量依存性を示す。使用した PAN エッチャントの磷酸:硝酸:酢酸の混合割合は 70:2:10 wt% とした。通常の a-IGZO 薄膜の E/R は 105 nm/min であったのに対して、a-IGZO に添加する Sn 量の増加によって E/R の低減が可能となり、Sn 添加量 8 at% 以上の E/R は 0 nm/min の

値が得られた。これは同 PAN エッチャントに対して不溶であることを意味しており，同 PAN エッチャントに対する Al 薄膜および Mo 薄膜の E/R はそれぞれ，93 nm/min，500 nm/min であることから，十分な選択比が確保された。

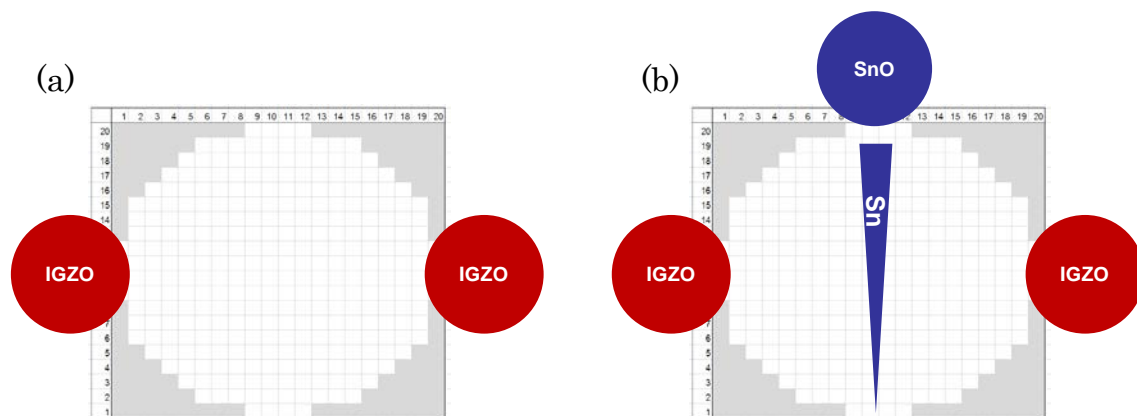


図 6-1 本実験で用いたマルチカソードによる Co-sputtering 法.  
(a) a-IGZO, (b) Sn 添加 a-IGZO.

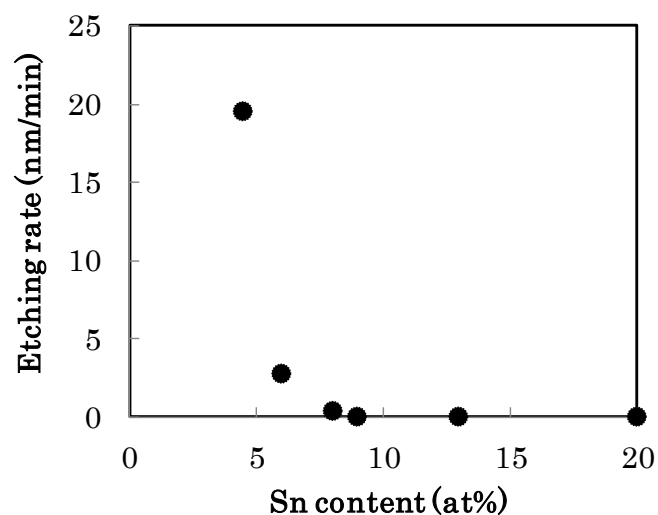


図 6-2 Sn 添加した a-IGZO 薄膜の PAN エッチングレート of Sn 添加量依存性.

### 6.3 Sn 添加 a-IGZO の TFT 特性およびストレス信頼性

表 6-1 ESL-TFT プロセスフロー.

No.	Process (4inchφ glass sub.)		Details
(a)	Gate deposition	Sputtering	Mo (200 nm)
(b)	Gate electrode formation	Wet etching	PAN system etchant
(c)	Gate insulator (GI) formation	PECVD	SiO <sub>x</sub> (250 nm) -SiH <sub>4</sub> /N <sub>2</sub> O = 4/100 sccm -300 W, 320 °C
(d)	Channel layer deposition	Sputtering	a-InGaZnSnO (40 nm) -4% O <sub>2</sub> p/p -Co sputtering
(e)	Active island formation	Wet etching & Annealing	Oxalic acid system etchant 350 °C, 1 hr, air
(f)	S/D deposition	Sputtering	Mo (100 nm)
(g)	S/D formation	Wet etching	PAN system etchant
(h)	ESL deposition	PECVD	SiO <sub>x</sub> (100 nm) -SiH <sub>4</sub> /N <sub>2</sub> O = 4/100 sccm -100 W, 230 °C
(i)	ESL formation	Dry etching	For SiO <sub>x</sub> - Ar/CHF <sub>3</sub> = 100/60 sccm
(j)	Passivation layer (PV) deposition	PECVD	SiO <sub>x</sub> (100 nm) -SiH <sub>4</sub> /N <sub>2</sub> O = 4/100 sccm -100 W, 150 °C SiN <sub>x</sub> (150 nm) -NH <sub>3</sub> /SiH <sub>4</sub> /N <sub>2</sub> = 6/12.5/297.5 sccm -100 W, 150 °C
(k)	Contact formation	Dry etching	For SiO <sub>x</sub> - Ar/CHF <sub>3</sub> = 100/60 sccm For SiN <sub>x</sub> - SF <sub>6</sub> /O <sub>2</sub> /Ar = 35/28/42 sccm
(l)	Post process	Annealing	250 °C, 0.5 hr, N <sub>2</sub>

Sn 添加した a-IGZO を用いた ESL-TFT の電氣的特性を評価した. 表 6-1 に用いた ESL-TFT のプロセスフローを示す. 図 6-1 に示したように, 基板内の膜厚の均一性を高めるために 2 枚の a-IGZO ターゲットを用い, SnO ターゲットを加えて Co-sputtering 成膜した Sn 添加 a-IGZO 薄膜を用いた.

Sn 添加 a-IGZO ESL-TFT の伝達特性から抽出された  $\mu_{sat}$ ,  $V_{th}$ ,  $S$  値の Sn 添加量依存性を図 6-3 に示す. 第 1 章で述べたように, イオン性の高い酸化物半導体は伝導帯端が球対称な金属元素の  $s$  軌道で構成されるので, In, Sn, Cd 等の重元素の非占有  $s$  軌道の空間的拡がり大きく, 電子の輸送路は重金属の  $s$  軌道によって形成される. また, アモルファス酸化物は  $s$  軌道が空間的指向性をもたないため, キャリア輸送の影響を受け難いといわれる<sup>3-6)</sup>. そのため, a-IGZO への Sn 添加による移動度の影響は受け難いと考えられ, 図 6-3 に示すように, 実際に ESL-TFT の伝達特性から得られた移動度の劣化は確認されなかった. また, 移動度以外にも, この伝達特性から得られた  $V_{th}$ ,  $S$  値に関しても, Sn 添加による影響をほとんど受けていないことがわかる.

さらに, 2h-NBTIS 試験による TFT 伝達特性の変化を図 6-4 に示した. Sn 添加量 0 at% の  $\Delta V_{th}$  -1.75 V に対して, Sn 添加量 5, 15, 25 at% の  $\Delta V_{th}$  はそれぞれ, -1.0 V, -2.25 V, -1.75 V の値を示しており, Sn 添加量が及ぼす  $\Delta V_{th}$  の影響は非常に小さいことがわかる.

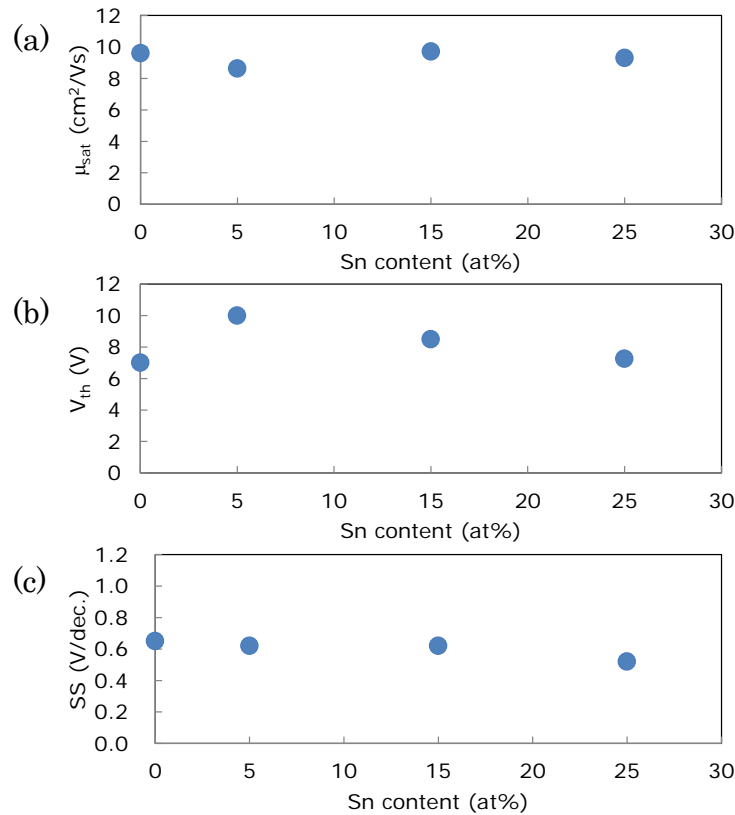


図 6-3 Sn 添加 a-IGZO ESL-TFT の伝達特性から抽出した  $\mu_{sat}$ ,  $V_{th}$ ,  $S$  値の Sn 添加量依存性. (a)  $\mu_{sat}$ , (b)  $V_{th}$ , (c)  $S$  値.

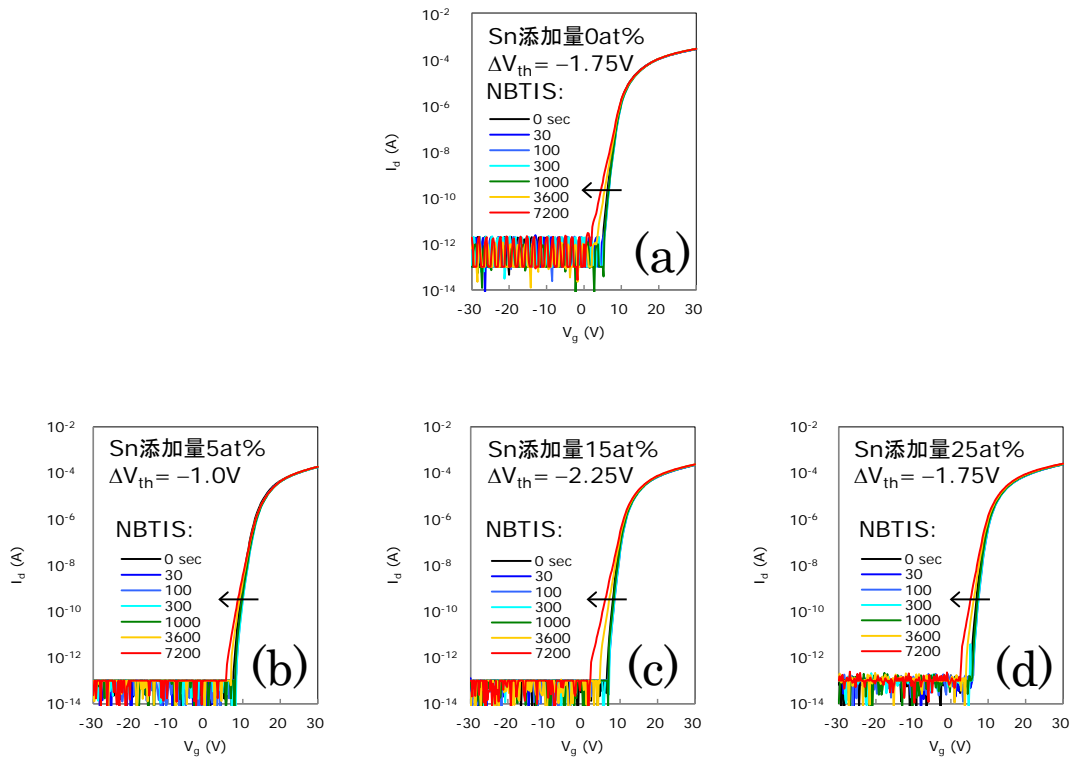


図 6-4 Sn 添加 a-IGZO ESL-TFT の NBTIS 試験による伝達特性の変化。  
Sn 添加量 (a) 0 at%, (b) 5 at%, (c) 15 at%, (d) 25 at%.

## 6.4 Sn 添加 a-IGZO の電子状態評価

a-IGZO への Sn 添加による電子状態に及ぼす影響を確認するために、ESL-TFT と同一プロセスで作製した評価素子を用いて PITS 評価を行った。図 6-5 は対応する Sn 添加 a-IGZO から得られた PITS スペクトルである。Sn 添加量に対して、PITS スペクトルの  $b_1$  ピークに顕著な差は確認されなかった。この結果は NBTIS 試験による  $\Delta V_{th}$  の結果とも相関が取れており、ESL-TFT プロセスに対して、Sn 添加量の違いによるチャネル領域の電子状態に及ぼす影響はきわめて小さいといえる。

一方、Sn 添加 a-IGZO の PAN エッチャントに対する E/R は著しく低くなることを述べたが、PAN エッチャントを BCE プロセスに用いた BCE-TFT において、良好な NBTIS ストレス信頼性が得られることが報告されている<sup>7,8)</sup>。今後はこれら BCE プロセスによるチャネル領域の周辺プロセスと Sn 添加 a-IGZO の電子状態の変化に関して詳細な把握が必要である。



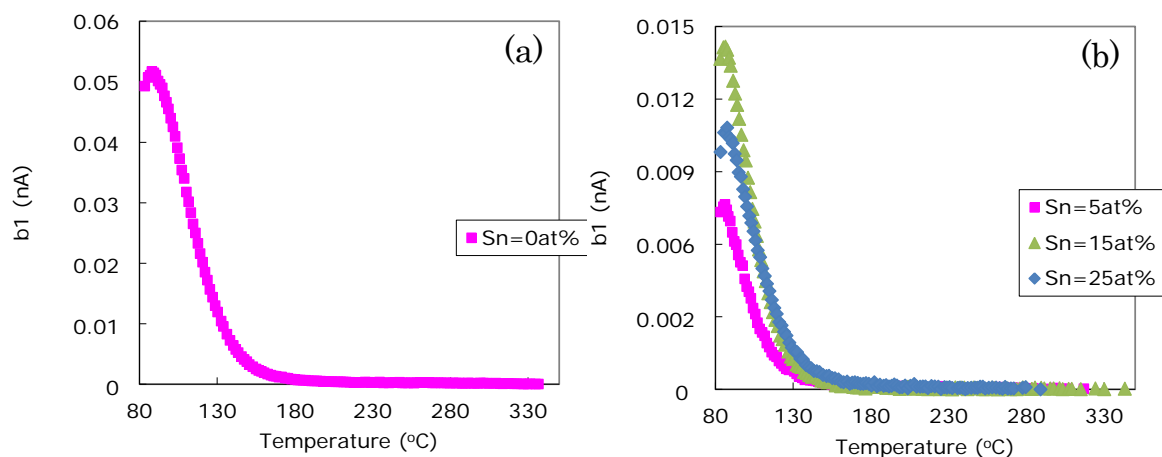


図 6-5 Sn 添加量の異なる Sn 添加 a-IGZO を用いた ESL-TFT から得られた PITS スペクトルの変化. Sn 添加量 (a) 0 at%, (b) 5 at%, 15 at%, 25 at%.

## 6.5 高移動度 Sn 添加 a-IGZO の TFT 特性と電子状態評価

本節では、前節までとは異なる組成の Sn 添加 a-IGZO (以下、高移動度 Sn 添加 a-IGZO という) について述べる. 図 6-6 に高移動度 Sn 添加 a-IGZO を用いた ESL-TFT の伝達特性および NBTIS 試験による変化を示す. ESL-TFT は表 6-1 で示したプロセスにより作製し、250°C でポストアニーリングを行った. この結果から得られた  $\mu_{sat}$  は、図 6-3 で示した Sn 添加 a-IGZO に比べて明らかに高く、20 cm<sup>2</sup>/Vs を超える値が示された (図 6-6(a)). さらに、ポストアニーリング温度を 300 °C に上昇することによって、図 6-7(a) に示すようにさらに高い移動度が得られることがわかる. 前章では、a-IGZO BCE-TFT のポストアニーリング温度依存性について述べたが、移動度の増加は確認されなかった. また、a-IGZO ESL-TFT においても、ポストアニーリング温度の違いにより移動度は増加しなかった (図示せず).

図 6-6 (b) および図 6-7(b) は Sn 添加 a-IGZO ESL-TFT におけるそれぞれのポストアニーリング温度に対応する NBTIS ストレス信頼性の結果である. ポストアニーリングの高温化により、NBTIS 試験による  $\Delta V_{th}$  は -2.0 V から -1.5 V となり、その変化量はわずかながら改善傾向を示した. 高移動度 Sn 添加 a-IGZO を用いた ESL-TFT は、ポストアニーリング高温化によって、NBTIS ストレス信頼性を損なうことなく移動度の向上が得られた.

このポストアニーリングによる TFT 特性の変化を理解するために、Sn 添加 a-IGZO チャネル領域の電子状態を PITS 法により評価した. 図 6-8(a), (b) はポストアニーリング 250 °C, 図 6-8(c), (d) はポストアニーリング 300 °C における Sn 添加 a-IGZO から得られた PITS スペクトルである. 図 6-8(b), (d) は、通常の液体窒素での冷却に対して、真空ポンプで液体窒

素槽を減圧することで液体窒素の気化による吸熱反応で冷却機能を高めることにより、70 K から測定を行った結果である。ポストアニーリング高温化により、PITS スペクトルの  $b_1$  の 100–150 K 付近のピークの裾が低減し、より低温側の信号は増加する傾向が確認された。300 °Cの高温ポストアニーリングによって、70–80 K 付近のピーク強度は大きくなっており、CBM 下の浅いトラップ準位がドナーライクのトラップ準位として働き、電子を供給することにより移動度が向上した可能性が考えられる。

今後、高移動度 Sn 添加 a-IGZO における電子状態と TFT 特性の相関をさらに明確化し、とくに、BCE-TFT における高移動度および高信頼性に寄与する電子状態の把握に取り組む。また、移動度  $50\text{cm}^2/\text{Vs}$  を超えるさらなる高移動度酸化物半導体材料の開発にフィードバックを行う。

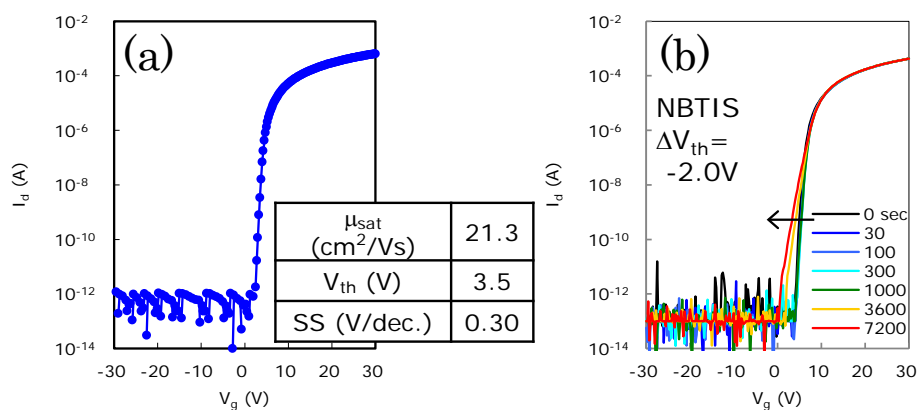


図 6-6 高移動度 Sn 添加 a-IGZO を用いた ESL-TFT の 250 °C ポストアニーリングの特性。  
(a) 伝達特性, (b) NBTIS 試験による変化。

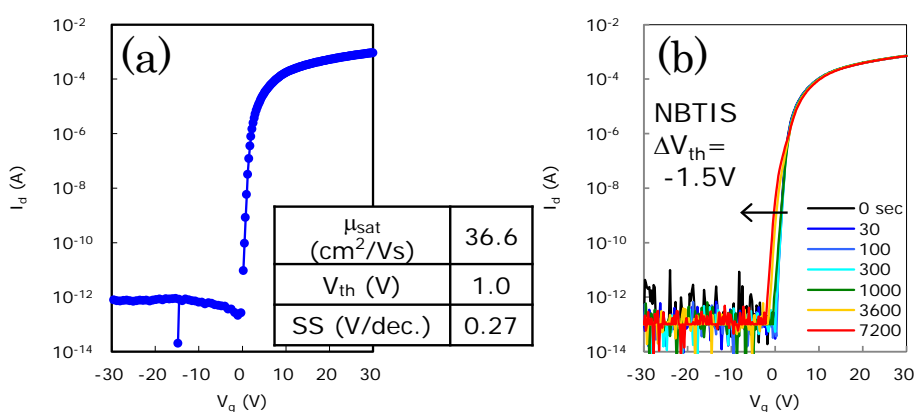


図 6-7 高移動度 Sn 添加 a-IGZO を用いた ESL-TFT の 300 °C ポストアニーリングの特性。  
(a) 伝達特性, (b) NBTIS 試験による変化。

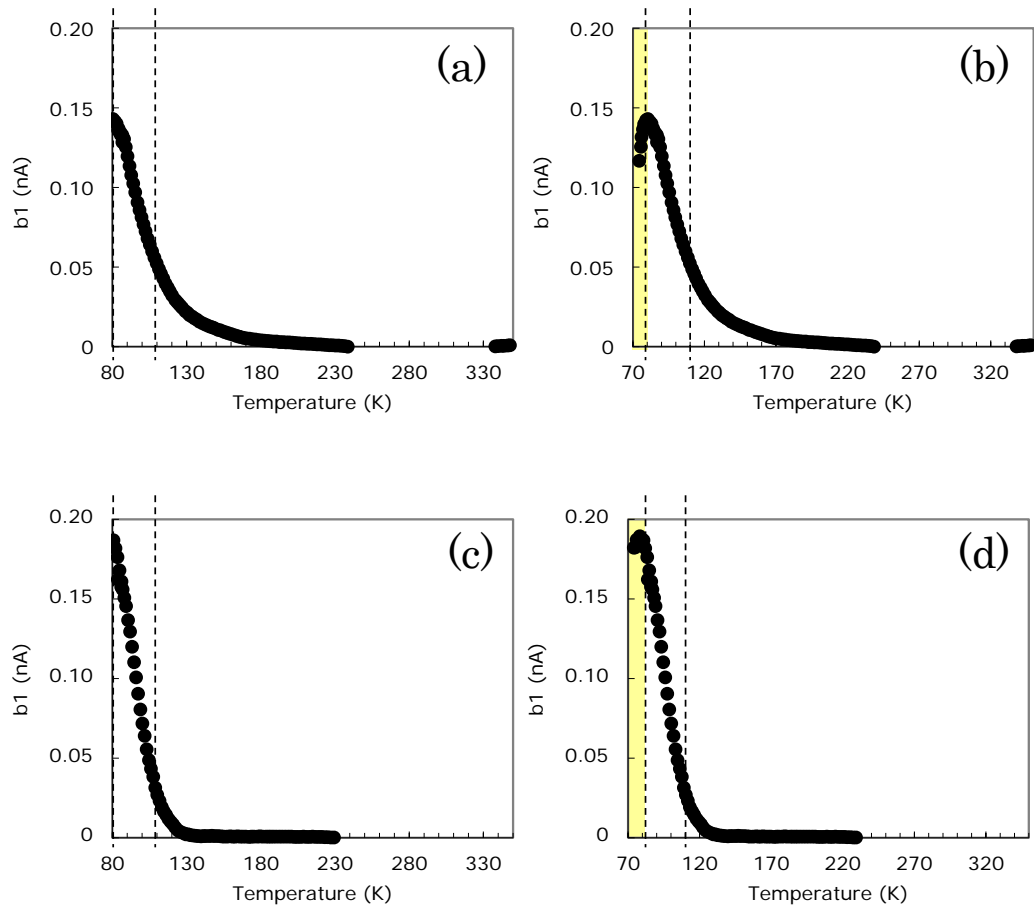


図 6-8 高移動度 Sn 添加 a-IGZO を用いた ESL-TFT のチャネル領域の電子状態の変化.

- (a) 250 °C ポストアニーリング, 測定温度 80–350 K,
- (b) 250 °C ポストアニーリング, 測定温度 70–350 K,
- (c) 300 °C ポストアニーリング, 測定温度 80–350 K,
- (d) 300 °C ポストアニーリング, 測定温度 70–350 K.

## 6.6 まとめ

本章では, a-IGZO の課題である PAN エッチャント耐性の付与と, さらなる高移動度の付与を目的に開発した Sn 添加 a-IGZO を用いた TFT 特性とその信頼性, および, チャネル領域のトラップ準位の関係を調べた.

本章で得られた結論を以下に示す.

- 1) プロセス適用性拡大の試みとして, 一般に用いられる a-IGZO への Sn 添加によって PAN エッチャント耐性が明らかに向上することを確認した. Sn 添加量が 8 at% を超える

ことにより、PAN エッチャントに対して膜減りが生じないことを確認した。また、Sn 添加量の増加による ESL-TFT の伝達特性および NBTIS に対する信頼性は変化しない。PITS 法を用いたチャネル領域のトラップ準位評価により、これら Sn 添加量の違いによってチャネル領域の電子状態が変わらないことを明らかにした。

- 2) Sn 添加 a-IGZO の組成調整により、一般に用いられる a-IGZO に比べて、TFT の伝達特性から得られる移動度が向上することを確認した。このような移動度の増加は a-IGZO における In 添加量の増加に関連しているとの報告もある<sup>9)</sup>。さらに、同 Sn 添加 a-IGZO 組成では、ポストアニーリングの高温化による移動度の向上と NBTIS ストレス信頼性の向上を見出した。PITS 評価により、高温ポストアニーリングによるチャネル領域のトラップ準位の変化を確認した。CBM 下の浅いドナーライクのトラップ準位の増加は TFT の高移動度化に寄与することを明らかにした。

本章では、a-IGZO を深化させる材料の取り組みと、TFT チャネル領域の電子状態評価との相関について模範例を提示した。今後の酸化物半導体材料開発において、材料組成およびプロセスに対する電子状態を把握し、そのメカニズムを考察して、性能向上を実現するアプローチはきわめて重要な位置付けを担うと考えられる。

## 参考文献

- 1) H. Kumomi, K. Nomura, T. Kamiya, and H. Hosono, *Thin Solid Films*, 516, 1516 (2008).
- 2) M. Ryu, S. Yang, S. Park, C. Hwang, and J. Jeong, *Appl. Phys. Lett.*, 98, 72104 (2009).
- 3) H. Hosono, N. Kikuchi, N. Ueda, and H. Kawazoe, *Journal of Non-Crystalline Solids*, 198, 165 (1996).
- 4) 細野秀雄, 神谷利夫, 野村研二, 応用物理, 74, 910 (2005).
- 5) S. Narushima, M. Orita, M. Hirano and H. Hosono, *Phys. Rev. B* 66, 035203 (2002).
- 6) T. Kamiya, K. Nomura, and H. Hosono, *Journal of Display Technology*, 5, 273 (2009).
- 7) M. Ochi, S. Morita, Y. Takanashi, H. Tao, H. Goto, T. Kugimiya, and M. Kanamaru, *Proc. IDW'13*, 368 (2013).
- 8) M. Ochi, S. Morita, Y. Takanashi, H. Tao, H. Goto, T. Kugimiya, and M. Kanamaru, *SID 2015 Digest*, pp. 853.
- 9) T. Kamiya, K. Nomura, and H. Hosono, *Journal of Display Technology*, 5, 273 (2009).

## 第 7 章 本研究の総括

a-IGZO をはじめとする酸化物半導体は次世代 FPD に不可欠である。本研究では、酸化物半導体 TFT の長期的な発展を支えるために、a-IGZO TFT の基本特性の安定化、特に、高信頼性化を実現するために、ESL 型 TFT および BCE 型 TFT における a-IGZO の薄膜形成プロセスおよび周辺プロセスが a-IGZO の電子状態に及ぼす影響の解明を試みた。TFT のバックチャネル領域と同一構造で評価するために PITS 法を適用し、チャネル領域の電子状態の変化とプロセス条件の相関に関する知見の獲得を行った。さらに、NBTIS 試験として光照射および負バイアスストレス印加に対する特性変化のメカニズムに関するモデルの提唱と、高信頼性化に資する製造プロセスにフィードバックすることを目指した。本研究では次の3点を大きな目的とした。

- a-IGZO TFT における a-IGZO バックチャネル領域のギャップ内欠陥準位の評価手法を確立し、その要因を明確にする。
- a-IGZO TFT の最重要課題である NBTIS ストレス試験による特性シフトに関して、a-IGZO バックチャネル領域のギャップ内欠陥準位評価に基づいて、ESL 構造における要因を議論する。
- ESL 構造から BCE 構造の変化に対して、TFT 不良要因を抽出し、a-IGZO バックチャネル領域のギャップ内欠陥準位の観点で、そのメカニズムを解明するとともに対策を施す。

以下に、本研究で得られた成果を総括する。

第 2 章では、酸化物半導体 TFT の構造、製造プロセス、信頼性評価の詳細を述べた。半導体層のトラップ準位を電氣的に評価する手法として、一般に用いられる DLTS 法を説明した。DLTS 法で必要となる MOS ダイオード構造は、TFT 特性に強く影響を及ぼすチャネル領域の構造と異なるために、評価に利用することは困難である。このため、TFT チャネル領域と同一構造の評価素子を用いることができる DLTS 法を応用した PITS 法を説明した。PITS 法の適用により、TFT 製造プロセスによる a-IGZO の電子状態の変化を反映できることを述べた。

第 3 章では、TFT 製造プロセスに対する TFT チャネル領域のトラップ準位の影響を評価するために、熱処理にともなう a-IGZO の電子状態の変化を PITS 法により調べた。熱処理により ZnO 中に形成されるトラップ準位と比較し、その類似性があることを述べ、a-IGZO 薄

膜からの熱脱着の挙動と関連があることを明らかにした。プリアニールリングにより a-IGZO 膜中に亜鉛欠損欠陥が形成されることを見出した。a-IGZO 膜中のトラップ準位の形成に大きな役割を果たすと考えられる水素の効果を検証するために TPYS を用いて水素化された a-IGZO におけるトラップ準位の変化を評価した結果をまとめた。a-IGZO 薄膜への水素処理により、CBM から約 0.3 eV 下に準安定的な準位が誘起され、その後の熱処理により CBM から約 0.2 eV 下にサブギャップ準位を形成することを示した。このことは膜中に取り込まれた水素が熱処理により、Zn-O 結合を切断し、亜鉛欠損を作ることに起因して形成されることを明らかにした。

第 4 章では、ESL 型 a-IGZO TFT のチャネル領域のトラップ準位と NBTIS ストレス信頼性試験による特性変化との相関を調査した。PITS 法により、a-IGZO 成膜条件、ESL(SiO<sub>x</sub>) 成膜条件によって、亜鉛欠損欠陥、水素関連欠陥および亜鉛過剰欠陥に起因するトラップ準位が形成されることを示した。さらに、ESL の成膜条件により水素に起因したトラップ準位が形成されることを示した。 $V_{th}$  シフトの時間依存性から、NBTIS ストレス試験による TFT 伝達特性の変化は、ESL 層からの水素が光照射、バイアスにより a-IGZO 膜中に拡散することが大きな劣化要因であることを明らかにした。デバイスシミュレーションにより、TFT チャネル領域のサブギャップ準位の密度が変化することで、TFT の伝達特性はハンプ形状をとった変化や電流の立ち上がり時の裾状の変化が生じることを示した。また、a-IGZO 薄膜組成における Zn 添加量の増加により、TFT チャネル領域は亜鉛欠損欠陥の多い状態から酸素欠損欠陥の多い状態に変化することを明らかとし、NBTIS ストレス信頼性に及ぼす影響を議論した。加えて、PV 層である SiN<sub>x</sub> 成膜による水素拡散により、a-IGZO 膜中に水素関連欠陥に起因するトラップ準位が形成され、NBTIS 試験によりハンプをとまなう  $V_{th}$  シフトを誘発することを示した。これらの結果から、PV 層からの水素拡散を防ぐ手法として Si 系樹脂の挿入を提案し、効果を確認した。

第 5 章では、TFT の小型化、低寄生抵抗化および低コスト化として期待される BCE 型 a-IGZO TFT について述べた。XPS 分析により、a-IGZO バックチャネルの表面組成および結合状態は BCE エッチングによって変化することを示した。BCE エッチングによる S/D 電極の Mo 酸化物の残留が原因となり、a-IGZO バックチャネル最表面に価電子帯端からギャップ全体に準位が形成されることを明らかにした。それにより、TFT 伝達特性の  $S$  値劣化が誘発されることを示し、BCE プロセスのオーバーエッチング量の調整による改善を提案した。BCE 型 TFT と ESL 型 TFT の NBTIS ストレス試験による TFT 特性を比較し、BCE 型 TFT はストレス試験の初期に平行に  $V_{th}$  が負電圧側に変化し、長時間ストレス印加によってハンプ状に変化することを確認した。平行の変化は、光照射に関わらずバックチャネル界面の水素の吸着と脱離に起因した正固定電荷により生じ、NBTS 試験によるゲート酸化膜側の界面のホールトラップと同様に、バックチャネル側の界面に正固定電荷が入ることによって生

じることを示した。ハンプ状の  $V_{th}$  の変化は、光照射による保護膜からの水素の拡散および界面から脱離した水素の拡散に起因したトラップ準位によって生じることを明らかにした。これらのメカニズムを基にした PV 層への Si 系樹脂層の導入とポストアニーリングによる NBTIS ストレス信頼性の改善の効果を確認した。また、上記プロセスの適用により、NBTIS だけでなく PBTS に対する信頼性が改善することを示した。

第 6 章では、先進 a-IGZO としてプロセス適用性拡大を目指し、a-IGZO への Sn 添加により、課題であった PAN エッチャント耐性を付与できることを示した。Sn 添加 a-IGZO で構成した TFT は、初期の伝達特性だけでなく、NBTIS ストレス信頼性に影響を与えない。さらに、a-IGZO への Sn 添加によって、TFT チャンネル領域の電子状態が変わらないことを明らかにした。また、Sn 添加 a-IGZO の組成調整により、TFT 伝達特性から得られる移動度の向上を示し ( $\geq 20 \text{ cm}^2/\text{Vs}$ )、高温ポストアニーリングによるさらなる移動度の向上を示した ( $\geq 30 \text{ cm}^2/\text{Vs}$ )。高移動度を備えた Sn 添加 a-IGZO TFT のチャンネル領域の PITS 評価により、CBM 下の浅いドナーライクのトラップ準位の増加が高移動度発現に寄与することを明らかにした。

NBTIS ストレス信頼性に対して最適化できる TFT 製造プロセスを述べる。

ESL 型 a-IGZO TFT においては、a-IGZO 膜中の水素の低減が必要であり、低酸素分圧条件で形成した a-IGZO 膜をプリアニーリングすることにより効率的に水素を低減することができる(ただし、a-IGZO 膜中の亜鉛欠損欠陥の導入は不可避であるため、それによる NBTIS ストレス信頼性の劣化は生じる)。また、a-IGZO 薄膜上に形成される ESL 層 ( $\text{SiO}_x$ ) から拡散する水素の低減が重要になる。そのために ESL 層形成における低  $\text{SiH}_4/\text{N}_2\text{O}$  流量条件が有効となる。さらに、PV 層 ( $\text{SiN}_x$ ) 形成時の a-IGZO 膜中への水素導入は NBTIS ストレス信頼性の劣化を誘発するために、PV 層への Si 系樹脂の導入もしくはポストアニーリングの実施による対策が有効になる。

一方、BCE 型 a-IGZO TFT では、BCE プロセスにより導入された a-IGZO バックチャンネルにおける界面吸着水素および a-IGZO 膜中水素の低減が必要になる。これらは高温ポストアニーリングにより界面吸着水素の脱離、膜中水素の低減が可能である。ただし、水素の主な脱離経路は a-IGZO バックチャンネルの PV 層側であり、PV 層への Si 系樹脂等の導入により、 $\text{SiN}_x$  膜からの水素拡散を抑制するプロセスとの組み合わせが必要になる。このようなプロセス最適化により、水分等の外部環境による特性劣化を生じることなく、また、量産性の低いプロセスを使うことなく、NBTIS ストレス信頼性を向上することができる。



最後に、本研究で得られた成果の意義を述べる。

まず、a-IGZO TFT のチャネル領域における TFT 製造プロセス中の欠陥の形成過程を明確化した。a-IGZO 膜中に取り込まれた水素はトラップ準位を形成し、その後の熱処理により、水素を放出するとともに最終的に亜鉛脱離を誘発する。その結果として亜鉛欠損欠陥に起因するトラップ準位を形成することを明らかにした。次に、チャネル領域の直上に配置される ESL 層の影響を明確にした。NBTIS 試験による ESL 層からチャネル領域への水素拡散により、水素関連のトラップ準位が増加し、TFT の伝達特性はハンプ状に変化することを明らかにした。また、BCE プロセスが a-IGZO の電子状態に及ぼす影響を確認し、TFT の伝達特性の  $S$  値劣化、NBTIS 試験によるハンプ状の変化および平行状の変化のそれぞれのパターンに対して、その劣化の起源にもとづいて BCE 型 a-IGZO TFT の製造プロセスを構築した。さらに、先進 a-IGZO の材料開発において、その電子状態に及ぼす影響を把握して構築することが有効であることを明らかにした。このように、TFT の製造プロセス条件および半導体材料を網羅的に変えるのではなく、それらが酸化物半導体の電子状態に及ぼす影響を観察して、メカニズムを考察し、その電子状態の制御を実践することにより、真に特性向上を図ることができた。

## 謝辞

本論文をまとめるにあたり、終始懇切なるご指導とご配慮を賜りました、奈良先端科学技術大学院大学 物質創成科学研究科 浦岡行治教授に深甚なる謝意を表します。また、本論文を執筆するにあたり、中間審査、公聴会、個別審査などを通してご指導を賜りました、物質創成科学研究科 廣田俊教授、香月浩之准教授、石河泰明准教授に謹んで謝意を表します。物質創成科学研究科 藤井茉美助教には、酸化物半導体に係るデバイスシミュレーションなどを通して貴重なご助言を賜りました。心より感謝申し上げます。

本研究は、株式会社神戸製鋼所 技術開発本部において実施したものであり、筆者が酸化物半導体の研究開発に取り組む機会を与えていただいた神戸製鋼所に心より感謝いたします。本研究を遂行するにあたり、格別のご配慮と温かい激励を賜りました株式会社神戸製鋼所 元技術開発本部 本部長 杉崎康昭様、技術開発本部 本部長 三宅俊也様、元電子技術研究所 所長(現 株式会社コベルコ科研 大阪支店 支店長) 森田孝司様、応用物理研究所 所長 釘宮敏洋様に深く感謝いたします。釘宮敏洋様には共同研究者としても、ご指導と激励をいただきました。

本研究において共同研究者として有益な議論とご協力をいただきました株式会社神戸製鋼所 応用物理研究所 物性制御研究室 室長 後藤裕史様、主任研究員 林和志様、主任研究員 慈幸 範洋様、岸智弥様、寺前裕美様、田尾博昭様、佐々木康二様、山田敬子様、電気・磁気制御研究室 森田晋也様、株式会社コベルコ科研 材料ソリューション事業部 日野綾様、小坂修司様、高梨泰幸様、株式会社コベルコ科研 ターゲット事業本部 廣瀬研太様、西山功兵様に深く感謝いたします。特に、後藤裕史様には常に温かいご配慮をいただき、林和志様には欠陥評価などの本研究に関する多くの議論をさせていただきました。また、物性評価、データ解析に関して、株式会社神戸製鋼所 元電子技術研究所 薄膜材料研究室 柏井真子様、川上亜由子様、応用物理研究所 物性制御研究室 藤本詩織様、湯浦弘江様には多大なるご協力をいただくとともに、有益な討論を行いました。心より感謝いたします。

本研究の実験全般において、株式会社神戸製鋼所 元開発業務部試作実験室 職長 坂彌幸様、開発業務部試作実験室 職長代行 東光男様、班長 佐々木博行様、班長 梶原崇弘様、高橋信之様、下田悠稀様、応用物理研究所 物性制御研究室 加々見貴士様、松本美紀様に惜しみない協力と助言をいただきました。深く感謝いたします。

本研究は、株式会社コベルコ科研 ターゲット事業本部からの委託研究テーマとして実施したものであり、筆者が酸化物半導体の研究開発に取り組む機会を与えていただいたコベルコ科研に心より感謝いたします。本研究を遂行するにあたり、格別の配慮と激励、ご協力をいただきました、株式会社コベルコ科研 元ターゲット事業本部 本部長(現 株式会社コベルコ科研 専務取締役) 小宮幸久様、ターゲット事業本部 本部長 楠本栄典様、上級主席 金丸守賀様、上級主席 平岩幹夫様、技術部 部長 畠英雄様、主席技師 高木勝寿様、主任

技師 奥野博行様, 田尾幸樹様, 元技術室 室長(現 株式会社コベルコ科研 材料ソリューション事業部 担当部長) 中井淳一様, 製造室 室長 松村仁美様, 品質・環境管理室 主席技師 米田陽一郎様, 元営業部 部長(現 株式会社コベルコ科研 東京営業部 部長) 河野憲治様, 営業部 部長 高橋勝様, 主任部員 矢野俊明様, 主任部員 春田博信様, 主任部員 土谷貴司様, 喜多下幸太郎様(現 神鋼商事株式会社機械・情報本部 産機・情報機材部)に厚く御礼申し上げます。また, 神鋼商事株式会社 機械・情報本部 産機・情報機材部 部長 吉田眞也様, グループ長 三澤亮介様, 次長 吉田牧人様, 韓国神鋼商事 代表理事 岡本佳久様, 元代表理事 金炯善様, 元次長 金成澤様, 神鋼商貿(上海) 元董事 總經理(現 株式会社マツボー 役員) 上田浩史様, 経理 郭東勛様, 神商精密器材(蘇州) 副總經理 東軒英樹様, 台湾神鋼商事 元経理 何長益様, 元副理 王皓正様には惜しみないご支援とご協力を賜りました。心より感謝いたします。

また, 表面・界面分析においては株式会社コベルコ科研 材料ソリューション事業部の黒田真矢様, 若林琢巳様, 小北哲也様には測定方法や解釈の仕方について惜しみないご協力をいただきました。深く感謝いたします。

株式会社神戸製鋼所 応用物理研究所 企画グループの梶原万貴子様, 柴山留美様には, 常に応援していただきました。深く感謝いたします。

本研究はこれら多くの方々のご指導とご協力により達成された結果であり, 心より厚く御礼申し上げます。

最後に, 本研究を遂行するにあたり, 常日頃より支えてくれた妻, 家族に感謝いたします。

2018 年 越智元隆