

シート状コンピュータの実現に向けた
塗布型酸化物半導体による集積回路の作製

浦川 哲

2016年3月

博士(工学)

奈良先端科学技術大学院大学

物質創成科学研究科

1	第1章 序論	1
1.1	諸言	1
1.1.1	ウェアラブル端末の発展	1
1.1.2	薄膜トランジスタと半導体	2
1.1.3	塗布型デバイスに向けた印刷技術	4
1.2	本研究の目的と構成	5
1.3	薄膜トランジスタ	6
1.3.1	寄生成分モデル	6
1.3.2	Transfer Length Method による寄生成分導出	7
1.4	アモルファス酸化物薄膜トランジスタ	8
1.4.1	アモルファス酸化物半導体のバンドモデル	8
1.4.2	トランジスタシミュレーション	10
1.4.3	回路シミュレーション	12
1.5	参考文献	14
2	第2章 塗布型酸化物薄膜トランジスタの作製と評価	16
2.1	諸言	16
2.2	塗布型酸化物薄膜トランジスタの作製	17
2.2.1	評価用素子構造の設計と作製	17
2.2.2	InZnO 積層構造がもたらす電流性能変化	18
2.2.3	伝達特性評価	21
2.2.4	特性収率評価	23
2.2.5	正的電圧ストレスにおける信頼性評価	25
2.3	薄膜トランジスタの寄生抵抗評価	27
2.3.1	評価用素子と各電極間の抵抗値	27
2.3.2	抵抗成分と伝達長	28
2.3.3	シミュレーションによる伝達長の解析	29
2.3.4	寄生成分を含めた電界効果移動度	31
2.4	薄膜トランジスタの自己発熱現象	32
2.4.1	塗布型 InZnO 薄膜トランジスタの自己発熱現象	32
2.4.2	発熱温度の電流依存性	33
2.4.3	自己発熱温度の素子サイズ依存性	34
2.4.4	発熱温度がもたらす信頼性への影響	36
2.4.5	マルチチャネル型構造による発熱温度の低減	37
2.5	ダブルゲート型構造を用いた薄膜トランジスタ	38
2.5.1	ダブルゲート型構造	38

2.5.2	スイッチング特性比較	40
2.5.3	ダブルゲート型構造の発熱解析	42
2.6	結論	44
2.7	参考文献	45
3	第3章 N型半導体による基本論理回路の構築と出力性能評価	47
3.1	諸言	47
3.1.1	論理回路	47
3.1.2	課題と目的	48
3.2	疑似P型トランジスタを使用した各種論理回路	50
3.3	疑似P型トランジスタの作製と特性評価	51
3.3.1	Diode Load型とZero V_{GS} 型NOT回路	51
3.3.2	疑似P型トランジスタのスイッチング特性	54
3.3.3	トランジスタの信号転送と充放電特性	57
3.4	疑似CMOS型NOT回路の作製と電気特性評価	60
3.4.1	疑似CMOS型NOT回路の電気特性	60
3.4.2	多段接続による雑音余裕度	61
3.4.3	リングオシレータによる発振特性	64
3.4.4	ディプレッション型とエンハンスメント型	66
3.4.5	消費電流	68
3.5	疑似CMOS型NAND回路およびNOR回路	70
3.5.1	回路構成	70
3.5.2	論理特性評価	71
3.5.3	シミュレーションによる評価	73
3.6	疑似CMOS型論理回路の動作速度と回路構成	75
3.6.1	NOT特性と雑音余裕度	75
3.6.2	NOT回路の充放電特性	76
3.6.3	リングオシレータ回路による動作速度評価	78
3.6.4	組み合わせNOR回路	79
3.7	結論	81
3.8	参考文献	83
4	第4章 Agペーストを用いた塗布型トランジスタの作製	84
4.1	諸言	84
4.2	電極材料とInZnOの接触抵抗評価および仕事関数測定	85
4.2.1	電極と半導体間のバンド構造	85

4.2.2	接触抵抗評価および仕事関数測定	86
4.3	スクリーン印刷による塗布型薄膜トランジスタの作製	87
4.3.1	デバイス作製	87
4.3.2	スクリーン印刷による Ag 電極の形成	89
4.3.3	上層 2 層塗布型薄膜トランジスタのスイッチング特性	89
4.3.4	スイッチング特性の比較	91
4.4	塗布型 Ag およびスパッタ成膜 Ag 電極の界面評価と元素分析	92
4.4.1	塗布型 Ag 電極と InZnO の界面評価	92
4.4.2	塗布型 Ag とスパッタ成膜 Ag の重元素分析	93
4.4.3	界面の軽元素分析	94
4.5	電極材料ごとの特性比較	96
4.5.1	スイッチング特性評価	96
4.5.2	接触抵抗と仕事関数	96
4.6	結論	99
4.7	参考文献	100
5	第 5 章 総括	101
5.1	総括	101
5.2	今後の展望	103
5.3	研究業績	104
5.4	謝辞	106

1 第1章 序論

1.1 諸言

1.1.1 ウェアラブル端末の発展

半導体技術は年々進化を続け、従来の据置型電子機器から装着型（ウェアラブル）電子情報デバイスへとその分野を広げつつある。1999年にKevin Ashtonによって提唱されたヒトとモノが相互に通信する“Internet of Things”（IoT）という概念[1]は、データのクラウド化（クラウドコンピューティング）とデータのリアルタイム分析を加速させるに至っている。そして、あるヒトもしくはモノのデータは、その一連の過程によって即時に記録、解析、出力され、そのヒトもしくはモノに最適化された情報として与えられる。その用途は多義に渡り、例えば、医療分野[2,3]においてはヒトの健康状態管理として利用され体温の測定から記録と解析を行い、適切な治療の実行もしくは告知がデバイスを媒体として行われる。フィットネス分野[4,5]においても走行距離の記録やフォームの計測と動体感知を行うことで、姿勢制御のサポートが行われる。

これら用途の中でウェアラブル端末はIoTを実現させる一つのキーワードとして注目を集めており、近年眼鏡型や時計型またはリストバンド型が有力視されている。その他にも衣類にセンサーを装着したウェアラブルデバイスやパッチ状に皮膚に直接貼り付け可能なデバイスが提案されており、心拍数や呼吸数、体温、血圧などの生体信号をリアルタイムで検知することで上述の医療やフィットネス分野だけでなく他分野へも応用が期待される。その市場は国内外の様々な電子機器メーカーからウェアラブルデバイスの提案、開発がされており、その市場規模は図1.1に示す様に今後さらに拡大するとされている[6]。

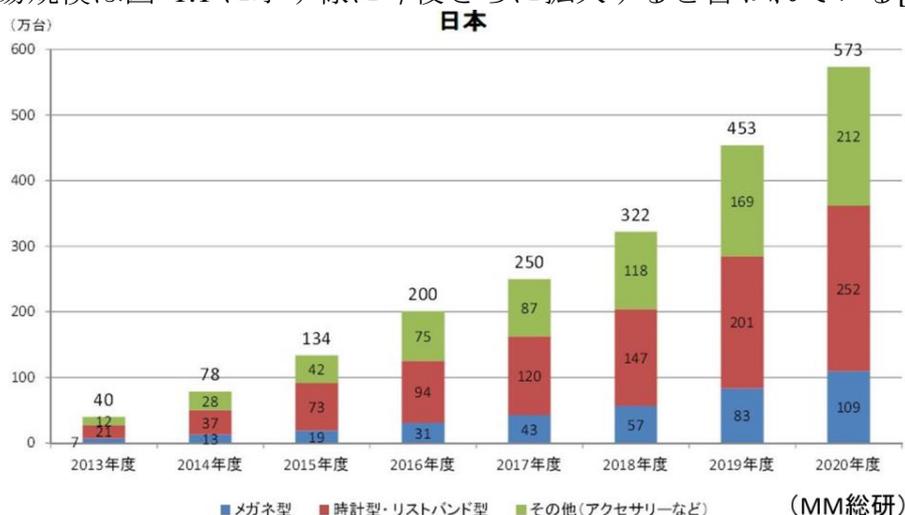


図 1.1. ウェアラブル端末の市場規模予測 (MM総研)。

二つ目のキーワードとしてはデバイスの印刷化が挙げられる。先に上述した様にヒトの生体反応を検知するためには、デバイスは必然的に皮膚と直接にもしくは間接的に接触することになる。そのため、様々な環境下に対応しうるためのデバイス自体の柔軟性や伸縮性が求められており、その方法としてデバイス印刷化技術が注目されている。従来その報告例としては、有機半導体を用いた塗布型センサーや塗布型トランジスタが作製され、ポリマー構造による高い伸縮性能と柔軟性そして高い安定性が実証されており[7,8,9]、既存のシリコン (Si) デバイスにはない付加価値性能が示されている。その他にも塗布型誘電体メモリー[10,11,12]やバッテリー等[13,14]の様々な素子の完全塗布型化が盛んに行われており、素子からモジュールだけではなく端末全てを印刷する試みが進められている。

しかしながら、それら塗布型デバイスの電氣的性能は従来の Si 技術に比べて劣っており、演算や記憶回路部を塗布型有機半導体で全て補完することは困難である。従って、現状のウェアブルデバイスで得られる信号には限界があり、画一的な情報として処理されモニターされるだけである。ウェアブルデバイスを通じた患部の治療やサポートといった自動出力機能を実現するためには、ウェアラブルデバイス上でのより高度な情報の取得と解析が必要である。そのため、本研究ではウェアラブルデバイスの高機能化を目指して、演算処理を可能とするシート状コンピュータの実現を目指した。

1.1.2 薄膜トランジスタと半導体

印刷手法による塗布型デバイスを実現するにあたり、スイッチ機能を持つ薄膜トランジスタ (TFT) は回路を構築する上で必要な構成単位であり、TFT による回路動作の実証と TFT の塗布型化はシート状コンピュータの実現に向けた一つの課題である[15,16]。TFT のスイッチング動作を決定する半導体層としては Si が最も広く研究され[17,18,19]、多くの電子機器に搭載されている。また、Si の単結晶性と非晶質性 (アモルファス) により、TFT のスイッチング速度を示す電界効果移動度は大きく変化する[20]。その他にも有機半導体やアモルファス酸化物半導体 (AOS) が知られており、それぞれの TFT 性能を表 1.1[21]に示している。まず塗布型デバイスとして有望視される有機半導体であるが、未だ他の材料に比べて移動度は低いものの、柔軟なプラスチック基板上への低温形成が可能であり、さらに P 型と N 型を Si 同様に作製できるため複雑な CMOS (Complementary Metal Oxide Semiconductor) 回路への応用が期待される。しかしながら、現状 P 型に対して N 型の TFT 性能は低く、安定して高い電気特性を

得ることが課題とされている。

一方で、ディスプレイ用途が盛んである AOS は InGaZnO (インジウム–ガリウム–亜鉛–酸化物) [22,23]に代表されるように、アモルファス構造を持ちながらアモルファス Si に対して 10 倍から 40 倍の高いスイッチング速度を示し、かつ電圧ストレスに対する信頼性が高い等の優位性が挙げられる。作製温度に関しても有機半導体同様に低温形成が可能であるが、高い電気的性能を得るためには現状 300°C の温度が必要である。しかしながら、近年ではウェアラブルデバイスに向けて AOS の塗布型化と低温作製に向けた取り組みも行われており、塗布法により作製された AOS TFT は安定して高い電気特性を得られることが報告されている[24-27]。欠点としては、N 型半導体である AOS は Si や有機半導体の様な P 型半導体の作製が困難であるため[28]、CMOS 回路を直接適用することができない点にある。そのため、本研究で目指すシート状コンピュータの実現においては、塗布型有機半導体に対して高い動作速度が期待できる塗布型 AOS を用いると共に AOS TFT で構築可能な回路構成と動作実証を目指した。

表 1.1. 各種半導体の基本性能比較.

	organic	<i>a</i> -Si:H	poly-Si	a-Oxide
Mobility (μ, cm²/Vs)	< 2	< 1	> 100	~10 - 40
On/off ratio	< 10 ⁸	< 10 ⁶	< 10 ⁷	> 10 ⁸
Uniformity	Very good	Excellent	Poor	Very good
Process Temp.	RT – 200 °C	150 – 350 °C	250 – 500 °C	RT – 400 °C
Bias stress stability	Poor	Poor	Good	> <i>a</i> -Si
Light stability	Poor	Poor	Good	> <i>a</i> -Si
OLED pixel circuit	Complex	Complex	Complex	Simple
Polarity	CMOS (PMOS > NMOS)	NMOS	CMOS	NMOS
Printable	Yes	No	Yes (ELA)	Yes (150 – 400°C)
Process cost	Low	Very low	Very High	Low – Average
Industrial applications	Difficult to Integrate	Fully Integrated	Fully Integrated	Emerging

1.1.3 塗布型デバイスに向けた印刷技術

近年、印刷技術を応用した電子デバイス作製はウェアラブルデバイスの実現に加えてプリントドエレクトロニクスとして注目されている。高温高真空を必要とする既存の薄膜作成技術に比べて、室温かつ大気圧下で行われる印刷技術は高スループット、大面積に堆積可能といった利点を有している。これらの利点により高価で大型な製造装置を必要とせず短時間での大量生産が容易に可能であり、各種電子デバイスの低価格化を推し進めることができる。プロセスに使用する印刷技術としてはグラビア印刷等の凹凸版印刷や、スクリーン印刷等の孔版印刷、インクジェット等のスプレープロセス、スピコート、ドクターブレード等のコーティングプロセスが挙げられる[15]。この中でパターンニングを必要としない膜均一性についてはスピコーティングが適当であり、本研究では塗布型 AOS の作製に使用した。

また、電極層の形成についてはスクリーン印刷技術を用いた金属ペーストを用いている。本研究で電極作製のためにスクリーン印刷を用いた理由は、その印刷速度の速さと幅広い材料選択性である[15]。上記の印刷技術を比較すれば、大量印刷を目的としたグラビア印刷は最も印刷速度が速いが、印刷に適したインク材料の粘度が必要であるため材料の選択肢が狭く、また粘度調整により材料の電気特性が低下するといった問題が挙げられる。対してスクリーン印刷は溶剤比率を変えることで粘度調整が可能であるため、電気特性を保持しつつ様々な材料を使用することが可能である。さらに、その印刷速度はグラビア印刷と比較して劣るものの、微細パターン形成においてインクジェット印刷よりも高速である。また微細化に伴ってインクジェット印刷の印刷速度はさらに低下するが、グラビア印刷やスクリーン印刷はその印刷速度が微細パターンに影響しない。従って、塗布型 AOS に対する塗布型電極の形成においては、高速印刷かつ材料性能を保持しつつ材料選択肢の広いスクリーン印刷を用いた。

1.2 本研究の目的と構成

本研究では塗布型有機半導体に対して速い動作速度が期待できる AOS に着目し、演算機能を持ったデバイス、シート状コンピュータの作製を目指した。その実現に向けて、本論文では AOS の一つである InZnO を用いて (1) 塗布型 InZnO の TFT の作製および評価と (2) InZnO TFT による論理回路構築と動作実証、さらに (3) その印刷適性を示した。本論文の構成は以下の通りである。

第 2 章 塗布型酸化物薄膜トランジスタの作製と評価

TFT において最も重要なスイッチング動作を可能にする半導体層の塗布型化を行い、その基本性能を評価すると共に、回路応用に向けた塗布型 TFT の構築を目指した。本章では目標達成に向けた課題として、第 1 に塗布型 InZnO TFT の特性最適化と高い収率特性を得ることとし、第 2 に作製した TFT の寄生成分評価から実際の TFT 性能を明らかにすること。そして、最後に電圧駆動における塗布型 InZnO TFT の信頼性評価とその高い信頼性を得るための TFT 構造の作製を行った。

第 3 章 N 型半導体による基本論理回路の構築と出力性能評価

前章で作成した塗布型 InZnO TFT を用いて基本論理回路の構築を目指した。AOS においてはその P 型作成が困難なため、N 型半導体のみで構築できる回路構成が必要である。そこで本章では、第 1 の課題として N 型 TFT による回路レイアウトの構築を行い、速い動作速度を持つ基本論理回路の作製を行った。ここで、CMOS を模した回路構成が論理出力と動作速度の観点から期待されるため、課題の第 2 として P 型動作を可能にする TFT ネットワークを N 型 TFT で構築し、論理回路である NOT と NAND および NOR の動作実証を行った。そして、最後に各種論理回路の動作速度比較を行うことで、塗布型 InZnO TFT で構成できる最適な回路レイアウトを示した。

第 4 章 Ag ペーストを用いた塗布型トランジスタの作製

演算機能を持ったデバイスの完全塗布型化を狙い、その実現のため本章では半導体層の塗布型 InZnO に加えて各層の塗布型化を目指した。本章では目標達成の課題として、Ag 電極と塗布型 InZnO の界面を評価すると共に、上層 2 層塗布型 TFT の作製とその高いスイッチング特性を得ることとした。そして電気特性と界面評価から塗布型 InZnO TFT の高い印刷適性を示すと共に、従来 AOS で問題となった高抵抗領域の解明を行った。

1.3 薄膜トランジスタ

1.3.1 寄生成分モデル

スイッチング素子の一つとして知られる TFT であるが、その構造内部には様々な寄生成分が存在し、例えば高抵抗成分による電圧降下現象や静電容量による駆動速度の低下など、TFT 性能を著しく劣化させる原因となる。作製した塗布型 InZnO TFT においてはその寄生抵抗評価を第 2 章において行い、得られたスイッチング特性を詳細に解析した。

その寄生成分の分布は TFT の構造によって大きく変わるが、本研究によるボトムゲート型トップコンタクト構造においては、図 1.2 に示す様な寄生成分モデルが考えられる[18]。ドレイン電極とソース電極の間で電流が存在する場合、その経路には外的成分の配線抵抗 (R_{Metal}) に加えて、接触抵抗 ($R_{Contact}$) やチャネル抵抗 ($R_{Channel}$) などの内的成分が寄生抵抗として存在する。また、ゲート絶縁膜に何らかの漏れ電流 (R_{Leak}) が生じることもあり、それら寄生抵抗によって電流損失が無視できない値に成り得る。また、抵抗の値によって電圧降下現象が生じ内部での実駆動電圧が変わるため、作製した TFT の寄生抵抗に対する解析は回路応用を目指す上で重要となる。

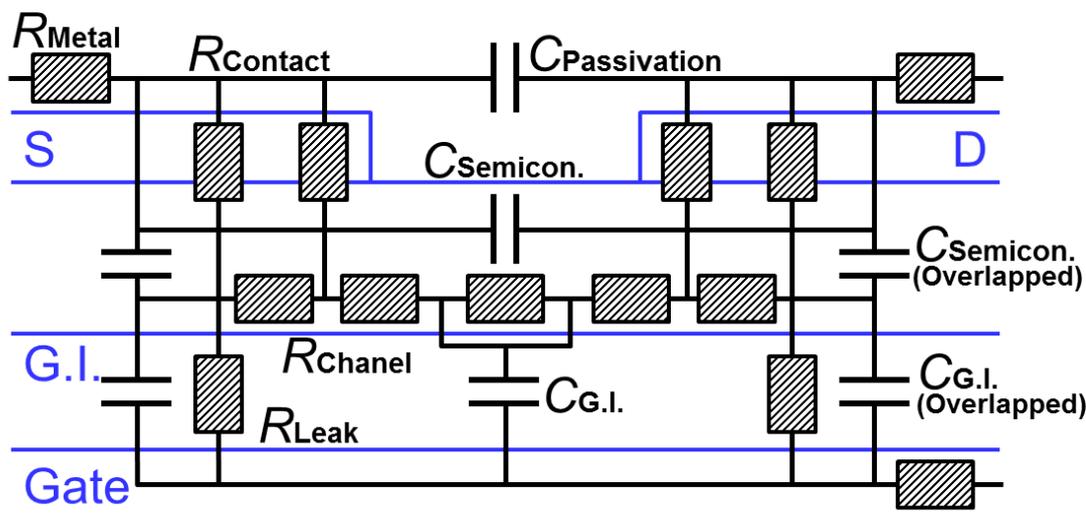


図 1.2. ボトムゲート型トップコンタクト構造の薄膜トランジスタの寄生成分モデル (R : 寄生抵抗, C : 寄生容量).

1.3.2 Transfer Length Method による寄生成分導出

塗布型 InZnO TFT の寄生抵抗を導出するために、本研究では Transfer Length Method (TLM) を用いた[18]. その評価用素子は図 1.3 (a) に示すが、半導体層上に L1, L2, L3 と異なる様に異なるチャンネル長 (L) を持つ電極を使用する.

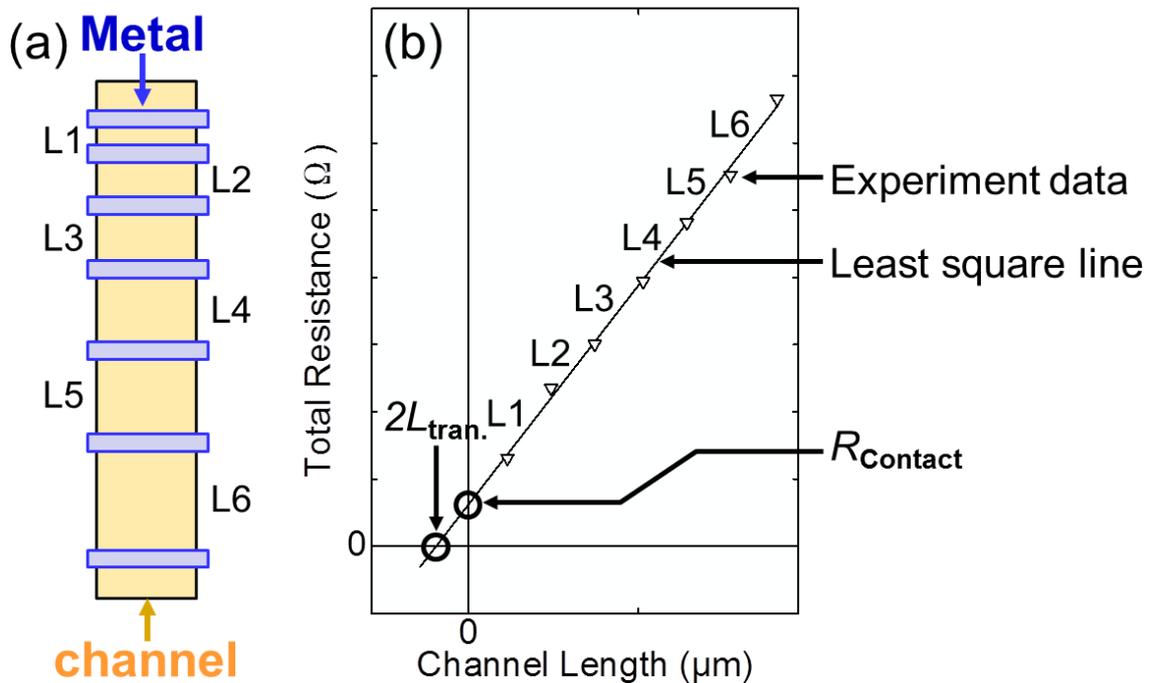


図 1.3. (a) 評価用素子, (b) 各電極間の電流特性から求めた抵抗値.

この評価用素子の各電極間における電流特性を測定し、その抵抗値 (R_{Total}) を求め (b) の様に L 毎にプロットする. 得られたそれぞれの R_{Total} に対して最小二乗曲線を引き、その傾き (slope) から式 1.1 を用いてシート抵抗率 (r_{Sheet}) を求めることができる.

$$r_{Sheet} = slope \times W_{Sheet} \quad (1.1)$$

ここで W_{Sheet} は評価素子のチャンネル幅である. さらに Y 軸の切片である Channel Length = 0 μm における抵抗値は $R_{Contact}$ とみなすことができ、対して X 軸の切片は伝達長 ($L_{Transfer}$) と呼ばれ、ソースまたドレイン電極として実際に作用する電極の長さ ($2L_{Transfer}$) を示している. この時 $R_{Contact}$ はソース電極とドレイン

電極の成分を持つため,

$$R_{Contact} = R_{Source} + R_{Drain} \quad (1.2)$$

となり, 各電極の抵抗値が導かれる. 従って, その評価素子における電極部の接触抵抗率 ($\rho_{Contact}$) は以下の式 1.3 で求められる.

$$\rho_{Contact} = R_{Contact} \times 2L_{Transfer} \times W_{Sheet} \quad (1.3)$$

また, 各電極間における半導体層のシート抵抗 (R_{Sheet}) は式 1.4 で求められる.

$$R_{Sheet} = r_{Sheet} \times (L_{Sheet}/W_{Sheet}) \quad (1.4)$$

1.4 アモルファス酸化物薄膜トランジスタ

1.4.1 アモルファス酸化物半導体のバンドモデル

上述の寄生抵抗に加えて, 第 2 章で述べる塗布型 InZnO TFT の自己発熱現象の構造解析に, 2次元デバイスシミュレーション (ATLAS, SILVACO) を用いた. TFT のシミュレーションを行う上で重要な点は, まず評価対象である半導体のバンド構造の構築である. InZnO が属する AOS は図 1.4 に示す様なバンドモデルが知られており [29], バンドギャップに四つの状態密度 (DOS: Density of State) が存在する. そのうちの二つはアモルファス構造に起因する DOS とされ, ドナー型とアクセプター型の裾状準位が伝導帯下端 (E_C) と価電子帯上端 (E_V) から伸びている. その合計状態密度 (cm^{-3}eV) を N_{TA} (アクセプター型裾状準位) と N_{TD} (ドナー型裾状準位) とすれば, エネルギー深さにおける状態密度 $g_{TA}(E)$ と $g_{TD}(E)$ は以下の式で表される[30].

$$g_{TA}(E) = N_{TA} \exp\left(\frac{E - E_C}{W_{TA}}\right) \quad (1.5)$$

$$g_{TD}(E) = N_{TD} \exp\left(\frac{E_V - E}{W_{TD}}\right) \quad (1.6)$$

ここで, E はエネルギー深さ (eV) を示し, W は減衰エネルギー (eV) を示す. また, 裾状準位に加えて局所的なエネルギー準位に存在するとされる Gaussian 型のアクセプター準位とドナー準位が知られており, アモルファス Si においてはリンやヒ素がドナー準位として, ボロンやガリウムがアクセプター準位とし

て局在化している。

一方で AOS においては、金属 (M) と酸素 (O) の結合を持つ M—O—M の状態から、酸素欠損 (V_O) により形成される M— V_O —M がアクセプター準位とされる。この V_O が膨大であることと、その V_O の準位に電子が捕獲されるため、バンドギャップ内にエネルギー的に深い位置に高密度の準位が形成される。対して、ドナー型準位については未だ明らかになっていないが、水素 (H) などの不純物が AOS 中に存在する場合 M—O—H の結合を持つことで水素側の電子をドナーとすることが報告されている。その Gaussian 型のアクセプター準位とドナー準位の合計状態密度を N_{GA} と N_{GD} とすれば、エネルギー深さにおける状態密度 $g_{GA}(E)$ と $g_{GD}(E)$ は以下の式で表される。

$$g_{GA}(E) = N_{GA} \exp\left[-\left(\frac{E_{GA} - E}{W_{GA}}\right)^2\right] \quad (1.7)$$

$$g_{GD}(E) = N_{GD} \exp\left[-\left(\frac{E - E_{GD}}{W_{GD}}\right)^2\right] \quad (1.8)$$

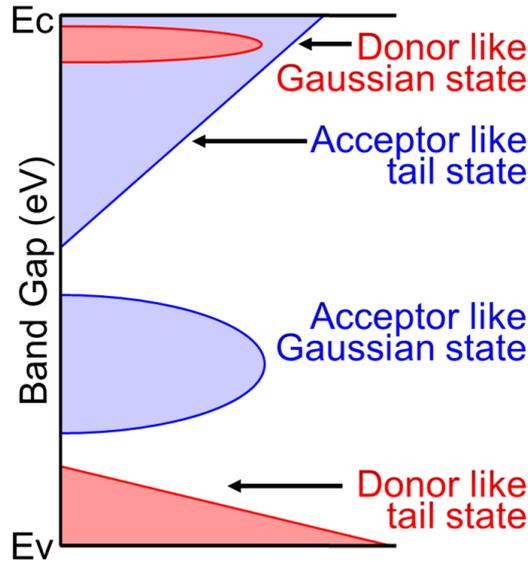


図 1.4. 酸化物半導体におけるバンドギャップ内の状態密度モデル。

1.4.2 トランジスタシミュレーション

以上の DOS モデルを基に、図 1.5 (a) に示す様に塗布型 InZnO の DOS を設定した。また、(b) では実験で得られた塗布型 InZnO TFT (チャンネル幅 $7\ \mu\text{m}$, チャンネル長 $18\ \mu\text{m}$) の特性とシミュレーションにより解析したスイッチング特性を比較している。ここで、表 1.2 ではシミュレーションに使用した各種 DOS パラメータの値と材料特性を示しており、材料特性は良く知られている InGaZnO の値を用いている。作製した塗布型 InZnO TFT のスイッチング特性に対して、シミュレーションによる曲線はよく一致しているため、第 2 章で説明する寄生成分評価と自己発熱劣化現象の解析ではこのシミュレーション値を用いている。また、それぞれの TFT 特性については電界効果移動度 (μ_{FE}) と On 電圧 (V_{On}), 閾値電圧 (V_{Th}) および閾値下伝達係数 (SS) を表 1.3 にまとめている。実験で得られた塗布型 InZnO TFT の各種特性についても第 2 章で述べる。

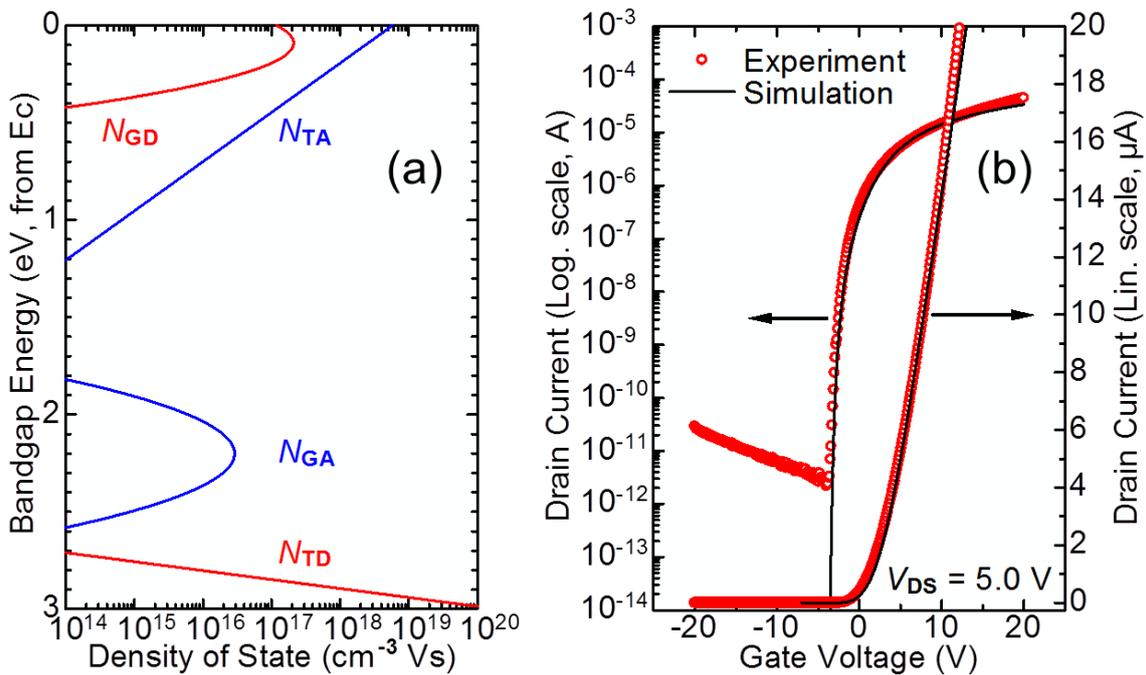


図 1.5. (a) デバイスシミュレーションにより設定したバンドギャップ構造と (b) スwitching特性比較.

表 1.2. 状態密度と各種シミュレーションパラメータ.

Symbol	Description	Value	Unit
N_C	Effective conduction band DOS	1.0×10^{20}	cm^{-3}
N_V	Effective valence band DOS	1.0×10^{20}	cm^{-3}
N_{TA}	Total acceptor like tail state density	5.8×10^{18}	$\text{cm}^{-3}\text{eV}^{-1}$
W_{TA}	Decay energy	0.11	eV
N_{TD}	Total donor like tail state density	2.0×10^{20}	$\text{cm}^{-3}\text{eV}^{-1}$
W_{TD}	Decay energy	0.02	eV
N_{GA}	Density of acceptor like state in a Gaussian	2.9×10^{16}	$\text{cm}^{-3}\text{eV}^{-1}$
W_{GA}	Decay energy	0.16	eV
E_{GA}	Peak energy in a Gaussian	2.20	eV
N_{GD}	Density of donor like state in a Gaussian	2.1×10^{17}	$\text{cm}^{-3}\text{eV}^{-1}$
W_{GD}	Decay energy	0.12	eV
E_{GD}	Peak energy in a Gaussian	2.91	eV
E_G	Bandgap energy	3.00	eV
μ_n	Band mobility of electron	10	cm^2/Vs
μ_p	Band mobility of hole	0.1	cm^2/Vs
χ	Electronic affinity	4.20	eV
ϵ	Permittivity	12.0	-
M_C	Conduction band effective mass	0.34	m_e

表 1.3. 塗布型 InZnO TFT と ATLAS シミュレーション結果の特性比較.

	μ_{FE} (cm^2/Vs)	V_{On} (V)	V_{Th} (V)	SS (mV/dec.)
Experiment	8.2	-3.5	3.0	320
Simulation	13.6	-3.2	2.6	300

1.4.3 回路シミュレーション

第3章では、得られた塗布型 InZnO TFT のスイッチング特性を基に論理回路の構築を目指したが、その解析に SPICE (Simulation Program with Integrated Circuit Emphasis) ソフト (Smart SPICE, SILVACO) を用いた。作製した塗布型 InZnO TFT の解析モデルとしては RPI amorphous Si TFT Model (LEVEL=35) を使用し[31]、そのスイッチング特性のフィッティングを行った。図 1.6 では論理回路に用いた塗布型 InZnO TFT (チャンネル幅 48 μm , チャンネル長 10 μm) のスイッチング特性とシミュレーションによるフィッティング曲線を示しており、また、それぞれの TFT 特性については上述同様の値を表 1.4 にまとめている。フィッティングに用いたモデルパラメータは表 1.5 に示すが、ここでは塗布型 InZnO TFT の電流性能を再現するため正確な物理値については設定されていない。

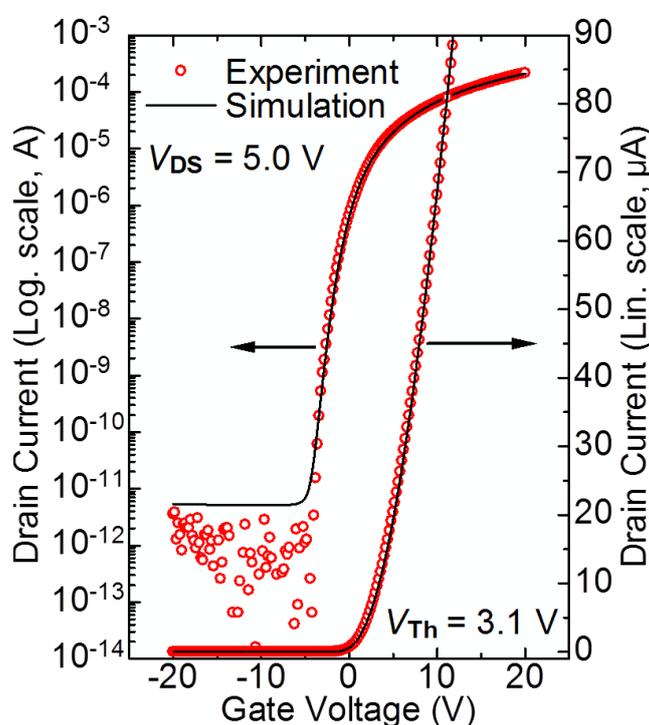


図 1.6. 作製した塗布型 InZnO TFT のスイッチング曲線と SPICE シミュレータによるフィッティング曲線。

表 1.4. 塗布型 InZnO TFT と SPICE シミュレーション結果の特性比較。

	μ_{FE} (cm^2/Vs)	V_{On} (V)	V_{Th} (V)	SS (mV/dec.)
Experiment	7.0	-3.9	3.1	430
Simulation	6.3	-4.6	3.2	720

表 1.5. RPI amorphous Si TFT Model (LEVEL=35).

Symbol	Description	Value	Unit
LEVEL	-	35	-
TOX	Thin-oxide thickness	8.31×10^{-8}	M
TNOM	Parameter measurement temperature	27	°C
VTO	Zero-bias threshold voltage	-1.26	V
ALPHASAT	Saturation modulation parameter	0.381	-
DEFO	Dark Fermi level position	0.604	eV
DELTA	Transition width parameter	5	-
EL	Activation energy of h^+ leakage current	0.35	eV
EMU	Field effect mobility activation energy	0.06	eV
EPS	Relative dielectric constant of substrate	3.45	-
EPSI	Relative dielectric constant of insulator	3.45	-
GAMMA	Power Law mobility parameter	0.4	-
GMIN	Minimum density of deep states	1×10^{23}	$m^{-3}eV^{-1}$
IOL	Zero bias leakage current parameter	1×10^{-14}	A
KASAT	Temperature coefficient of ALPHASAT	0.006	1/°C
KVT	Threshold voltage temperature coefficient	-0.036	V/°C
LAMBDA	Output conductance parameter	8×10^{-4}	1/V
M	Knee shape parameter	2.5	-
MUBAND	Conduction band mobility	0.0143	m^2/Vs
SIGMAO	Minimum leakage current parameter	1×10^{-14}	A
VO	Characteristic voltage for deep states	0.107	V
VAA	Characteristic voltage for mobility	1.128×10^4	V
VDSL	h^+ leakage current drain voltage parameter	7	V
VFB	Flat band voltage	-4.3	V
VGSL	h^+ leakage current gate voltage parameter	7	V
VMIN	Convergence parameter	0.33	V

1.5 参考文献

- [1] K. Ashton, “That ‘Internet of Things’ Thing”, RFID Journal, Jun 2009
- [2] R. Royea, “Transferring Wearables From Fitness to Personalized Healthcare Through Individual Breast Cancer Screening”, IDTechEx Wearable USA 2015
- [3] M. Ream, “TempTraq: A Commercial Evolution of Printed and Flexible Electronics”, IDTechEx Wearable USA 2015
- [4] S. LeBoeuf, “Connecting the Dots Between Mobile Fitness and Mobile Health”, IDTechEx Wearable USA 2015
- [5] A. Reho, “Textile Integrated Printed Electronics”, Printed Electronics Europe 2014
- [6] MM 総研, 日米におけるウェアラブル端末の市場展望, 2013年12月
- [7] Y. Zang, F. Zhang, D. Huang, X. Gao, C.-A. Di, and D. Zhu, Nat. Commun. 6, 6269 (2015).
- [8] G. Schwartz, B.C.-K. Tee, J. Mei, A.L. Appleton, D.H. Kim, H. Wang, and Z. Bao, Nat. Commun. 4, 1859 (2013).
- [9] T. Sekitani, T. Yokota, U. Zschieschang, H. Klauk, S. Bauer, K. Takeuchi, M. Takamiya, T. Sakurai, and T. Someya, Science 326, 1516 (2009).
- [10] H. Ha and O. Kim, Appl. Phys. Lett. 93, 033309 (2008).
- [11] Y.-S. Park, S. Chung, S.-J. Kim, S.-H. Lyu, J.-W. Jang, S.-K. Kwon, Y. Hong, and J.-S. Lee, Appl. Phys. Lett. 96, 213107 (2010).
- [12] M. Zirkl, A. Sawatdee, U. Helbig, M. Krause, G. Scheipl, E. Kraker, P.A. Ersman, D. Nilsson, D. Platt, P. Bodö, S. Bauer, G. Domann, and B. Stadlober, Adv. Mater. 23, 2069 (2011).
- [13] A.M. Gaikwad, D.A. Steingart, T. Nga Ng, D.E. Schwartz, and G.L. Whiting, Appl. Phys. Lett. 102, 233302 (2013).
- [14] E. Madej, M. Espig, R.R. Baumann, W. Schuhmann, and F. La Mantia, J. Power Sources 261, 356 (2014).
- [15] 吉田隆, フレキシブルエレクトロニクスデバイスの開発最前線, エヌ・ティイー・エス, 2011年
- [16] 細野秀雄, 平野正浩監修, 透明酸化物機能材料とその応用, シーエムシー出版, 2006年
- [17] S. M. Sze, Semiconductor Devices, 2nd ed., Wiley, Newyork.
- [18] Dieter K. Schroder, Semiconductor Material and device Characterization
- [19] 薄膜材料デバイス研究会, 薄膜トランジスタ, コロナ社, 2009年
- [20] 浦岡行治監修, 低温ポリシリコン薄膜トランジスタの開発, シーエムシー出版, 2007年

- [21]J.P. Bermundo, “Highly Reliable and Low Temperature Process for Amorphous Oxide Thin-Film Transistor toward Flexible Displays”, graduate research paper in Nara Institute of Science and Technology, June 2015.
- [22]K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature* 432, 488 (2004).
- [23]K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, *Science* 300, 1269 (2003).
- [24]J.H. Jeon, Y.H. Hwang, B.S. Bae, H.L. Kwon, and H.J. Kang, *Appl. Phys. Lett.* 96, 2010 (2010).
- [25]S.-J. Seo, S. Yang, J.-H. Ko, and B.-S. Bae, *Electrochem. Solid-State Lett.* 14, H375 (2011).
- [26]Y.-H. Lin, H. Faber, S. Rossbauer, and T.D. Anthopoulos, *Appl. Phys. Lett.* 102, 193516 (2013).
- [27]S.J. Kim, S. Yoon, and H.J. Kim, *Jpn. J. Appl. Phys.* 02, (2014).
- [28]T. Kamiya, K. Nomura, and H. Hosono, *Sci. Technol. Adv. Mater. Sci. Technol. Adv. Mater* 11117, 44305 (2010).
- [29]T. Kamiya, K. Nomura, and H. Hosono, *Sci. Technol. Adv. Mater.* 11, 044305 (2010).
- [30]ATLAS User’s Manual, Silvaco, Santa Clara, 2009
- [31]SPICE Models Manual, Silvaco, Santa Clara, 2014

2 第2章 塗布型酸化物薄膜トランジスタの作製と評価

2.1 諸言

本章では、完全塗布型デバイスの実現に向けて論理回路を構築するための TFT の作製と評価を行った。まず初めに TFT において最も重要なスイッチング動作を可能にする半導体層の塗布型化を行い、その基本性能を評価すると共に、回路応用に向けた塗布型 TFT の構築を目指した。

従来、TFT の半導体材料としてはシリコン半導体 (Si) が台頭してきた[1]。レーザー結晶化により多結晶性を持つ poly-Si TFT は、スイッチングの動作速度を表す移動度が有機半導体や酸化物半導体 (AOS) よりも遥かに高い値を示し、液晶ディスプレイや OLED (Organic Light Emitting Diode) ディスプレイの駆動素子として搭載されてきた[2-4]。一方で、有機化合物半導体[5-7]や AOS [8-12] は移動度としては Si よりも低いものの、Si にはない材料性質から近年 TFT 応用が盛んに行われている。有機半導体の持つ性質としてはその高い印刷性と柔軟性および伸縮性であり、フレキシブルディスプレイやフレキシブルセンサ [13-15] といったデバイス応用が行われているが、未だ移動度の低さが問題となっている。対して、AOS はその透明性や有機半導体よりも安定的に高い移動度を再現できることから、透明ディスプレイとしての応用が盛んであり [16]、近年では有機半導体同様に高い印刷性を可能にしている [17-20]。本研究で目指す完全塗布型のシート状コンピュータの実現には安定的に高い移動度性能を示し、かつ印刷手法での作製が必要不可欠である。従って、本研究では TFT の半導体材料に塗布型の AOS を適用し、コンピュータを構成する論理回路の構築を目指した。

AOS としては、これまで三元系の InGaZnO が広く研究されており、その電界効果移動度としては約 $20 \text{ cm}^2/\text{Vs}$ を示すことが報告されている [8,9]。しかしながら、塗布型 AOS としては三元系の AOS は元素比率の調整や材料の不均一性から適しておらず、従来二元系の InZnO が用いられてきた [21,22]。しかしながら、その塗布型 AOS TFT としての構造評価や収率性能、信頼性評価さらには回路性能といった実デバイスを想定した性能評価は行われていない。

従って、本章では目標達成に向けた課題として、第 1 に塗布型 InZnO TFT の特性最適化と高い電気特性を得ることとし、第 2 に作製した TFT の寄生成分評価から実際の TFT 性能を明らかにすること。そして、最後に電圧駆動における塗布型 InZnO TFT の信頼性評価と高い信頼性を得るための TFT 構造の作製を行った。

2.2 塗布型酸化物薄膜トランジスタの作製

2.2.1 評価用素子構造の設計と作製

本研究においては、図 2.1 (f) に示す様なボトムゲート型トップコンタクト構造の AOS TFT を作製した。この構造においては、(a) $20 \times 20 \text{ mm}^2$ の石英基板上に 50 nm のモリブデン (Mo) をゲート電極としてマグネトロンスパッタリング法を用いて作製し、(b) ゲート絶縁膜として 80 nm のシリコン酸化膜 (SiO_x) をプラズマ援用化学気層堆積法 (PECVD) により作成した。また、ゲート電極へのコンタクトを取るために反応性イオンエッチング (ICP-RIE) によりゲート電極上部の SiO_x を除去した。全ての金属層と半導体層および絶縁膜層はフォトリソグラフィを用いてパターン形成を行っている。(c) チャンネル層には、塗布型半導体として InZnO の前駆体溶液をスピコーティングによってゲート絶縁膜基板上に成膜し、5層を積層することで $50 \sim 60 \text{ nm}$ の薄膜を形成した。各層ごとに 300°C で 5 分の前焼成を行うことで水溶媒を除去し、最後に 300°C で 1 時間の本焼成により塗布型 InZnO 薄膜を作製した。その後、 0.02 mol/l HCl によってエッチングを行い、半導体パターンを形成した。(d) ソースおよびドレイン電極には 100 nm の Mo をスパッタリング法により作製し、電極の酸化保護膜として白金 (Pt) を 50 nm 積層した。(e) そして 80 nm の SiO_x 保護膜を PECVD によって堆積し、ソースドレイン電極へのコンタクトとして ICP-RIE により同様にエッチングしコンタクトホールを形成した。ここで、プロセス中に生じる残留不純物の除去と格子整合性を得るため 300°C で 6 時間の仮焼成を窒素 (N_2) と酸素 (O_2) の擬似大気中 ($\text{N}_2 : \text{O}_2 = 4 : 1 \text{ slm}$) で行った。(f) 最後にゲートとソースおよびドレイン電極へのコンタクトパッドと種々の上部配線を形成するために、Mo/Pt ($100/50 \text{ nm}$) を保護膜上に形成し、 300°C で 6 時間の本焼成を行うことで InZnO TFT を作製した。作製した評価用素子は図 2.2 に示す。

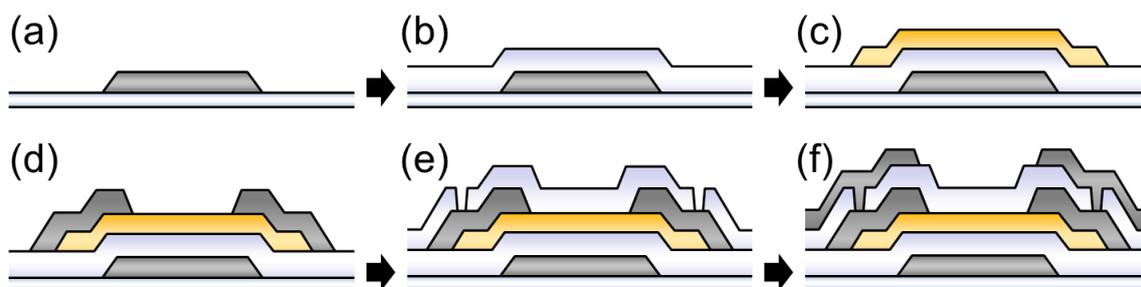


図 2.1. ボトムゲート型トップコンタクト構造の薄膜トランジスタ作製工程。
(a) Mo ゲート電極形成, (b) SiO_x ゲート絶縁膜, (c) InZnO 層,
(d) Mo 上部電極, (e) SiO_x 保護膜, (f) Mo コンタクト電極。

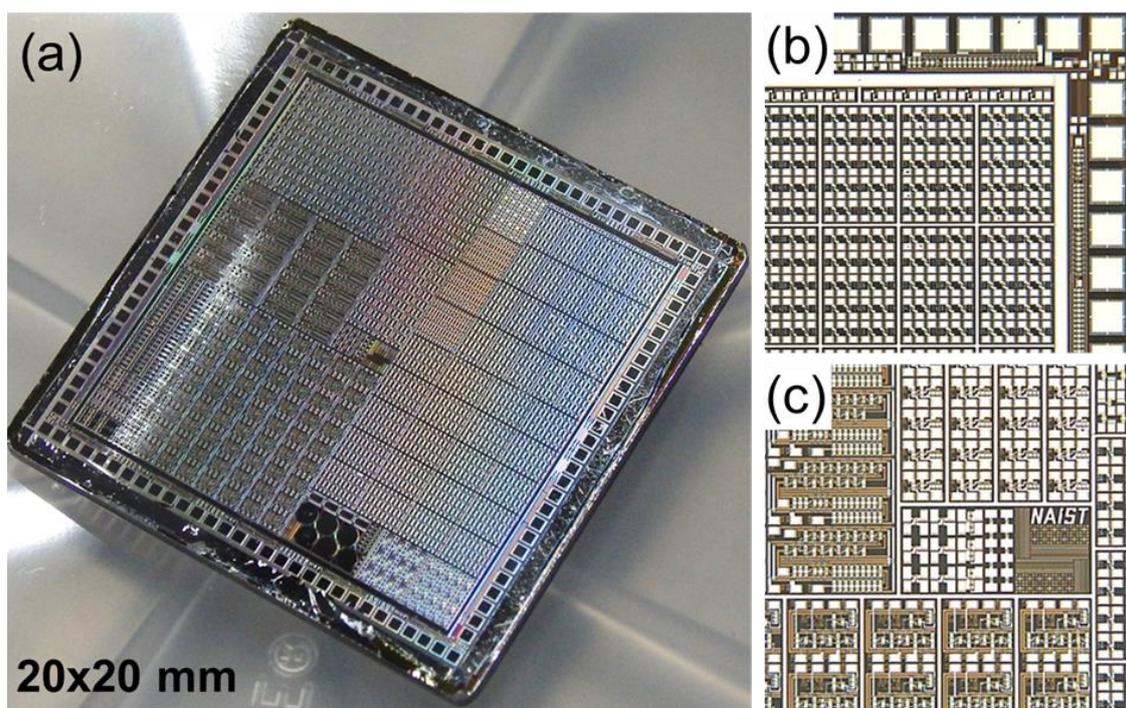


図 2.2. (a) 塗布型 InZnO を用いて作製した石英基板上的の評価用素子. (b) 評価用素子右上図と (c) 中心部の拡大図.

2.2.2 InZnO 積層構造がもたらす電流性能変化

塗布型 InZnO TFT を作製するにあたり、まず初めに半導体層の膜厚依存性をシミュレーションにより評価した。本研究では 2 次元デバイスシミュレータ (ATLAS, SILVACO) [23] を用いて、電流値の膜厚依存性を調査した (各種シミュレーションパラメータについては第 1 章を参照されたい)。図 2.3 では、InZnO 層の膜厚として 10 nm から 100 nm の膜厚を持つ 5 種類の TFT を設定し、そのシミュレーションした結果を表している。この特性評価ではゲート電圧 (V_{GS}) に -10 から 10 V を設定し、ドレイン電圧 (V_{DS}) として 5.0 V を印加した。図に示すスイッチング特性からは、膜厚の増大に伴った On 電圧 (V_{On}) の負方向シフトと On 電流 (I_{On}) の増加が確認できる。この V_{On} と I_{On} の膜厚依存性は同様の結果が報告されており [24,25], 膜厚増大に伴うキャリア濃度の増加がフェルミ準位 (E_F) を押し上げ、 V_{On} の負方向シフトと I_{On} の増加を引き起こすと考えられる。

同電圧条件で高い I_{On} が得られる TFT は論理回路の動作速度を向上するために必要不可欠であるが、シミュレーション結果で示す膜厚 100 nm の持つ負の V_{On} は明瞭な論理出力が得られないため適していない。第 3 章で提示する論理回路

の出力を得るためには $V_{On} > -5$ V が必要であるため、塗布型 InZnO TFT の膜厚としては 70 nm 以下が適しているとした。本研究ではその所定の膜厚を得る方法としてスピニングによる InZnO 薄膜の積層化を行い、その膜厚調整とスイッチング特性の評価を行った。

評価に用いた InZnO 薄膜としては 1 層構造と 5 層積層構造の 2 種類を作製し、それぞれの膜内部は透過型電子顕微鏡 (TEM) による断面構造より解析した。その断面 TEM 像を図 2.4 (a, b) に示すが、1 層構造の InZnO 薄膜は約 15 nm の膜厚を持ち、5 層積層では約 60 nm を持つことが分かった。また、(c) に示す拡大図では結晶格子の規則的な構造は見られず、InZnO がアモルファス構造を有していることが分かる。では、それぞれの InZnO 薄膜を用いて TFT を作製し、スイッチング特性を評価した。図 2.5 では 1 層と 5 層の InZnO 薄膜を用いた TFT のスイッチング特性およびそれぞれ 5 素子の結果を示している。両者の結果を比較すれば、シミュレーション結果と同様に 1 層の InZnO TFT に対して 5 層積層化した InZnO TFT は負側に曲線シフトが生じており、さらに I_{On} についても明らかな増加が確認できる。先に述べた通り、論理回路に適用する TFT は $V_{On} > -5$ V が必要であるが、作製した 5 層積層化 InZnO TFT はその条件を満たしているため本研究ではこの積層構造を用いることとした。

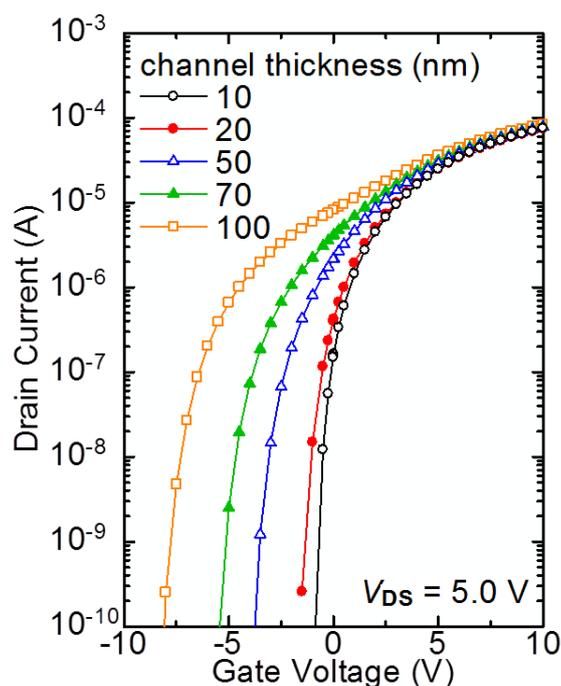


図 2.3. ATLAS 二次元デバイスシミュレーションによるスイッチング特性のチャンネル膜厚依存性.

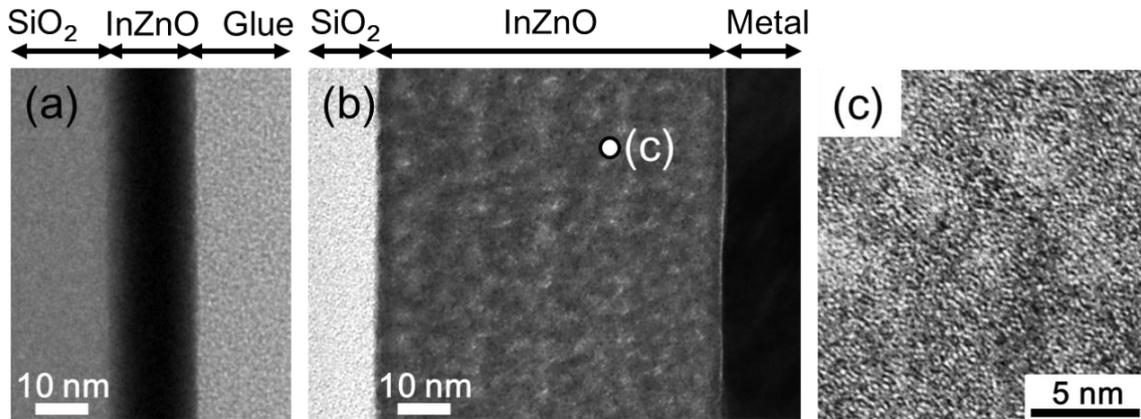


図 2.4. (a) InZnO 単層と (b) 5 層積層 InZnO 層の断面構造. (c) 図中の点における拡大像.

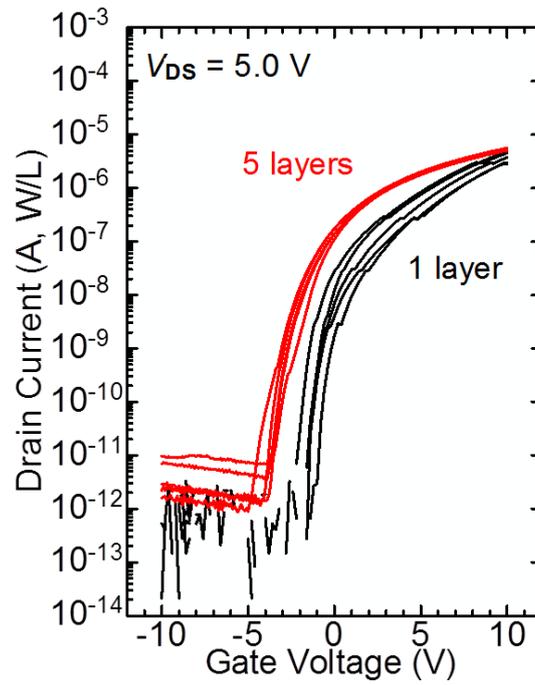


図 2.5. InZnO TFT におけるスイッチング特性の膜厚依存性.

2.2.3 伝達特性評価

5層積層化した InZnO TFT のスイッチング特性を図 2.6 (a) に示す. ここで $V_{GS} = -20$ から 20 V を設定し, V_{DS} として 0.1 V と 5.0 V を印加することで, 線形領域特性と飽和領域特性を評価した. 作製した塗布型 InZnO TFT のチャンネル幅 (W) およびチャンネル長 (L) はそれぞれ $7 \mu\text{m}$ と $18 \mu\text{m}$ であった. 伝達特性の結果から, InZnO TFT は負の V_{On} (-3.8 V) を持つディプレッション型を示し, その閾値電圧 (V_{Th}) は線形線の外装線と V_{GS} の交点から, $V_{DS} = 0.1$ V において $V_{Th} = 2.4$ V, $V_{DS} = 5.0$ V において $V_{Th} = 1.9$ V を示した. On/Off 性能を表す $\text{Log}(I_{On}/I_{Off})$ は最大で 7.3 decade の明確なスイッチング性能が得られたが, その Off 電流はゲート漏れ電流 ($I_{GS}+I_{GD}$) に支配的であるため, Off 電流および On/Off 性能はゲート絶縁膜の改善によってさらに向上することが可能である.

図 2.6(b) では, それぞれの V_{DS} における閾値下伝達係数 (Sub-threshold Swing) 曲線を示す. その SS 値は式 (2.1) で表され,

$$SS = \ln(10) \frac{\partial V_{GS}}{\partial (\ln I_{DS})} \quad (2.1)$$

$V_{DS} = 0.1$ V で 350 mV/dec. を示し, $V_{DS} = 5.0$ V において最小で 313 mV/dec. の値が得られた. デバイスの低電圧駆動を実現するためには SS 値をさらに小さくすることが好ましいが, 式 (2.2) および (2.3) に示す I_{DS} の線形領域と飽和領域の式から SS 値はゲート絶縁膜の膜厚 (t) に比例し比誘電率 (ϵ_r) に反比例する.

$$I_{DS} = \mu_{Lin} \frac{W}{L} \frac{\epsilon_0 \epsilon_r}{t} \left[(V_{GS} - V_{Th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (2.2)$$

$$I_{DS} = \frac{\mu_{Sat}}{2} \frac{W}{L} \frac{\epsilon_0 \epsilon_r}{t} (V_{GS} - V_{Th})^2 \quad (2.3)$$

ここで, ϵ_0 と μ は真空の誘電率と電界効果移動度を表す. 従って, 本研究による SiO_x 絶縁膜 ($\epsilon_r = 3.9$, $t = 80$ nm) に対してより薄く高誘電率の絶縁材料を使用することで向上が可能である.

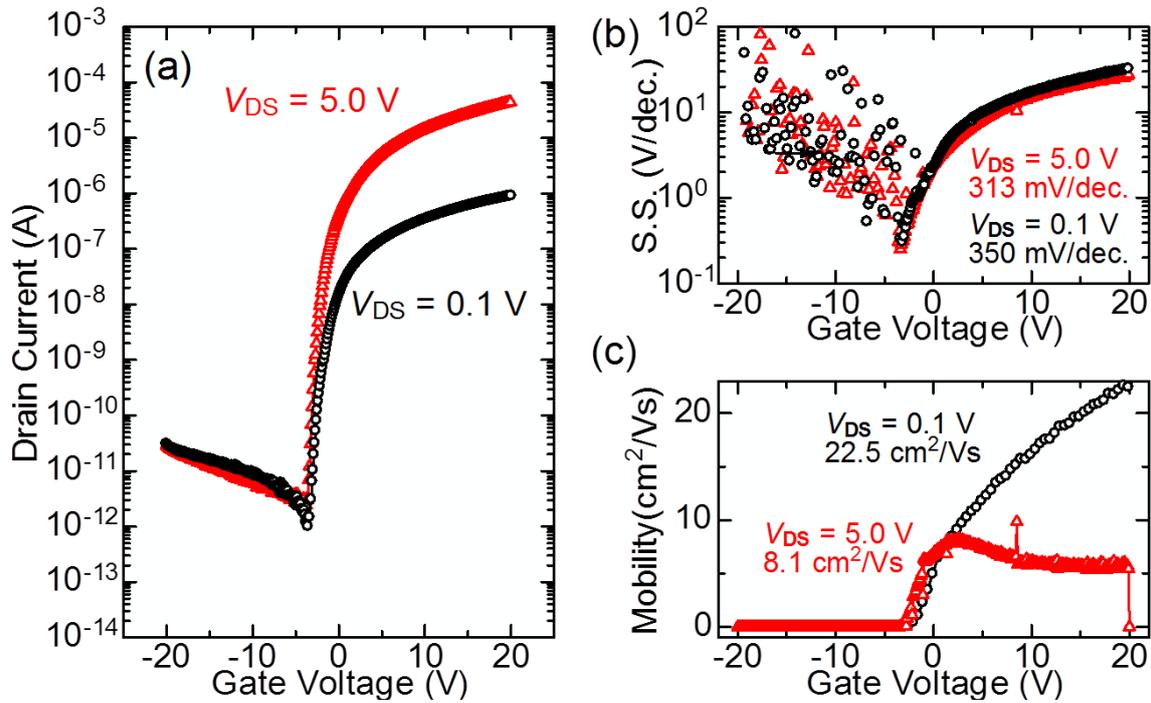


図 2.6. (a) 塗布型 InZnO 薄膜トランジスタの伝達特性. 各電圧条件における (b) 閾値下伝達係数曲線と (c) 電界効果移動度曲線.

図 2.6 (c) に示す移動度曲線においては, $V_{DS} = 0.1$ V の電流特性を線形領域の計算式 (2.2) を式 (2.4) に変形しその μ_{Lin} を求め, $V_{DS} = 5.0$ V の電流特性では飽和領域の計算式 (2.3) を式 (2.5) に変形し μ_{Sat} を求めた.

$$\mu_{Lin} = \frac{(\partial I_{DS} / \partial V_{GS})}{(W/L)(\epsilon_0 \epsilon_r / t) V_{DS}} \quad (2.4)$$

$$\mu_{Sat} = \frac{(\partial I_{DS} / \partial V_{GS})^2}{2(W/L)(\epsilon_0 \epsilon_r / t) I_{DS}} \quad (2.5)$$

$V_{DS} = 5.0$ V の飽和領域特性では $V_{GS} = 2.6$ V で移動度の極大値が得られており, その値は $V_{GS} - V_{Th} = 0.5$ V であるため $V_{DS} > V_{GS} - V_{Th}$ を満たすので飽和領域の式 (2.5) を当てはめることができる. その移動度の極大値は 8.2 cm^2/Vs と塗布型 AOS の平均的な移動度を示しており [21,22], 回路応用としては十分な値が得られている. 一方で, $V_{DS} = 0.1$ V の線形領域特性では, 式 (2.4) を用いた移動度曲線は極大値を持たず, $V_{DS} < V_{GS} - V_{Th}$ では V_{GS} に比例して増加する傾向を示している. また $V_{GS} = 20.0$ V では μ_{Lin} は 22.5 cm^2/Vs を示しており, 極大値が見られないため, 本研究では $V_{DS} = 5.0$ V の飽和領域特性における μ_{Sat} と SS 値および V_{Th} の値をそれぞれ使用している.

2.2.4 特性収率評価

5層積層化した塗布型 InZnO TFT の特性収率を評価するため、図 2.7 (a) に示す様にサンプル数 42 の TFT に対して伝達特性を測定した。図 2.7 (b-f) では各サンプルにおける μ_{Sat} と V_{Th} 下の I_{On} および V_{On} , V_{Th} , SS 値の収率とその平均値を求めている。また、図 2.8 では比較対象としてスパッタ法で作製した InGaZnO TFT の収率特性を示している。表 2.1 では各種特性の平均値を示しているが、この収率評価において Off 特性はゲート漏れ電流に起因するため、Off 電流および On/Off 比については議論しない。

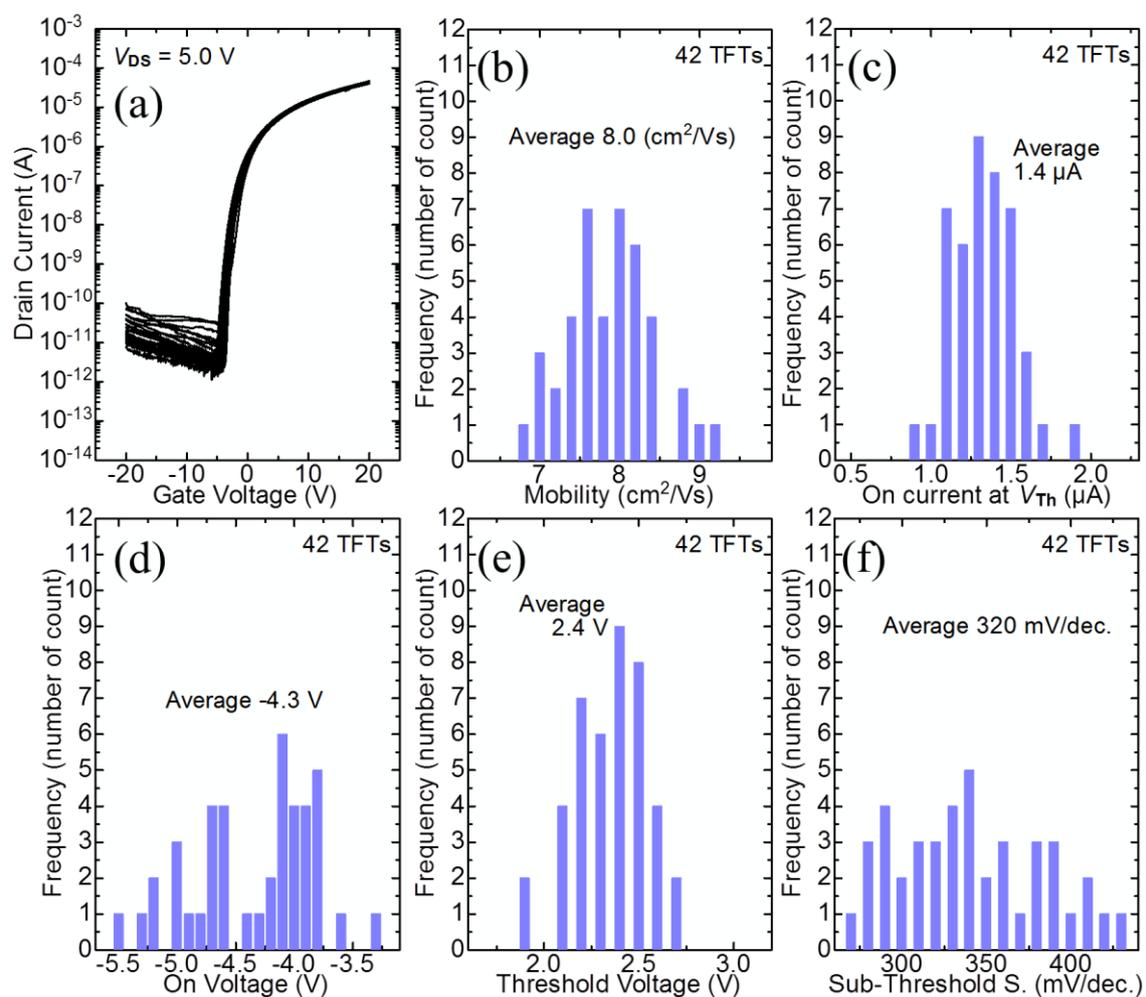


図 2.7. 塗布型 InZnO TFT における 42 サンプルの (a) 伝達特性と各種パラメータの収率結果. (b) 電界効果移動度, (c) 閾値電圧下の On 電流, (d) On 電圧, (e) 閾値電圧, (f) 閾値下伝達係数.

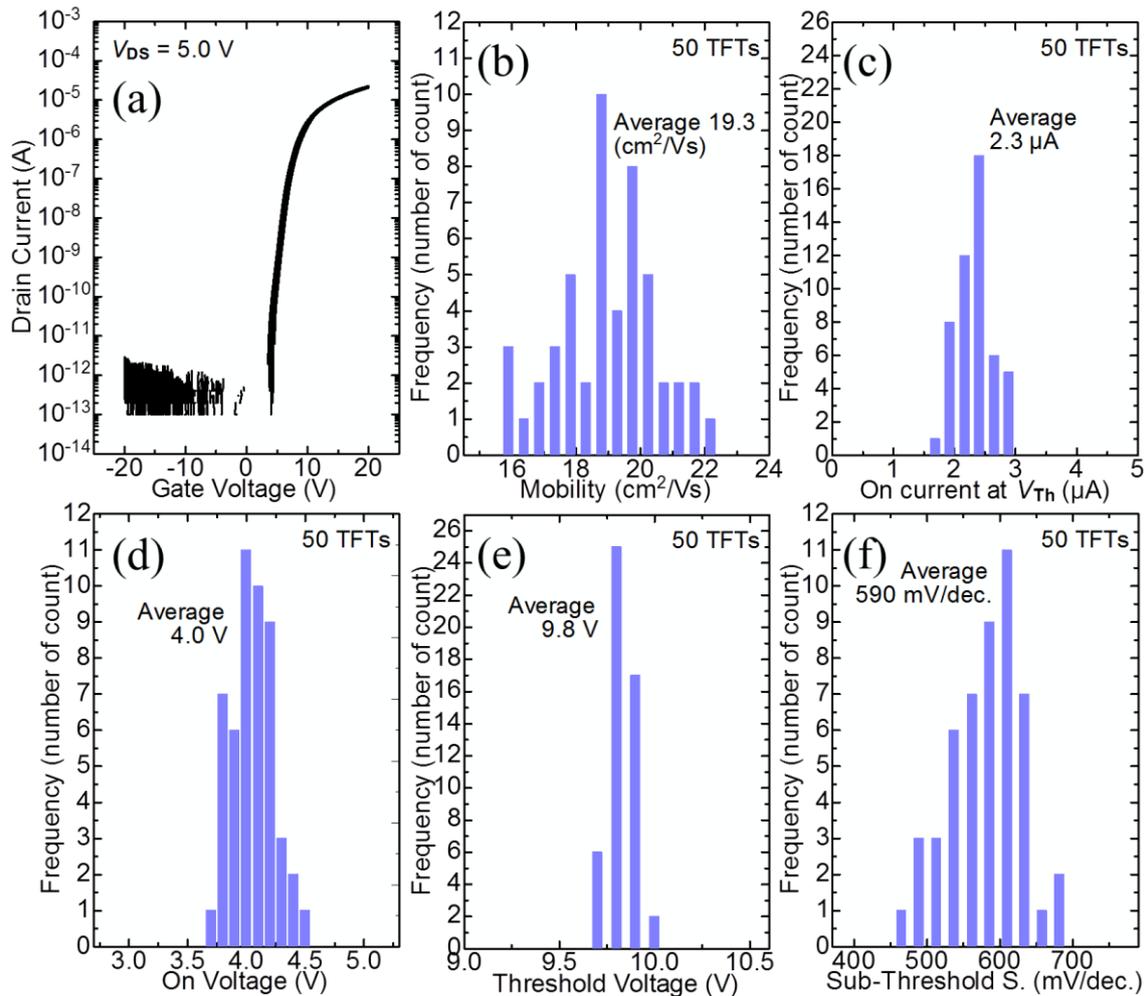


図 2.8. InGaZnO TFT における 50 サンプルの伝達特性と各種パラメータの収率結果.

各収率特性の結果から、InZnO TFT の μ_{Sat} の平均値 (図 2.7, b) は $8.0 \text{ cm}^2/\text{Vs}$ を示しており、最大で $9.2 \text{ cm}^2/\text{Vs}$ の性能を示すことが分かった。また、InGaZnO TFT の移動度平均 $19.3 \text{ cm}^2/\text{Vs}$ と比較すれば低い値であるが、塗布型 AOS としては平均的な値である。また、立ち上がり性能を示す SS 値は InZnO TFT において $320 \text{ mV}/\text{dec}$ を示し、InGaZnO TFT よりも急峻なスイッチング特性が得られていることが分かる。

また、立ち上がり初期の V_{On} においては InZnO TFT が負の値を持つディプレッション型であるのに対して、InGaZnO TFT は正の値を持つエンハンスメント型であることが分かる。それぞれの平均値は -4.3 V と 4.0 V を示しており、 V_{Th} の結果も同様のシフト量を示している。両者の TFT が Mo ゲート電極と SiO_x 絶縁膜を持つことから、塗布型 InZnO の E_{F} は InGaZnO に対して E_{C} 側に位置して

いることが示唆される. さらに V_{On} の電圧範囲は InZnO TFT において $-5.5 < V_{On} < -3.3$ V であり, InGaZnO TFT は $3.7 < V_{On} < 4.5$ V を示していることから, InZnO TFT の V_{On} バラツキが大きい結果を示した. また, SS 値と V_{Th} のバラツキ特性も同様の傾向を示しているが, μ_{Sat} のばらつきは両者で変わらない. この結果は閾値下特性のバラツキが寄与していると考えられる. 閾値下特性は表面界面捕獲準位密度と裏面界面捕獲準位密度に依存するため, 塗布法で作製した InZnO ではスパッタ成膜による InGaZnO に対してその準位密度のバラツキが大きいことを示唆している. 準位密度の増加起因は明らかになっていないが, 積層化した InZnO 薄膜の積層界面が確認できることから (図 2.4. b), この界面準位が原因であると考えられる.

以上の結果から, 5 層積層による塗布型 InZnO TFT はスパッタ法による InGaZnO TFT よりも優れた SS 値を示し, また同様の μ_{Sat} と I_{On} の収率結果を得られることが分かった. しかしながら, SS 値と V_{On} および V_{Th} の収率特性は低く, 積層界面で形成される捕獲準位が原因であると考えられる. 従って, 収率特性を向上させるためには, 積層構造による界面準位密度の低減が必要であり, 今後そのプロセス改善が重要となる.

表 2.1. 塗布型 InZnO TFT とスパッタ法による InGaZnO TFT の収率結果.

	Mobility (cm^2/Vs)	I_{On} (μA)	V_{On} (V)	V_{Th} (V)	S.S. (mV/dec.)
InZnO TFT	8.0	1.4	-4.3	2.4	320
InGaZnO TFT	19.3	2.3	4.0	9.8	590

2.2.5 正的電圧ストレスにおける信頼性評価

5 層積層した塗布型 InZnO TFT の信頼性を評価するために, 正的ゲート電圧ストレス (PGBS) による V_{Th} の過渡的变化を測定した. その初期スイッチング特性とヒステリシス特性を図 2.9 (a) に, (b) では比較対象としてスパッタ法で作製した InGaZnO TFT を示している. 両者のヒステリシス特性からは曲線シフトは見られず, ゲート絶縁膜界面における界面電子捕獲準位が少ないことを示唆する. また, 初期 V_{Th} は InZnO において -3.6 V であり, InGaZnO においては 1.5 V であった. 両者の TFT において PGBS を行うために, $V_{GS} - V_{Th} = 10.0$ V を室温で 5000 秒間印加し, スwitching 曲線と V_{Th} 変化 ($\Delta V_{Th} = V_{PGBS} - V_{Initial}$) を測定した.

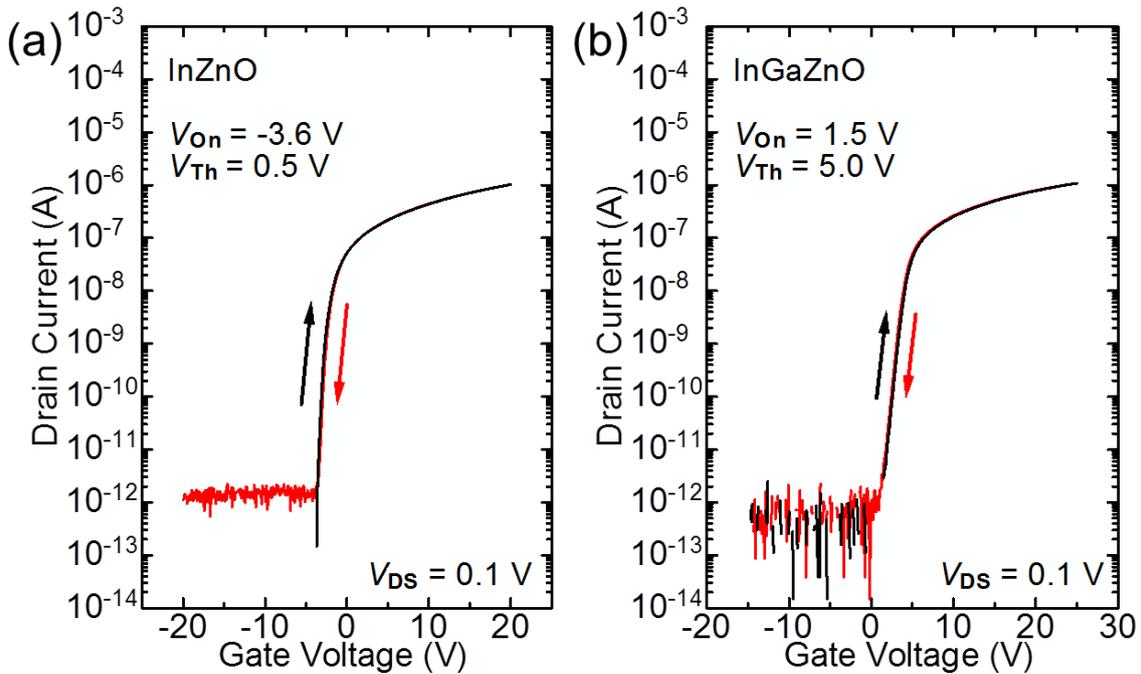


図 2.9. (a) 塗布型 InZnO TFT と (b) スパッタ成膜 InGaZnO TFT の初期スイッチング特性およびヒステリシス曲線.

その結果を図 2.10 に示す. 両者の TFT で曲線シフトの少ない結果が得られており, ΔV_{Th} は InGaZnO において 0.2 V, 塗布型 InZnO においては -0.4 V を示した. ここで V_{Th} の正方向シフトはゲート絶縁膜界面への電子トラップと考えられるが, 負方向シフトに関してはその劣化起因は異なる. AOS TFT においてはゲート絶縁膜に含まれる水素が正バイアスによってチャンネル層界面に誘引され, 形成される M-O-H 結合が負方向シフトを誘引するという報告がなされている. その詳細は未だ明らかではないが, 半導体起因の劣化現象ではないとすれば, 塗布型 InZnO TFT の信頼性は高いといえる.

以上の結果から, 5 層積層による塗布型 InZnO TFT はスパッタ成膜 InGaZnO TFT と比較しても PGBS 試験における高い信頼性を示した. 収率特性としては V_{0n} と V_{Th} および SS が InGaZnO よりも低いものの, 優れた SS 値と高い μ_{Sat} 値が得られており, さらに, 高い信頼性を示すことから 5 層積層の塗布型 InZnO 層を本研究では用いることとした.

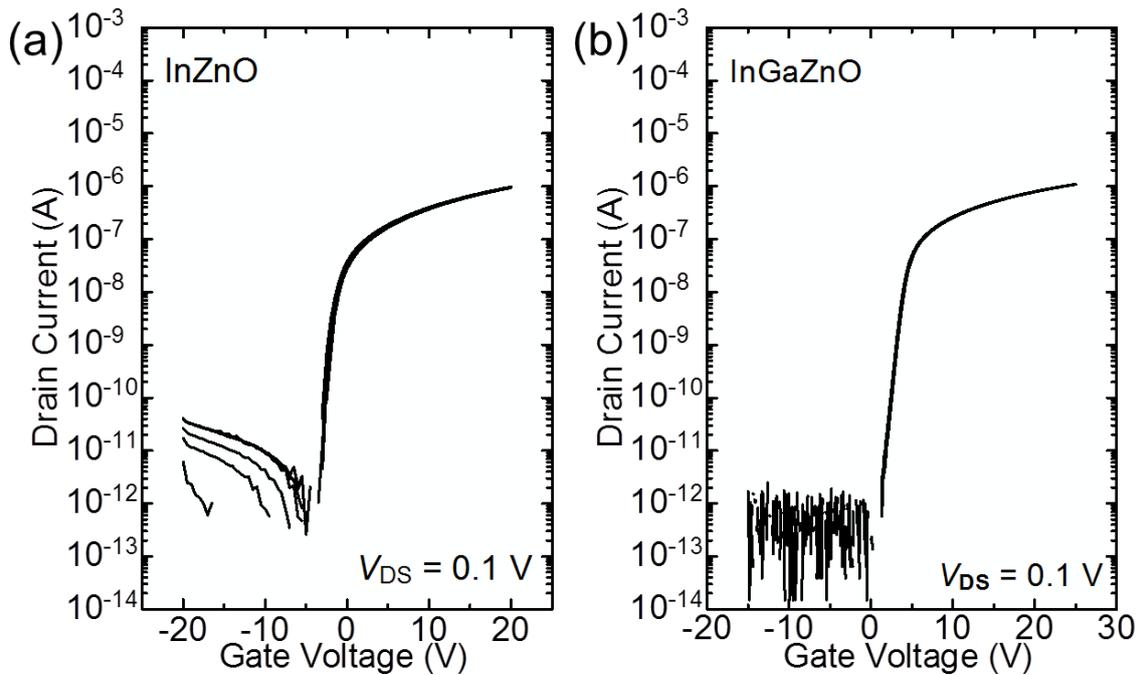


図 2.10. $V_{GS} - V_{Th} = 10.0$ V における TFT の信頼性測定結果. (a) 塗布型 InZnO TFT と (b) スパッタ成膜 InGaZnO TFT.

2.3 薄膜トランジスタの寄生抵抗評価

2.3.1 評価用素子と各電極間の抵抗値

作成した塗布型 InZnO TFT の寄生抵抗を導出するために、本研究では TLM 法を用いた[26]. 塗布型 InZnO による TLM 用評価素子を図 2.11 (a) に示すが、この図においては上部のソースおよびドレイン電極に加えて下部ゲート電極を設置し、電流特性の V_{GS} 依存性を測定した. 上部電極の線幅は $11.0 \mu\text{m}$ を持ち、各電極間の L_{Sheet} (チャンネル長) は最小で $4.0 \mu\text{m}$ 、最大で $55.3 \mu\text{m}$ であり、 W_{Sheet} (チャンネル幅) は $188.0 \mu\text{m}$ である. (b) では各電極間における電流-電圧特性から抵抗値を求め、 L_{Sheet} 毎 (7 素子) にプロットした結果を示している. ここでは、塗布型 InZnO に対して Mo 電極を用いた結果であるが、電極材料による寄生抵抗評価は第 4 章で述べる.

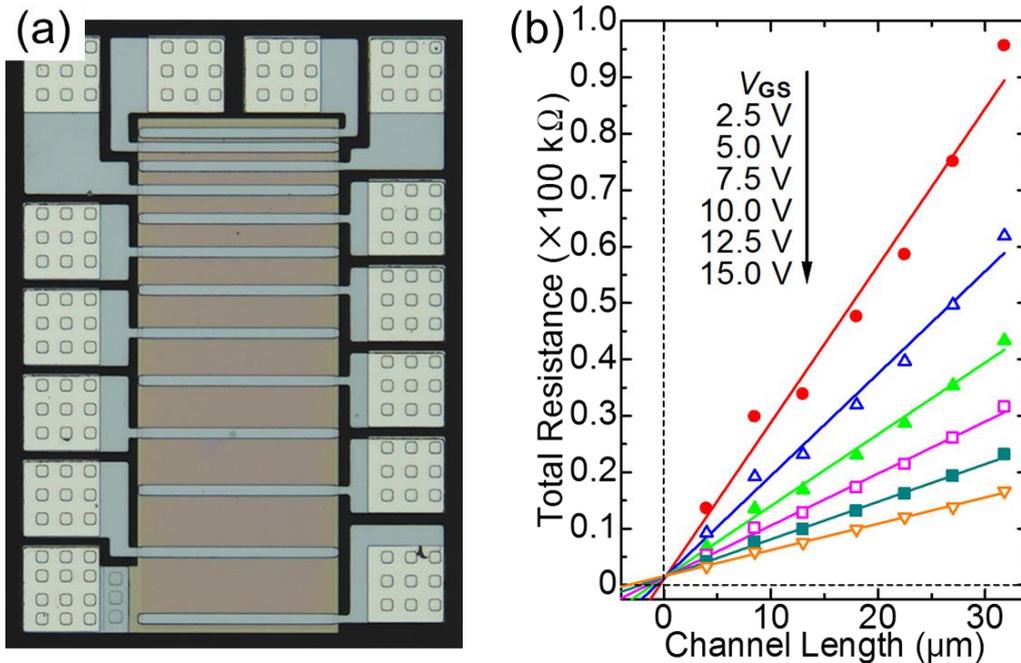


図 2.11. (a) TLM 用評価素子と (b) 各電極間の抵抗値とそのゲート電圧依存性. 実線は各プロットの最小二乗曲線.

2.3.2 抵抗成分と伝達長

図 2.12 (a) には各 V_{GS} において導出した $R_{Contact}$ (接触抵抗) と r_{Sheet} (シート抵抗率) を示しているが, それぞれの値は V_{GS} 依存性を示していることが分かる. $R_{Contact}$ においては V_{GS} に伴って減少し, 10.0 V から 15.0 V の間で極小値 (1.69 kΩ) を持つ. 対して r_{Sheet} も同様の減少傾向が見られる. この結果は, 低い V_{GS} ではソースドレイン電極とゲート界面のオーバーラップした半導体抵抗が加算されるため, 実際の $R_{Contact}$ に対して高い値が示されると考えられる. 一方で高電圧下ではそのオーバーラップ抵抗とチャンネル層のシート抵抗値 (R_{Sheet}) が $R_{Contact}$ を十分に下回るため, (a) の様に $R_{Contact}$ は 10.0 V から 15.0 V の間で極小値を持つ. 従って, その抵抗範囲が実際の $R_{Contact}$ 値を示すと考えられる.

一方で, (b) では $2L_{Transfer}$ (伝達長) と各種パラメータから導出された $\rho_{Contact}$ (接触抵抗率) を示す. 得られた $2L_{Transfer}$ は V_{GS} によって指数関数的に増大していることが分かる. そのため, $R_{Contact}$ と $L_{Transfer}$ の要素を持つ $\rho_{Contact}$ は 7.5 V から 10.0 V 付近で極小値を持つ. ここで, どの値を実際の $R_{Contact}$ および $\rho_{Contact}$ とするかが問題であるが, 本研究では指数関数的に増大する $2L_{Transfer}$ に着目してシミュレーションを行い, それぞれの値を求めた.

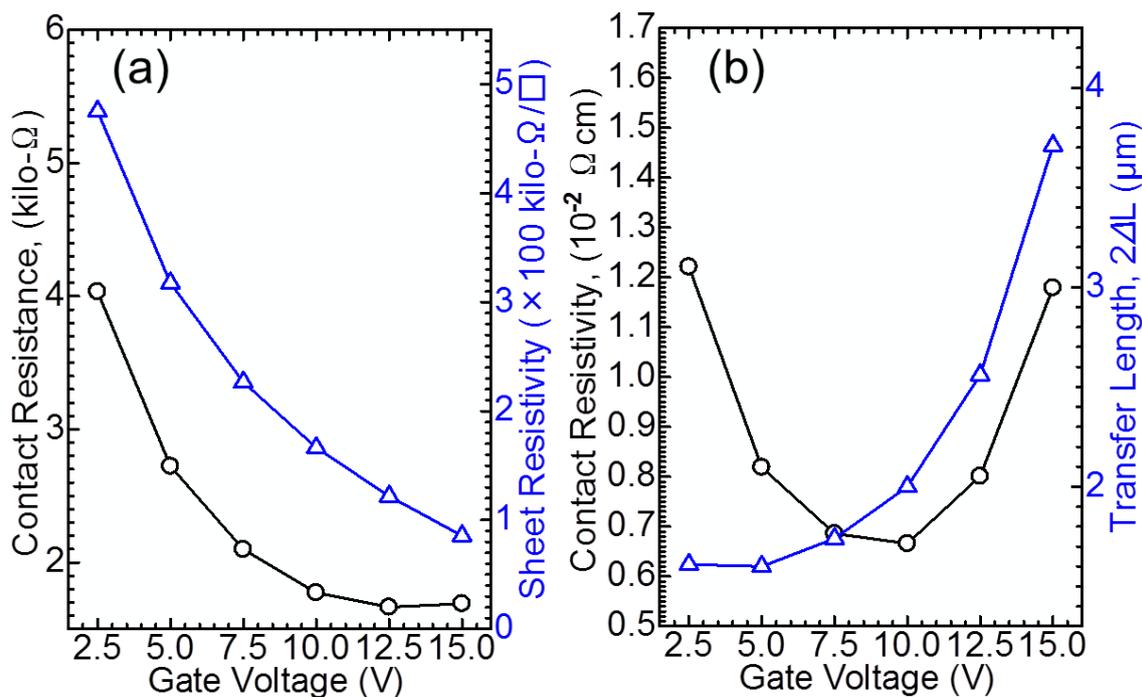


図 2.12. (a) 接触抵抗とシート抵抗率, (b) 接触抵抗率と伝達長.

2.3.3 シミュレーションによる伝達長の解析

デバイスシミュレーションではソース電極付近における X 軸方向の電界強度分布と電流密度分布を解析した. 図 2.12 の V_{GS} 依存性と比較するために, 印加電圧を $V_{GS} = 5$ V と 10 V および 15 V に設定し, その得られたシミュレーション結果を図 2.13 (a, b, c) に示している. 図上段に示す電界強度分布の結果からは, それぞれの電圧条件でソース電極端での高電界領域が形成されていることが分かるが, V_{GS} の上昇に伴って電極後方への広がりも見られる.

この結果に対して, 図下段の電流密度分布の結果からは同様にソース電極端での高電流密度領域が見られる. その分布は V_{GS} に従って電極後方へと拡張していることが分かるが, その値は一樣ではない. 例えば伝達長 $1.85 \mu\text{m}$ ($2L_{\text{Transfer}} = 3.70 \mu\text{m}$) を示した $V_{GS} = 15$ V のシミュレーション結果では, 電極端からその距離の間に電流密度は約 4 桁減少していることが分かる. 従って, $V_{GS} = 15$ V における $2L_{\text{Transfer}}$ は実験結果の値よりも短い可能性があり, 図 2.12 で得られた ρ_{Contact} の増加は本来の値を反映していないと考えられる. その結果に対して, ρ_{Contact} の減少を示した $V_{GS} = 5$ V と 10 V の伝達長 ($L_{\text{Transfer}} = 0.80 \mu\text{m}$, $1.00 \mu\text{m}$) をシミュレーション結果と比較すれば, 1 桁から 2 桁の電流密度の減少が見られる. $V_{GS} = 15$ V と比較してもその減少量は少ないため, 低い V_{GS} で実験的に計算

された L_{Transfer} が本来の距離を示し、高電圧条件ではその計算距離は長くなる傾向にあると推察される。

従って、本研究では ρ_{Contact} が極小値を持つ $V_{\text{GS}} = 10 \text{ V}$ までの値を各電圧における L_{Transfer} とみなし、TFT が持つ寄生抵抗成分は $V_{\text{GS}} = 10 \text{ V}$ における R_{Contact} および ρ_{Contact} とした。以上の結果から、図 2.11 (b) の $W_{\text{Sheet}} = 188 \mu\text{m}$ と $L_{\text{Sheet}} = 18 \mu\text{m}$ を持つ素子の計算結果を表 2.2 に示し、図 2.14 ではその値を基にしたソース電極付近の寄生成分モデルを示している。

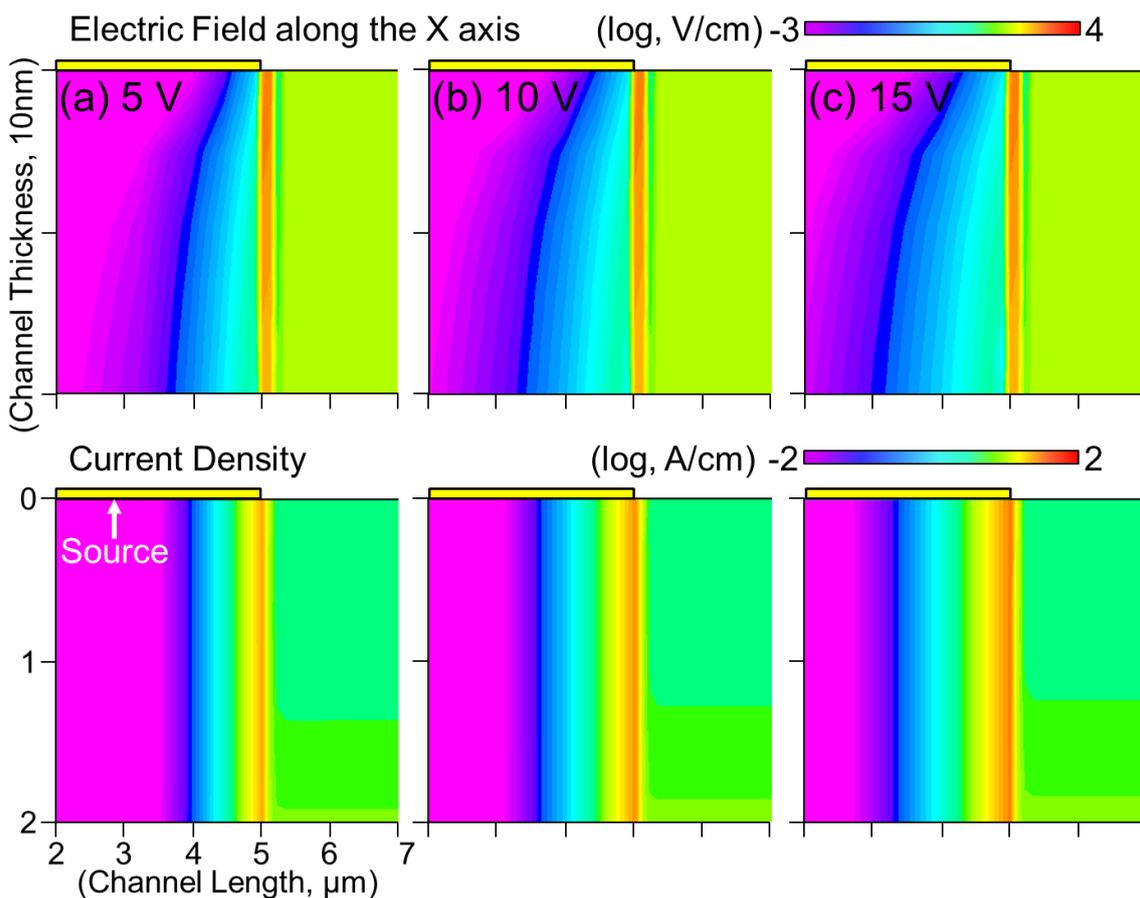


図 2.13. (a) $V_{\text{GS}} = 5 \text{ V}$ と (b) $V_{\text{GS}} = 10 \text{ V}$ および (c) $V_{\text{GS}} = 15 \text{ V}$ における X 軸方向 (紙面横方向) の電界強度分布 (上段) および電流密度分布 (下段)。

表 2.2. TLM 法で用いた $V_{\text{GS}} = 10 \text{ V}$ における各種抵抗成分と伝達長。

R_{Contact} (k Ω)	R_{Sheet} (k Ω)	r_{Sheet} (k Ω/\square)	ρ_{Contact} ($\Omega \text{ cm}$)	$2L_{\text{Transfer}}$ (μm)
1.77	15.9	166	6.66×10^{-3}	2.00

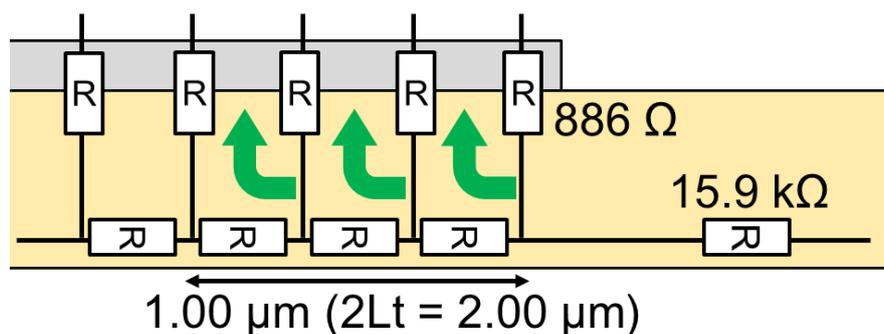


図 2.14. $V_{GS} = 10 \text{ V}$ における塗布型 InZnO TFT (チャンネル幅 $188 \mu\text{m}$, チャンネル長 $18 \mu\text{m}$) の寄生成分モデル.

2.3.4 寄生成分を含めた電界効果移動度

TLM法の結果から $L=18 \mu\text{m}$ を持つ TFT は $V_{GS} = 10 \text{ V}$ において 886Ω の R_{Contact} と, 電極下部に $1.00 \mu\text{m}$ の L_{Transfer} を持つことが分かった. この結果を図 2.6 に示す同チャンネル長の TFT に考量すれば, $V_{GS} = 10 \text{ V}$ におけるその実効チャンネル長 (L_{Ef}) は $18 \mu\text{m} < L_{\text{Ef}} < 20 \mu\text{m}$ となる. 従って, 求めた移動度曲線には, L_{Transfer} を含めた値を再計算する必要がある.

図 2.6 の移動度曲線の極大値は, $V_{GS} = 2.5 \text{ V}$ であるため, その時の L_{Ef} を計算に含める. ここで, $V_{GS} = 2.5 \text{ V}$ における I_{On} は $1.2 \mu\text{A}$ であったが, 表 2.2 で求めたソースドレインの R_{Contact} が $1.77 \text{ k}\Omega$ であるので, 電極間の電圧降下は 2.1 mV を示す. 従って, 印加電圧より約 4 桁小さいことから電圧降下による電圧変化は移動度の計算式では十分に無視できる値である. 図 2.11 の結果から, $V_{GS} = 2.5 \text{ V}$ かつ $L=18 \mu\text{m}$ では, その L_{Transfer} は $0.80 \mu\text{m}$ であった. 従って, TFT の L_{Ef} は $18.0 \mu\text{m} < L_{\text{Ef}} < 19.6 \mu\text{m}$ である. これを考慮すれば, 図 2.7 で求めた塗布型 InZnO TFT の μ_{Sat} の平均値は $8.0 \text{ cm}^2/\text{Vs} < \mu_{\text{Sat}} < 9.4 \text{ cm}^2/\text{Vs}$ の値を取りうるため, 塗布型 InZnO TFT の μ_{Sat} は計算値よりも実際には高い値であると考えられる.

2.4 薄膜トランジスタの自己発熱現象

2.4.1 塗布型 InZnO 薄膜トランジスタの自己発熱現象

従来、電圧駆動におけるアモルファスおよび多結晶の Si TFT はソースドレイン電極間で生じる I_{On} により自己発熱することが報告されている[27-29]. その自己発熱温度は TFT の劣化を加速させ、デバイス全体の性能を低下させる原因となる. しかしながら、AOS TFT においてはその発熱現象が明らかにされておらず、Si 同様に TFT の劣化を誘引する可能性がある. 従って、本節では AOS TFT の自己発熱現象を解明すると共に、その劣化メカニズムと解決案を提案することで、塗布型 InZnO TFT の回路応用を目指した.

TFT の自己発熱現象を解明するために、微小部分発熱解析装置 (Infrascope II, Quantum Focus Instruments) を用いて電圧駆動中の TFT を解析した. この解析においては、赤外線検出器の感度を向上させるために基板温度は 50°C に設定し、外的光の影響を無くするため暗室で測定を行った.

まず初めに、 $\mu_{Sat} = 8.0 \text{ cm}^2/\text{Vs}$ を示す塗布型 InZnO TFT ($W = 48 \text{ }\mu\text{m}$, $L = 9 \text{ }\mu\text{m}$) に $V_{GS} - V_{Th} = 20 \text{ V}$ と $V_{DS} = 10 \text{ V}$ を印加した際の発熱解析像を図 2.15 (a) に示す. (b) では測定した TFT の光学顕微鏡像を示しているが、発熱解析像と比較して TFT 内部で明らかな温度変化を確認できる. この時の TFT の I_{DS} は $195 \text{ }\mu\text{A}$ を示しており、その自己発熱温度は 13.1°C であった.

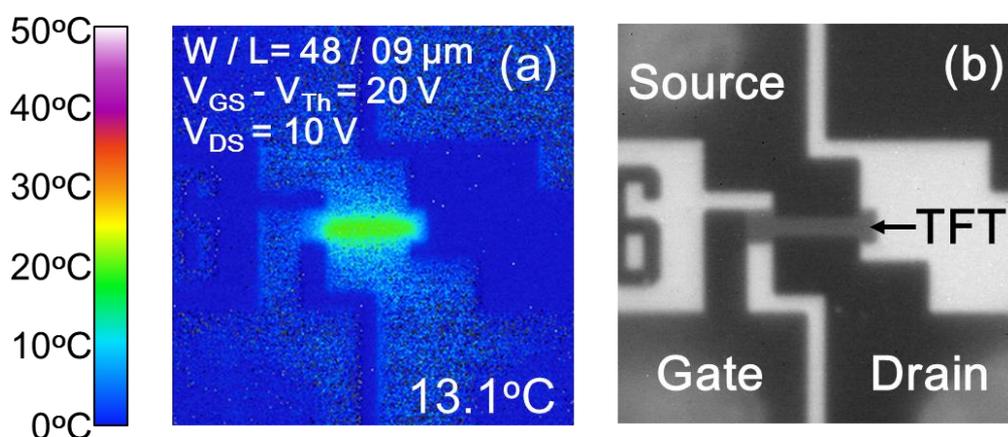


図 2.15. 電圧印加中の塗布型 InZnO TFT の (a) 発熱解析像および (b) 素子の上面図.

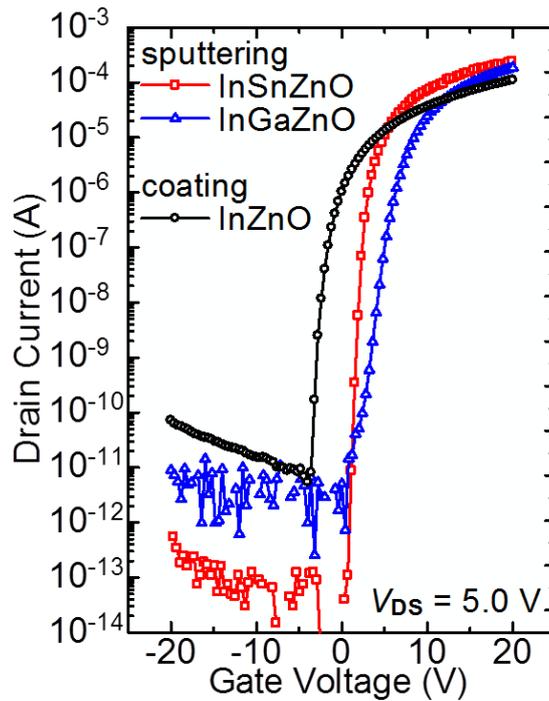


図 2.16. 塗布型 InZnO とスパッタ法で作製した InXZnO (X = Sn, Ga) TFT におけるスイッチング特性.

表 2.3. 3 種類の酸化物半導体 TFT の持つ電界効果移動度および閾値電圧.

	InZnO	InGaZnO	InSnZnO
Mobility (cm ² /Vs)	8.2	19.3	28.0
V _{Th} (V)	2.4	9.6	4.7

2.4.2 発熱温度の電流依存性

この得られた発熱温度が塗布型 InZnO の熱的性質起因なのか、電流性能に基づくのかを確認するために、異なる AOS を用いて発熱解析を行った。本研究では塗布型 InZnO に対して 2.3 倍の μ_{Sat} を持つ InGaZnO と、3.4 倍の InSnZnO [30,31] を評価した。そのスイッチング特性を図 2.16 に示し、表 2.3 ではそれぞれの μ_{Sat} と V_{Th} の値を示している。

それぞれの TFT に $V_{\text{GS}} - V_{\text{Th}} = 20 \text{ V}$ と $V_{\text{DS}} = 10 \text{ V}$ を印加した際の発熱解析像を図 2.17 に示す。各種 TFT は同様のチャンネルサイズを持つが、同電圧条件でその発熱温度は異なる結果を示した。13.1 °C の発熱温度が得られた InZnO に対して、InGaZnO は 26.5 °C を示し、InSnZnO においては 37.9 °C の値であった。その熱量

(J_{Heat}) を V_{DS} と I_{DS} の積 (式 2.6) で表せるとすれば,

$$J_{Heat} = I_{DS} \times V_{DS} = I_{DS}^2 \times R_{On} \quad (2.6)$$

となり, その値は InZnO が 1.95 mW であり, InGaZnO が 4.06 mW, InSnZnO においては 5.58 mW と表すことができる. 得られた発熱温度の増加量は熱量と等しいため, 発熱温度の違いはその電流性能に起因しており, 材料の熱的性質に大きく依存しないことが分かる. 従って, 同電圧条件では高移動度を持つ材料ほど高い電流値を得ることができるため, その自己発熱温度も上昇すると考えられる.

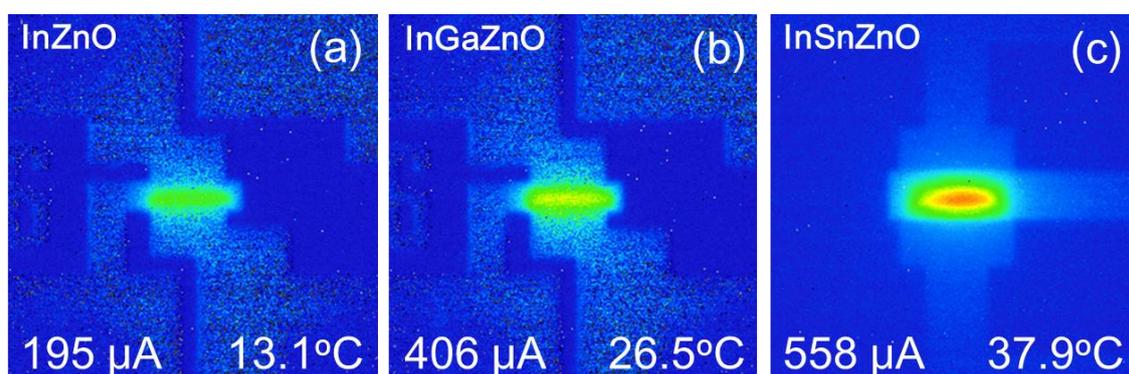


図 2.17. $V_{GS} - V_{Th} = 20 \text{ V}$ と $V_{DS} = 10 \text{ V}$ を印加した酸化物半導体 TFT の発熱解析像. (a) 塗布型 InZnO, (b) スパッタ成膜 InGaZnO, (c) InSnZnO.

2.4.3 自己発熱温度の素子サイズ依存性

図 2.17 (c) において, 発熱分布は TFT 中心で最も高い温度を示していることが分かる. この結果は半導体層に接する電極層と絶縁膜層によって放熱していることを示しているが, その発熱温度は素子のサイズによって大きく変化すると考えられる. その傾向を確かめるため, 図 2.18 では発熱温度の W 依存性を解析した. ここでは, 発熱現象を詳細に確認するために高い電流性能を示す InSnZnO TFT を用いて測定を行い, その発熱現象を解析した. その結果, 発熱効果は W に比例して上昇し, その発熱温度は $W=9 \mu\text{m}$ (a) において 13.8°C であるのに対し, $W=48 \mu\text{m}$ (c) では 37.9°C まで増加している.

この発熱現象を解明するため三次元デバイスシミュレーションによる TFT 内部の熱量解析を行った. 図 2.19 では異なる W を持つ TFT の熱量分布を示して

おり、各層はチャンネル膜厚ごとの分布を表している。各熱量分布の結果からドレイン電極付近での高い発熱が見られるが、チャンネル層全体の熱量分布は W 方向に関係なく一定であることが分かる。また、TFT の電流密度は図 2.18 に示す電流値からも分かる通り W に関係なくほぼ一定であるため、この発熱温度の増加は電流起因ではなくワイド型構造による放熱性の低下であるといえる。

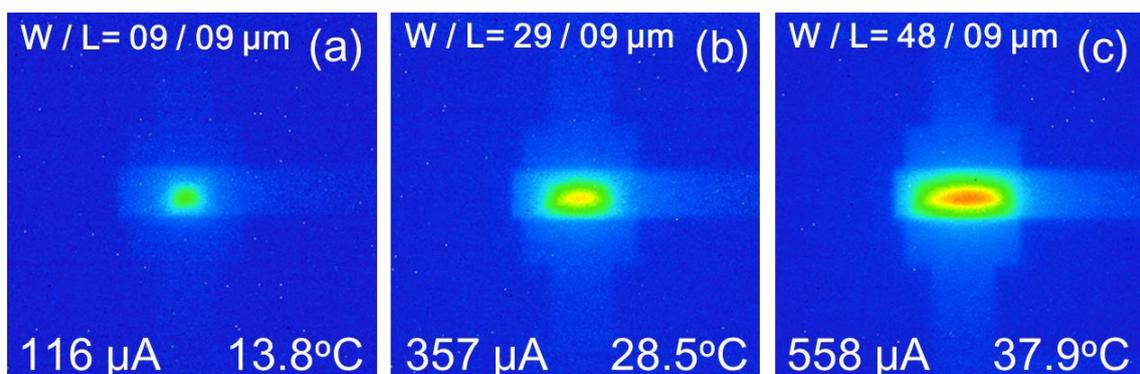


図 2.18. 自己発熱温度のチャンネル幅依存性.

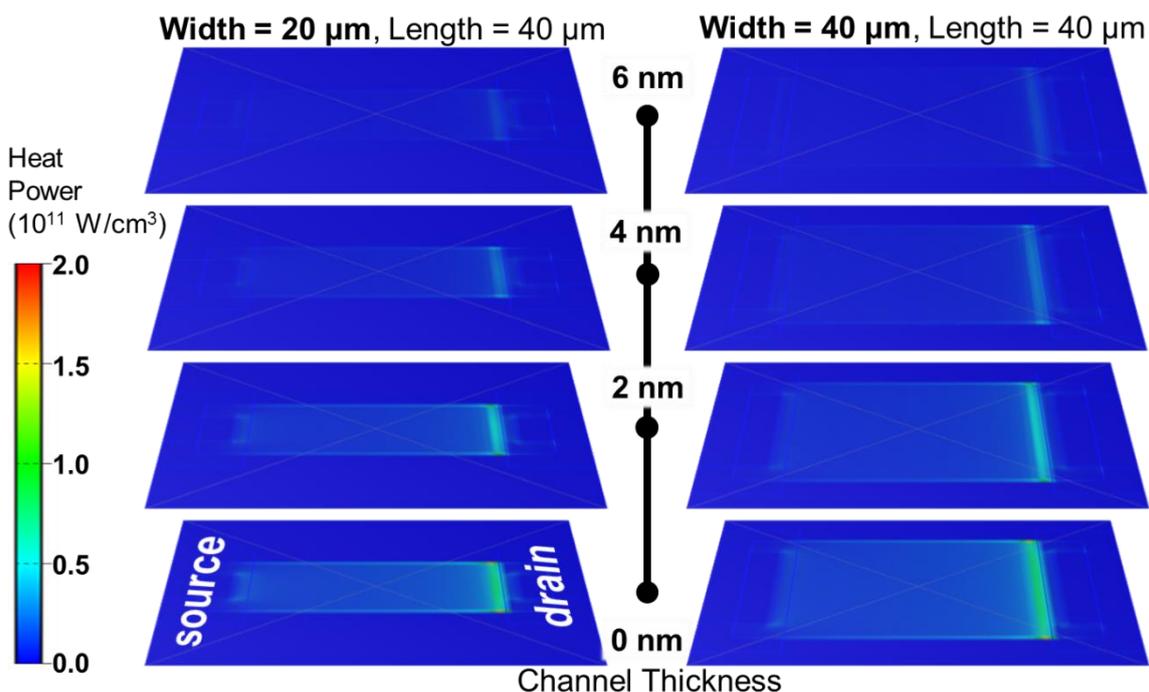


図 2.19. 三次元シミュレーションによる熱量解析.

2.4.4 発熱温度がもたらす信頼性への影響

自己発熱効果が与える TFT への影響を調べるため、図 2.18 (a, c) の異なる発熱温度を持つ TFT ($W=9\ \mu\text{m}$ と $48\ \mu\text{m}$) を使用して信頼性を評価した。基板温度の影響を避けるため室温で測定し、電圧条件は同様の $V_{GS} - V_{Th} = 20\ \text{V}$ と $V_{DS} = 10\ \text{V}$ であり、5000 秒間印加した。それぞれの過渡的なスイッチング特性変化を図 2.20 に示すが、それぞれの曲線からは正側へのシフトが見られており、その V_{Th} 変化は $W=9\ \mu\text{m}$ の TFT において $0.1\ \text{V}$ 、 $W=48\ \mu\text{m}$ の TFT において $0.9\ \text{V}$ を示した。以上の特性変化は電子がゲート絶縁膜界面の界面捕獲準位にトラップされ、その束縛負電荷により曲線を正側に平衡シフトさせると考えられる。そのシフト量を V_{Th} で表したが、同電流密度で高い発熱温度を示した $W=48\ \mu\text{m}$ の TFT においてシフト量が顕著である。従って、自己発熱現象で生じた熱エネルギーは界面への電子トラップ現象を加速させ、TFT 性能を低下させる原因であるといえる。以上の結果から、TFT の高い信頼性を得るためには、自己発熱現象を低減する方法が必要不可欠である。

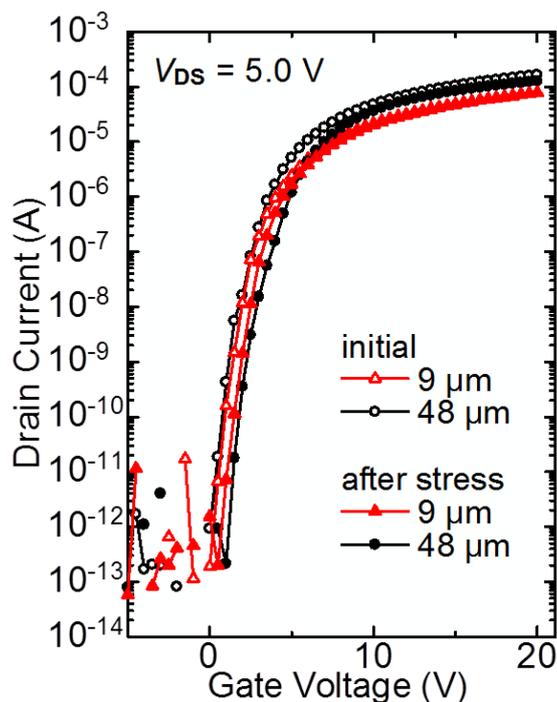


図 2.20. チャンネル幅 $9\ \mu\text{m}$ と $48\ \mu\text{m}$ の TFT を用いたスイッチング特性の過渡的な変化。電圧条件は $V_{GS} - V_{Th} = 20\ \text{V}$ と $V_{DS} = 10\ \text{V}$ 。

2.4.5 マルチチャネル型構造による発熱温度の低減

同電圧条件で高い電流値を得る方法としては、TFT のワイド型化が必要であるが、上述した通り W の増加は素子の放熱性が低下し、発熱温度の上昇と信頼性低下を引き起こす原因となる。そのため、電極層を分割し発熱箇所を分散させたマルチチャネル型構造を検討した。

図 2.21 (a) では、作製したマルチチャネル型 TFT を示しており、 $W=450\ \mu\text{m}$ の TFT を 9 つに分割した。ここで、各電極間は $20\ \mu\text{m}$ のスペースを持ち、 $W=50\ \mu\text{m}$ の TFT が並列に接続されているのと等価である。図ではそのうちの $50\times 3\ \mu\text{m}$ の範囲を表している。(b, c) では $V_{\text{GS}} - V_{\text{Th}} = 20\ \text{V}$ と $V_{\text{DS}} = 10\ \text{V}$ を印加した際のマルチチャネル型 TFT と $W=100\ \mu\text{m}$ のワイド型 TFT の発熱解析像を示している。その結果、ワイド型 TFT は全体で 38.5°C と高い発熱温度を生じるのに対し、マルチチャネル型は発熱分布が分散され、図 2.17 (a) の $W=48\ \mu\text{m}$ の TFT と同様の 13.5°C を示した。以上の結果から $20\ \mu\text{m}$ のスペースを持つマルチチャネル型構造を用いることで放熱性を効率よく確保することができるといえる。従って、第 3 章で使用する回路の $W=50\ \mu\text{m}$ 以降の TFT には、このマルチチャネル構造を用いることとした。

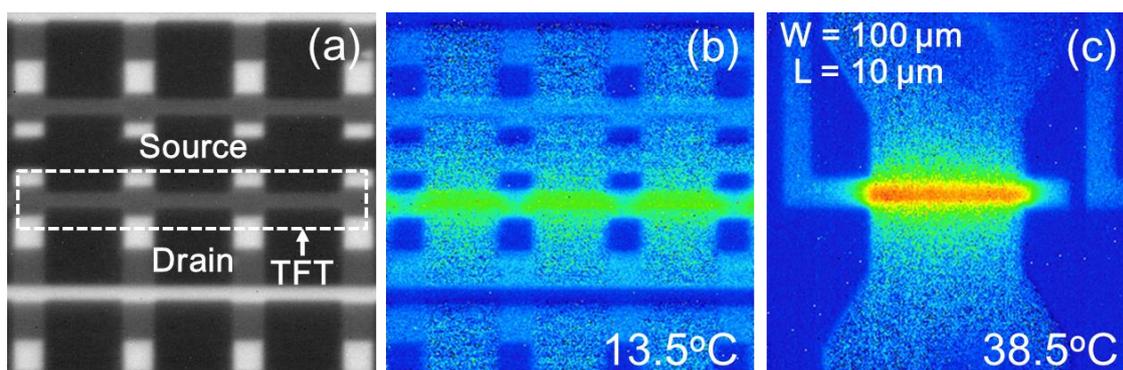


図 2.21. 各種 TFT の発熱解析像。(a, b) チャンネル幅 $50\times 9\ \mu\text{m}$ のマルチチャネル型 TFT, 図では $50\times 3\ \mu\text{m}$ の領域を示している。(c) チャンネル幅 $100\ \mu\text{m}$ のワイド型 TFT. 電圧条件は $V_{\text{GS}} - V_{\text{Th}} = 20\ \text{V}$ と $V_{\text{DS}} = 10\ \text{V}$.

2.5 ダブルゲート型構造を用いた薄膜トランジスタ

2.5.1 ダブルゲート型構造

本研究ではこれまで塗布型 InZnO に対して、図 2.1 に示す様にボトムゲート型構造の TFT を適用してきた。前節では同電圧条件で高い電流値を得る方法として TFT のワイド化およびマルチチャネル化を検討したが、欠点としては素子面積の増加を伴う。そのため、同電圧条件かつ同素子面積で電流値を向上させる方法として TFT のダブルゲート化[33,35]に着目した。

TFT のゲート構造を検討する上で、シミュレーションによる構造解析を行った。図 2.22 ではシミュレーションした 3 種類の TFT 構造の電子濃度分布 ($V_{GS} = 20 \text{ V}$) を示している。(a) のボトムゲート (BG) 型 TFT と (b) のトップゲート (TG) 型 TFT ではゲート絶縁膜界面で約 $1 \times 10^{18} / \text{cm}^3$ の電子濃度分布がみられ、チャネル層の形成が界面近傍で形成されていることを示している。一方で、(c) に示すダブルゲート (DG) 型 TFT の解析結果では両ゲート絶縁膜界面で同電子濃度のチャネル層形成が確認できるが、加えて半導体の中心部でもチャネル層が形成されていることが分かる。

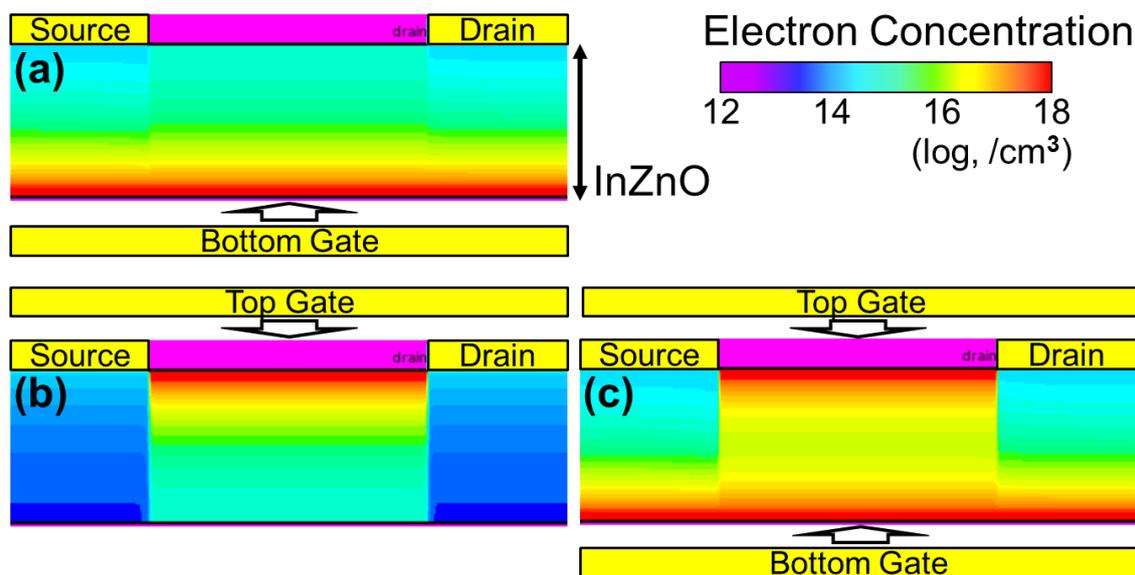


図 2.22. 各 TFT 構造における半導体内部の電子密度シミュレーション。(a) ボトムゲート型, (b) トップゲート型, (c) ダブルゲート型。

この結果を図 2.23 (a) に示すポテンシャル分布と比較すれば、BG と TG のシングルゲート型が持つゲート絶縁膜界面でのポテンシャル (V_{Int}) は裏面 (V_{Bac}) に達するまでに 0.26 eV ($=V_{\text{Int}}-V_{\text{Bac}}$) まで低下する。対して DG 型は両界面に V_{Int} を持つため、膜中心 30 nm のポテンシャル (V_{Cen}) はシングルゲート型の V_{Cen} に対して 0.04 eV 高く、 V_{Bac} より 0.08 eV 高くなる。

このポテンシャル分布の違いにより、DG 型の伝導帯構造は (b) の様にシングルゲート型よりも深い準位に位置する。伝導帯上端からのバンドのエネルギー深さを ϕ とすれば、BG 型と TG 型の $\partial \phi / \partial x$ は同値であることが分かる。一方で、DG 型の $\partial \phi / \partial x$ は両絶縁膜界面から 10 nm の深さではシングルゲート型と同様の値を示すが、中心 30 nm ではシングルゲート型が $\phi = 0.04 \text{ eV}$ であるのに対し DG 型は $\phi = 0.08 \text{ eV}$ のエネルギー的に深い準位を示す。従って、DG 型構造を用いることでシングルゲート型よりも半導体層全体をチャンネル層として働かせることができる。

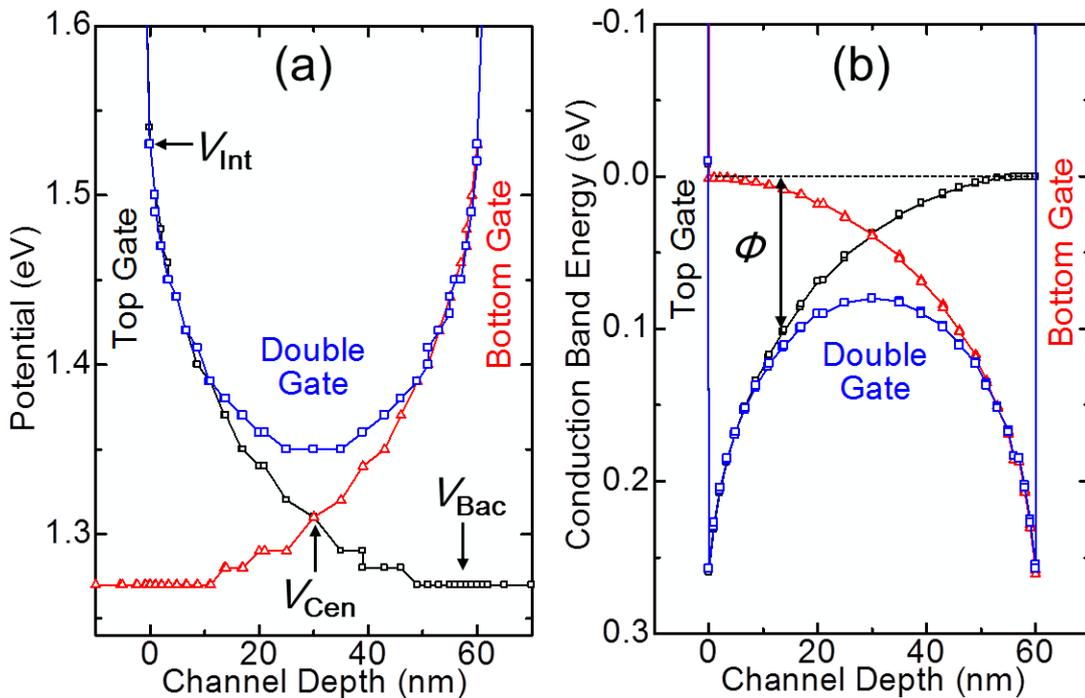


図 2.23. 各 TFT 構造における半導体の (a) ポテンシャル分布と、(b) 伝導帯構造。

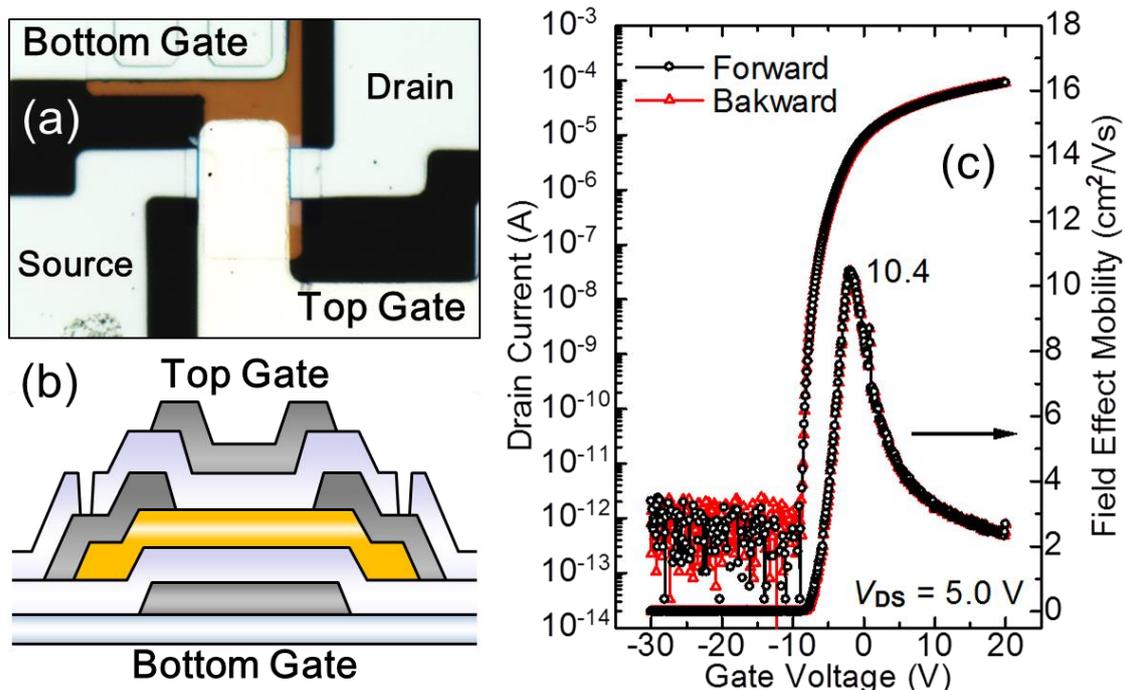


図 2.24. ダブルゲート型構造を用いた塗布型 InZnO TFT. (a) 素子の光学顕微鏡像, (b) 素子断面図, (c) スイッチング曲線とヒステリシス特性および電界効果移動度曲線.

2.5.2 スイッチング特性比較

塗布型 InZnO を用いて作製した DG 型 TFT の素子構造を図 2.24 (a, b) に示している. TFT のチャンネルサイズは $W/L = 7/9 \mu\text{m}$ を用いており, (a) に示す BG 電極と TG 電極は電氣的に接続しており同じ V_{GS} が印加される. 得られたスイッチング曲線とヒステリシス特性および移動度曲線を (c) に示しているが, ここでの移動度計算は DG 構造によって W が 2 倍になると考慮して $W = 14 \mu\text{m}$ を適用している.

作製した DG 電極を持つ塗布型 InZnO TFT の μ_{Sat} の極大値は $10.4 \text{ cm}^2/\text{Vs}$ を示しており, 図 2.9 と同様にヒステリシスの無いスイッチング特性が得られた. この特性を同素子内部の BG 型および TG 型と比較した結果が図 2.25 である. ここでは各ゲート電極を用いたスイッチング曲線を示しており, 表 2.4 にはそれぞれの μ_{Sat} と閾値電圧下の I_{DS} , V_{On} , V_{Th} および SS 値を示している.

まず, 得られた μ_{Sat} について議論する. それぞれの移動度は $TG < BG < DG$ の順に高い値を示しており, TFT の駆動性能が DG 型を用いることで向上してい

る. この結果を図 2.22 に表したシミュレーション結果と比較すれば, 半導体層全体をチャンネル層とすることができる DG 型は, 本来の TG 型と BG 型が持つ I_{DS} および μ_{Sat} よりも高い値を示すといえる. さらに, 立ち上り性能を示す SS が分母に $\ln(I_{DS})$ を含むため, I_{DS} の増加により SS 値の向上が期待でき, 実験的にも DG 型の SS 値は BG と TG 型よりも低い値を示す.

ここで, 基盤とした BG 型と TG 型を比較すれば, TG 型の移動度は BG 型に対して約4分の1である. 図 2.22 でシミュレーションした TFT 構造を考えれば, ソースドレイン電極からゲート絶縁膜界面までのオーバーラップ抵抗を含まない TG 型は BG 型よりも I_{DS} は高いはずである. その傾向として, $V_{DS} > V_{GS} - V_{Th}$ の飽和領域では TG 型の I_{DS} が BG 型を上回り, SS 値においても 960 mV/dec に対して 600 mV/dec の低い値を示している. 一方で $V_{DS} < V_{GS} - V_{Th}$ の線形領域では, TG 型の I_{DS} は BG 型を大きく下回る. その時のトランスコンダクタンス ($gm = \partial I_{DS} / \partial V_{GS}$) は, BG 型が $2.0 \times 10^{-6} S$ から $3.0 \times 10^{-6} S$ まで増加するのに対し, TG 型は $1.5 \times 10^{-7} S$ から $5.0 \times 10^{-8} S$ まで低下する. この原因としては, ソースドレイン電極端に高い接触抵抗成分が存在するか, もしくは $V_{DS} < V_{GS} - V_{Th}$ の条件で形成される TG 絶縁膜/半導体界面のポテンシャルバリアの存在が考えられる.

結果として作製した DG 型の塗布型 InZnO TFT は基盤とした TG 型と BG 型よりも高い μ_{Sat} と優れた SS 特性を示しているため, BG 絶縁膜側のチャンネル層形成と半導体内部のチャンネル層形成が大きく寄与していると考えられる. 従って, TG 型構造のプロセス改善を行うことで, 本来の DG 型 TFT の性能は今回の結果よりも高くなると推察される.

表 2.4. 各ゲート型構造における TFT 特性.

	Mobility (cm^2/Vs)	I_{DS} at V_{Th} (μA)	V_{On} (V)	V_{Th} (V)	S.S. (mV/dec.)
Double	10.4	4.40	-8.7	-1.9	440
Bottom	9.3	2.76	-9.0	1.5	960
Top	2.2	0.19	-9.0	-3.0	600

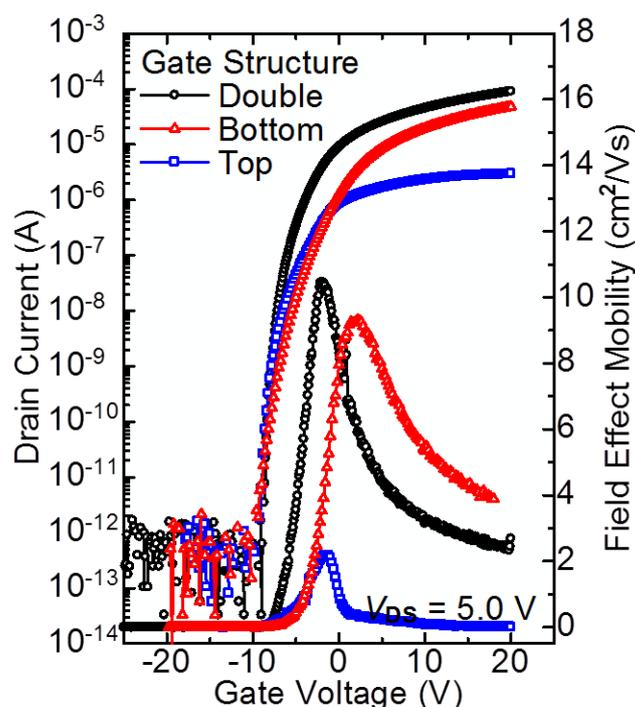


図 2.25. ダブルゲート型 TFT の各種ゲート電極によるスイッチング曲線.

2.5.3 ダブルゲート型構造の発熱解析

高い I_{DS} を示す DG 型 TFT は、前節で述べた通り TFT の自己発熱効果が懸念される。そのため、同様に DG 型の発熱解析と同 DG 構造における BG のみを駆動させた時の発熱比較を行った。図 2.26 (a, b) ではそれぞれの TFT に $V_{DS} = 10 \text{ V}$ と $V_{GS} - V_{Th} = 20 \text{ V}$ を印加した際の発熱解析像を表している。その結果同電圧条件では DG 型は BG 型の 1.6 倍の I_{DS} を示しており、その時の発熱温度は 28.0°C と高い値を示した。それぞれの熱量は BG 型が 1.13 mW , DG 型が 1.86 mW であり前項で述べた発熱解析結果と比較すれば過度な温度上昇が確認できる。その現象を調べるため、BG 型と同電流条件での DG 型 TFT の発熱解析を行った。得られた結果を (c) に示すが、 $V_{DS} = 7 \text{ V}$ と $V_{GS} - V_{Th} = 20 \text{ V}$ において発熱温度は 14°C であった ($I_{DS} = 121 \mu\text{A}$)。その時の熱量は 0.85 mW であり、BG 型よりも低い値を示すが、発熱温度としては BG 型よりも 5.8°C 高い。その原因としては発熱分布が BG 側界面と TG 側界面で存在し、その発熱箇所が数十 nm の膜厚方向で重なることで発熱温度を上昇させたと考えられる。

従って、DG 型 TFT は高い I_{DS} が得られるものの、膜厚方向での熱の蓄積により、その発熱温度は BG 型よりも顕著である。そのため、信頼性の観点からみれ

ば、発熱温度を抑制できるマルチチャネル型構造が、本研究の塗布型 InZnO TFT において適しているといえる。

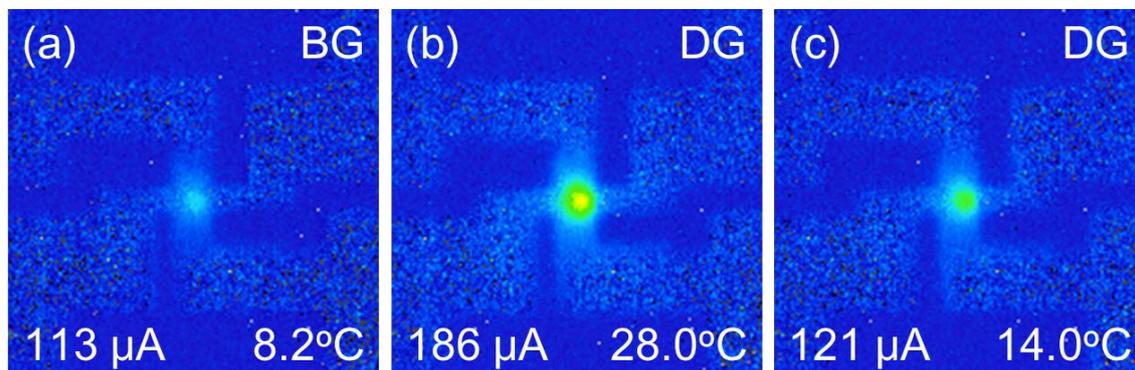


図 2.26. $V_{DS}=10\text{ V}$ と $V_{GS}-V_{Th}=20\text{ V}$ を印加した際の (a) ボトムゲート型 TFT と (b) ダブルゲート型 TFT の発熱解析像. (c) ボトムゲート型と同電流条件におけるダブルゲート型 TFT ($V_{DS}=7\text{ V}$, $V_{GS}-V_{Th}=20\text{ V}$). それぞれの TFT は同一素子を用いている.

2.6 結論

本章では、塗布型 InZnO TFT の基本性能を評価すると共に、その回路応用にに向けた TFT の構築を目指した。

その課題としては、第 1 に高い TFT 特性を得ることである。2.2 では TFT としての InZnO 層の最適膜厚をシミュレーション結果と実験結果を基に評価した。その結果、1 層構造の TFT に対して、5 層積層した TFT は高い電流性能を示すことが分かった。さらに、収率特性から飽和移動度の平均値は $8.0 \text{ cm}^2/\text{Vs}$ を示しており、最大で $9.2 \text{ cm}^2/\text{Vs}$ の値が得られた。スパッタ成膜による InGaZnO TFT と比較すれば低い値であるが、塗布型 TFT としては十分な性能である。

第 2 に、作製した TFT に内在する寄生成分を明らかにし、TFT の本来の性能を知ることである。2.3 では寄生抵抗に着目し、Transfer Length Method から半導体/電極界面の接触抵抗と電極下部の伝達長を導出することで、電圧降下現象による性能劣化と実効チャンネル長を含めた電界効果移動度を評価した。その結果、塗布型 InZnO TFT の接触抵抗は $1.77 \text{ k}\Omega$ を示し、電圧降下現象を無視できる値であることが分かった。また、伝達長は $2 \mu\text{m}$ であることから、実効チャンネル長はソースドレイン電極下部まで到達しており、塗布型 InZnO TFT の実際の電界効果移動度は $8.0 \text{ cm}^2/\text{Vs} < \mu_{\text{Sat}} < 9.4 \text{ cm}^2/\text{Vs}$ であることが分かった。

最後に、TFT の高い信頼性を得ることである。2.4 ではその評価手法として自己発熱現象に着目し、電圧印加中の TFT の発熱現象を解析した。まず初めに、酸化物半導体の電流性能と発熱現象を比較評価することで、発熱温度が材料の電流性能に依存することが分かった。さらに、発熱温度はチャンネル幅の増加に伴って上昇し、その高い発熱温度は劣化現象を加速することが分かった。その解決方法として、マルチチャンネル構造を提案し、発熱温度を半分に低減できることを示した。また、2.5 では同電圧条件で高い電流性能を得るために、ダブルゲート型構造を評価した。シミュレーションによる構造解析と実験結果からダブルゲート型はシングルゲート型よりも高い電流性能が得られることを示し、塗布型 InZnO の電界効果移動度は $9.3 \text{ cm}^2/\text{Vs}$ から $10.4 \text{ cm}^2/\text{Vs}$ に向上した。しかしながら、その発熱温度は熱の蓄積により顕著となり、信頼性の低下が懸念される。従って、同電圧条件で電流性能を向上させる手段としては、マルチチャンネル型 TFT が適しているとした。

2.7 参考文献

- [1] S. M. Sze, *Semiconductor Devices*, 2nd ed., Wiley, Newyork.
- [2] T. Kamins, *Polycrystalline Silicon for Integrated and Displays*, 2nd ed., Kluwer, 1998
- [3] 薄膜材料デバイス研究会, 薄膜トランジスタ, コロナ社, 2009年
- [4] 浦岡行治監修, 低温ポリシリコン薄膜トランジスタの開発, シーエムシー出版, 2007年
- [5] H. Koezuka, A. Tsumura, and T. Ando, *Synth. Met.* 18, 699 (1987).
- [6] M. Takamiya, T. Sekitani, Y. Kato, H. Kawaguchi, T. Someya, and T. Sakurai, *IEEE J. Solid-State Circuits* 42, 93 (2007).
- [7] A. Shin, S.J. Hwang, S.W. Yu, and M.Y. Sung, in *8th Int. Symp. Qual. Electron. Des.* (IEEE, 2007), pp. 59–66.
- [8] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature* 432, 488 (2004).
- [9] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, *Science* 300, 1269 (2003).
- [10] T. Kamiya and H. Hosono, *NPG Asia Mater.* 2, 15 (2010).
- [11] T. Kamiya, K. Nomura, and H. Hosono, *Sci. Technol. Adv. Mater.* 11, 044305 (2010).
- [12] T. Kamiya, K. Nomura, and H. Hosono, *J. Disp. Technol.* 5, 468 (2009).
- [13] T. Sekitani, T. Yokota, U. Zschieschang, H. Klauk, S. Bauer, K. Takeuchi, M. Takamiya, T. Sakurai, and T. Someya, *Science* 326, 1516 (2009).
- [14] G. Schwartz, B.C.-K. Tee, J. Mei, A.L. Appleton, D.H. Kim, H. Wang, and Z. Bao, *Nat. Commun.* 4, 1859 (2013).
- [15] Y. Zang, F. Zhang, D. Huang, X. Gao, C.-A. Di, and D. Zhu, *Nat. Commun.* 6, 6269 (2015).
- [16] E. Fortunato, P. Barquinha, and R. Martins, *Adv. Mater.* 24, 2945 (2012).
- [17] Y.-H. Lin, H. Faber, S. Rossbauer, and T.D. Anthopoulos, *Appl. Phys. Lett.* 102, 193516 (2013).
- [18] S.-J. Seo, S. Yang, J.-H. Ko, and B.-S. Bae, *Electrochem. Solid-State Lett.* 14, H375 (2011).
- [19] J.H. Jeon, Y.H. Hwang, B.S. Bae, H.L. Kwon, and H.J. Kang, *Appl. Phys. Lett.* 96, 2010 (2010).
- [20] S.J. Kim, S. Yoon, and H.J. Kim, *Jpn. J. Appl. Phys.* 02, (2014).
- [21] M. Kim, M. Kanatzidis, A. Facchetti, and T. Marks, *Nat. Mater.* 10, (2011).

- [22]K. Banger, Y. Yamashita, and K. Mori, *Nat. Mater.* 10, 45 (2011).
- [23]ATLAS User's Manual, Silaco, Santa Clara, 2009
- [24]J. Jeong and Y. Hong, *IEEE Trans. Electron Devices*, 59, 710 (2012)
- [25]E. N. Cho, J. H. Kang, and I. Yun, *Micro. Reliability.*, 51, 1792 (2011)
- [26]Dieter K. Schroder, *Semiconductor Material and device Characterization*
- [27]S. Inoue, H. Ohshima, and T. Shimoda, *Jpn. J. Appl. Phys.* 41, 6313 (2002).
- [28]S. Hashimoto, Y. Uraoka, T. Fuyuki, and Y. Morita, *Jpn. J. Appl. Phys.* 45, 7 (2006).
- [29]S. Hashimoto, Y. Uraoka, T. Fuyuki, and Y. Morita, *Jpn. J. Appl. Phys.* 46, 1387 (2007).
- [30]S. Tomai, M. Nishimura, M. Itose, M. Matsuura, M. Kasami, S. Matsuzaki, H. Kawashima, F. Utsuno, and K. Yano, *Jpn. J. Appl. Phys.* 51, 03CB01 (2012).
- [31]E. Fukumoto, T. Arai, N. Morosawa, K. Tokunaga, Y. Terai, T. Fujimori, and T. Sasaoka, *J. Soc. Inf. Disp.* 19, 867 (2011)
- [32]Y. V. Li, J.I. Ramirez, K.G. Sun, and T.N. Jackson, *IEEE Electron Device Lett.* 34, 891 (2013).
- [33]N. Munzenrieder, P. Vöser, L. Petti, C. Zysset, L. Buthe, C. Vogt, G.A. Salvatore, and G. Troster, *IEEE Electron Device Lett.* 35, 69 (2014).

3 第3章 N型半導体による基本論理回路の構築と出力性能評価

3.1 諸言

3.1.1 論理回路

演算機能を持つ様な上位の回路レベルを作製するためには、基本論理回路である論理否定回路 NOT に加えて、否定論理積回路である NAND および否定論理和回路の NOR の作製が必要不可欠である。その真理値表は表 3.1 に示す様に低い電圧レベル (Low) と高い電圧レベル (High) の各入力信号に従って、“High” もしくは“Low”の論理信号をそれぞれ出力する。従来の Si MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を用いた論理回路では図 3.1 に示す N 型と P 型半導体による相補型回路 (CMOS: Complementally Metal Oxide Semiconductor) [1,2]が知られているが、P 型半導体の作製が困難な酸化物半導体 (AOS) [3]および塗布型 InZnO にとって、この CMOS 構造をそのまま適用することはできない。この問題に対して過去の報告では、AOS と P 型の有機半導体やカーボンナノチューブを用いたハイブリッド型 CMOS 等が報告されており、優れた論理出力が得られているが同時に作製工程の複雑さを伴う[4,5]。

表 3.1. NOT と NAND および NOR の真理値表.

Input A	Input B	NOT (Input A)	NAND	NOR
Low	Low	High	High	High
Low	High	High	High	Low
High	Low	Low	High	Low
High	High	Low	Low	Low

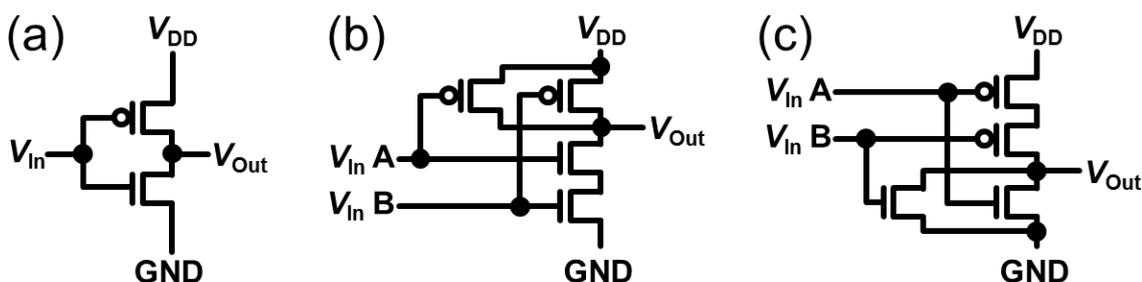


図 3.1. 各種基本論理回路の等価回路図. (a) 論理否定回路 NOT, (b) 否定論理積 NAND, (c) 否定論理和 NOR.

従来，単一型半導体による NOT，NAND および NOR の最も簡単な回路としては，図 3.2 に示す様な Diode Load 型論理回路が挙げられる[6,7,8]. (a) に示す NOT 回路はダイオード接続されたトランジスタ (T1) とゲート入力 (V_{In}) を持つトランジスタ (T2) の構成を持ち，T1-T2 間の電圧を出力する (V_{Out}).

その駆動原理は $V_{In} = \text{“Low”}$ に対して T2 が遮断状態となり，出力は $V_{DD} = V_{Out} = \text{“High”}$ となる. 逆に $V_{In} = \text{“High”}$ の貫通電流存在下では T1 の電圧降下によりその電圧レベルが下がり $V_{Out} = \text{GND} = \text{“Low”}$ となる (厳密には T2 のソースドレイン間でも電圧降下が生じるため，実際の V_{Out} は GND に対して高い電位を持つ). 図の (b), (c) に示す NAND と NOR についても同じ駆動原理を持ち，CMOS 回路同様に “High” と “Low” の論理信号を出力することが可能である. そのため，これまで AOS[9,10,11]や有機半導体等[12,13]の新規材料を用いた各種回路の論理特性評価が報告されている.

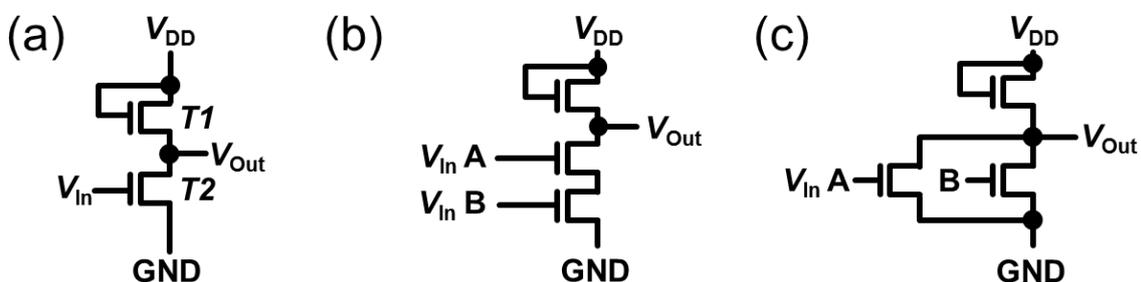


図 3.2. 単一型基本論理回路. (a) NOT, (b) NAND, (c) NOR.

3.1.2 課題と目的

塗布型 InZnO TFT を用いて演算機能を実現するためには，これら単一型の論理回路が CMOS 回路同様に速い動作速度を示すことが求められる. ここで，回路シミュレータ (Smart SPICE, SILVACO) により，塗布型 InZnO TFT を各種回路レイアウトに用いた場合の論理出力を解析した (表 1.5). シミュレーションした構造は図 3.1 と図 3.2 に示す単一型と CMOS 型 NAND 回路であるが，CMOS 型については塗布型 InZnO TFT と同値の電界効果移動度を持つ P 型 TFT を仮想し評価を行った. そのシミュレーション結果を図 3.3 に示すが，電圧条件は $V_{DD} = 5 \text{ V}$ を使用し，入力電圧は $V_{High} = 5 \text{ V}$ と $V_{Low} = 0 \text{ V}$ を設定した. そのデューティ比は 50% で 50 Hz の波形を設定し， $V_{In A}$ に対して $V_{In B}$ は 5 ms の位相差を設定している. そのため，図 3.3 では $V_{In A}$ と $V_{In B}$ の信号は左から A : B = L : H, L : L, H : L, H : H となり真理値表の 4 状態を定義している. シミュレーショ

シミュレーションした単一型と CMOS 型の V_{Out} 曲線からは表 3.1 に示した NAND 論理が得られているが、単一型においては出力 “High” (図では A : B = L : H) の論理転送速度の低下と出力 “Low” (A : B = H : H) の不安定化が問題である。

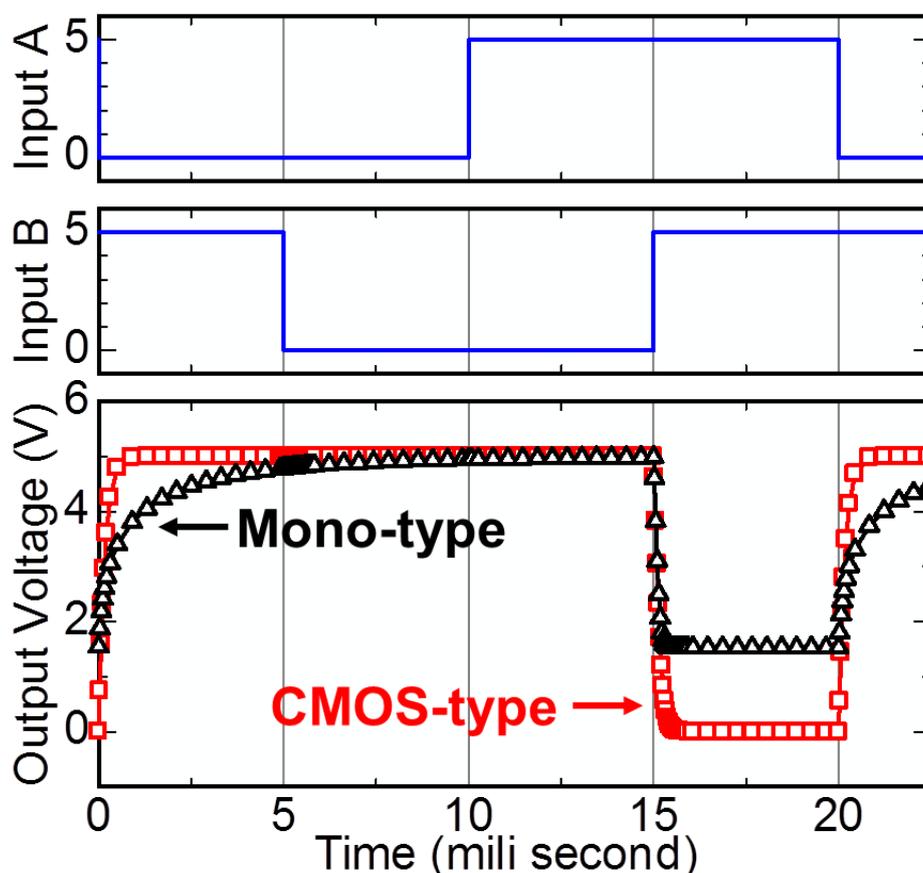


図 3.3. シミュレーションした単一型と CMOS 型 NAND 回路の論理出力性能.

まず速度低下の原因としては、それぞれの NAND 回路における上段 TFT の “High” 転送性能の違いにある。N 型 TFT の “High” 転送においては過渡的に V_{GS} が低下するが、P 型 TFT では V_{GS} が常に一定であるため両者を比較すれば N 型 TFT の転送速度は圧倒的に劣る。一方で “Low” 状態の不安定化については、入力 A : B = H : H において CMOS 型は上段 P 型 TFT が明瞭な Off 状態を示すのに対し、単一型ではダイオード接続された TFT の貫通電流により各 TFT で電圧降下が生じ、その残留電圧が出力されるためである。

従って、論理出力性能を CMOS 回路に近づけるためには、単一型 NAND における上段 TFT のゲート電圧源を分離し、 V_{DD} よりも高い電圧を印加する必要がある。

ある。そして、上段 TFT が入力 $A : B = L : L$ で On 状態を示し、 $A : B = H : H$ で Off 状態を示す様な回路機構が必要である。この解決策として、図 3.2 (a) に示す Diode Load 型 NOT を単一型回路上段 TFT のゲートに接続し、 V_{in} を反転すると共に V_{DD} を可変にすることで、 V_{GS} の過渡的低下に対処した。この TFT ネットワークは一種の P 型スイッチング動作が得られると考えられるため、本論文では疑似 P 型トランジスタと呼ぶ。

本章では塗布型 InZnO TFT による演算機能を目指して、単一型論理回路の論理出力を得ると共に、図 3.3 に示す CMOS 回路の動作速度を塗布型 InZnO TFT のみで実現することを目的とした。その第 1 の課題として、P 型動作を可能にする疑似 P 型トランジスタの作製とその電気特性を得ることとし、第 2 に疑似 P 型トランジスタを用いた単一型の各種論理回路を構築しかつその論理出力性能を得ることとした。最後に、塗布型 InZnO TFT で構築可能な回路構成を明らかにする。

3.2 疑似 P 型トランジスタを使用した各種論理回路

本研究で提案する単一型の論理回路は図 3.4 である。ここでは、図 3.2 の単一型論理回路上段の TFT ゲート電極に Diode Load 型 NOT の出力を接続した構造を持つ。

図 3.5 に示す様に V_{in} は前段の Diode Load 型 NOT を通して反転されるため、その V_{in}' により次段の TFT は塗布型 InZnO TFT に対して反転したスイッチング特性が得られると期待できる。従って上段 TFT は疑似 P 型トランジスタとして駆動し、さらにその下段には単体の塗布型 InZnO TFT を接続しその入力を共有することで、図 3.1 に示す CMOS 回路を反映した回路構成を持つ（本章ではこの回路構成を疑似 CMOS 型回路と呼ぶ）。さらに、前段 Diode Load 型 NOT が持つ電圧源を切り離し V_{DD1} と V_{DD2} とすることで、疑似 P 型トランジスタの電流性能の調整が可能である。ここで実際に論理出力を行う TFT ネットワークは疑似 CMOS 型 NOT では右辺二つの TFT であり、疑似 CMOS 型 NAND と NOR については中心四つの TFT であるため、 V_{DD2} と GND が V_{out} として得られる。

疑似 P 型トランジスタで構成される疑似 CMOS 型論理回路を評価するにあたり、この回路構成で論理出力が得られることを示すため、それぞれの TFT 寸法は全て同サイズを用いている。次節では、まず初めに塗布型 InZnO TFT による疑似 P 型トランジスタの作製と評価を行った。

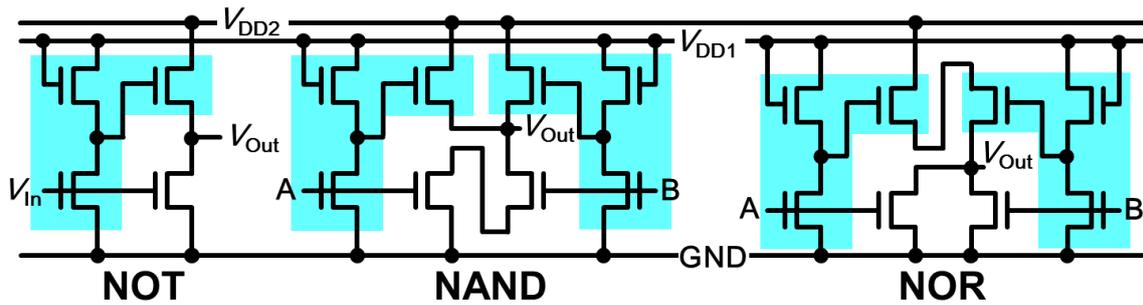


図 3.4. 疑似 P 型トランジスタを用いた各種論理回路.

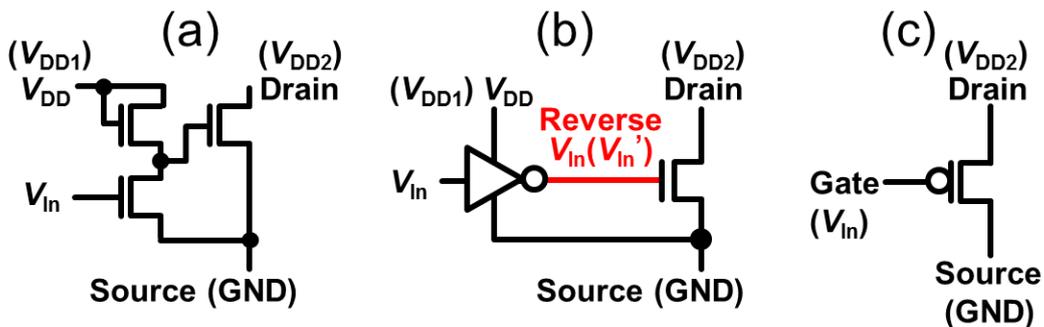


図 3.5. (a), (b) NOT をゲート入力に接続した疑似 P 型トランジスタ, (c) P 型トランジスタ.

3.3 疑似 P 型トランジスタの作製と特性評価

3.3.1 Diode Load 型と Zero V_{GS} 型 NOT 回路

疑似 P 型トランジスタを作製するため、塗布型 InZnO TFT による NOT 回路の作製と電気特性評価を行った。入力信号を反転して出力する NOT 回路は、組み合わせ回路や多種多様な回路を可能にする基本要素である。図 3.1 (a) に示す CMOS 型 NOT 回路に対して、単一型の半導体では二つの TFT で構成される Zero- V_{GS} 型 NOT や Diode Load 型 NOT が知られている[13].

図 3.6 に、塗布型 InZnO TFT で作製した Zero- V_{GS} 型および Diode Load 型 NOT の等価回路図および光学顕微鏡像を示す。このデバイスにおいて TFT の W/L (チャネル幅/チャネル長) は 50/10 μm を用いている。両者の違いは上段 TFT のゲート配線にあり、(a) に示す Zero- V_{GS} 型は上段 TFT のゲート電極とソース電極が直結するため、常に $V_{GS} = 0\text{ V}$ で駆動する。一方で、(b) に示す Diode Load 型では上段 TFT のゲート電極がドレイン電極に直結しているため、 $V_{DS} = V_{GS}$ となり常にダイオード駆動をする。それぞれの上段トランジスタの役割は、一種の抵抗器として働くことで、上述した様に電流存在下 ($V_{in} = \text{“High”}$) で電圧降下に

よる GND 電位の出力 ($V_{\text{Out}} = \text{“Low”}$), そして遮断状態 ($V_{\text{In}} = \text{“Low”}$) での電源電圧の出力 ($V_{\text{Out}} = \text{“High”}$) を決定する.

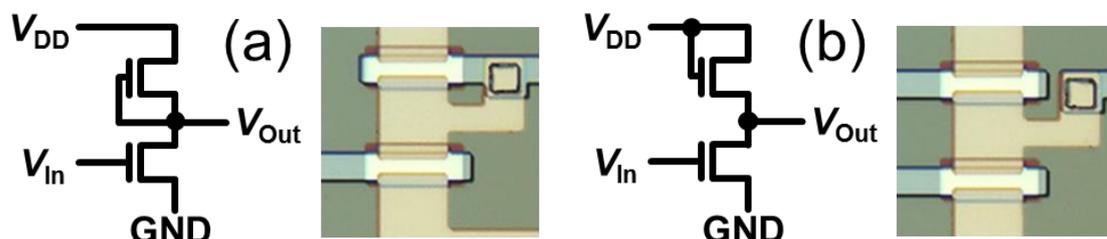


図 3.6. (a) Zero- V_{GS} 型 NOT, (b) Diode Load 型 NOT.

その電圧伝達曲線を図 3.7 に表すが, (a, b) には Zero- V_{GS} 型と Diode Load 型を示しており, その電圧値としては $V_{\text{DD}} = 1 \text{ V}$ から 3 V をそれぞれ印加した. まず, (a) に示す Zero- V_{GS} 型の電圧伝達曲線は V_{In} に従って V_{Out} が変化し, その “High” と “Low” の電圧レベルは V_{DD} と GND であることが確認できる. 一方で (b) に示す Diode Load 型では “High” の電圧は V_{DD} と同値であるが, “Low” の電圧レベルは $V_{\text{In}} = V_{\text{DD}} = 2 \text{ V}$ において 0.55 V であり, その出力振幅 (V_{AMP}) は 1.45 V と 72.5% 低下していることが分かる. また, 傾き性能を示すゲイン値を図 3.8 (a) に示すが, Zero- V_{GS} 型は Diode Load 型よりも優れたゲイン特性を示しており, そのゲイン値は V_{DD} に伴って顕著に増加している. 従って, 恒久的な性能を表す電圧伝達特性においては V_{AMP} およびゲイン特性の観点から, Zero- V_{GS} 型が優れていると考えられる.

では, 動作速度といった過渡的な性能について両者の NOT を議論する. 図 3.8 (b) にはそれぞれの NOT で生じた貫通電流 (I_{DD}) を示しているが, その電流値は $V_{\text{DD}} = 2 \text{ V}$ において Zero- V_{GS} 型は $I_{\text{DD}} = 20 \text{ nA}$, Diode Load 型は $I_{\text{DD}} = 1.5 \text{ }\mu\text{A}$ と Diode Load 型は約 2 桁高い値を示している. それぞれの電流値の違いは構成する上段 TFT の抵抗で決定されるため, $V_{\text{GS}} = 0 \text{ V}$ で駆動する Zero- V_{GS} 型は必然的に $V_{\text{DS}} = V_{\text{GS}}$ で駆動する Diode Load 型よりも高い抵抗を持つ. 従って, その電圧降下により得られる V_{Out} は図 3.7 で述べた様に Zero- V_{GS} 型が優れた電圧伝達特性を示すといえる. しかしながら, 動作速度の観点から言えば, 高い抵抗成分を持つ Zero- V_{GS} 型は高速動作には不向きである. 疑似 P 型トランジスタの構成では前段 NOT の出力は次段の TFT ゲートに接続されるため, そのゲート容量を充電するための出力電流が必要である. ここで, 前述した I_{DD} 性能を比較すれば, Diode Load 型は Zero- V_{GS} 型に対して約 2 桁速い動作速度が期待できる. 速度評価の詳細については 3.4.3 で述べる.

従って、単一型論理回路の動作速度を向上するという目的においては、本研究では Diode Load 型の NOT を用いた疑似 P 型トランジスタが最適であると判断した。

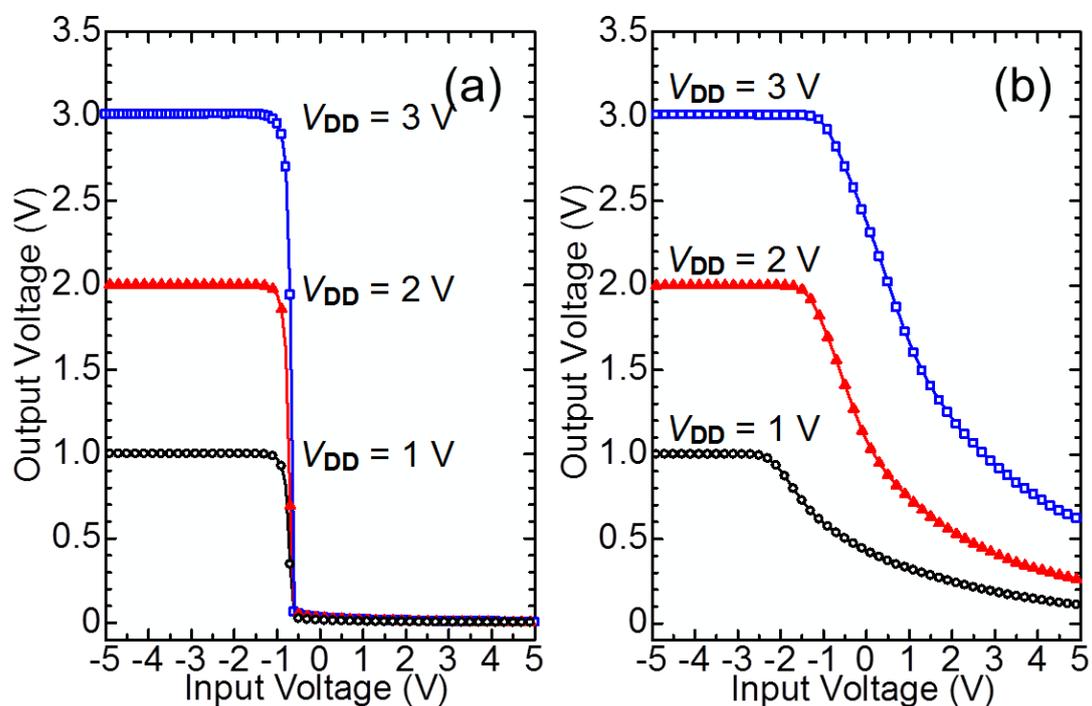


図 3.7. 塗布型 InZnO TFT による各種 NOT 回路の電圧伝達曲線. (a) Zero- V_{GS} 型, (b) Diode Load 型.

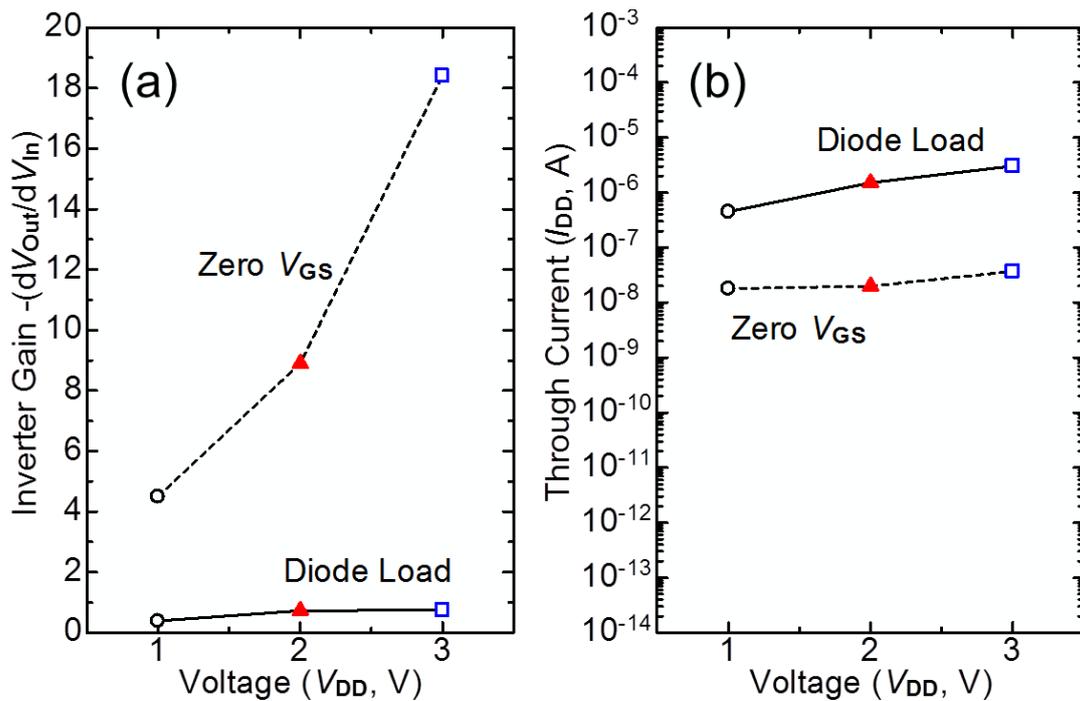


図 3.8. Zero- V_{GS} 型と Diode Load 型 NOT 回路における (a) インバータゲインと (b) 貫通電流値 (I_{DD}).

3.3.2 疑似 P 型トランジスタのスイッチング特性

前項で構築した Diode Load 型 NOT の出力端子を TFT のゲートに接続し、 V_{in} を反転させた疑似 P 型トランジスタ (図 3.5. a) を作製した. その光学顕微鏡像を図 3.9 に示す. それぞれの電源電圧の最適な値は使用するトランジスタの V_{On} と SS 値等のパラメータにより変わるが, 3.1.2 で述べた様に $V_{DD1} > V_{DD2}$ の電圧条件によって N 型 TFT の “High” 転送速度を調整する必要がある. その最適条件については動作速度を踏まえて次項で述べるが, ここでは $V_{DD1} = V_{DD2}$ (V_{Drain}) + 2 V の条件で, $V_{DD1} = 7$ V と V_{DD2} (V_{Drain}) = 5 V を印加した.

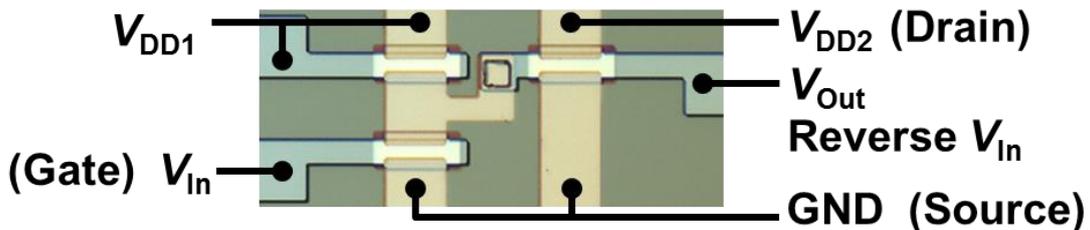


図 3.9. 塗布型 InZnO TFT で作製した疑似 P 型トランジスタ.

図 3.10 では、作製した疑似 P 型トランジスタのスイッチング特性と直結する Diode Load 型 NOT の電圧伝達特性を示す。その結果から、破線で示す InZnO TFT の特性に対して反転した P 型のスイッチングが得られていることが分かる。このスイッチング曲線は接続した Diode load 型 NOT の電圧伝達曲線と比較すると一致している。 $V_{GS} = -20\text{ V}$ から 20 V まで印加した場合には、その出力は $V_{Out} = 7\text{ V}$ から 0 V まで降下していることが分かるが、この V_{Out} が次段の TFT の V_{GS} となるため、次段の TFT は $V_{DD1} = 7\text{ V}$ と GND の 0 V の間で駆動することになる。よって疑似 P 型トランジスタの On 状態は常に $V_{DD1} = 7\text{ V}$ を V_{GS} として駆動し、その I_{DS} ($17.0\text{ }\mu\text{A}$) は構成される塗布型 InZnO TFT の $V_{GS} = 7\text{ V}$ における電流値に良く一致する ($I_{DS} = 20.7\text{ }\mu\text{A}$)。従って、電流性能は V_{DD1} によって調整することが可能である。

また、Off 状態では GND の 0 V で駆動するが、塗布型 InZnO TFT は負の V_{On} を持つディプレッション型であるため、 $V_{GS} = 0\text{ V}$ 付近でも数百 nA の I_{DS} が生じ、その On/Off 比は 2.3 と低い値を持つ。従って、ディプレッション型の TFT を現状の疑似 P 型トランジスタの回路構成に適用した場合にはその Off 電流の高さが問題である。

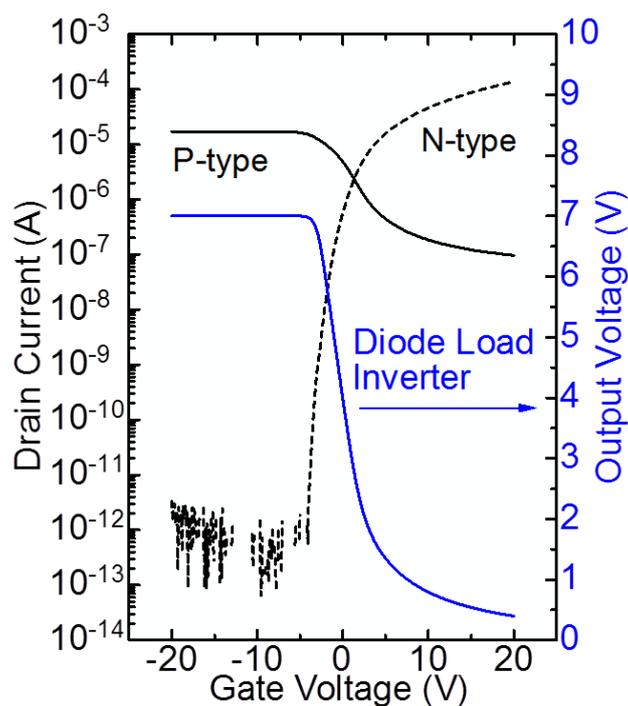


図 3.10. 塗布型 InZnO TFT による疑似 P 型トランジスタのスイッチング特性と Diode Load 型 NOT 回路の電圧伝達特性。
(電圧条件は $V_{DS} = V_{DD2} = 5\text{ V}$, $V_{DD1} = 7\text{ V}$)。

この問題に対しては、 V_{SS} 電極を疑似 P 型トランジスタ内部の Diode Load 型 NOT に接続することで低減が可能である。図 3.11 (a) に示す様に前段 NOT と次段 TFT の GND を分離し、NOT 回路側に負電圧を印加するための V_{SS} 電極を設置することで、 $V_{in} = \text{“High”}$ でディプレッション型 TFT を十分に Off させる負電圧を出力可能にする。その結果として、(b) に示す様に $V_{SS} = -1$ から -3 V を印加することで疑似 P 型トランジスタの Off 電流を低減できていることが分かる。また、 $V_{SS} = -3$ V では Off 電流を 320 pA まで抑えることができ、On/Off 比も $V_{SS} = 0$ V に対して 2 倍の向上が確認できる。しかしながら、 V_{SS} の導入により疑似 P 型トランジスタの V_{Th} が負側にシフトするため、高い電圧をかけることはできない。また、回路を実装するにあたり V_{SS} 配線が追加され、配線数の増加がデバイス性能を低下させる原因となるため、本報告では V_{SS} による特性調整は行わないこととした。

以上の結果から図 3.10 の反転スイッチング特性を示す疑似 P 型トランジスタを各種回路に用いることとしたが、その最適な電圧条件を評価するために次項では各電圧条件における信号転送と充放電特性を測定した。

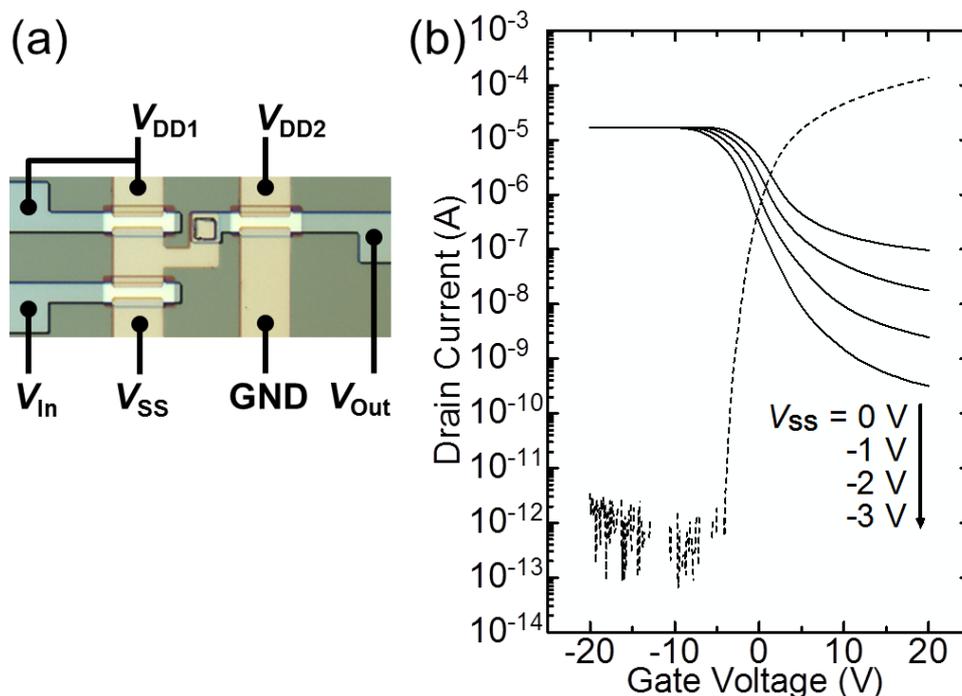


図 3.11. 負電圧印加用の V_{SS} 電極を接続した P 型スイッチングの特性変化。
(a) 配線分布, (b) スイッチング特性.

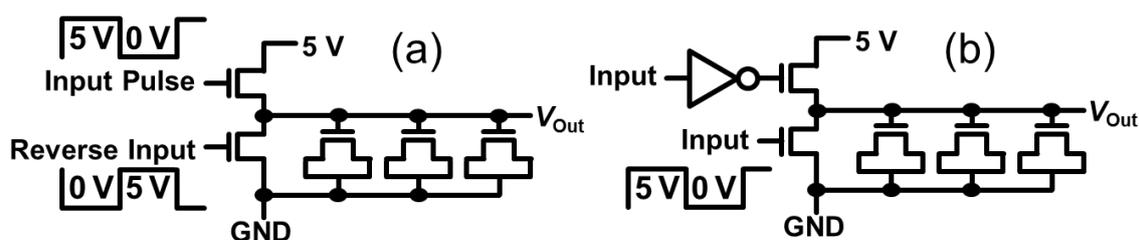


図 3.12. 負荷容量に対する充放電測定用素子の等価回路図. (a) InZnO TFT, (b) 疑似 P 型トランジスタ.

3.3.3 トランジスタの信号転送と充放電特性

作製した塗布型 InZnO TFT と疑似 P 型トランジスタの信号転送と充放電特性を評価するため、図 3.12 の様な評価素子を用いた。それぞれの TFT には 3 倍のゲート容量を接続し、入力に “High” (5 V) と “Low” (0 V) のパルス V_{in} を印加することで、その “High” - “Low” のゲート容量への信号転送および充放電特性を評価した。図 3.12 (a) に示す InZnO TFT の評価素子では、評価 TFT の下段に充放電を行うための TFT を接続し、そのゲートに反転したパルス V_{in} を印加した。 V_{in} が “High” である場合、評価用 TFT が導通し下段 TFT が遮断されるため、信号 “High” がゲート容量へ転送される。その時の V_{out} を充電特性とした。一方で V_{in} が “Low” である場合、評価用 TFT が遮断し、蓄積した電荷は導通状態となった下段 TFT を通して放電され、信号 “Low” を転送する。この時、下段 TFT は同様の InZnO TFT であるため、その V_{out} を放電特性とした。図 3.12 (b) の疑似 P 型トランジスタでは、下段に TFT を接続し上下段にパルス V_{in} を印加することで同様に充放電特性を評価した。

図 3.13 ではパルス V_{in} を印加した際の InZnO TFT と疑似 P 型トランジスタの応答特性を示す。電源電圧としては初めに $V_{DD1} = V_{DD2} = 5\text{ V}$ の同電圧を印加した。InZnO TFT の信号転送は入力 “High” と “Low” に従って同様の “High” と “Low” を出力し、一方で疑似 P 型トランジスタの信号転送は、InZnO TFT の曲線の反転型を示している。入力 “High” に対して “Low” を出力し、入力 “Low” に対して出力 “High” の明確な P 型の信号転送を実現できていることが分かる。

その充放電速度を調べるために、それぞれの曲線において、立ち上がり特性の最小電圧値から 10% および最大電圧値から 10% の間の 80% における領域を充電速度 (S_{Rise}) とし、立ち下がり曲線の同様の 80% における領域を放電速度 (S_{Fall}) とした。その結果、InZnO TFT と疑似 P 型トランジスタの充放電速度は同様の値を示しており、 $S_{Rise} = 4.32\text{ mV}/\mu\text{s}$ と $S_{Fall} = -20.46\text{ mV}/\mu\text{s}$ であった。この様に、構成する InZnO TFT の充放電速度を損なわず P 型の信号転送が可能である疑似

P型トランジスタは非常に有効な手段である。しかしながら、N型のトランジスタでは容量の充電に従って生じる V_{GS} 低下により充電速度が過渡的に低下するため、実際の P 型に対して “High” の信号転送に適していない。その速度低下は S_{Rise} の値からも確認でき、充電性能は放電性能の 4 分の 1 である。この状態では疑似 CMOS 型回路に応用した場合、疑似 P 型トランジスタの充電性能が低く、速い動作速度を得ることはできない。そこで、疑似 P 型トランジスタの充電性能を向上し、 $S_{Rise} = -S_{Fall}$ とするために電圧条件の最適化を行った。

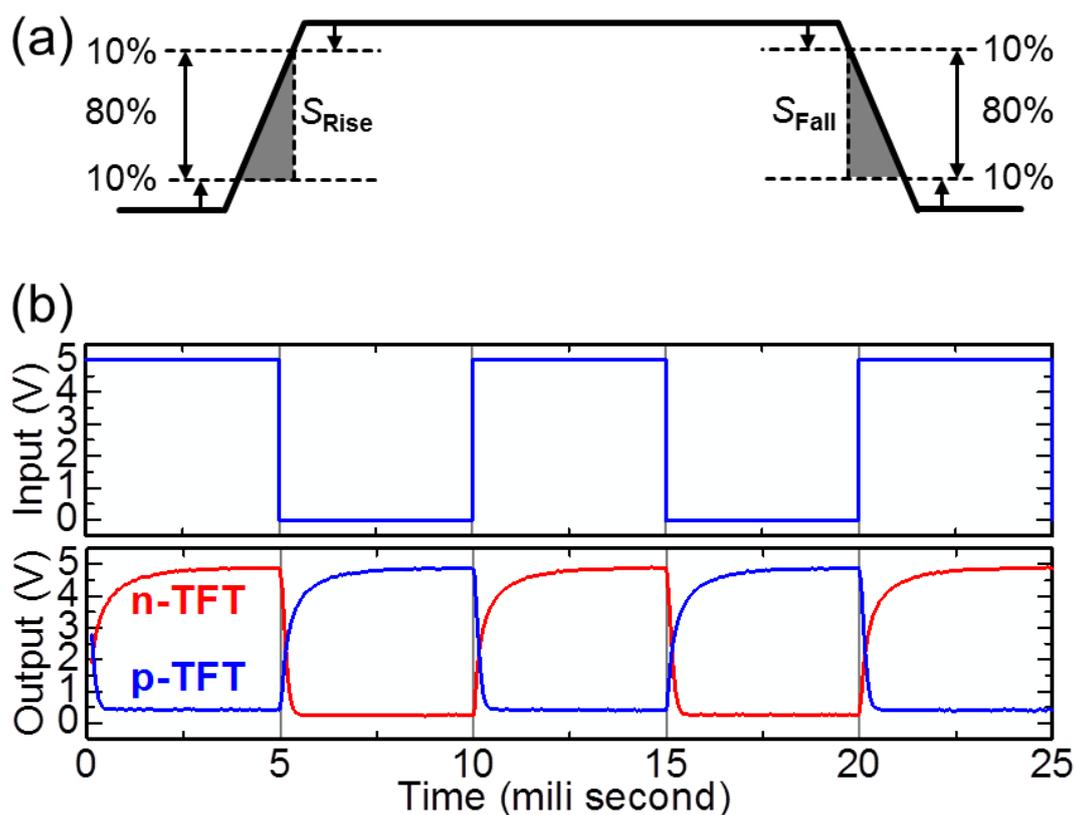


図 3.13. InZnO TFT と作製した疑似 P 型トランジスタのパルス電圧応答特性。
(a) 充電速度 S_{Rise} と放電速度 S_{Fall} , (b) 各入力に対応した出力応答。

図 3.11 (a) に示す疑似 P 型トランジスタでは、 V_{DD1} と V_{DD2} の二つの電源電圧を接続している。3.3.2 で述べた通り P 型のスイッチング特性は V_{DD1} から GND の間をゲート電圧として駆動するため、 $V_{DD1} > V_{DD2}$ にすることで出力電流を向上させることができる。図 3.14 では $V_{DD2} = 5\text{ V}$ において $V_{DD1} = 5\text{ V}$ から 9 V を印加した場合の応答特性を示す。表 3.2 に各電圧条件における S_{Rise} と V_{Off} および V_{Amp} の結果をまとめているが、破線で示す InZnO TFT 単体のパルス応答に対

して、疑似 P 型トランジスタの S_{Rise} は V_{DD1} の増加に伴って高速化していることが分かる。また、この時 S_{Fall} の性能は下段 TFT の電流性能に依存するため V_{DD1} によって変化することはない、 S_{Rise} のみを調整することが可能である。ここで、 $S_{\text{Rise}} = S_{\text{Fall}}$ とするためには $V_{\text{DD1}} = 7 \text{ V}$ から 8 V の電圧条件が適していることが分かる。

従って、疑似 P 型トランジスタの構成としては既に述べた通り Diode Load 型 NOT を用いた回路構成を適用し、構成する各論理回路の電圧条件としては本項で求めた $V_{\text{DD2}} = 5 \text{ V}$ と $V_{\text{DD1}} = 7 \text{ V}$ を用いることとした。

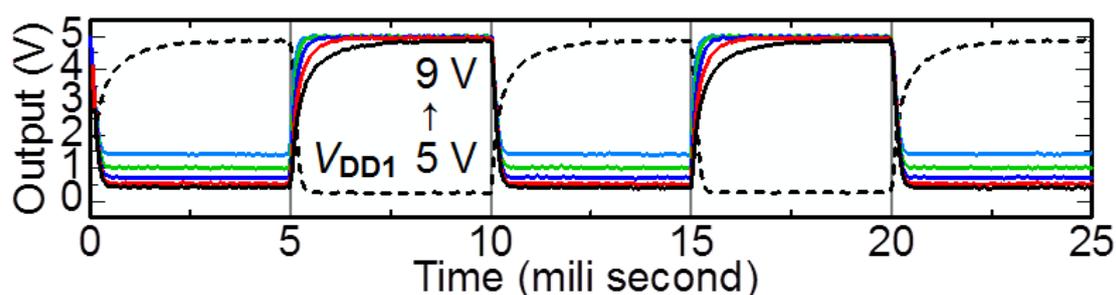


図 3.14. 疑似 P 型トランジスタにおけるパルス電圧応答特性の V_{DD1} 依存性.
電圧条件は $V_{\text{DD1}} = 5, 6, 7, 8, 9 \text{ V}$, $V_{\text{DD2}} = 5 \text{ V}$.

表 3.2. 各電圧値における立ち上がり速度および Off 電圧特性.

	$V_{\text{DD1}} = 5 \text{ V}$	$V_{\text{DD1}} = 6 \text{ V}$	$V_{\text{DD1}} = 7 \text{ V}$	$V_{\text{DD1}} = 8 \text{ V}$	$V_{\text{DD1}} = 9 \text{ V}$
S_{Rise} (mV/ μs)	4.32	8.41	14.88	28.57	49.04
V_{Off} (V)	0.40	0.52	0.70	1.02	1.46
V_{Amp} (V)	4.44	4.45	4.24	4.00	3.58

3.4 擬似 CMOS 型 NOT 回路の作製と電気特性評価

3.4.1 擬似 CMOS 型 NOT 回路の電気特性

これまでの結果を基に，図 3.4 で提案した擬似 P 型トランジスタを用いて擬似 CMOS 回路を作製した．本節ではその擬似 CMOS 型 NOT について述べる．この構造については従来レベルシフト型 NOT として報告されているが[13]，本研究による擬似 P 型トランジスタを用いた構造と同様の回路構成となる．

作製した回路においては，図 3.1 に示す CMOS 回路同様に上段に擬似 P 型トランジスタを設置し，下段に N 型である InZnO TFT を接続している．入力は Diode Load 型 NOT の入力電極と InZnO TFT のゲート電極で共有し，その電圧 V_{In} は Diode Load 型 NOT によって反転され，上段トランジスタに入力される．作製した回路を図 3.15 に示すが，TFT の W/L は同様の 50/10 μm を用いている．

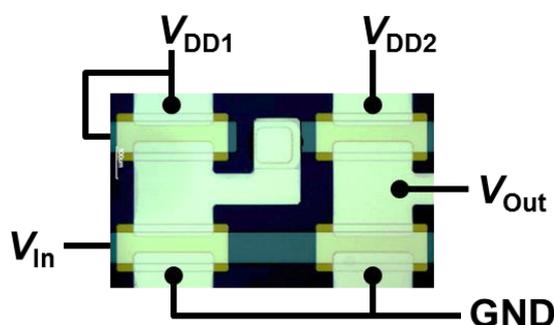


図 3.15. 塗布型 InZnO TFT で作製した擬似 CMOS 型 NOT 回路.

前項の電圧条件である $V_{DD1}=7\text{ V}$ と $V_{DD2}=5\text{ V}$ の条件を用いて，電圧伝達特性の評価を行った．その結果を図 3.16 の実線で示し，破線には用いた InZnO TFT と擬似 P 型トランジスタのスイッチング特性を示す．得られた電圧伝達曲線の最大電圧は $V_{In}=0\text{ V}$ で $V_{Out}=4.96\text{ V}$ を示し，最小電圧は $V_{In}=5\text{ V}$ において $V_{Out}=0.22\text{ V}$ であった．その V_{Amp} は 4.74 V，High/Low 性能は 94.8% と高く，そのゲイン値についても 1.7 の値を示しており，図 3.7 (b) で述べた Diode Load 型の特性と比較すると明確な向上が確認できる．

では擬似 CMOS 型 NOT を用いた際の回路動作を評価するために，次項では多段接続による雑音余裕度とリングオシレータについて議論する．

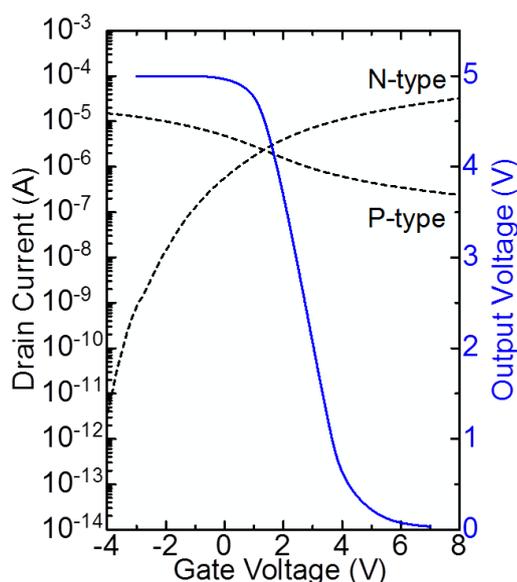


図 3.16. 擬似 P 型トランジスタによる擬似 CMOS 型 NOT の電圧伝達特性. 破線ではスイッチング特性を示す. 電圧条件は $V_{DD1} = 7 \text{ V}$ と $V_{DD2} = 5 \text{ V}$.

3.4.2 多段接続による雑音余裕度

NOT を多段接続することで, 意図せず生じた電圧レベルの変化を本来の値に収束することができる. その評価方法として雑音余裕度 (ノイズマージン, NM) が良く知られているが [14,15], 図 3.17 (a) の様に多段に直列接続した NOT において 1 段目で生じた変化電圧 V_1 を数段の NOT に通すことで “High” もしくは “Low” 状態に収束が可能である. その許容電圧範囲を示す NM は, 図 3.17 (b) で示した. 実線は図 3.16 の電圧伝達曲線を示し, 破線には 2 段目を仮想し入力と出力を反転させた曲線を示す. “High” 状態において傾きが -1 (図中 Slope = -1) となる入力と出力を V_{IL} と V_{OH} とし, “Low” 状態は V_{IH} と V_{OL} とした. その時の “High” 状態での雑音余裕度 (NM_H) と “Low” 状態での雑音余裕度 (NM_L) は次式で表せられる.

$$NM_H = V_{OH} - V_{IH} \quad (3.1)$$

$$NM_L = V_{IL} - V_{OL} \quad (3.2)$$

擬似 CMOS 型 NOT の NM_H と NM_L は 0.62 と 0.63 を示し, 曲線の交点で示される論理閾値電圧 (V_{INV}) は 2.65 V を示した. NM_H と NM_L は $V_{INV} = V_{DD2}/2$ において最大値を持つことから, 印加した $V_{DD1} = V_{DD2} + 2 \text{ V}$ の電圧条件に対して, 評価した素子については $V_{DD1} = V_{DD2} + 1.8 \text{ V}$ を用いることで $V_{INV} = V_{DD2}/2$ を取ることが可能である.

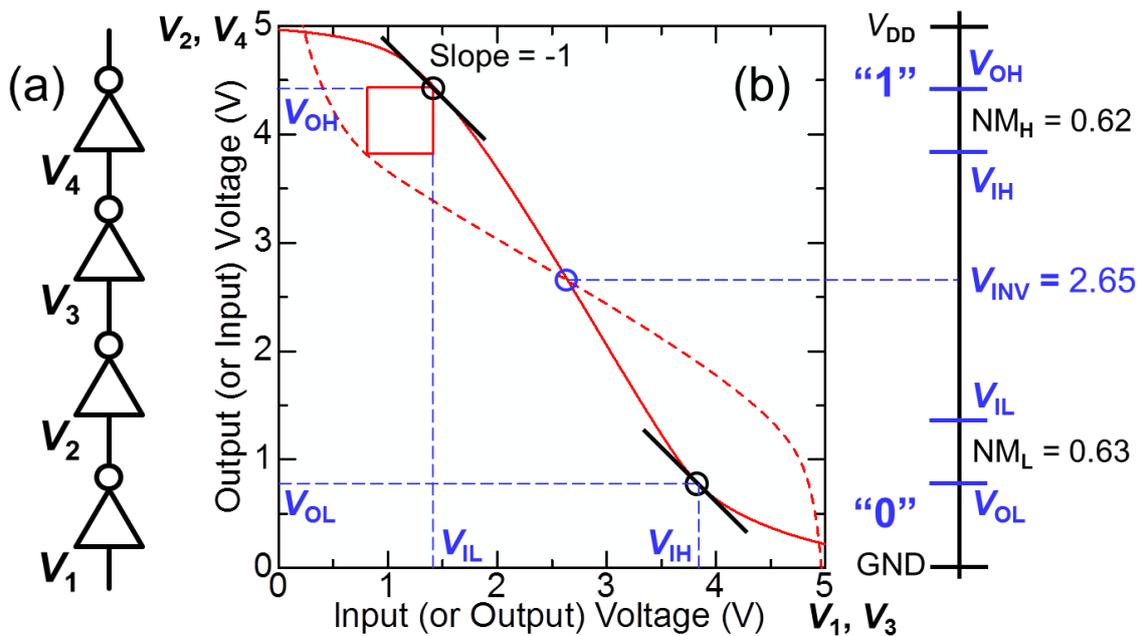


図 3.17. (a) 多段接続した NOT の等価回路図. (b) 多段接続した NOT の電気特性と雑音余裕度および論理閾値電圧.

この結果に対して、 $V_{DD1} = V_{DD2} + 2 \text{ V}$ 以外の特性についても比較を行った。図 3.18 では $V_{DD2} = 5 \text{ V}$ に対して $V_{DD1} = 5, 6, 7, 8 \text{ V}$ を印加した結果を示すが、 V_{DD1} の増加に従って電圧伝達曲線が正側にシフトしていることが分かる。この結果については、図 3.7 (b) に示す様に前段 Diode Load 型 NOT の上段 TFT が V_{DD1} によって低抵抗化し、電圧降下を引き起こすためにより高い V_{in} が必要となるからである。

$V_{DD2} = V_{DD1} = 5 \text{ V}$ では Diode Load 型 NOT 同様に負側での電圧変化を示しており、その V_{INV} は 1.95 V と $V_{INV} = V_{DD2}/2$ から約 23% ずれ、 NM_H および NM_L は 0.44 と 0.29 と低い値を示した。また、その最大電圧は 4 V を示しており、 V_{DD2} に対して $20\% V_{Out}$ が低下する。また、 NM_H と NM_L および V_{INV} は V_{DD1} に従って増大していくが、 $V_{DD1} > V_{DD2} + 2 \text{ V}$ では $V_{INV} = 3.00 \text{ V}$ となり、 NM_H が 0.24 まで低下するため “High” 状態での電圧補正範囲が狭まる。従って、 $V_{DD1} = V_{DD2} + 2 \text{ V}$ 以外の条件においては電圧補正範囲に注意する必要がある。

では、図 3.7 で示した Diode Load 型と Zero- V_{GS} 型についても同様の解析を行い、その反転特性を含めた電圧伝達曲線を図 3.19 に示す。まず、Diode Load 型を比較すれば、そのゲインは 0.75 と低い値を示すため疑似 CMOS 型の様な NM を得ることはできない。特にゲイン値が 1 を下回る場合、その V_{Out} は数段の NOT

を通して V_{INV} (図では 1.4 V) に収束する. 一方で Zero- V_{GS} 型であるが, ゲインは 18.4 と高い値を示すもののその電圧特性は負側で生じるため, V_{Out} は常に 0 V となり NM は得られない. そのため, 両者の NOT を塗布型 InZnO TFT で構成した場合には, 入力に対応した “High” と “Low” の状態を取ることができず回路動作として適さない.

以上の結果から, 塗布型 InZnO TFT においては Diode Load 型で構成される疑似 CMOS 型 NOT が適している. Zero- V_{GS} 型を用いても疑似 CMOS 型は作製可能であるが速い動作速度は期待できないと考えられる. その動作性能を評価するためにリングオシレータ回路による発振特性を測定した.

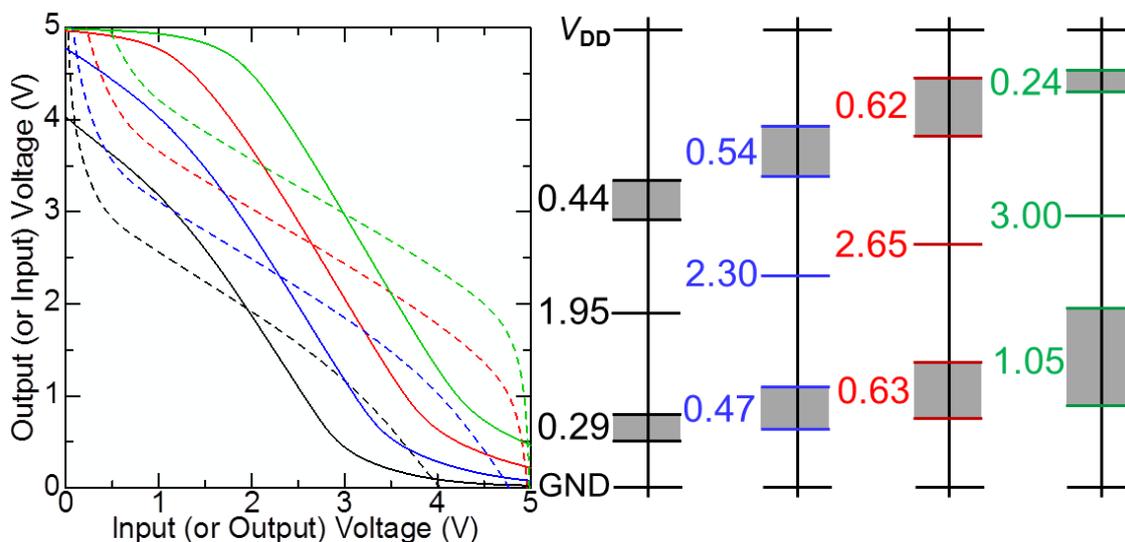


図 3.18. 疑似 P 型トランジスタによる疑似 CMOS 型 NOT の多段接続による電気特性, 各電圧値における雑音余裕度と論理閾値電圧.

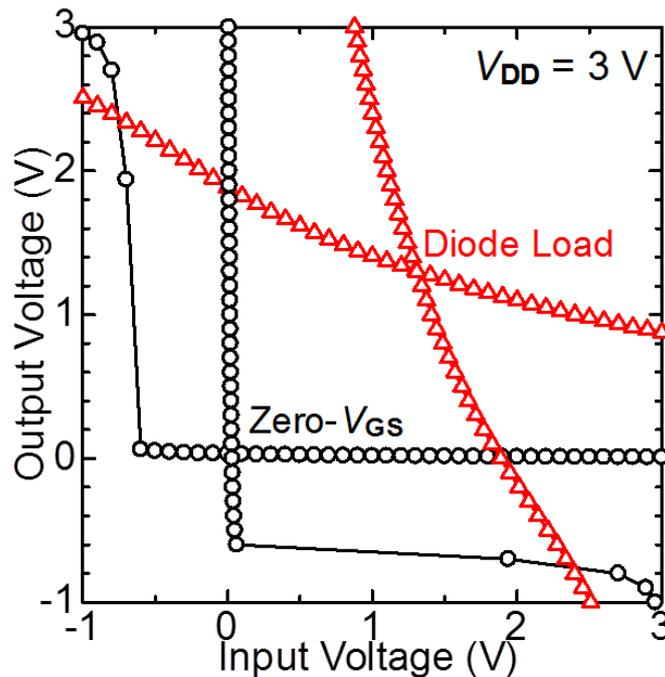


図 3.19. Diode Load 型と Zero-VGS 型 NOT 回路における電圧伝達特性とその反転特性.

3.4.3 リングオシレータによる発振特性

多段接続した NOT 回路において、図 3.20 (a) の破線に示す様に段数を奇数にし、最終段の出力を 1 段目の入力に接続することで、発振特性を測定することが可能である。例えば 1 段目の信号 “High” は次段で反転され信号 “Low” となり、3 段目で元の信号 “High” を出力する。その段数が奇数であれば、最終段の信号が “Low” となり 1 段目に回帰するため、信号のループ回路（リングオシレータ）となる。得られた発振周波数 (f_R) の 1 周期にかかる時間はリングオシレータの 2 週分に相当すると考えられるため、一つの NOT に対する遅延時間 (T_{delay}) は N 段のリングオシレータにおいて以下の式で表される。

$$T_{\text{delay}} = \frac{1}{2Nf_R} \quad (3.3)$$

前項で作製した Diode Load 型および Zero- V_{GS} 型による疑似 CMOS 型 NOT を用いてリングオシレータを作製した（ここでは、それぞれ DL-CMOS 型と ZV-CMOS 型と呼ぶ）。図 3.20 (b) にその光学顕微鏡像を示すが、(a) の等価回

路図に示す様に 9 段目の出力にピックアップ回路としてチャンネル幅が 1 倍と 3 倍および 9 倍の NOT 回路を接続している. また, チャンネル幅 3 倍 ($W=150 \mu\text{m}$) と 9 倍 ($W=450 \mu\text{m}$) のワイド型 TFT においては, 素子の自己発熱効果による劣化を低減するために放熱性を向上したマルチチャンネル構造を用いている (第 2 章を参照されたい). このリングオシレータを InZnO TFT を用いてそれぞれ作製し, その f_R と T_{delay} を評価した.

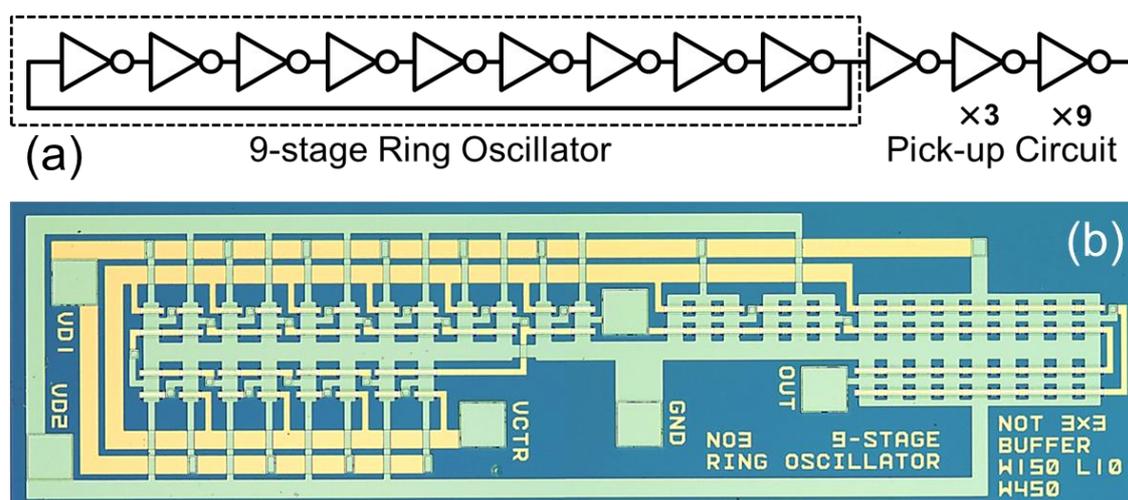


図 3.20. 塗布型 InZnO TFT を用いた 9 段リングオシレータ回路とピックアップ回路. (a) 等価回路図, (b) 光学顕微鏡像.

まず, ZV-CMOS 型 NOT によるリングオシレータの発振特性を図 3.21 (a) に示す. $V_{\text{DD1}} = 7 \text{ V}$ と $V_{\text{DD2}} = 5 \text{ V}$ を印加した結果 (図 3.20 では $\text{VD1} = \text{VCTR} = 7 \text{ V}$, $\text{VD2} = 5 \text{ V}$), 信号 “High” と “Low” の発振特性を確認することができる. 最大電圧と最小電圧はそれぞれ 5.00 V と 0.05 V を示し, $V_{\text{AMP}} = 4.95 \text{ V}$ の明確な発信曲線が得られた. その f_R は 52 Hz を示し, 式 (3.3) による T_{delay} は NOT 回路一つあたり $801.0 \mu\text{s}$ である. 一方で (b) に示す DL-CMOS 型のリングオシレータ回路においては $f_R = 4.2 \text{ kHz}$ が得られ, V_{AMP} は 4.7 V であった. NOT 回路一つあたりの T_{delay} は $9.9 \mu\text{s}$ であり, ZV-CMOS 型と比較しても約 80 倍の高速動作を示した.

この動作速度の違いはそれぞれの擬似 P 型トランジスタに構築されている Diode Load 型および Zero- V_{GS} 型 NOT の電流性能 (I_{DD}) に起因する. 図 3.8 (b) で述べた通り, Diode Load 型は Zero- V_{GS} 型に対して約 2 桁高い電流性能を持つが ($V_{\text{DD}} = 2 \text{ V}$ において 75 倍), その値はリングオシレータの発信周波数に一致

する。従って、DL-CMOS 型を用いることで高速動作を可能にする NOT, さらに NAND および NOR の作製が期待できるものとする。

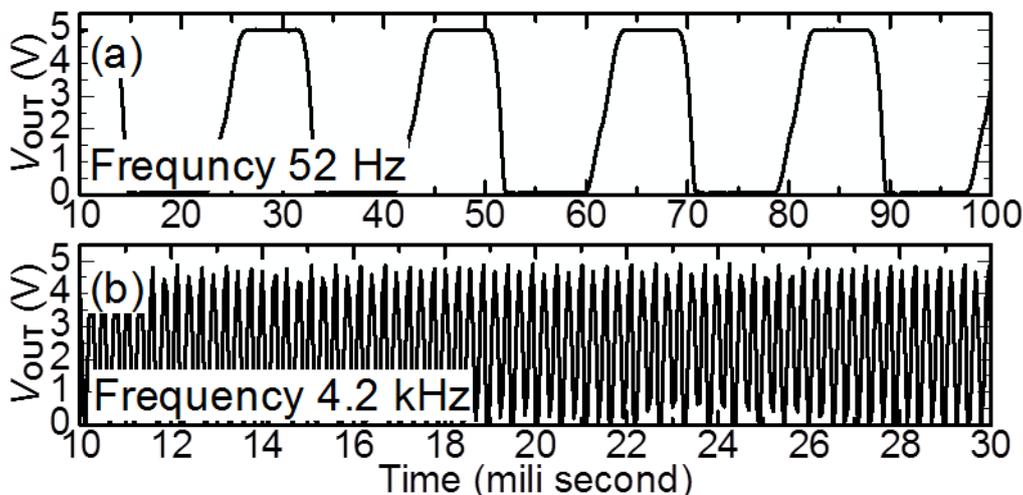


図 3.21. (a) ZV-CMOS 型および (b) DL-CMOS 型 NOT 回路を用いたリングオシレータ回路の発振特性. 電圧条件は $V_{DD1} = 7 \text{ V}$ と $V_{DD2} = 5 \text{ V}$.

3.4.4 ディプレッション型とエンハンスメント型

これまでの結果はディプレッション型を持つ塗布型 InZnO TFT によるものであるが, TFT のスイッチング特性は本来明瞭な On と Off 状態を取ることができ、エンハンスメント型が適している。本項では第 2 章で比較対象として作製したエンハンスメント型のスパッタ成膜 InGaZnO TFT を用いて, 疑似 P 型トランジスタと疑似 CMOS 回路およびその発信特性について同様に測定を行い, ディプレッション型との動作性能を評価した。

図 3.22 では図 3.10 と同様の疑似 P 型トランジスタのスイッチング特性と Diode Load 型 NOT の電圧伝達特性を示す。図より, その On/Off 比は塗布型 InZnO と比較して 6.5 の明確な P 型スイッチング特性が得られている。また, 反転ゲート電圧を表す Diode Load 型 NOT の V_{out} 曲線は図 3.10 と同様であるが, エンハンスメント型である InGaZnO TFT は $V_{GS} = 0 \text{ V}$ で約 1 から 10 pA を示すため, 疑似 P 型トランジスタの Off 電流 2 pA と良く一致する。この様にエンハンスメント型を用いることにより Off 電流を低減することが可能であるが, 一方で On 電流は塗布型 InZnO TFT が $I_{DS} = 20.4 \mu\text{A}$ であるのに対して, $I_{DS} = 7.4 \mu\text{A}$ と下がってしまう。

では, エンハンスメント型 InGaZnO TFT による DL-CMOS 型 NOT 回路の動作速度を評価するために, リングオシレータを作製しその f_R と T_{delay} を評価した。

図 3.23 では図 3.21 と同様の発振特性が得られており, $f_R=670$ Hz, $T_{\text{delay}}=62.1$ μs であった. この結果を前項のディプレッション型の塗布型 InZnO と比較すれば約 6 倍の遅延が発生することになる. よって, ディプレッション型の TFT はエンハンスメント型に対して高速動作が可能であるため, 本研究による塗布型 InZnO はこの回路構成に適した材料であるといえる.

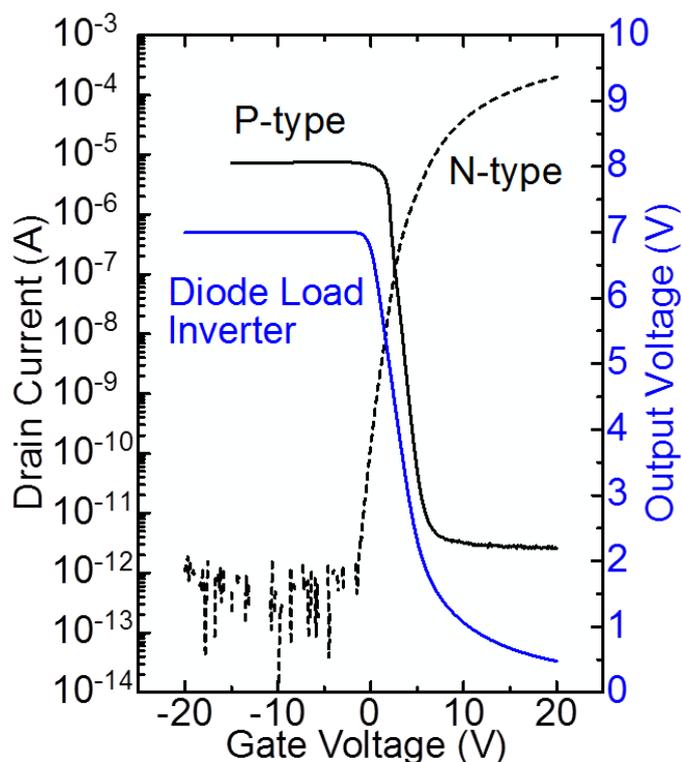


図 3.22. スパッタ成膜型 InGaZnO TFT による疑似 P 型トランジスタのスイッチング特性と Diode Load 型 NOT 回路の電圧伝達特性.
(電圧条件は $V_{DS} = V_{DD2} = 5$ V, $V_{DD1} = 7$ V).

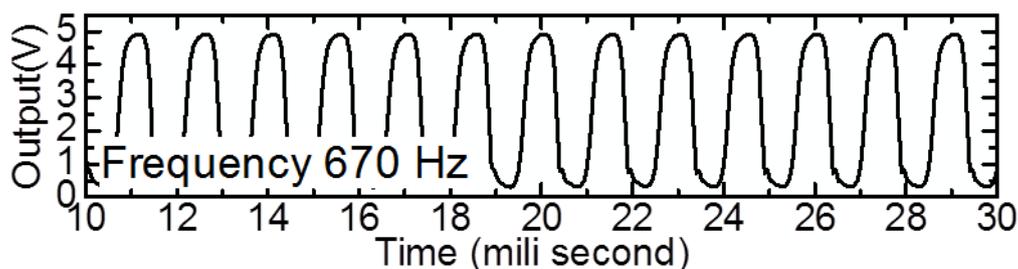


図 3.23. エンハンスメント型を持つ InGaZnO TFT を用いた DL-CMOS 型 NOT 回路の発振特性.

3.4.5 消費電流

動作速度の観点からみればディプレッション型の塗布型 InZnO TFT と DL-CMOS 型は優れているが、一つの問題点としては消費電流の大きさが挙げられる。本項ではディプレッション型とエンハンスメント型、DL-CMOS 型と ZV-CMOS 型のそれぞれ消費電流の関係について議論する。図 3.24 では DL-CMOS 型と ZV-CMOS 型の I_{DD} 性能を示しているが、この回路構成においては前段の I_{DD1} と次段の I_{DD2} による 2 種の貫通電流が生じる。

まず (a) $V_{in} = 0\text{ V}$ における電流値は DL-CMOS 型と ZV-CMOS 型で大きな差はなく I_{DD1} と I_{DD2} 共に 0.1 から $0.4\ \mu\text{A}$ であった。対して (b) $V_{in} = 5\text{ V}$ では、DL-CMOS 型において $I_{DD1} = 19.1\ \mu\text{A}$ の貫通電流が生じており、ZV-CMOS 型の $I_{DD1} = 0.3\ \mu\text{A}$ と比較すれば約 60 倍の消費電流が必要となる。

一方で、ディプレッション型とエンハンスメント型の DL-CMOS 型 NOT について比較を行えば、前項で示したエンハンスメント型の InGaZnO TFT であれば、 $V_{in} = 0\text{ V}$ において TFT は明瞭な Off 状態を表すため I_{DD1} と I_{DD2} 共に数 pA に抑えることができる。しかしながら、 $V_{in} = 5\text{ V}$ ではディプレッション型同様に $I_{DD1} = 11.7\ \mu\text{A}$ と顕著に貫通電流が生じるため、入力 “High” における消費電流は抑えることができない。

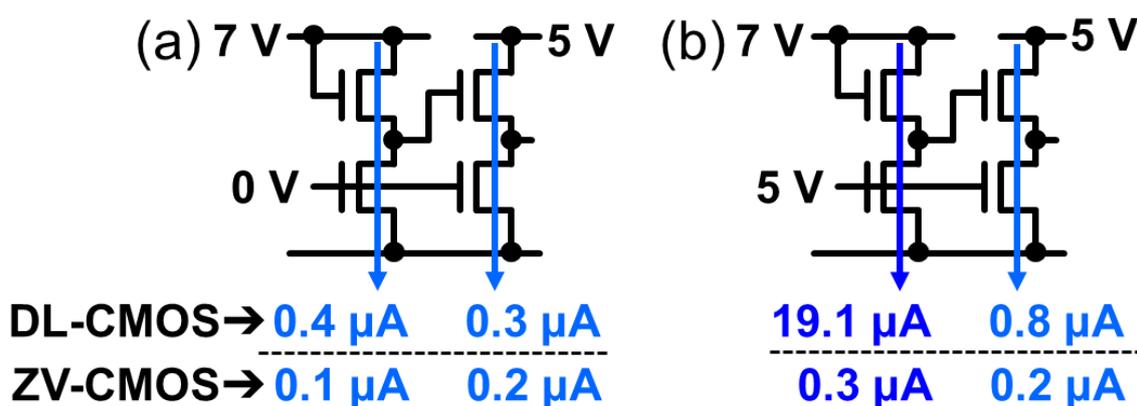


図 3.24. 塗布型 InZnO TFT を用いた DL-CMOS 型および ZV-CMOS 型 NOT 回路におけるそれぞれの消費電流. (a) $V_{in} = \text{“Low”}$, $V_{out} = \text{“High”}$, (b) $V_{in} = \text{“High”}$, $V_{out} = \text{“Low”}$.

以上の結果を踏まえて、各種疑似 CMOS 型 NOT 回路の動作速度と消費電流について表 3.3 にまとめる。塗布型 InZnO TFT による DL-CMOS 型 NOT 回路は最も速い動作速度が期待できるが、その反面消費電流が大きくなるといった欠点が生じる。対して消費電流を抑える構造としてはエンハンスメント型 TFT を用いた ZV-CMOS 型が適しているが、その動作速度は図 3.21 と図 3.23 で示した様に 2 桁以上低下する。本研究で目指す高速動作を可能にする回路構成としては、ディプレッション型 TFT を用いた DL-CMOS 型が適しているが、現状の消費電流の問題を解決するためには回路内部の TFT サイズの最適化や素子全体の微細化が重要となる。本論文では塗布型 InZnO TFT による論理回路作製と動作速度の向上を目的とするため、素子サイズの最適化実験は行わないものとする。

表 3.3. ディプレッション型とエンハンスメント型を用いた DL-CMOS および ZV-CMOS 型 NOT 回路の動作速度と消費電流の関係.

	Driving Speed		Power Consumption	
	Depletion	Enhancement	Depletion	Enhancement
DL-CMOS	◎	○	×	○
ZV-CMOS	×	×	×	◎

3.5 擬似 CMOS 型 NAND 回路および NOR 回路

3.5.1 回路構成

上位レベルの回路設計においては、NOT に加えて NAND と NOR が必要となる。前節で述べた DL-CMOS 型構造を用いて、図 3.4 に示す様に NAND と NOR を作製した。デバイス構造は図 3.25 の光学顕微鏡像に示すが、両端 V_{DD1} に接続する Diode Load 型 NOT の出力が次段 TFT のゲートに入力され、疑似 P 型トランジスタとして動作する。図 3.25 (a) の NAND では上段疑似 P 型トランジスタを並列接続し、下段を直列接続にすることで、中心の四つの TFT は CMOS 型 NAND と同様の動作が期待できる。一方で図 3.25 (b) に示す NOR では、上段を直列接続し下段を並列接続している。

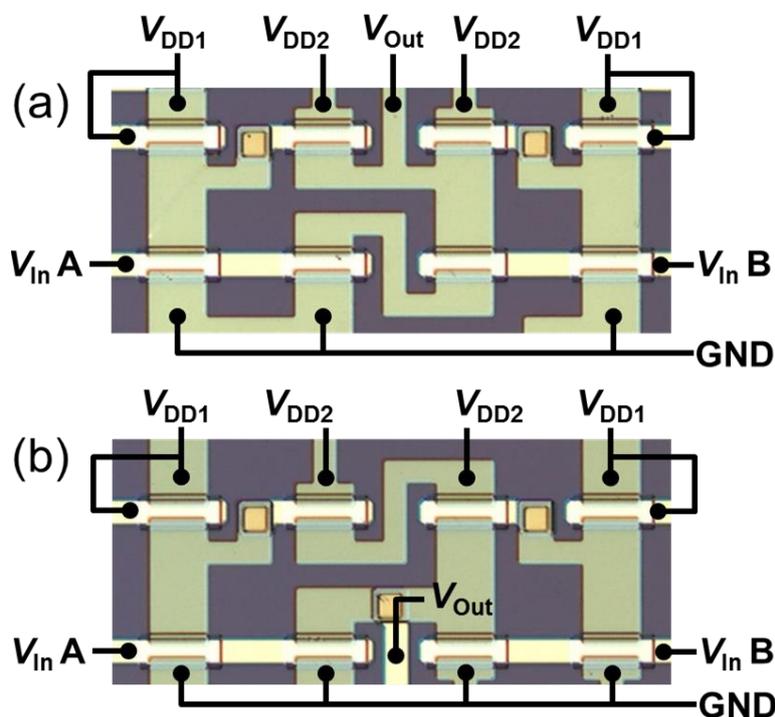


図 3.25. 塗布型 InZnO TFT で作製した (a) NAND と (b) NOR.

3.5.2 論理特性評価

特性評価では二つの入力に位相の異なるパルス V_{in} を印加し、その応答特性を評価した。図 3.26 では $V_{in A}$ と $V_{in B}$ の波形と作製した NAND と NOR の出力特性を示し、また前項で述べた NOT についても $V_{in A}$ に対応した出力特性を示している。電圧条件は $V_{DD1} = 7 \text{ V}$ と $V_{DD2} = 5 \text{ V}$ を使用し、入力電圧は $V_{High} = 5 \text{ V}$ と $V_{Low} = 0 \text{ V}$ を設定した (a)。そのデューティ比は 50% で 50 Hz の波形を設定し、 $V_{in A}$ に対して $V_{in B}$ は 5 ms の位相差を設定している。そのため、図 3.26 では入力 A と B の信号は左から A : B = L : H, L : L, H : L, H : H となり真理値表の 4 状態を定義している

この電圧条件に対して、塗布型 InZnO TFT で作製した NAND の出力は入力 L : H と L : L および H : L の三条件に対して“High”の出力と、H : H に対して“Low”の出力を示しており、NAND 論理が実現できている。それぞれの電圧レベルは入力 L : H と H : L において 4.92 V, 入力 L : L において 5.00 V を出力しており、入力が H または L の条件でも“High”論理信号として明確な電圧レベルを実現できている。その V_{AMP} は最大で 4.52 V を示し、前項の NOT 回路と比較しても明瞭な論理出力が得られている。

同様に、作製した NOR 回路について評価を行った。図に示す出力特性から、入力 L : H と H : L および H : H の三条件に対して“Low”の出力と、L : L に対して“High”の出力を示しており、NOR 論理が実現できている。しかしながら、その論理出力レベルは NOT と NAND に対して低く、最大電圧は入力 L : L において 4.40 V であった。対して最小電圧は最も低く入力 H : H において 0.14 V を出力した。

以上の出力特性から、塗布型 InZnO TFT で作製した論理回路は、NAND と NOR 論理を示したが、それぞれの電圧レベルは、5 V と 0 V の V_{in} に対して約 10% の誤差が生じている。実際の駆動では 3.4.2 の NM で示した通り、 V_{Out} が次段の V_{in} に対応するため、その誤差を考慮する必要がある。そこで、作製した NAND に対して、入力電圧 V_1 で得られた出力電圧を次段の入力電圧 V_2 とし、さらに出力した電圧 V_3 を 3 段目の入力電圧とする様に、その飽和特性を測定した。

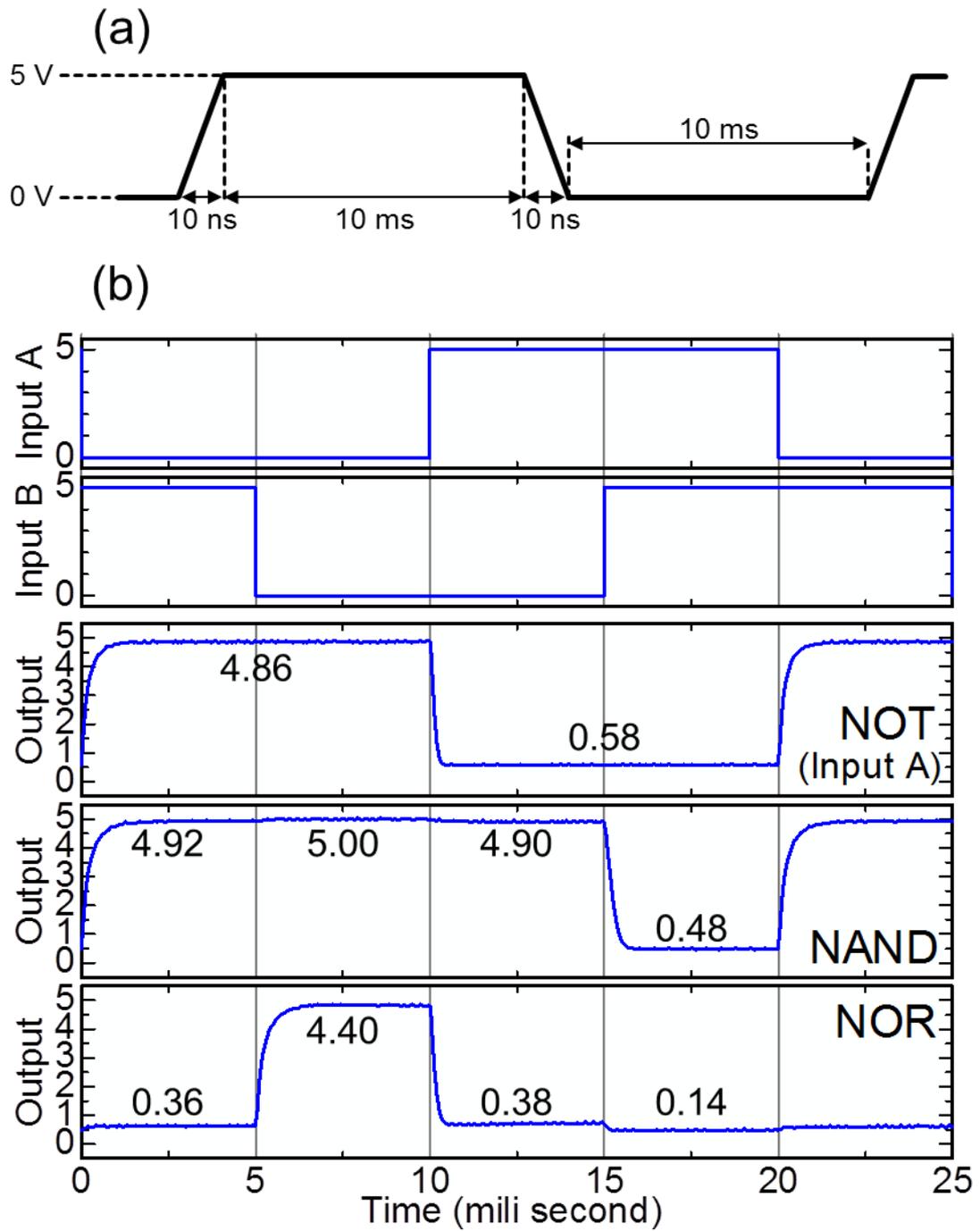


図 3.26. パルス入力電圧における，NOT と NAND および NOR 回路の出力電圧応答特性 (NOT の入力電圧は入力 A に対応する)。

その結果 3 段目で $V_{in} = V_{out}$ に収束し、電圧レベルは L : H (H : L) において $V_{out} = 4.80$ V, L : L において 5.00 V, H : H では 0.50 V であり、 V_{AMP} は 4.50 V の明確な論理スイッチングを示した。さらに、駆動中の論理特性の信頼性を確かめるために、得られた電圧条件を用いて 2 秒間 400 回の論理スイッチング特性を測定した。その結果、図 3.27 に示す様に 400 回後の論理特性から信号劣化の無い高い信頼性を得ることができたが、前章で述べた InZnO TFT 単体の信頼性が高いことを考慮すれば、測定時間以上でも信号劣化の少ない回路動作が期待できる。

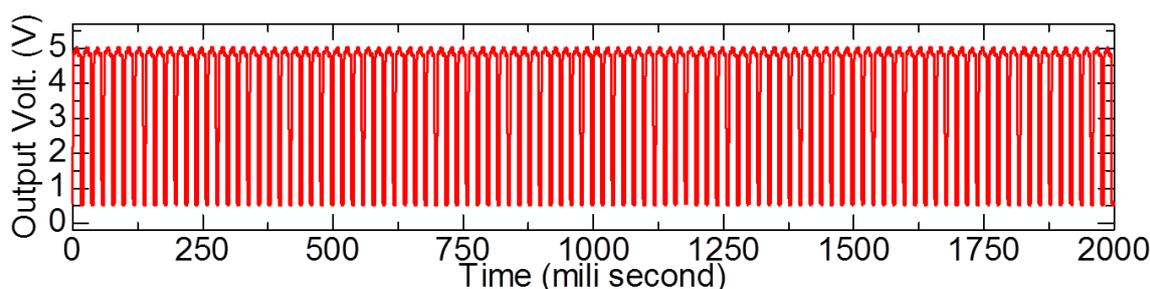


図 3.27. InZnO TFT を用いた NAND 回路の論理スイッチングにおける繰り返し特性.

3.5.3 シミュレーションによる評価

塗布型 InZnO TFT で作製した DL-CMOS 型 NAND の論理出力性能と動作速度を、図 3.3 で目標とした CMOS 型と比較した。それぞれの V_{out} 曲線を図 3.28 に示すが、ここでは、図 3.3 の結果に加えて DL-CMOS 型 NAND の実験値とそのシミュレーション値を示している。ここでは、実験結果と対応するためにそれぞれのシミュレーションには同様の 3 ゲート容量を負荷している。

(a) に示すシミュレーション結果から、塗布型 InZnO TFT による DL-CMOS 型 NAND ($V_{DD2} = 5$ V, $V_{DD1} = 7$ V) の動作速度は、目標とした CMOS 型 NAND ($V_{DD} = 5$ V) に近づいていることが分かる。この DL-CMOS 型の S_{Rise} は CMOS 型に対しては 6 分の 1 となるものの、3 TFT 構成の NAND 回路に比べて明らかな向上が確認できる。さらに (b) に示す様に DL-CMOS 型に $V_{DD1} = 9$ V の高い電圧を印加することで、CMOS 型の動作速度を実現することも可能である。しかしながら、それに伴って“Low”状態の不安定化と接続した Diode Load 型 NOT の貫通電流が増大するため、論理出力レベルと消費電力に注意する必要がある。

以上の結果から、単一型論理回路としては疑似 P 型トランジスタを用いた疑似 CMOS 型構造は有効な手段であると考えられる。

□ CMOS type ▽ DL-CMOS type ○ Mono type with 3 TFTs

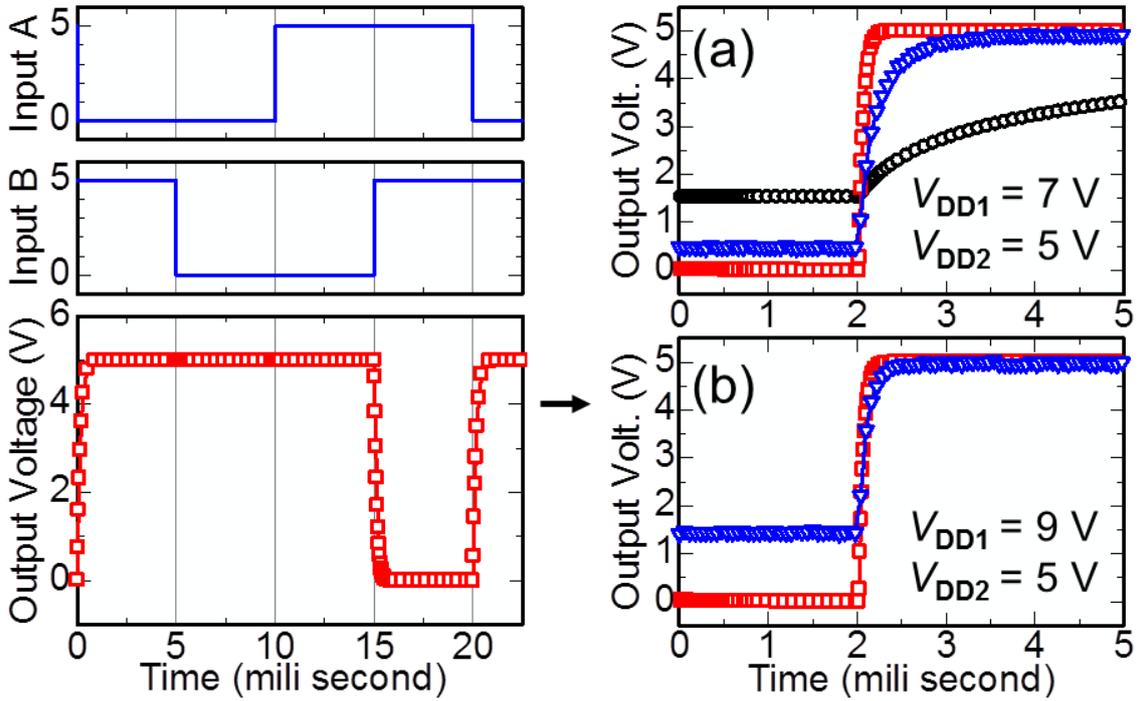


図 3.28. 疑似 CMOS 型と CMOS 型および 3TFT 構造の NAND 回路の出力性能 (図 a, b については入力 A : B = L : L → H : H を解析).

3.6 擬似 CMOS 型論理回路の動作速度と回路構成

3.6.1 NOT 特性と雑音余裕度

擬似 P 型トランジスタを用いた DL-CMOS 型論理回路は単一型の回路構成として優れた論理出力性能を示した。本節では作製した DL-CMOS 型 NOT と NAND および NOR について、それぞれの動作速度を評価すると共に、塗布型 InZnO TFT で構築可能な回路構成を評価した。

まず初めに、図 3.26 で示した各種論理回路において、入力 A と B を直結した NAND 型および NOR 型の NOT を作製し、その電圧伝達特性を前項の DL-CMOS 型 NOT と比較評価した。その結果を図 3.29 に示し、破線には多段接続を模した反転曲線を示している。 $V_{INV}=2.40\text{ V}$ を持つ DL-CMOS 型 NOT に対して、NOR 型 NOT と NAND 型 NOT は負側 ($V_{INV}=1.74\text{ V}$) および正側 ($V_{INV}=2.86\text{ V}$) への曲線シフトが生じていることが分かる。それぞれの電圧伝達曲線を前項の図 3.18 と比較すれば、直列の P 型トランジスタを持つ NOR 型 NOT の電流値は、並列接続を持つ NAND に対して約 1/4 の駆動電流を持ち、その電圧伝達特性は $V_{DD1}=V_{DD2}$ と $V_{DD1}=V_{DD2}+3\text{ V}$ の特性に重なる。

従って、NOR 型 NOT と NAND 型 NOT において十分な NM を得るためには、NOR 型 NOT の駆動電圧を $V_{DD1}=V_{DD2}+3\text{ V}$ に設定し NAND 型 NOT の駆動電圧を $V_{DD1}=V_{DD2}+1\text{ V}$ にする必要がある。しかしながら、図 3.30 に示す一つの入力ゲート（入力 A もしくは入力 B）のみを用いた NAND の電圧伝達曲線はその回路構成が NOT と等価であるため、その曲線は一致する。そのため、NAND 回路に $V_{DD1}=V_{DD2}+1\text{ V}$ を適用した場合、L:H と H:L の NAND 論理が負側へシフトし不安定化するため、動作電圧としては適さない。

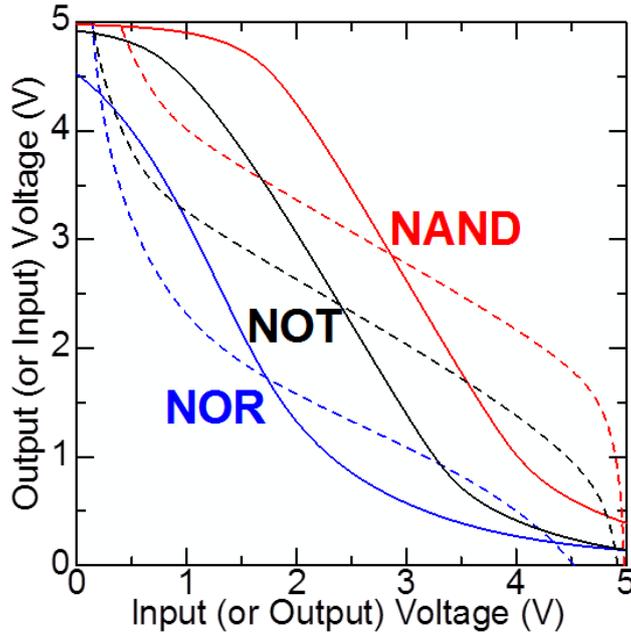


図 3.29. NAND と NOR および NOT における電圧伝達曲線.

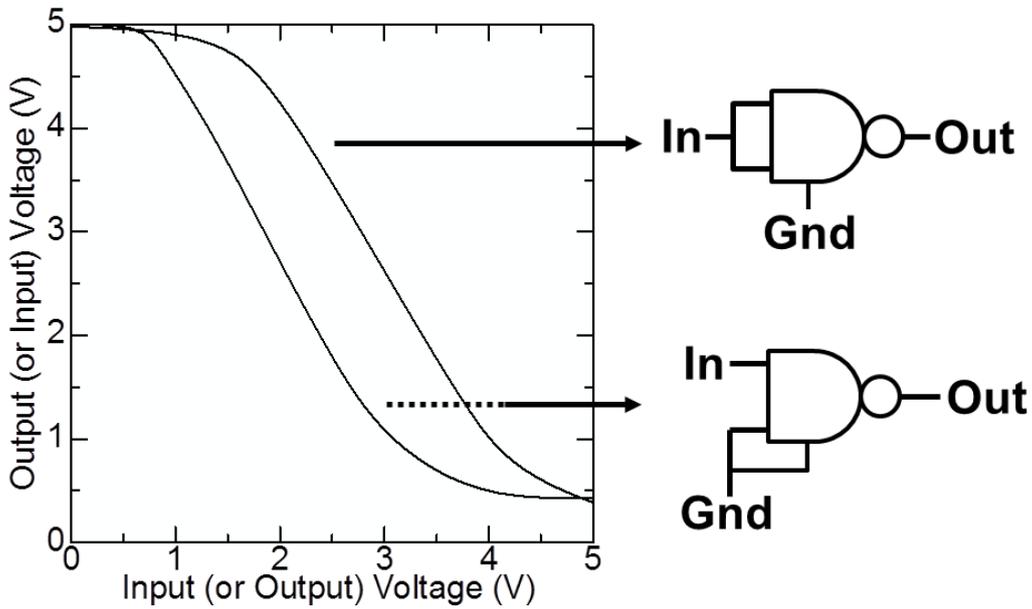


図 3.30. 2 入力および 1 入力 NAND の NOT 特性.

3.6.2 NOT 回路の充放電特性

$V_{DD1} = 7\text{ V}$, $V_{DD2} = 5\text{ V}$ での各種 NOT の動作速度を比較するため, パルス V_{in} における充放電特性を評価した. 同じ負荷容量に対するそれぞれの特性を比較するために, 3.3.3 と同様に 3 ゲート容量を出力端子に直結している. そのため,

ここでは各種論理回路の出力性能を評価し、入力容量の持つ充放電特性については含まれていない。

DL-CMOS 型 NOT と入力 AB を直結した NAND 型 NOT および NOR 型 NOT にパルス V_{In} を印加した際の応答特性を図 3.31 に示し、表 3.4 では S_{Rise} および S_{Fall} の値と各種出力特性を示す。それぞれの V_{High} は、並列の擬似 P 型トランジスタをもつ NAND で 4.96 V と最も高く、直列トランジスタの NOR 回路は約 0.6 V 低い値を示している。さらに、挿入図に示す規格化曲線（最大電圧を 1，最小電圧を 0）からは、NAND において最も速い充電特性が得られ、その S_{Rise} は 12.80 mV/ μ s であり NOT (7.20 mV/ μ s) と NOR (6.73 mV/ μ s) に対して約 2 倍の速度を示した。一方で、放電特性については並列の N 型トランジスタネットワークを持つ NOR 回路が最も早く、その S_{Fall} は -38.55 mV/ μ s であった。各種論理回路におけるそれぞれの充放電特性の関係は、充電速度が NOR < NOT < NAND の順に速まり、放電速度はその逆をとる。

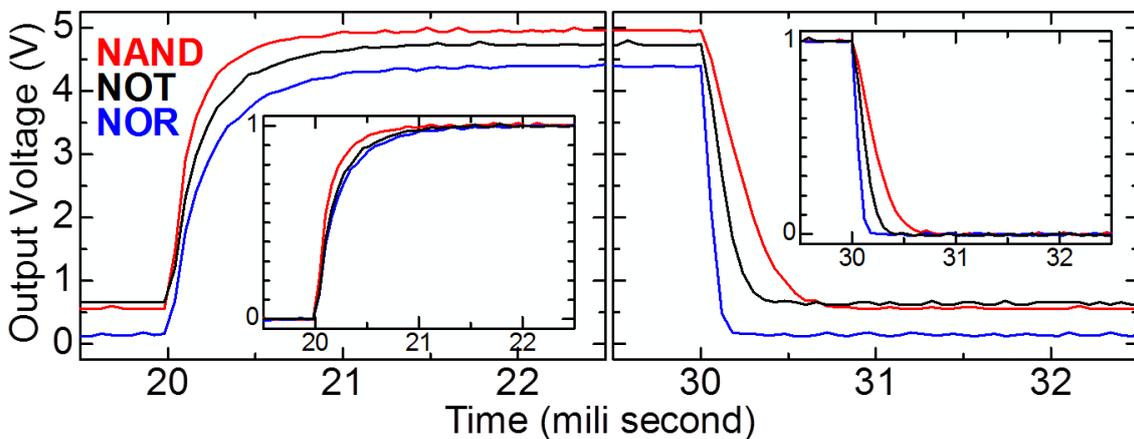


図 3.31. NOT と NAND 型 NOT および NOR 型 NOT のパルス電圧応答特性。挿入図には出力電圧を規格化した曲線を示している。

表 3.4. 各種論理回路の立ち上がりと立ち下り速度，および出力電圧特性。

	S_{Rise} (mV/ μ s)	S_{Fall} (-mV/ μ s)	V_{High} (V)	V_{Low} (V)	V_{Amp} (V)
NAND	12.80	11.49	4.96	0.48	4.48
NOT	7.20	17.83	4.72	0.62	4.10
NOR	6.73	38.55	4.38	0.14	4.24

3.6.3 リングオシレータ回路による動作速度評価

前項の同負荷容量における充放電特性に対して、各種論理回路の入出力における負荷容量の影響を調べるため、リングオシレータ回路を作製しその T_{delay} を評価した。図 3.20 で示した DL-CMOS 型 NOT によるリングオシレータ同様に、NAND 型 NOT と NOR 型 NOT 回路を用いた素子を作製し、その発振特性を測定した。電圧条件は同様の $V_{\text{DD1}} = 7 \text{ V}$ と $V_{\text{DD2}} = 5 \text{ V}$ を印加している。

それぞれの発振特性を図 3.32 に示す。(a) の NAND 型 NOT によるリングオシレータからは $f_{\text{R}} = 2.1 \text{ kHz}$ が得られ、(b) の NOR 型 NOT では 760 Hz を示した。図 3.21 で述べた DL-CMOS 型 NOT の 4.2 kHz と比較すれば、それぞれの発振特性は $\text{NOR} < \text{NAND} < \text{NOT}$ の順に f_{R} が増加していることが分かる。また、その T_{delay} は NOT 回路において最も速い $9.9 \mu\text{s}$ を示し、NAND 回路が $19.8 \mu\text{s}$ 、NOR 回路を最も遅く $54.8 \mu\text{s}$ を示した。それぞれの f_{R} および T_{delay} と V_{AMP} を表 3.5 にまとめている。

この 3 種類の論理回路を用いて算術演算回路等を構築した場合、最も遅い NOR によって全体の動作速度が低下する可能性がある。この懸念に対して、NOT と NAND、もしくは NAND のみでも算術演算回路等を構築することが可能であるため、最も動作速度の速い NOT と NAND による組み合わせ NOR 回路が現状の NOR の動作速度を上回ればその 2 種による回路構築が適しているといえる。そのため、次節では組み合わせ NOR 回路の評価を行った。

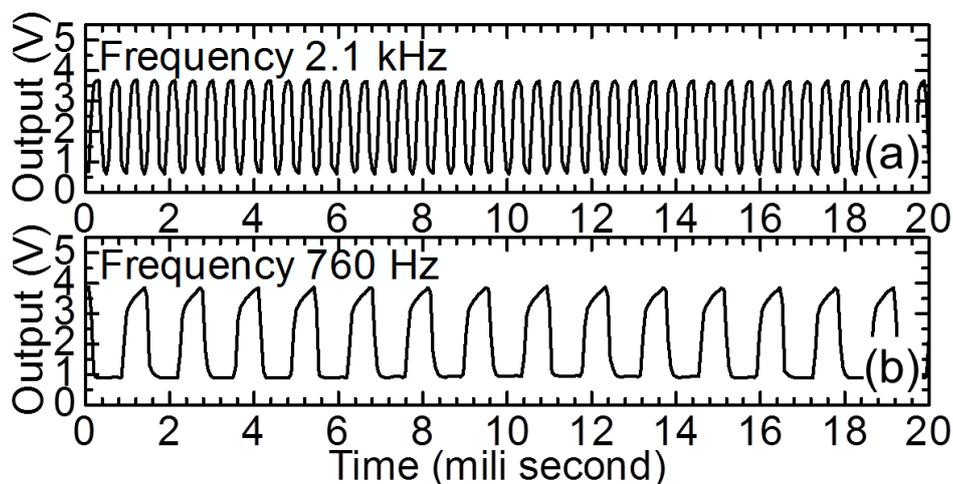


図 3.32. 塗布型 InZnO-TFT による (a) NAND および (b) NOR を用いたリングオシレータ回路の発振特性。電圧条件は $V_{\text{DD1}} = 7 \text{ V}$ と $V_{\text{DD2}} = 5 \text{ V}$ 。

表 3.5. 各種論理回路によるリングオシレータの発信周波数と遅延時間および出力電圧振幅.

	Freq. (Hz)	T_{delay} (μs)	V_{Amp} (V)
NOT	4200	9.9	4.76
NAND	2100	19.8	3.10
NOR	760	54.8	2.96

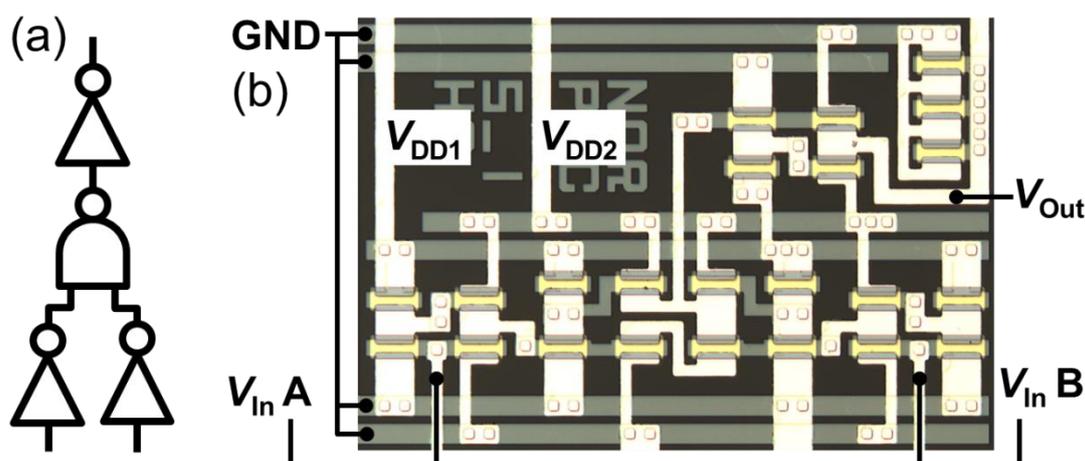


図 3.33. 組み合わせ NOR 回路. (a) 等価回路図, (b) 光学顕微鏡像.

3.6.4 組み合わせ NOR 回路

動作速度の速い NOT と NAND を用いて、図 3.33 (a) の様な NOR の組み合わせ回路 (combined NOR) を作製した. 作製した combined NOR の光学顕微鏡像は (b) に示している. 電圧条件は同様のパルス V_{in} と $V_{\text{DD1}} = 7 \text{ V}$ と $V_{\text{DD2}} = 5 \text{ V}$ を使用し、各種論理回路と比較するため出力に 3 ゲート容量を直結している.

作製した combined NOR と擬似 CMOS 型 NOR の論理出力特性を図 3.34 に示す. その出力性能から入力 A : B = L : H と H : L および H : H の三条件に対して “Low” の出力と、L : L に対して “High” の出力を示しており、同様に NOR 論理が実現できている. また、NOR 型 NOT の充放電性能を評価し、その結果を各種論理回路同様に表 3.6 でまとめている. それぞれの電圧レベルを比較すれば出力の V_{High} と V_{Low} の値は構成する NAND と NOT の性能を反映しており、充放電速度は構成する NOT 回路の値によく一致している. リングオシレータ回路による遅延時間の測定は行っていないが、combined NOR の持つ T_{delay} は各ゲート遅延 T_d の合計となり、以下の式で表せられる.

$$\begin{aligned}
T_{delay} &= T_{d_NOT-NAND} + T_{d_NAND-NOT} + T_{d_NOT-2NOT} \\
&= T_{d_NOT} + (T_{d_NAND}/2) + 2T_{NOT}
\end{aligned}
\tag{3.4}$$

表 3.5 で求めた値を考慮すれば combined NOR の T_{delay} は $39.6 \mu\text{s}$ を持つと考えられ、擬似 CMOS 型 NOR よりも高速動作が可能であると推察される。従って、塗布型 InZnO TFT を用いた上位レベルの回路レイアウトを構築する場合、動作速度の観点から NOT と NAND および二つの組み合わせ回路による回路構成が最適であるといえる。しかしながら、貫通電流が発生する Diode Load 型 NOT 回路が五つ搭載されるため、消費電力としては最大で 2.5 倍と大きくなる問題が挙げられる。もしこの combined NOR を用いることで消費電力が無視できなくなる場合には、動作速度を必要としない回路部分に DL-CMOS 型 NOR を使用する等の使い分けが重要となる。

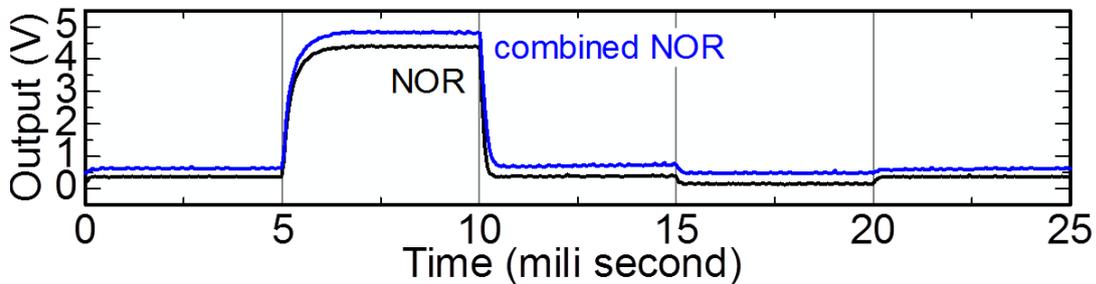


図 3.34. パルス入力電圧における組み合わせ NOR 回路の出力特性。

表 3.6. 各種論理回路の立ち上がりと立ち下り速度、および出力電圧特性。

	S_{Rise} (mV/ μs)	S_{Fall} (-mV/ μs)	V_{High} (V)	V_{Low} (V)	V_{Amp} (V)
NAND	12.80	11.49	4.96	0.48	4.48
NOT	7.20	17.83	4.72	0.62	4.10
NOR	6.73	38.55	4.38	0.14	4.24
com. NOR	7.00	16.19	4.82	0.48	4.34

3.7 結論

本章では、塗布型 InZnO TFT による演算機能を目指して、単一型論理回路の論理出力を得ると共に、CMOS 回路の動作速度を塗布型 InZnO TFT のみで実現することを目的とした。

その第 1 の課題として、P 型動作を可能にする疑似 P 型トランジスタの作製とその電気特性を得ることとした。3.3 では、塗布型 InZnO TFT を用いて、Diode Load 型 NOT によりゲート入力を反転させた疑似 P 型トランジスタを作製した。そのスイッチング特性と信号転送特性から明確な P 型動作を実証し、かつ充放電速度は基盤とした塗布型 InZnO TFT と同様の結果が得られた。また、二つの電源電圧 V_{DD2} と V_{DD1} を持ち、 $V_{DD2} < V_{DD1}$ とすることで疑似 P 型トランジスタの動作速度を調整できることを示した。さらに、高い On/Off スwitching 性能が得られたエンハンスメント型の InGaZnO に対して、ディプレッション型の塗布型 InZnO は同電圧条件において I_{DS} 性能が優れているため、動作速度としては塗布型 InZnO が優れているとした。

第 2 の課題は、疑似 P 型トランジスタを用いた単一型の各種論理回路を構築し、かつその論理出力性能を得ることである。3.2 で提案した疑似 P 型トランジスタによる疑似 CMOS 型の NOT と NAND および NOR において、3.4 では疑似 CMOS 型 (DL-CMOS 型) NOT 回路の評価を行った。作製した疑似 CMOS 型 NOT の電圧伝達特性は Diode Load 型 NOT に対して 2 倍のゲイン値と優れた雑音余裕度が得られることを示した。また、多段接続によるリングオシレータ回路の発信特性から、ディプレッション型の塗布型 InZnO TFT はエンハンスメント型の InGaZnO に対して約 6 倍の高速動作が可能であることを示した。

3.5 では疑似 CMOS 型 NAND と NOR についても評価を行い、そのパルス電圧応答特性から真理値表に従った各論理信号が得られることを実証した。さらに、疑似 CMOS 型 NAND は 400 回の論理スイッチングにおいても信号劣化の無い特性が得られており、信頼性の高さを示した。この結果を目標とした CMOS 型 NAND と比較すれば、用いた電圧条件 (疑似 CMOS 型 : $V_{DD2} = 5$ V, $V_{DD1} = 7$ V, CMOS 型 : $V_{DD} = 5$ V) では動作速度は 6 分の 1 となるものの、3TFT による単一型 NAND 回路と比較すれば明確な動作速度の向上が確認できた。さらに、高い V_{DD1} を印加することで高速化が可能であり $V_{DD2} = 5$ V に対して $V_{DD1} = 9$ V を印加することで CMOS 型 NAND と同等の動作速度を実証した。しかしながら、高い V_{DD1} を印加した場合には論理出力レベルの低下と消費電力の増大に注意する必要があるが、動作速度を調整できる疑似 CMOS 型回路は単一型論理回路として有効な一つの手段である。

最後に、塗布型 InZnO TFT で構築可能な回路構成を検討した。3.6 では疑似

CMOS 型 NOT と NAND および NOR におけるそれぞれの NOT 特性とリングオシレータ回路による動作速度評価を行った。その遅延時間は NOT < NAND < NOR の順に長くなり、疑似 CMOS 型 NOR は NOT に対して 5.5 倍の時間を有することが分かった。この 3 種類の論理回路を用いる場合、最も遅い NOR によって全体の動作速度が低下する可能性が生じる。従って、速い動作速度を示した疑似 CMOS 型 NOT と NAND による組み合わせ NOR 回路を作製し、その動作速度を比較した。その結果、組み合わせ NOR 回路は疑似 CMOS 型 NOR に対して 1.4 倍の動作速度が期待できることを示した。

以上の結果から、塗布型 InZnO TFT を用いた上位レベルの回路レイアウトを構築する場合、動作速度の観点から疑似 CMOS 型 NOT と NAND および二つの組み合わせ回路による回路構成が最適であるといえる。しかしながら、この回路構成は消費電力が大きく、もしこの回路構成を用いることで消費電力が問題となる場合には、動作速度を必要としない回路部分に疑似 CMOS 型 NOR を使用する等の使い分けが必要となる。また、本章では論理出力の実証と動作速度の比較を最低条件としたため、用いた TFT は全て同様のサイズを適用している。今後さらなる低消費電力化および高速化を本章による回路構成で達成するには、TFT サイズの最適化が重要となる。

3.8 参考文献

- [1] F. Wanlass and C. Sah, in *1963 IEEE Int. Solid-State Circuits Conf. Dig. Tech. Pap.* (Institute of Electrical and Electronics Engineers, 1963), pp. 32–33.
- [2] N.H.E. Weste and D.M. Harris, *J. Chem. Inf. Model.* 53, (2013).
- [3] T. Kamiya, K. Nomura, and H. Hosono, *Sci. Technol. Adv. Mater. Sci. Technol. Adv. Mater* 11117, 44305 (2010).
- [4] K. Nomura, T. Aoki, K. Nakamura, T. Kamiya, T. Nakanishi, T. Hasegawa, M. Kimura, T. Kawase, M. Hirano, and H. Hosono, *Appl. Phys. Lett.* 96, 263509 (2010).
- [5] H. Chen, Y. Cao, J. Zhang, and C. Zhou, *Nat. Commun.* 5, 4097 (2014).
- [6] R. H. Crawford “Linear amplifier utilizing a pair of field effect transistors”, U. S. Patent 3 436 621, Dec. 16, 1966.
- [7] R. J. Proebsting “Mosfet logic inverter for integrated circuits”, U. S. Patent 3 775 693, Nov. 27, 1973.
- [8] D. R. Koehler “Mos transistor gain block”, U. S. Patent 3 913 026, Apr. 8, 1974.
- [9] Y. Liu, H. Zhou, R. Cheng, W. Yu, Y. Huang, and X. Duan, *Nano Lett.* 14, 1413 (2014).
- [10] N. Münzenrieder, C. Zysset, T. Kinkeldei, and G. Tröster, *IEEE Trans. Electron Devices* 59, 2153 (2012).
- [11] M. Kimura and D. Sawamoto, *SID Symp. Dig. Tech. Pap.* 45, 960 (2014).
- [12] T.-C.H.T.-C. Huang and K.-T.C.K.-T. Cheng, *J. Disp. Technol.* 5, 206 (2009).
- [13] T.C. Huang, K. Fukuda, C.M. Lo, Y.H. Yeh, T. Sekitani, T. Someya, and K.T. Cheng, *IEEE Trans. Electron Devices* 58, 141 (2011).
- [14] 國枝博昭監修, 集積回路設計入門, コロナ社
- [15] C.Y.Chang, S.M.Sze, *ULSI Devices*, Wiley Inter-Science

4 第4章 Agペーストを用いた塗布型トランジスタの作製

4.1 諸言

これまでの研究で、第2章では塗布型 InZnO TFT の基本性能評価を行い、5層積層した InZnO TFT からは優れたスイッチング特性が得られることを示した。そして、第3章ではP型作製が困難な塗布型 InZnO TFT に対して論理回路の構築を行い、NOT と NAND および NOR の論理性能を実証した。以上の結果から、塗布型 InZnO を用いた算術演算機能の構築が可能であり、本研究が目指すシート状コンピュータの実現可能性が高いことを示している。さらに次の段階としてデバイスの完全塗布型化を狙い、その実現のため本研究では半導体層の塗布型 InZnO に加えて各層の塗布型化を目指した。

完全塗布型 TFT を実現するにあたり重要となるのはゲート絶縁膜層と電極層の形成である。まず、ゲート絶縁膜の塗布型化で発生する問題点はゲート漏れ電流と半導体/ゲート絶縁膜界面における界面準位密度の有無である[1,2,3]。また、電極層の塗布型化においてはその配線抵抗と半導体/電極界面における接触抵抗成分[4]、さらに半導体と電極との2次層形成などが挙げられる[5]。完全塗布型 TFT の実現にはこの2種類の塗布型層形成が必要不可欠であるが、本章では半導体層に加えて電極層の塗布型化を行い、スクリーン印刷による上層2層塗布型の TFT を目指した。

その材料としては InZnO との仕事関数が近く、塗布型電極として低い抵抗率を持つ銀 (Ag) に着目した。印刷可能な電極材料としてはカーボン (C) [6]や銅 (Cu) [7,8]が良く知られている。しかしながら Ag に対して C の持つ抵抗率は3桁高く、回路性能を考える上で配線の電圧降下現象が懸念されるため適していない。また、近年 Ag と同等の低抵抗化が可能になりつつある Cu であるが、Cu は酸化された Cu_2O の結晶形態を持つことで P 型半導体になることが報告されている[9,10,11]。その存在は酸化物半導体 (AOS) において電極界面でダイオード接続が形成され高い抵抗成分を形成する恐れがある。従って、本研究では Ag を塗布型電極として採用した。しがしながら、この材料においても解決すべき問題が存在する。それは電極界面での高抵抗領域の形成である。InGaZnO にスパッタ法による Ag 電極を用いた場合、Mo や Ti といった仕事関数の近い材料と比較して、TFT の I_{ps} 性能が著しく低下するという報告がなされている[12,13,14]。AOS による完全塗布型 TFT を形成する上で解決すべき問題であるが、この高抵抗領域の形成要因は未だ明らかになっていない。

本章では目標達成の課題として、Ag 電極と塗布型 InZnO の界面を評価すると共に、上層2層塗布型 TFT の作製と高いスイッチング特性を得ることとした。

4.2 電極材料と InZnO の接触抵抗評価および仕事関数測定

4.2.1 電極と半導体間のバンド構造

塗布型 InZnO に対する電極材料の選択において仕事関数の評価は界面の Schottky バリアの有無を知る上で重要である. 図 4.1 (a) では孤立した金属と半導体のエネルギーバンド図を示し, (b) では接触後の熱平衡状態におけるバンド構造を表している[15,16]. ここで, E_{vac} , E_{C} , E_{F} , E_{V} は真空準位と伝導帯, フェルミ準位, 価電子帯を示しており, ϕ_{M} と ϕ_{S} は金属と半導体の仕事関数であり, χ は電子親和力である. (a) の非熱平衡状態に対して金属と半導体間の接触界面が形成された場合, 熱平衡状態では両者の E_{F} が一致するため (b) の様にエネルギーバンドを図示することができる. ここで注意すべき点は接触界面では Schottky バリア ϕ_{B} が形成されることであり, その高さは ϕ_{M} と χ のエネルギー差で表される (式 4.1).

$$\phi_{\text{B}} = \phi_{\text{M}} - \chi \quad (4.1)$$

TFT のソースドレイン電極と半導体界面でこの ϕ_{B} が高いエネルギー値を持つ場合, 抵抗成分として働き TFT の I_{DS} を低下させる要因となる. 従って, 接触抵抗を無視できる値 (Ohmic 接触) にまで下げるためには ϕ_{B} を小さくする必要がある, 言い換えれば金属と半導体の ϕ_{M} と ϕ_{S} および χ が近い値を持つことが重要である.

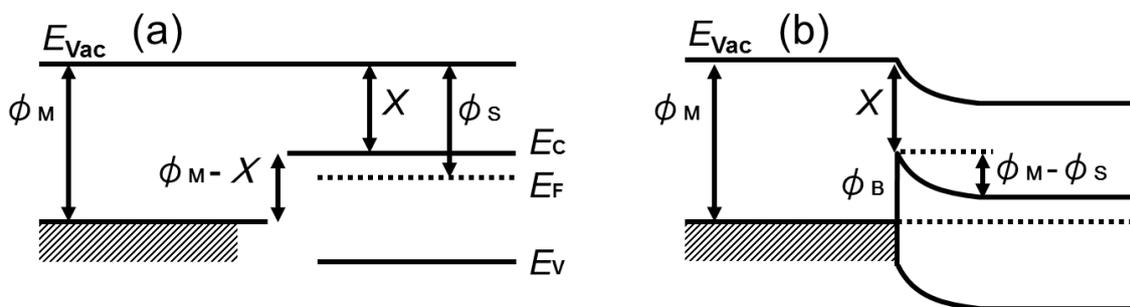


図 4.1. (a) 非熱平衡状態における孤立金属と半導体のエネルギーバンド図, (b) 接触後の熱平衡状態におけるエネルギーバンド図.

4.2.2 接触抵抗評価および仕事関数測定

第2章と第3章では塗布型 InZnO においてスパッタ成膜 Mo 電極を使用して TFT および回路性能を測定してきた。その中で塗布型 InZnO に対する Mo 電極の電流性能を図 4.2 で示す出力特性から評価する。 $W_{\text{sheet}} = 188 \mu\text{m}$ と $L_{\text{sheet}} = 4 \mu\text{m}$ の TLM 素子に、 $V_{\text{GS}} = 2.5 \text{ V}$ から 15.0 V を印加した際の I_{DS} 性能は線形特性を持つことが分かる。ここで $V_{\text{DS}} > 0 \text{ V}$ の I_{DS} ($93.9 \mu\text{A}$, $V_{\text{GS}} = 10.0 \text{ V}$, $V_{\text{DS}} = 0.5 \text{ V}$) に対して $V_{\text{DS}} < 0 \text{ V}$ の I_{DS} ($-97.8 \mu\text{A}$, $V_{\text{GS}} = 10.0 \text{ V}$, $V_{\text{DS}} = -0.5 \text{ V}$) が 4% 高い理由は、ドレインゲート間の電位差が $V_{\text{DS}} < 0 \text{ V}$ において大きくなり、その膜厚方向の高い電界強度によって電流を流しやすくするためである。それを考慮しても各 V_{GS} における I_{DS} 特性は線形性を持つため、スパッタ成膜 Mo 電極と塗布型 InZnO では Ohmic 伝導に近い界面状態を形成できていると考えられる。

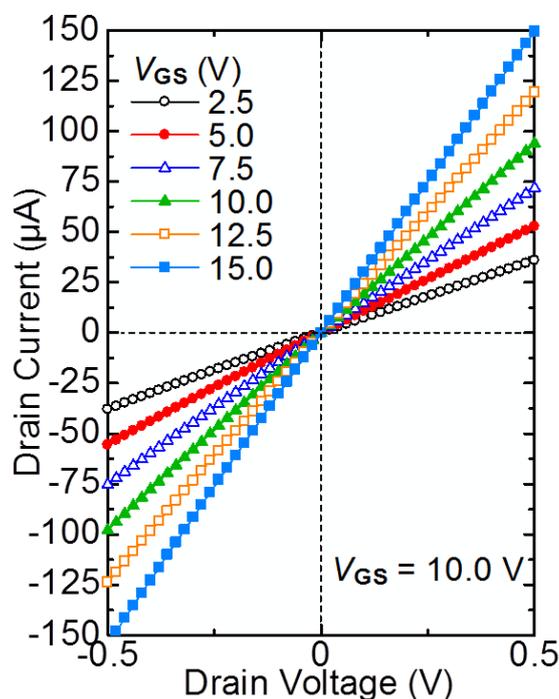


図 4.2. スパッタ成膜 Mo 電極を用いた塗布型 InZnO TFT の出力特性.

この Mo 電極に加えて、同様のスパッタ成膜法によるチタン (Ti) 電極と Ag 電極を用いて TLM 素子を作製し第2章同様に接触抵抗 (R_{Contact}) を評価した。また、それぞれの金属の ϕ_{M} の値についても大気中光電子分光装置 (AC-3, 理研計器株式会社) を用いて測定し、その結果を表 4.1 にまとめている。まず、Mo

電極と Ti 電極の R_{Contact} はそれぞれ 1.6 k Ω と 1.8 k Ω を示しており、 ϕ_{M} の値と比較すれば Ti (4.45 eV) よりも低いエネルギーを持つ Mo (4.38 eV) の方が低い ϕ_{B} を形成でき、塗布型 InZnO の電極として適していると考えられる。しかしながら、塗布型 InZnO の歩留りを考量すれば Mo 電極と Ti 電極の R_{Contact} の値は誤差範囲とみなすこともできるため、実際には Mo と Ti の間で大きな差はないといえる。

一方で Mo に対して 0.18 eV 高い ϕ_{M} を示す Ag (4.56 eV) は抵抗値が高く、TLM 測定からはチャンネル長に対して非線形的な増加を示したため、その R_{Contact} 値は詳細ではないが 100 k Ω 以上であった。Mo 電極や Ti 電極と比較しても、その R_{Contact} は非常に高く、界面での ϕ_{B} による電流の低下だけはないと考えられる。従って、塗布型 InZnO においても InGaZnO 同様に Ag 電極を用いた場合にはその接触界面で高抵抗領域が形成されることを示しており、塗布型 Ag 電極を適用する場合においてもその影響が懸念される。そのため、次節では塗布型 Ag 電極を用いた塗布型 InZnO TFT の性能評価を行うと共に、スパッタ成膜 Ag 電極による界面の高抵抗領域の解明および両者電気特性比較を行った。

表 4.1. Mo と Ti および Ag 電極の仕事関数および接触抵抗値.

	Mo	Ti	Ag
ϕ_{M} (eV)	4.38	4.45	4.56
R_{Contact} (k Ω)	1.6	1.8	> 100

4.3 スクリーン印刷による塗布型薄膜トランジスタの作製

4.3.1 デバイス作製

Ag 電極を用いた上層 2 層塗布型の InZnO TFT においては、図 4.3 に示す様にこれまで同様のボトムゲート型トップコンタクト構造を用いた。(a) の電極形成に至るまでのゲート電極および絶縁膜は第 2 章の作製手法によりスパッタ法と PECVD 法を用いて作製した。半導体層は 5 層積層化した塗布型 InZnO 薄膜を使用し、その上部にスクリーン印刷による Ag ペースト(ナミックス株式会社)を塗布した。最後に転写した塗布型電極を空气中で 200°C で 20 分焼成することで、ペースト材料に内在する溶剤を除去し固化した。この電極作製法は、真空法に対して大きなアドバンテージを持っている。例えば図 2.1 で示した作製工程に対してその工程数を削減することができる。真空法による作製では、ゲート

電極は金属層の成膜からフォトリソ材料の塗布、露光、現像、その後の金属層エッチング、そしてレジスト剥離と 6 工程が必要である。また、ソースドレイン電極においてもリフトオフ工程によるフォトリソ形成から金属成膜、レジスト剥離の工程を含むが、スクリーン印刷を用いることで塗布と焼成の 2 工程に削減することができる。

作製した上層 2 層塗布型の InZnO TFT 基板を図 4.4 に示す。白色部分がスクリーン印刷により形成した塗布型 Ag 電極であり、基板サイズは約 2 cm×2 cm であり熱酸化 SiO₂ 形成 Si 基板を用いている。

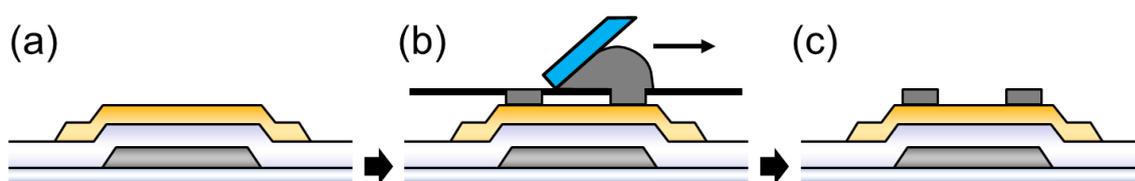


図 4.3. デバイス作製手法. (a) スピンコーティング法を用いた塗布型 InZnO 薄膜の形成, (b) スクリーンプリント法による Ag ペーストの塗布, (c) 塗布型 Ag 電極の焼成.

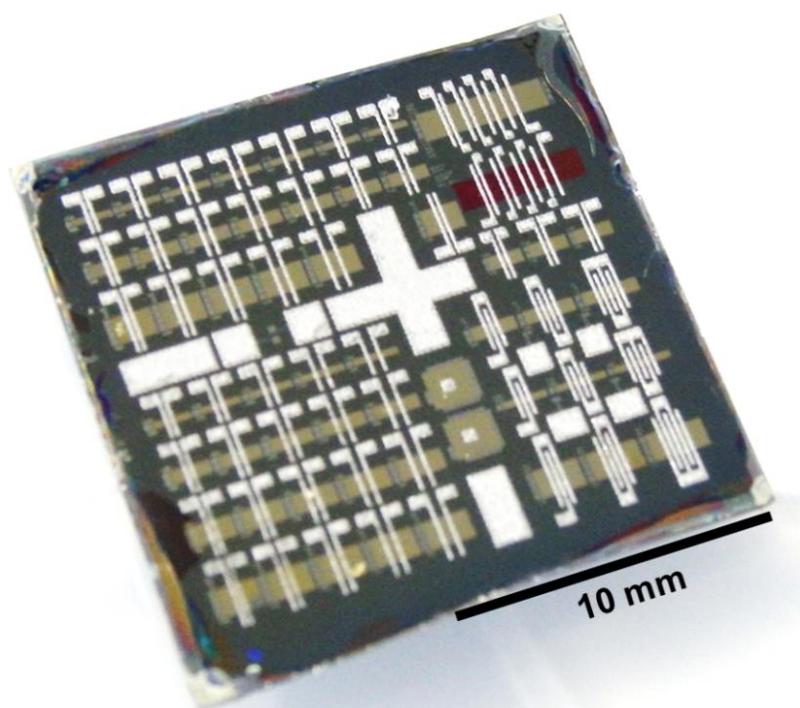


図 4.4. スクリーン印刷による Ag 電極を用いて作製した TFT アレイ.

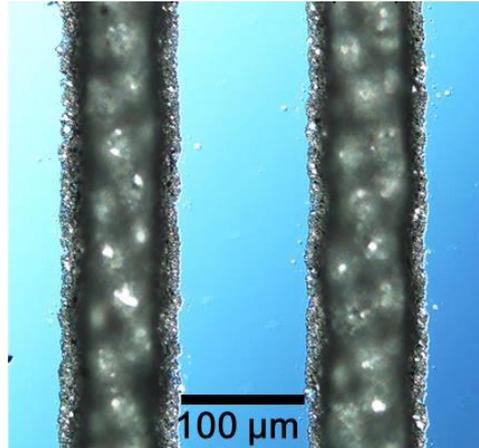


図 4.5. スクリーン印刷により形成した塗布型 Ag 配線.

4.3.2 スクリーン印刷による Ag 電極の形成

まず初めにスクリーン印刷による Ag 電極の形成とその抵抗評価を行った. 図 4.5 では, スクリーン印刷により塗布型 InZnO 上に形成した Ag ペースト電極を示しており, その配線幅は $100\ \mu\text{m}$ ($\pm 5\ \mu\text{m}$) を持つ. その配線にはスクリーンメッシュが同様に転写されているため, 配線膜厚は最小で約 $3\ \mu\text{m}$ を持ち, 最大で $5\ \mu\text{m}$ であった. その電流性能を測定し膜厚を $3\ \mu\text{m}$ とした結果, 配線抵抗は $3.2 \times 10^{-5}\ \Omega\text{cm}$ を示しており, 本研究室で作製したスパッタ法による Ag 電極の体積抵抗率が $4.2 \times 10^{-6}\ \Omega\text{cm}$ であるため, 塗布法で作製した場合, Ag 配線の抵抗は 1 桁上昇している. しかしながら, 従来の塗布型 Ag と比較して形成したスクリーン印刷による塗布型 Ag は同様の抵抗値が得られているため, 塗布型デバイスとしては良好な性能である.

4.3.3 上層 2 層塗布型薄膜トランジスタのスイッチング特性

作製した上層 2 層塗布型 TFT のスイッチング特性を図 4.6 (a) に示しているが, その素子サイズは $W = 250\ \mu\text{m}$ と $L = 200\ \mu\text{m}$ を用いている. その On/Off 比は 7 桁以上を示しており, 明確なスイッチング特性が得られた. さらに, InZnO と塗布型 Ag ペースト電極界面の安定性を評価するために, (b) に示す様に 80 サイクルのスイッチング特性を測定した. その結果, 曲線シフトの少ないサイクル性能が得られており, その ΔV_{Th} は $0.23\ \text{V}$ の正方向シフトと ΔI_{DS} は 5% の電流低下を示した. ここで電流値の低下は V_{Th} の正方向シフトと一致するため, 得

られた劣化現象はゲート絶縁膜界面の電子トラップが主要因であり, InZnO と塗布型 Ag 電極界面の劣化を示すものではない. 従って, 塗布型の InZnO と Ag 電極界面はサイクル測定でも安定して電流を得られるといえる.

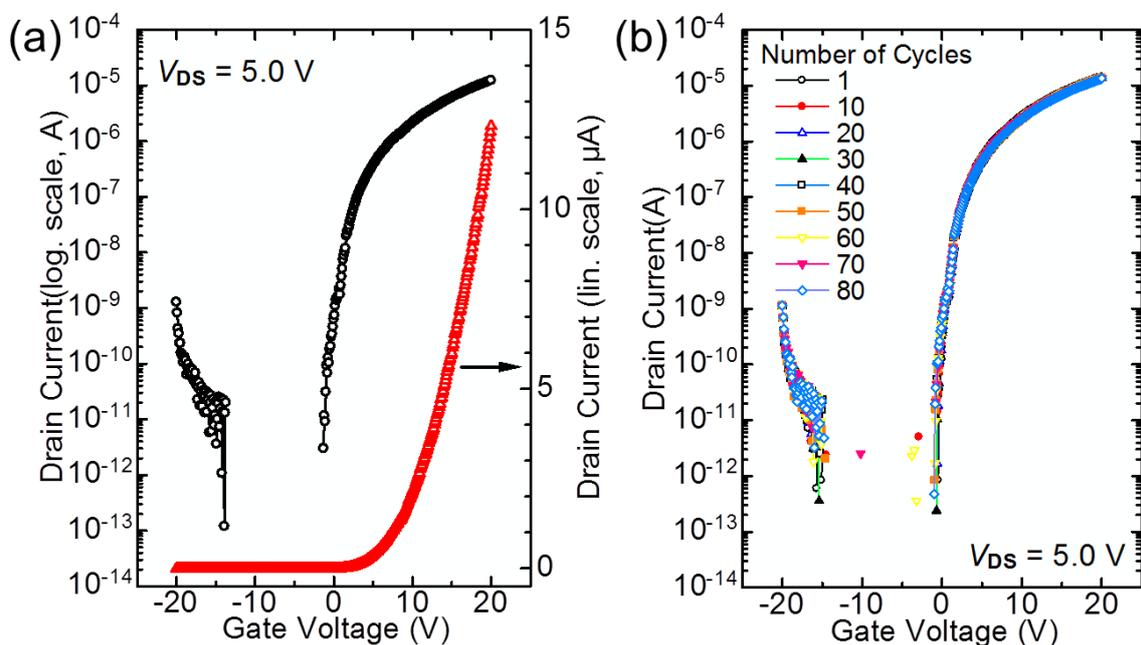


図 4.6. 塗布型 Ag 電極を用いた塗布型 InZnO TFT の (a) スイッチング特性, (b) 80 サイクルにおけるスイッチングの繰り返し性能.

4.3.4 スイッチング特性の比較

作製した塗布型 Ag 電極の性能を評価するため、スパッタ法で作製した Ag 電極を用いて TFT を作製し、それぞれのスイッチング特性を比較した。図 4.7 では両者の TFT 特性を示しており、横軸は $V_{GS} - V_{On}$ により V_{On} を一致させている。それぞれの I_{DS} を比較すれば、塗布型 Ag は $V_{GS} - V_{On} = 13.0$ V で $I_{DS} = 3.33$ μ A を持つのに対し、スパッタ成膜 Ag は $I_{DS} = 383$ nA と電流性能が約 1 桁低下していることが分かる。その接触抵抗値の詳細は 4.5.2 で述べるが、スパッタ成膜 Ag に対して塗布型 Ag の接触抵抗は約 1 桁から 2 桁低い値を示した。この結果から、塗布型電極は同様の Ag を用いているにも関わらず I_{DS} 性能が高い値を示すことから、塗布法とスパッタ法での両界面では異なる現象が起きており、塗布型 InZnO においてはスクリーン印刷を用いて形成した塗布型 Ag が優れた界面状態を形成することができるといえる。次に、この塗布型 Ag の優位性とスパッタ成膜 Ag の抵抗成分を明らかにするため、両電極の界面状態を評価した。

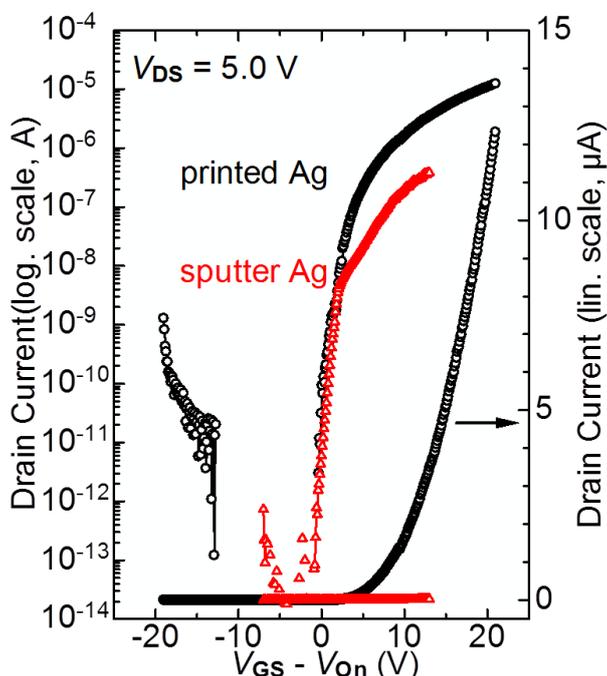


図 4.7. 塗布型 Ag 電極とスパッタ成膜 Ag 電極を用いた塗布型 InZnO TFT のスイッチング特性.

4.4 塗布型 Ag およびスパッタ成膜 Ag 電極の界面評価と元素分析

4.4.1 塗布型 Ag 電極と InZnO の界面評価

作成した塗布型 Ag 電極と InZnO の界面状態を評価するために、TEM を用いて解析を行った。図 4.8 ではその断面 TEM 像を示しており、上層からスクリーン印刷による塗布型 Ag、5 層積層した塗布型 InZnO、CVD 法による SiO_x 絶縁膜を表している。図からも確認できるように、作製した塗布型 Ag 電極は非常に密な層を形成しており、尚且つその断面においても連続した InZnO との接触界面が形成されていることが分かる。

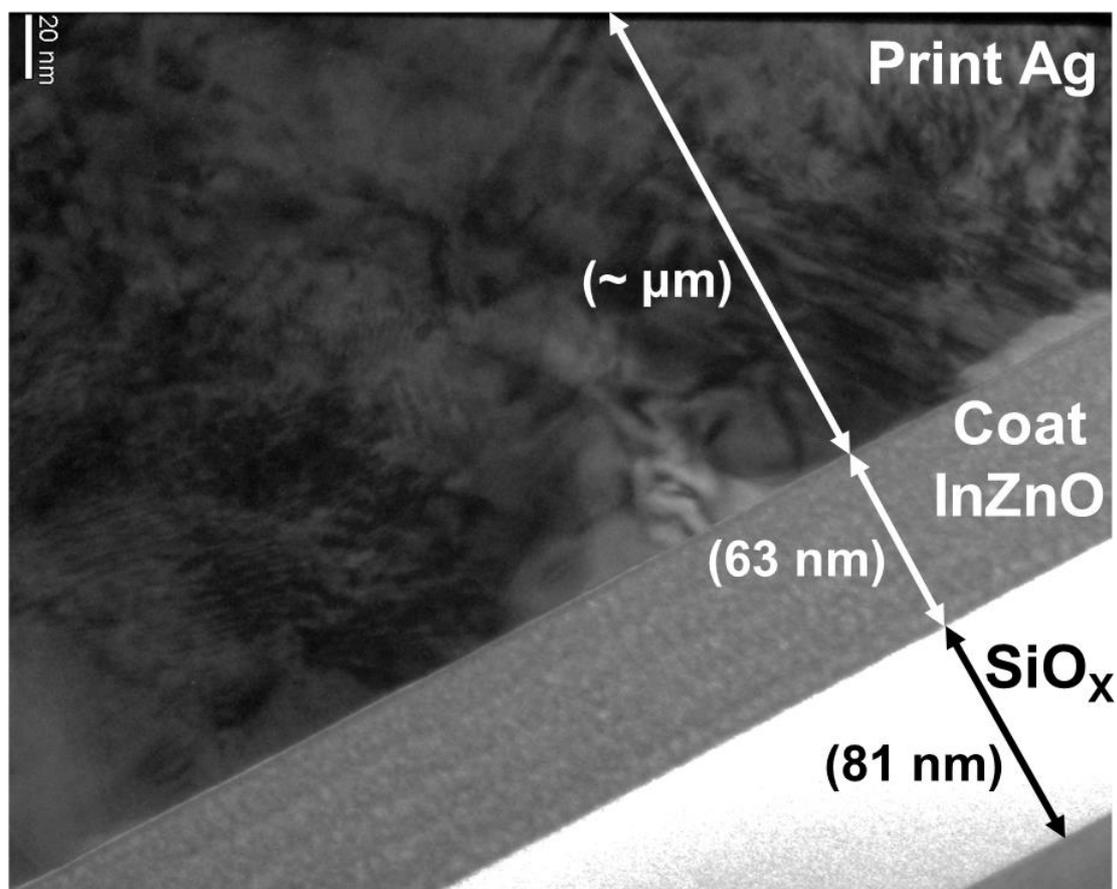


図 4.8. 塗布型 Ag 電極と InZnO の断面 TEM 像.

また各層にエネルギー分散型 X 線分析 (EDX) による重元素分析を行った結果を図 4.9 に示している. InZnO 層においては第 2 章で述べた通りだが, (b) に示す界面から約 20 nm の地点では In と Zn および O のピークが現れている. ここで Si と Mo のピークはバックグラウンドとして検出されるものであり, 各層の含有元素を示すものではない. 一方で (a) では界面から約 5 nm の地点における塗布型 Ag 層の分析結果を示しているが, Ag のピークに加えてペースト内の不純物 C を示唆するピークが確認できる. この結果が塗布型 Ag の体積抵抗率がスパッタ法成膜 Ag 電極よりも高い原因であると考えられる.

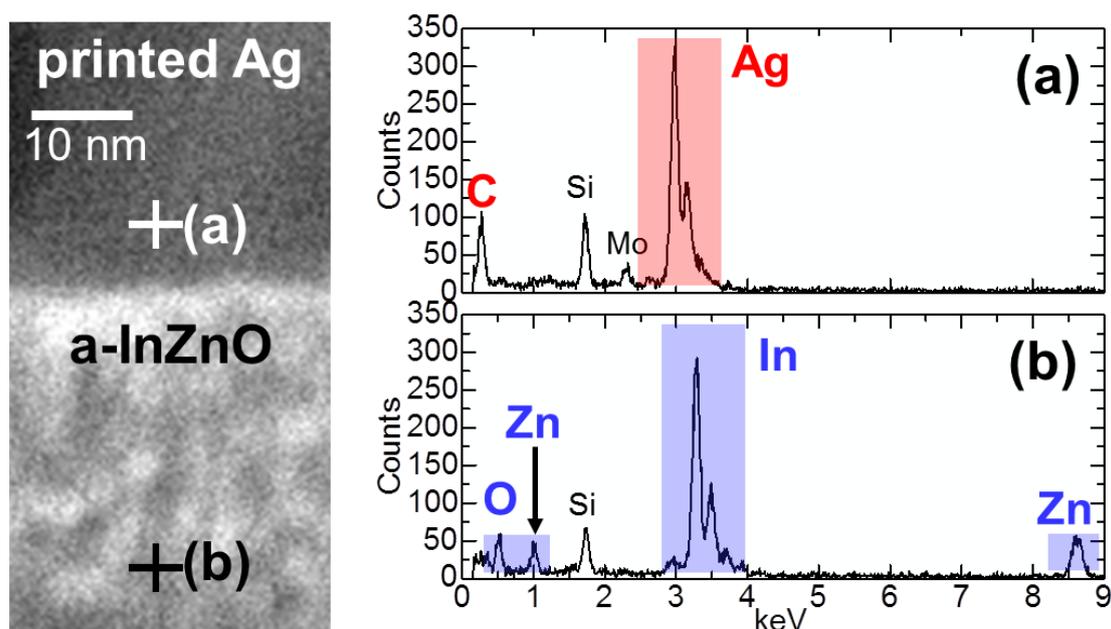


図 4.9. 電極と半導体間の断面 TEM 像と EDX における重元素分析. (a) 界面から 5 nm 地点における塗布型 Ag 電極, (b) 界面から 20 nm 地点の InZnO 層.

4.4.2 塗布型 Ag とスパッタ成膜 Ag の重元素分析

金属と半導体間の界面状態を評価するために, EDX を用いて界面の重元素評価を行った. その結果を図 4.10 に示すが, (a) では塗布型 Ag を (b) にはスパッタ成膜 Ag の結果を示し, それぞれ InZnO 中の Zn と電極の Ag および O について解析を行った. InZnO 由来の Zn と電極由来の Ag の元素マッピングから, 両者の接触界面が確認できる. その分布から, スパッタ成膜 Ag の高抵抗成分は InZnO 膜への Ag の拡散が原因ではないと考えられる. また, O マッピングの結

果からは、同様に電極と半導体界面の形成を示唆する分布が定性的に確認できるが、より好感度の電子エネルギー損失分光法 (EELS) を用いて解析を行った。

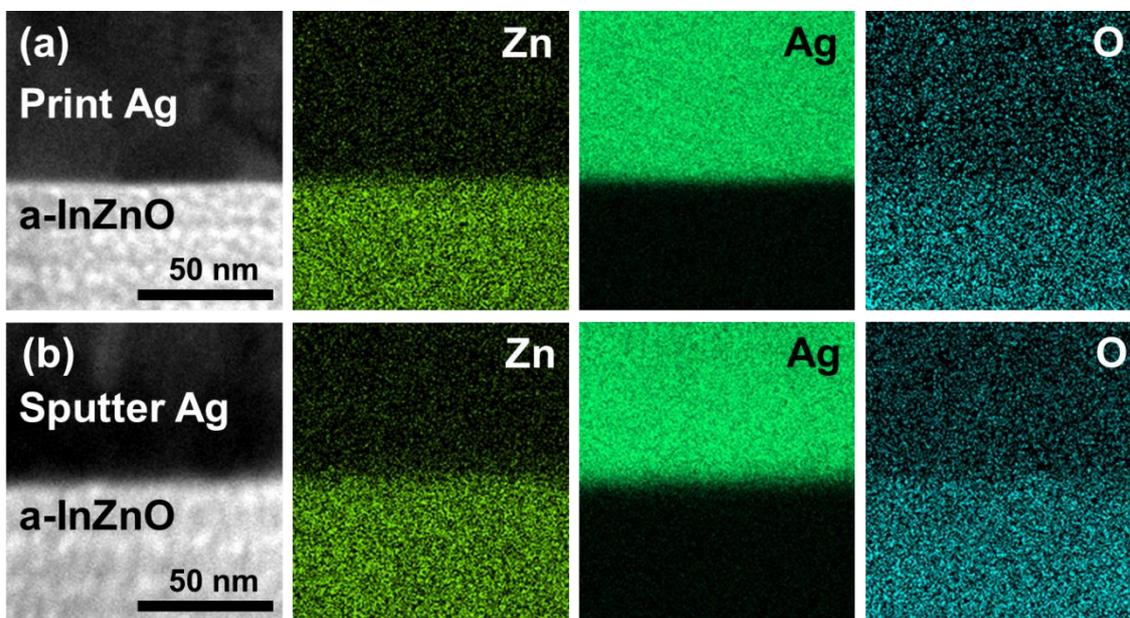


図 4.10. 塗布型とスパッタ成膜 Ag を用いた塗布型 InZnO 界面の重元素評価.

4.4.3 界面の軽元素分析

図 4.11 (a, b) には EELS を用いた各種電極と InZnO 界面の O マッピングを示しており、それぞれの左図にリファレンスとした断面 TEM 像を表している。まず (a) の塗布型 Ag 電極では、検出された O ピークはリファレンスの TEM 像と比較して界面で明確に分かれていることが分かる。対して (b) に示すスパッタ成膜 Ag 電極においては、界面から数 nm の Ag 電極層で O の検出ピークが現れており、リファレンスの断面 TEM 像と比較すれば、Ag 電極側での 2 次層形成が確認できる。この 2 次層は Ag-O 層であると考えられるが、図 4.12 に示す拡大図から分かる通り、この 2 次層は InZnO 表面全体でその形成が確認でき、約 5 nm の平均膜厚を持っていた。従って、図 4.7 で見られたスパッタ成膜 Ag の I_{DS} 性能の低下は、この高抵抗成分を持つ Ag-O 層 (約 $1 \times 10^7 \Omega \text{cm}$) が InZnO 表面で形成されるためであると考えられる。

塗布型 Ag とスパッタ成膜 Ag への二次層形成の有無は、スパッタ法による高エネルギーのスパッタ Ag 粒子が原因であると考えられる。スパッタ粒子は

InZnO 表面に衝突した際に、その衝突エネルギーによって界面 5 nm に Ag-O 層を形成し、一方で塗布型 Ag においてはその作製手法がエネルギー衝突を生じない塗布法であるため、Ag-O 層の形成が加速しにくいものと考えられる。以上の結果から、塗布型 InZnO と塗布型 Ag は従来のスパッタ成膜 Ag に対して低抵抗な界面状態を形成できることを示した。

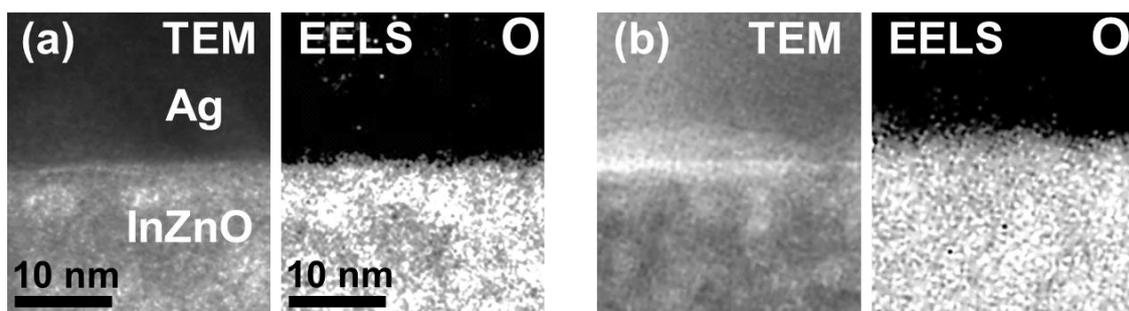


図 4.11. (a) 塗布型 Ag 電極と (b) スパッタ成膜 Ag 電極の EELS による酸素マッピング. それぞれ左図はリファレンスの TEM 像.



図 4.12. スパッタ成膜 Ag 電極と塗布型 InZnO 界面の断面 TEM 像.

4.5 電極材料ごとの特性比較

4.5.1 スイッチング特性評価

作成した塗布型 Ag 電極のスイッチング特性を評価するために、その他の金属材料との比較を行った。図 4.13 では、塗布型 Ag とスパッタ成膜 Ag に加えてスパッタ成膜 Mo および Ti を電極に用いた同サイズの TFT を作製し、それぞれの TFT のスイッチング特性を示している。横軸は同様に $V_{GS} - V_{On}$ を用いて各種 TFT の V_{On} を一致させている。各種電極を用いた TFT の I_{DS} 性能から、塗布型 Ag とスパッタ成膜 Mo および Ti のスイッチング曲線に大きな違いは見られないが、同電圧条件 $V_{GS} - V_{On} = 10.0 \text{ V}$ における I_{DS} の性能は Mo において $I_{DS} = 2.55 \mu\text{A}$ 、Ti において $I_{DS} = 2.29 \mu\text{A}$ 、塗布型 Ag においては $I_{DS} = 1.48 \mu\text{A}$ を示している。以上の結果から、塗布型 Ag の I_{DS} 性能は Mo 電極に対して約 0.6 倍に低下する。

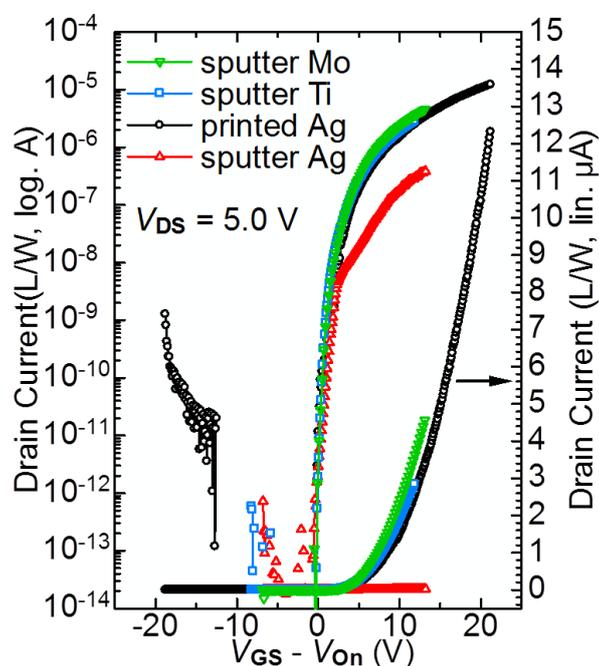


図 4.13. 塗布型 Ag 電極と各種電極材料による TFT のスイッチング特性.

4.5.2 接触抵抗と仕事関数

この原因を明らかにするため、塗布型 Ag 電極と塗布型 InZnO を用いて同様に TLM 法から $R_{Contact}$ と $L_{Transfer}$ および $\rho_{Contact}$ の値を算出した。図 4.14 では TLM

素子を用いた各チャンネル長における抵抗変化を示している．ここでは第 2 章で得られた結果を基に， $V_{GS}=10.0\text{ V}$ を印加した際の抵抗値を示しており，TLM 素子のサイズは $W_{\text{sheet}}=1100\text{ }\mu\text{m}$ であり， L_{sheet} は $100\text{ }\mu\text{m}$ から $50\text{ }\mu\text{m}$ ずつ増加する（実際の寸法は $\pm 5\text{ }\mu\text{m}$ の誤差があるが，ここでは設計値を適用している）．その結果から塗布型 Ag 電極は $R_{\text{Contact}}=3.84\text{ k}\Omega$ を示し，その時の $2L_{\text{Transfer}}$ は $1.48\text{ }\mu\text{m}$ であった．TLM 素子の W_{sheet} が約 $1100\text{ }\mu\text{m}$ であるため， ρ_{Contact} は $6.18\times 10^{-2}\text{ }\Omega\text{ cm}$ を示している．また，大気中光電子分光装置を用いて測定した ϕ_{M} の値は 4.92 eV であり，スパッタ成膜 Ag と比較して 0.36 eV 高い値を示した．この結果に加えて，スパッタ成膜 Mo と Ti 電極を用いた TLM の各種値を表 4.2 にまとめている．

前項で述べた通り塗布型 Ag 電極の利点は界面の 2 次層形成を抑制できることにあり，その R_{Contact} はスパッタ成膜 Ag 電極よりも低い値が得られている．しかしながら，Mo 電極と比較すればその ρ_{Contact} は約 1.5 倍高い値を示していることから， I_{DS} 性能の低下はこの高い抵抗成分が原因であるといえる．第 2 章で述べた塗布型 InZnO 自体の歩留りを考慮すれば多少の誤差はあるものの，塗布型 Ag 電極の ϕ_{M} が Mo に対して 0.6 eV 高いため，接触界面での ϕ_{B} のエネルギー高さが ρ_{Contact} の増加と I_{DS} の低下を引き起こしていると考えられる．従って，Mo 電極同様に低い ρ_{Contact} を形成し高い I_{DS} 性能を得るためには，Ag ペースト材料の ϕ_{M} を低くすることが重要である．

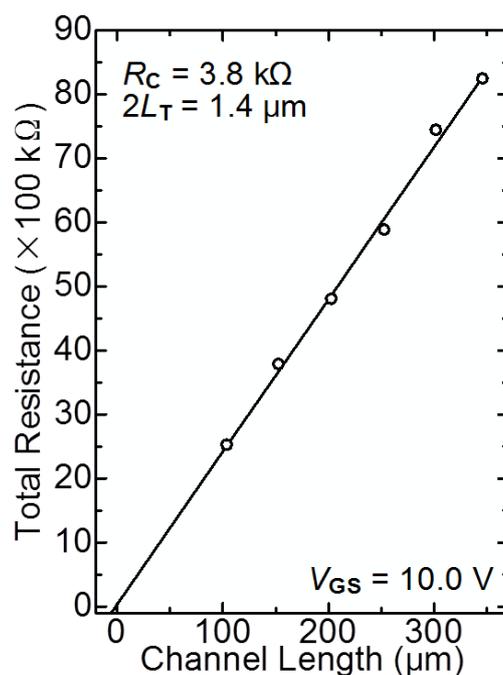


図 4.14. 塗布型 InZnO と塗布型 Ag 電極による TLM 評価．

表 4.2. 各種電極の仕事関数及び接触抵抗値.

	Sputter Mo	Sputter Ti	Sputter Ag	Printed Ag
ϕ_M (eV)	4.32	4.45	4.56	4.92
R_{Contact} (k Ω)	1.83	2.27	> 100	3.84
$2L_{\text{Transfer}}$ (μm)	1.95	1.89	-	1.48
ρ_{Contact} (Ωcm)	3.92×10^{-2}	4.72×10^{-2}	-	6.18×10^{-2}

4.6 結論

本章では、これまで述べてきた塗布型 InZnO を用いた TFT とその TFT 回路を搭載したデバイスの印刷化を目指した。その課題として、半導体層と電極層を塗布型化した上層 2 層塗布型 TFT の作製とその高いスイッチング特性を得ることとした。

4.2 では、まず初めに塗布型 InZnO に対してスパッタ成膜による Mo 電極と Ti 電極および Ag 電極を作製し、TLM 素子から接触抵抗の値を評価した。その結果、Mo 電極は最も低い接触抵抗を示し、その出力特性から Ohmic 伝導を示唆する線形特性が得られた。一方で Ag 電極は Mo 電極の仕事関数と比較しても、その接触抵抗は高い値を示し、界面付近で高抵抗領域が形成されていることを示した。この結果に対して、4.3 では塗布型 InZnO にスクリーン印刷による塗布型 Ag 電極を形成し、そのスイッチング特性を評価した。その結果、作製した TFT は明確なスイッチング特性を示し、80 回のサイクル測定においても高い安定性が得られた。また、スパッタ成膜 Ag 電極と塗布型 Ag 電極のスイッチング特性を比較した場合、塗布型 Ag は約一桁高い電流性能を示しており、スパッタ成膜 Ag で見られた半導体電極界面での高抵抗領域の形成は見られなかった。

塗布型 Ag 電極を使用する上で、この高抵抗領域の形成要因は明確化するべきである。従って、4.4 ではスパッタ成膜 Ag 電極および塗布型 Ag 電極と塗布型 InZnO のそれぞれの界面を解析するため、EDX による重元素分析と EELS による軽元素分析を行った。その重元素分析結果から、両者の電極で元素分布の違いは見られなかった。一方で、軽元素分析からはスパッタ成膜 Ag において Ag 層への O の拡散と 2 次層の形成が検出されており、その 2 次層は約 5 nm の膜厚と広範囲で InZnO 界面に形成されていることから、高い抵抗成分を持った Ag-O が電流低下を引き起こす原因と考えられる。この 2 次層は高い衝突エネルギーを持ったスパッタ Ag 粒子により形成されると考えられるが、スクリーン印刷による塗布法を用いることで抑制することができる。従って、塗布型 InZnO と塗布型 Ag 電極を用いた TFT の印刷適性は高抵抗領域の形成を抑制するという観点から高いといえる。

しかしながら、4.5 で述べた様に本研究で用いた塗布型 Ag 電極と塗布型 InZnO の仕事関数差が大きいことから、その電流性能はスパッタ成膜 Mo 電極に対して低い値を持つ。性能向上のためには、仕事関数差の小さい材料を用いることで電流性能の向上が期待できる。さらに、塗布法を用いることで塗布型 InZnO 上の 2 次層形成を抑制できるため、その電極材料の選択幅は広いといえる。

4.7 参考文献

- [1] H. Klauk, U. Zschieschang, J. Pflaum, and M. Halik, *Nature* 445, 745 (2007).
- [2] T.-C. Huang, K. Fukuda, C.-M. Lo, Y.-H. Yeh, T. Sekitani, T. Someya, and K.-T. Cheng, *IEEE Trans. Electron Devices* 58, 141 (2011).
- [3] K. Fukuda, Y. Takeda, Y. Yoshimura, R. Shiwaku, L.T. Tran, T. Sekine, M. Mizukami, D. Kumaki, and S. Tokito, *Nat. Commun.* 5, 4147 (2014).
- [4] W. Wang, L. Li, C. Lu, Y. Liu, H. Lv, G. Xu, Z. Ji, and M. Liu, *Appl. Phys. Lett.* 107, 063504 (2015).
- [5] K.-H. Choi and H.-K. Kim, *Appl. Phys. Lett.* 102, 052103 (2013).
- [6] J. Wang, B. Tian, V.B. Nascimento, and L. Angnes, *Electrochim. Acta* 43, 3459 (1998).
- [7] J.-H. Kim, J. Kim, G.J. Lee, J. Jeong, and B. Choi, *Mol. Cryst. Liq. Cryst.* (2014).
- [8] Y.-H. Tai, H.-L. Chiu, and L.-S. Chou, *J. Electrochem. Soc.* 159, J200 (2012).
- [9] E. Fortunato, V. Figueiredo, P. Barquinha, E. Elamurugu, R. Barros, G. Gonçalves, S.-H.K. Park, C.-S. Hwang, and R. Martins, *Appl. Phys. Lett.* 96, 192102 (2010).
- [10] C.-Y. Jeong, J. Sohn, S.-H. Song, I.-T. Cho, J.-H. Lee, E.-S. Cho, and H.-I. Kwon, *Appl. Phys. Lett.* 102, 082103 (2013).
- [11] D. Muñoz-Rojas, M. Jordan, C. Yeoh, A.T. Marin, A. Kursumovic, L.A. Dunlop, D.C. Iza, A. Chen, H. Wang, and J.L. MacManus Driscoll, *AIP Adv.* 2, 042179 (2012).
- [12] Y. Ueoka, T. Nishibayashi, Y. Ishikawa, H. Yamazaki, Y. Osada, M. Horita, and Y. Uraoka, *Jpn. J. Appl. Phys.* 53, 04EB03 (2014).
- [13] K.-H. Choi, H.-W. Koo, T.-W. Kim, and H.-K. Kim, *Appl. Phys. Lett.* 100, 263505 (2012).
- [14] Y. Ueoka, Y. Ishikawa, J.P. Bermundo, H. Yamazaki, S. Uraoka, Y. Osada, M. Horita, and Y. Uraoka, 37.
- [15] S.M. Sze, *Semiconductor Devices, Physical Technology*
- [16] Dieter K. Schroder, *Semiconductor Material and device Characterization*

5 第5章 総括

5.1 総括

ウェアラブルデバイスの実現に向けて、塗布型半導体として電界効果移動度が優れる酸化物半導体に着目し、その塗布型酸化物 TFT で実装可能な演算機能を持ったデバイス、シート状コンピュータの作製を目指した。その実現に向けて、本研究では酸化物半導体の一種であり塗布型の InZnO を用いて (1) TFT の基本性能評価と (2) 論理回路構築および動作実証を行い、そして (3) 塗布型 InZnO TFT の印刷適性を評価した。以下に、その主要な結果を示す。

第2章 塗布型酸化物薄膜トランジスタの作製と評価

塗布型 InZnO を用いた TFT の基本性能を評価すると共に、回路応用に向けた塗布型 TFT の構築を目指した。塗布型 InZnO の電流性能は膜厚依存性を持ち、5層積層化した塗布型 InZnO TFT は優れた電界効果移動度を示しており平均で $8.0 \text{ cm}^2/\text{Vs}$ の値が得られた。内在する寄生成分を考慮した場合には $8.0 \text{ cm}^2/\text{Vs} < \mu_{\text{sat}} < 9.4 \text{ cm}^2/\text{Vs}$ の値を取りうるため、従来報告されてきた塗布型酸化物 TFT としては平均かそれ以上の性能を示している。しかしながら、高い電流性能は自己発熱現象による信頼性の劣化が加速するため、回路応用においては放熱性を考慮した TFT を構築する必要がある。従って、本研究ではマルチチャネル型構造を用いることで TFT の放熱性を向上できることを明らかにした。

第3章 N型半導体による基本論理回路の構築と出力性能評価

塗布型 InZnO TFT による演算機能を目指して、単一型論理回路の論理出力を得ると共に、CMOS 回路の動作速度を塗布型 InZnO TFT のみで実現する回路構成を目指した。P型半導体の作製が困難な酸化物半導体であるが、本研究ではP型動作を可能にする疑似P型トランジスタを塗布型 InZnO TFT で作製し、CMOS 回路に類似した疑似 CMOS 型の NOT と NAND および NOR 回路を提案した。それぞれの疑似 CMOS 型論理回路は真理値表に従った論理出力を実証し、高い信頼性を持って駆動できることを示した。その動作速度は電圧条件によって論理出力レベルの低下と消費電力の増大を伴うが、目的とした CMOS 回路に匹敵する速度性能を得ることが可能である。そして、疑似 CMOS 型論理回路の中で速い動作速度を示す NOT と NAND およびその組み合わせ回路を用いた回路構成が、動作速度の観点から適していることを明らかにした。

第4章 Agペーストを用いた塗布型トランジスタの作製

第2章と第3章では、塗布型 InZnO TFT の高い電気特性を示し、構築された各種疑似 CMOS 論理回路は論理出力を実証した。そして演算機能を持ったデバイスの完全塗布型化を狙い、その実現のため本章では半導体層の塗布型 InZnO に加えて電極層の塗布型化を目指した。スクリーン印刷による塗布型 Ag 電極を用いて作製した上層2層塗布型 InZnO TFT から明確なスイッチング特性が得られ、その電流性能は80回のサイクル測定でも高い安定性を示した。さらにスパッタ成膜 Ag と塗布型 InZnO 界面で観測された高抵抗の Ag-O 層の形成は、塗布型 Ag を用いた場合ではその形成を抑制できることを示した。従って、塗布型 InZnO と塗布型 Ag 電極を用いた TFT の印刷適性は高抵抗領域の形成を抑制できるという観点から高いといえる。しかしながら、得られた電流性能は塗布型 Ag 電極と InZnO の仕事関数差が大きいことからスパッタ成膜 Mo 電極に対して低い値を持つ。従って電流性能向上のためには、仕事関数差の小さい材料を用いる必要があるが、塗布法を用いることで塗布型 InZnO 上の2次層形成を抑制できるため、その電極材料の選択幅は広い。

以上の第2章、第3章、第4章の結果から、印刷可能なシート状コンピュータの実現が可能であることを示す。

5.2 今後の展望

本研究で示した疑似 CMOS 型論理回路を用いることで、CMOS 型に匹敵する高速動作を N 型の酸化物半導体だけで構築することが可能である。しかしながらリングオシレータ回路による発振特性からも分かる通り、最も速い疑似 CMOS 型 NOT 回路でも約 $10\ \mu\text{s}$ の遅延時間が発生する。Si による CMOS の NOT 回路では ns もしくはそれ以下の遅延時間が生じるため、塗布型 InZnO TFT による疑似 CMOS 型の動作速度は未だ 4 桁以上遅い。この大きな要因の一つは電界効果移動度の違いであるが、スパッタ成膜法の酸化物半導体で報告されている移動度値は $10\ \text{cm}^2/\text{Vs}$ から $40\ \text{cm}^2/\text{Vs}$ の値であり、塗布型 InZnO が最大で約 $10\ \text{cm}^2/\text{Vs}$ とその平均値に入るため、移動度の向上のみで Si CMOS の動作速度に近づくことは困難である。そこで、もう一つの要因として挙げられる寄生容量であるが、現状の TFT 構造では上部と下部電極のオーバーラップ領域が存在するため、そのオーバーラップ容量の状放電時間が発生する。特に、第 4 章で作製した上層 2 層塗布型 InZnO TFT においてはそのオーバーラップ領域は広く、この TFT 構造を疑似 CMOS 型に適用したとしても速い動作速度は期待できない。従って、作製方法の見直しや TFT 構造にセルフアライン構造などを適用することで、そのオーバーラップ容量を少なくすることが重要である。

また、本研究で用いた塗布型 InZnO やその他の酸化物材料では、最後の工程で 200°C から $300\ ^\circ\text{C}$ のアニール温度が必要となるため、プラスチック基板などのフレキシブル基板を用いることは困難である。従って、寄生容量成分の低減と低温作成法の確立および完全塗布型 TFT の作製が容易になれば、本研究が目指すシート状コンピュータの実現が可能である。さらに、酸化物半導体の持つ透明性と印刷性を利用すれば、外見を損なわない透明なウェアラブルデバイスを短時間で高速に印刷することができる。この実現は、これまでディスプレイ用途が盛んであった酸化物半導体の新たな市場展開が広がるものと期待する。

5.3 研究業績

投稿論文

1. Satoshi Urakawa, Shigegazu Tomai, Yoshihiro Ueoka, Haruka Yamazaki, Masashi kasami, Koki Yano, Dapeng Wang, Mamoru Furuta, Masahiro Horita, Yasuaki Ishikawa, and Yukiharu Uraoka, “Thermal analysis of amorphous oxide thin-film transistor degraded by combination of joule heating and hot carrier effect”, *Applied Physics Letters*, 102, 053506 (2013)
2. Satoshi Urakawa, Shigegazu Tomai, Yoshihiro Ueoka, Haruka Yamazaki, Masashi kasami, Koki Yano, Dapeng Wang, Mamoru Furuta, Masahiro Horita, Yasuaki Ishikawa, and Yukiharu Uraoka, “Thermal Distribution in Amorphous InSnZnO Thin-Film Transistor”, *Physica Status Solidi C*, 10,1561-1564 (2013)
3. Satoshi Urakawa, Yasuaki Ishikawa, Mami N. Fujii, Mutsumi Kimura, Yasuhiro Nakashima, and Yukiharu Uraoka, “Logical Circuit with an Imitated P-type Transistor for Metal Oxide Semiconductor”, to be submitted

学会発表

国際学会

1. Satoshi Urakawa, Shigekazu Tomai, Masashi Kasami, Koki Yano, Dapeng Wang, Mamoru Furuta, Mutsumi Kimura, Masahiro Horita, Yasuaki Ishikawa, and Yukiharu Uraoka, *2013 International Workshop on Active-Matrix Flatpanel Displays and Devices (AM-FPD '13)*, Kyoto, Japan, July 2013 (Poster)
2. Satoshi Urakawa, Shigegazu Tomai, Yoshihiro Ueoka, Haruka Yamazaki, Masashi kasami, Koki Yano, Dapeng Wang, Mamoru Furuta, Masahiro Horita, Yasuaki Ishikawa, and Uraoka Yukiharu, *International Symposium on Compound Semiconductors (ISCS 2013)*, Kobe, Japan, May 2013 (Oral)
3. Satoshi Urakawa, Shigegazu Tomai, Yoshihiro Ueoka, Haruka Yamazaki, Masashi kasami, Koki Yano, Dapeng Wang, Mamoru Furuta, Masahiro Horita, Yasuaki Ishikawa, and Uraoka Yukiharu, *International Device Physics Young Scientist Symposium*, Nara, Japan, March 2013 (Oral)

4. Satoshi Urakawa, Shigegazu Tomai, Yoshihiro Ueoka, Haruka Yamazaki, Masashi Kasami, Koki Yano, Dapeng Wang, Mamoru Furuta, Masahiro Horita, Yasuaki Ishikawa, and Uraoka Yukiharu, *9th International Thin-Film Transistor Conference (ITC 2013)*, Tokyo (University of Tokyo), Japan, March 2013 (Oral)
5. Satoshi Urakawa, Yasuaki Ishikawa, Yukihiro Osada, Mami N. Fujii, Masahiro Horita, and Uraoka Yukiharu, *he 21st International Display Workshops, (IDW 2014)*, Niigata, Japan, December 2014 (Poster)

国内学会

1. 浦川哲, 上岡義弘, 山崎はるか, 石河泰明, 浦岡行治, "デバイスシミュレーションによるアモルファス酸化物半導体における劣化現象の理論的解析", *電子情報通信学会 シリコン材料・デバイス研究会*, 京都大学, 12月, 2012年
2. 浦川哲, 堀田昌宏, 石河泰明, 浦岡行治, "アモルファス酸化物薄膜トランジスタにおける発熱シミュレーション", 2013年度応用物理学会春季講演会, 神奈川工科大学, 3月, 2013年
3. 浦川哲, 筈井重和, 上岡義弘, 山崎はるか, 笠見雅司, 矢野公規, Dapeng Wang, 古田守, 堀田昌宏, 石河泰明, 浦岡行治, "酸化物薄膜トランジスタの自己発熱効果における熱劣化解析", 2013年度応用物理学会春季講演会, 神奈川工科大学, 3月, 2013年
4. 浦川哲, 筈井重和, 笠見雅司, 矢野公規, Dapeng Wang, 古田守, 堀田昌宏, 石河泰明, 浦岡行治, "酸化物薄膜トランジスタにおける発熱効果および劣化現象のサイズ依存性", 2013年度応用物理学会秋季講演会, 同志社大学, 9月, 2013年
5. 浦川哲, 石河泰明, 堀田昌宏, 浦岡行治, "高安定性アモルファス InAlZnO 薄膜トランジスタ", 2013年度応用物理学会秋季講演会, 同志社大学, 9月, 2013年
6. 浦川哲, 石河泰明, 長田至弘, 藤井茉実, 堀田昌宏, 浦岡行治, "塗布型 a-InZnO 薄膜トランジスタに向けた銀ナノペーストの印刷適性", 2015年度応用物理学会春季講演会, 東海大学, 3月, 2015年

5.4 謝辞

本研究は多くの方々のご協力の下で行われました。末文ではありますが、皆様に感謝の辞を述べさせていただきます。

本研究は奈良先端科学技術大学院大学 物質創成科学研究科 情報機能素子科学研究室において、浦岡行治教授の御指導を賜り、博士論文として提出させていただきました。浦岡行治教授には本研究を進めていく過程において、配慮に満ちた御支援と多大なる激励をいただきました。ここに深く感謝致します。

石河泰明准教授には、研究の全般において数多くの御指導、御助言をいただきました。また、研究に対する取り組み方や博士課程の学生としての在り方、そして社会人として生活していく心構えなど、絶え間ない御指導と激励をいただきました。ここに深く感謝致します。

研究室における実験装置の取り扱いや研究を遂行するための適切な環境整備まで、研究環境全般において御指導と御協力いただき、また研究内容に対して有益な御指摘をいただいた堀田昌宏助教、西田貴司助教に深く感謝致します。

研究室での進捗報告会などでは上沼睦典助教、鄭彬特任助教、藤井茉美助教、Juan Paolo Soria BERMUNDO 特任助教より有益な御助言、御指摘をいただき、感謝申し上げます。

光機能素子科学研究室の太田淳教授には、本研究の解析において有意義かつ適切な御指導をいただきました。ここに深く感謝致します。

ナノ構造磁気科学研究室の細糸信好准教授には、異なる分野からの視点で数々の有益な御教示をいただきました。ここに深く感謝致します。

情報科学研究科、コンピューティングアーキテクチャ研究室の中島康彦教授には、回路設計に関しまして御指導と御助言をいただきました。ここに深く感謝申し上げます。

Delft University of Technology, Electronic Component, Technology and Materials の石原良一准教授、MSc Pengfei Sun および全てのスタッフと学生の皆様には、回路シミュレータの解析と様々な知識をいただきました。ここに深く感謝申し上げます。

出光興産株式会社の矢野公規様、笹井重和様、笠見雅司様、霍間勇輝様、早坂紘美様、川嶋絵美様には評価素子の提供と貴重な議論をいただきまして、厚く御礼申し上げます。

日産化学工業株式会社の濱田敏正様、伊佐治忠之様、前田真一様には本研究の素子作製におきまして貴重な材料提供と議論をいただきました。ここに深く感謝致します。

高知工科大学の古田守教授, **Dapeng Wang** 助教には, 本研究における評価素子の提供と議論を頂きました. 厚く御礼申し上げます.

龍谷大学の木村睦教授, 松田時宜助教には, シミュレーションと回路設計に関する議論と御助言をいただきまして, 厚く御礼申し上げます.

情報機能素子科学研究室 博士後期課程の先輩である, 川村悠実氏, 町田絵美氏, 呂莉氏, 上岡義弘氏, 西城理志氏, 山崎浩司氏, 上武央季氏, 番貴彦氏, 山崎はるか氏, 吉嗣晃治氏, **Yana Mulyana** 氏には本研究を進めるにあたり有益な御助言を数多くいただきました. また研究生活に対する姿勢など多くの御指導御鞭撻を賜りました. 厚くお礼申し上げます.

情報機能素子科学研究室の後輩である, 荒木慎司氏, 長田至弘氏, 門圭祐氏, 何超氏, 鍋坂恭平氏, 菱谷大輔氏, 吉永征矢氏, 梅原智明氏, 木瀬香保利氏, 末永慧氏, 高尾透氏, 竹之内俊亮氏, 長尾博之氏, 本田竜規氏, 姜雲建氏, **Kulchaisit CHAIYANAN** 氏, 内山俊祐氏, 岡崎駿氏, 岡田広美氏, 多田雄貴氏, 仁枝嘉昭氏, 藤本裕太氏, 來福至氏, 劉洋氏, 及川賢人氏, 唐木裕馬氏, 河村祐亮氏, 多和勇樹氏, 富永雄太氏, 野口一輝氏, 橋間裕貴氏, 張松氏には, 研究だけでなく, 研究活動以外でも様々な協力をいただき, 最後まで充実した研究活動, 学生生活を進めることができました. ここに深く感謝致します.

本研究を円滑に進めるにあたり, 様々な面でサポートしていただきました秘書の森田由紀子氏, 高尾布由子氏をはじめとする研究室の皆様に深く感謝致します.

最後に, 本研究を進めるに当たり, 精神的な支えであった友人達と, 常に支えとなっていたいただいた両親と家族に心から感謝致します.