

原子層堆積法による高機能酸化物半導体を用いた薄膜トランジスタの低温形成とその評価

川村 悠実

2013年3月

奈良先端科学技術大学院大学

物質創成科学研究科

目次

第1章 序論.....	1
1.1 序論.....	1
1.2 薄膜トランジスタ (TFT)	2
1.2.1 ディスプレイ駆動方式.....	2
1.2.2 薄膜トランジスタ	4
1.3 酸化物半導体.....	5
1.3.1 透明酸化物材料.....	5
1.3.2 酸化亜鉛(ZnO)系酸化物半導体.....	6
1.4 原子層堆積 (ALD) 法.....	7
1.4.1 原子層堆積 (ALD) 法の原理.....	7
1.4.2 プラズマ ALD 法.....	9
1.5 背景と目的.....	10
1.6 概要.....	11
参考文献.....	13
第2章 ALD 法による ZnO 薄膜の形成および評価	16
2.1 緒言.....	16
2.2 TFT 特性評価方法.....	17
2.2.1 電界効果移動度(μ_{FE}).....	17
2.2.2 閾値電圧 (V_{th})	18
2.2.3 サブスレッショルドスイング (S 値)	19
2.3 ALD による ZnO 薄膜の酸化剤による TFT 特性比較.....	20
2.3.1 ALD による ZnO 薄膜の形成	20
2.3.2 ZnO TFT 作製プロセス	21
2.3.3 ホール効果測定.....	22
2.3.4 ZnO TFT 伝達特性	22
2.3.5 X線光電子分光による ZnO 膜の組成評価.....	24
2.4 ZnO TFT 特性における熱処理の効果.....	27
2.4.1 熱処理による ZnO TFT 伝達特性の変化.....	27
2.4.2 電気ストレスに対する信頼性評価.....	29
2.4.3 X線回折による結晶性評価.....	31
2.4.4 ZnO 膜組成評価.....	34
2.5 プラズマ印加時間による ZnO TFT 特性の変化.....	36

2.5.1 ZnO TFT 伝達特性	36
2.5.2 ZnO 薄膜特性.....	37
2.6 PA-ALD による ZnO TFT 特性における堆積温度依存性	40
2.6.1 PA-ALD による ZnO TFT 伝達特性	40
2.6.2 X線回折による ZnO 膜の結晶性評価.....	41
2.6.3 二次イオン質量分析 (SIMS) による ZnO 膜の組成評価	41
2.6.4 可視光領域における透過率測定	43
2.7 ラジカル源による ZnO TFT の高性能化.....	43
2.7.1 水プラズマ ALD による ZnO 薄膜の形成	43
2.7.2 水プラズマ ALD による ZnO TFT 特性	44
2.7.3 二次イオン質量分析による組成評価.....	45
2.7.4 X線回折による ZnO 膜の結晶性評価.....	46
2.7.5 AFM による ZnO 膜の表面形状評価.....	48
2.8 結言.....	49
参考文献.....	51
第3章 ZnO TFT における ALD による絶縁膜の効果	53
3.1 緒言.....	53
3.2 ALD 法による絶縁膜の形成および ZnO TFT 特性への効果	54
3.2.1 ALD 法による絶縁膜の形成.....	54
3.2.2 ALD による絶縁膜の特性評価.....	55
3.2.3 ALD によるゲート絶縁膜を用いた ZnO TFT 特性	56
3.3 ALD によるゲート絶縁膜を用いた低温プロセス ZnO TFT の特性向上	58
3.3.1 ALD による ZnO TFT 低温作製	58
3.3.2 ALD による ZnO TFT の電气的ストレス下における信頼性評価	59
3.3.3 SIMS による深さ方向の組成測定.....	62
3.3.4 ALD による酸化亜鉛薄膜の高機能化に向けた検討.....	64
3.4 ALD による低温プロセス ZnO TFT へのパッシベーション膜の効果	66
3.4.1 ZnO TFT 上パッシベーション膜の形成	66
3.4.2 ZnO TFT 特性へのパッシベーション膜の効果	67
3.4.3 PA-ALD パッシベーション膜による ZnO TFT の信頼性の改善	69
3.5 PA-ALD による高性能フレキシブル ZnO TFT の作製	71
3.5.1 PA-ALD による高性能 ZnO TFT の低温作製	71
3.5.2 フレキシブル基板上 ZnO TFT 作製プロセス.....	72
3.5.3 フレキシブル ZnO TFT 特性.....	72

3.5.4	フレキシブル ZnO TFT の信頼性評価.....	73
3.6	結言.....	75
	参考文献.....	77
第4章	非晶質 In-Ga-Zn-O TFT 特性における ALD 絶縁膜の効果.....	79
4.1	諸言.....	79
4.2	In-Ga-Zn-O TFT の作製プロセス.....	79
4.3	a-IGZO TFT 特性における熱処理の効果.....	80
4.3.1	TFT 作製後の熱処理による特性の変化.....	80
4.3.2	TFT 作製前の熱処理による特性の変化.....	81
4.4	a-IGZO TFT における ALD 絶縁膜の効果.....	83
4.4.1	a-IGZO TFT における ALD によるパッシベーション膜の効果.....	83
4.4.2	a-IGZO TFT における ALD によるゲート絶縁膜の効果.....	85
4.5	結言.....	88
	参考文献.....	89
第5章	総括と展望.....	90
5.1	本研究の総括.....	90
5.2	今後の展望.....	92
研究業績	94
I.	投稿論文.....	94
II.	Proceedings.....	95
III.	学会発表.....	95
国際学会	95
国内学会	97
謝辞	100

第1章 序論

1.1 序論

近年のコンピュータ関連技術の発展に伴う高度情報化社会において、マンーマシンインターフェースの一つであるディスプレイの役割はますます大きくなってきている。現在我々の周りには、テレビやパーソナルコンピュータ、スマートフォンに代表されるように、ディスプレイを有した様々な情報端末が存在しており、ディスプレイは人と情報を繋ぐインタフェースとして重要な役割を担っている。さらには、いつでも・どこでも・誰でもこれらの恩恵を受けることができるユビキタスネットワーク社会の実現が迫っており、ディスプレイの果たす役割はさらに重要なものになる。

液晶ディスプレイ (LCD: Liquid Crystal Display) は、過去に主流であったブラウン管ディスプレイと比較して薄型、軽量、低消費電力を特徴としたディスプレイであり、環境保全・省エネルギーの観点よりその重要性が急速に増し、現在はずでに主流となっている技術である。安全かつ環境負荷の少ない社会を実現するためには、ディスプレイは今後も形を変え、次世代へ発展していくと考えられる。この革新の一つとして、透明で湾曲することができるフレキシブルなディスプレイやコンピュータの開発が進められている。これが実現されれば、ユビキタスネットワーク社会に大きく貢献することになるであろうと考えられる。近未来予想図として映像作品に用いられてきた未だ実現されていないこの次世代素子は、これまで映画の中だけの世界であったものを現実のものとし、人々の生活を豊かにするであろうことは想像に難くない。このようなディスプレイを構成する重要な素子に薄膜トランジスタ (TFT: Thin Film Transistor) がある。これは、我々の日々の生活を支えるディスプレイに既に広く使用されている素子であり、次世代ディスプレイにとっても無くてはならない素子となる。TFT の機能は画素の表示・非表示を切り替えるスイッチングを行うことであり、そこに使用されている半導体薄膜により、その性能は大きく左右される。TFT を透明でフレキシブルなディスプレイに適用するためには、半導体薄膜もその性能を維持しながら透明、フレキシブルという条件を満たさなければならない。しかしながら、現在半導体薄膜材料として、シリコンが一般的に使用されており、要求されるこれらの条件を満たすことは困難である。このような背景により、近年この条件を満たし得る材料として、金属酸化物の半導体特性が注目され始めた。酸化物半導体は 3 eV 以上のバンドギャップを持つことから、可視光に対して透明な材料である。また、酸化物半導体薄膜は室温で成膜することが可能であることから、応用に十分なデバイス特性を備えた、次世代ディスプレイの構成材料として最も適していると位置づけられる。

本研究は、次世代ディスプレイの実現に向け、高性能金属酸化物半導体薄膜の形成と、その実用化を目的としている。

1.2 薄膜トランジスタ (TFT)

1.2.1 ディ스플레이駆動方式

ディスプレイの駆動方式には、パッシブマトリクス (PM : Passive Matrix) 型駆動方式と、アクティブマトリクス (AM : Active Matrix) 型駆動方式があり、PM 型駆動方式は TFT がなく、走査配線と信号配線とで画素を駆動する。しかし、この方式では隣接する画素にかかる電圧の影響を受ける、前画像の残像があるなどの問題がある。そこで、各画素にスイッチングトランジスタを入れることにより、隣接する画素信号の影響を受けないようにした AM 型駆動方式が、大画面化するディスプレイに用いられるようになった。ディスプレイの薄型化・モバイル化に伴い、トランジスタにも薄型化・微細化が要求され、TFT が使用されるようになった。¹⁾

AM 型ディスプレイは、1971 年 RCA 社の Lechner らにより提案された。²⁾ その後、TFT 駆動の液晶ディスプレイ (LCD: Liquide crystal display) の開発が世界中で行われ、現在ではテレビやパーソナルコンピュータをはじめとするデジタル家電など多くの機器に搭載されている。今後も新しいディスプレイの駆動にはその性能に対応した TFT が必要になると考えられる。次世代ディスプレイとしてはオフィスや電車の窓がすべてディスプレイとして使用できる透明ディスプレイ^{3,4)}、巻き取ってコンパクトに持ち歩くことができるフレキシブルディスプレイ^{5,6)}、衣服やメガネ、時計などにディスプレイ表示を行うウェアラブルディスプレイなどが提案されている。

現在、透明でフレキシブルな次世代ディスプレイやガラス上コンピュータの実現による、ユビキタスネットワーク社会を目指した研究が盛んに行われている。フレキシブルディスプレイは、薄くて曲げることができるなどの特徴をもつ新しいディスプレイであり、医療やレスキュー現場への応用や、環境負荷の低減等の環境面への配慮から、現在このフレキシブルディスプレイの開発が求められている。図 1-1 は、世界で初めて我が国で発売された、酸化亜鉛 (ZnO) 系 TFT を画素駆動素子とした有機 EL ディ스플레이を搭載したスマートフォンである。また、これまでに発表された透明ディスプレイ、フレキシブルディスプレイなど次世代ディスプレイの例を、図 1-2 に示す。ユビキタス社会に適応した次世代ディスプレイ用 TFT では、その構成材料に「透明」であり「フレキシブル基板上への作製が可能」といった条件が求められる。



図 1-1 酸化亜鉛系 TFT 駆動有機 EL ディスプレイ搭載スマートフォン (Sharp, 2012) ⁷⁾

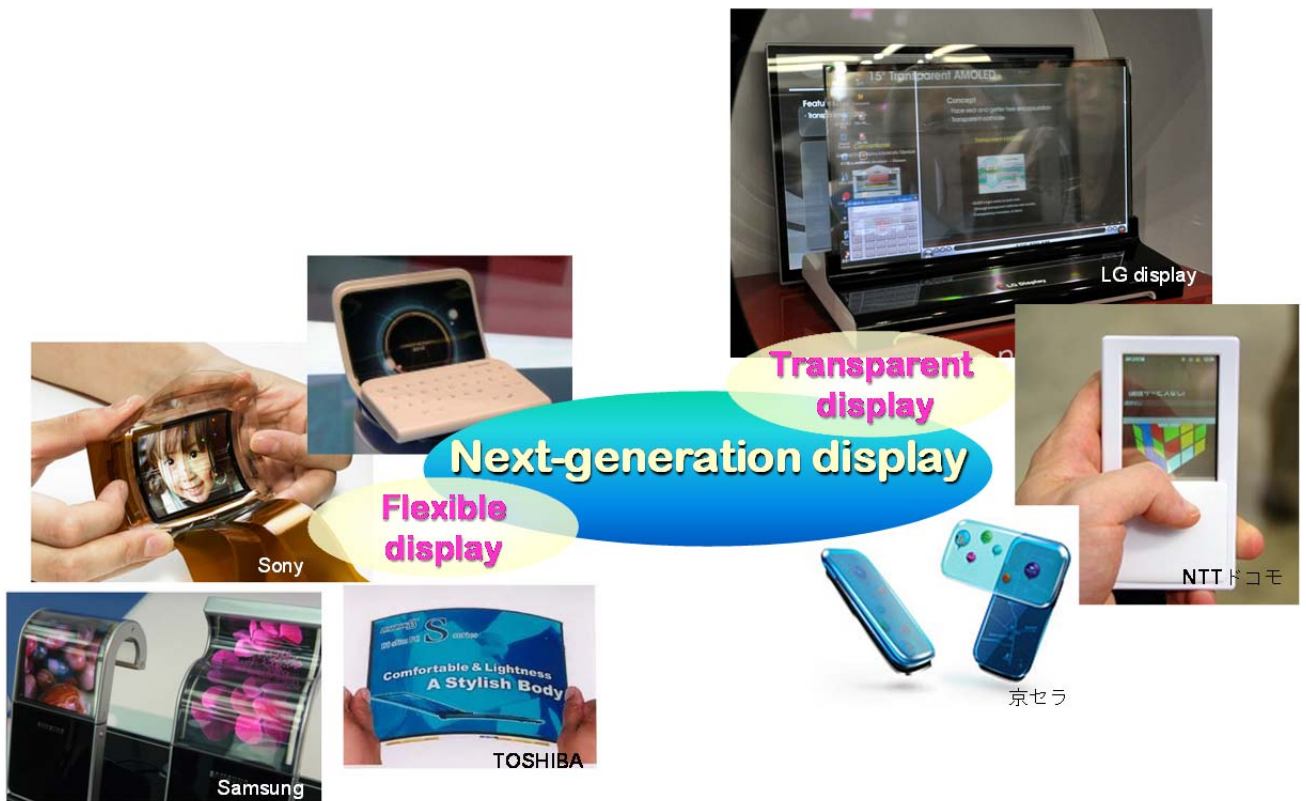


図 1-2 次世代ディスプレイ ⁸⁻¹³⁾

1.2.2 薄膜トランジスタ

トランジスタは、バイポーラトランジスタと電界効果トランジスタ(FET: Field Effect Transistor) に分類される。薄膜トランジスタは、半導体材料を用いて作製される FET の一種である。電界効果トランジスタは、1930 年ドイツの Leipzig 大学の J. Lilienfeld が、固体電子装置の特許をカナダに提出したことから始まる。¹⁴⁾ その後、1947 年に点接触型トランジスタが、アメリカ Bell 研究所の J. Bardeen, W. H. Brattain によって発明された。翌年には同研究所の W. B. Shockley Jr. により、バイポーラトランジスタの理論が証明された。その後も Bell 研究所ではトランジスタの研究が盛んに行われ、1960 年にシリコンの金属/酸化物/半導体(MOS : Metal/Oxide/Semiconductor) トランジスタが発明された。

世界初の TFT は、1962 年に硫化カドミウム(CdS) を用いて試作された。¹⁵⁾ その後、1973 年に TFT をアドレス素子として用いた AM 型無機 EL ディスプレイの試作が報告されている。¹⁶⁾ このように、TFT の研究は II-VI 族化合物カルコゲナイド半導体から始まった。当時光導電デバイスとして盛んに研究されていたこれらの材料は、真空蒸着を用いた薄膜が容易に形成でき、 $5\sim 50\text{ cm}^2/\text{Vs}$ という高いホール移動度を持つが、一方で、膜質制御や界面欠陥制御が困難であり、n 型が作製できない、毒性材料であるなど様々な課題を抱えていた。1975 年にイギリス Dundee 大学の Spear らが価電子制御可能な水素化非晶質シリコン(a-Si:H) 薄膜を提案し、^{17,18)} 1979 年にはこれを用いた TFT を報告した。¹⁹⁾ これは大変重要な発明であり、現在のディスプレイ駆動 TFT の主流は Si 系材料となっている。Si を用いた TFT には、a-Si:H^{20,21)}、微結晶 Si ($\mu\text{-Si}$)²²⁾、低温ポリシリコン(LTPS : Low temperature poly crystalline silicon)^{23,24)}、高温ポリシリコン(HTPS: High temperature poly crystalline silicon)²⁵⁾、単結晶 Si がある。²⁶⁾ 次世代ディスプレイに対応する TFT の試作においても、これら a-Si:H や LTPS を用いて開発が進められてきた。²⁷⁾ LTPS-TFT は a-Si:H TFT より二桁高い $100\text{ cm}^2/\text{Vs}$ という高い電界効果移動度を持つ高性能な TFT である。²⁸⁾ しかし、チャンネルに結晶粒界を含むことで TFT 特性のばらつきが生じるなどの問題を抱えている。a-Si:H を用いた場合では、TFT 特性の不均一性を抑えることが可能であるが、a-Si:H TFT の電界効果移動度は LTPS-TFT の 1/100 程度であり、次世代の高精彩ディスプレイ駆動に要求される特性を得ることは困難である。従って、プラスチック基板などのフレキシブル基板上に、低価格で大面積に形成できる十分な性能を持った素子の開発が望まれる。このような背景から、低温形成が可能である有機 TFT や、室温で形成された酸化物半導体を用いた TFT も登場し²⁹⁻³¹⁾、世界初の TFT に用いられた化合物半導体が再び注目されている。

近年実用化が始まった OLED は電流駆動素子であり、画面のピーク輝度の向

上には、駆動 TFT の駆動電流 (I_d) の向上,すなわち電界効果移動度の向上が必要である。さらに、大画面化に伴い同一輝度の実現に必要なとされる I_d が増大することから、画素駆動用 TFT の高移動度化が求められる。次世代ディスプレイにおいては、約 1 億個の TFT が必要とされるため、高移動度の TFT を用いることにより TFT のチャネル幅を小さくできるという利点もある。また、OLED では、画素間の駆動 TFT の I_d のばらつきが輝度のばらつきとして視認されるため、TFT には特性の均一性が強く要求される。

そこで、次世代ディスプレイの画素駆動素子として要求される「透明」「フレキシブル」「高移動度」の条件を満たす半導体材料として、現在は酸化物半導体が最有力候補とされている。

1.3 酸化物半導体

1.3.1 透明酸化物材料

透明性とは可視光透過性を指しており、透明な材料とは 3.3eV 以上のエネルギーギャップを有する材料である。現在半導体材料として一般的に使用されている Si(1.1eV)や GaAs(1.42eV)と比較して、透明材料はエネルギーギャップが大きく、ワイドギャップ材料と呼ばれる。ワイドギャップ材料には、酸化亜鉛(ZnO)に代表される酸化物半導体が挙げられる。

酸化物材料は、酸化シリコンに代表される絶縁材料から、透明導電膜に代表される導電材料まで、広範囲な導電率を示す。透明導電膜としての透明酸化物材料は、1947 年頃より透明導電性材料として研究され始めた。1954 年、R.E. Aitchison により酸化インジウム (In_2O_3) が高い導電性を示すという報告がされた後³²⁾、その電氣的・物理的特性が多く研究者により明らかにされ、低抵抗率で透明度の高い薄膜が形成できるようになった。その結果、現在タッチパネル用透明導電膜などに一般的に使用されている、酸化インジウムに 5-10%程度のスズをドーブした Indium-Tin-Oxide (ITO) 等、透明導電膜として広く利用されるようになった。

代表的な透明酸化物材料としては、 In_2O_3 、 SnO_2 、ZnO などが挙げられる。中でも、ITO は透明導電膜材料として広く実用化されている。しかしながら、近年の In の枯渇化や、それに伴う価格の急騰により、レアメタルである In の代替技術が検討され始めた。ITO の代替材料として、近年、酸化亜鉛が国内外から注目されている。亜鉛はインジウムと異なり、世界中に広く分布しているため、コストや供給量など生産面において優れているほか、可視光領域では ITO よりも高い透過率を示すなど、特性面においても優れた特性を有している。

1.3.2 酸化亜鉛(ZnO)系酸化物半導体

現在、高速応答の液晶や、有機 EL ディスプレイといった次世代ディスプレイ内のスイッチング素子として、チャンネル層にアモルファスシリコンや多結晶シリコン (poly-Si) を使用した TFT が広く用いられている。しかしながら、次世代放送規格であるスーパーハイビジョンに対応するディスプレイにおいては、 $10\text{cm}^2/\text{Vs}$ 以上の電界効果移動度が要求されると試算されており、従来の a-Si:H TFT ($\sim 0.5\text{cm}^2/\text{Vs}$) では不可能となっている。³³⁾ さらに、TFT 作製工程において高温プロセスが必要、広い面での形成が困難であり、また、透明な素子の作製にあたり Si 材料は適さない等といった、今後の新しいディスプレイへの応用に関する問題がある。従って、プラスチック基板などのフレキシブル基板上に、低価格で大面積に形成できる十分な性能を持った新しい材料による素子の開発が必要となる。そこで、近年、ZnO 等の酸化物半導体が、Si 系材料に代わる新しい材料として注目され、世界中の研究機関で研究されている。

ZnO は、図 1-3 に示すようにウルツ鉱型構造で六方晶の結晶を持ち、その比抵抗は、 Al^{3+} や In^{3+} ドープ時には $10^{-4} \Omega\text{cm}$ 、 Li^+ ドープ時には $10^{10} \Omega\text{cm}$ と、14 桁も変化することから、導電膜としても誘電膜としても開発が進められている興味深い材料である。また、室温で 3 eV 以上のバンドギャップを有するワイドバンドギャップ材料である。従って、電子デバイス用材料として、特に透明性や高耐圧を必要とされるものへの応用に適している。このような応用に対しては、窒化ガリウム (GaN) 系材料やシリコンカーバイド (SiC) を利用したデバイスの開発が進んでいる。しかし、GaN や SiC は 1000°C 以上の成膜温度が必要となる。これらに対して、ZnO は比較的低い温度での成膜が可能であることから、プラスチック等のフレキシブル基板上への成膜が可能となる。ZnO 系材料は古くから研究されてきたにもかかわらず、電子デバイスへの応用に関してはこれらのデバイスほど進んでいないのが現状である。その理由としては、ZnO の半導体としての性質に注目が集まったのが比較的最近のためであり、ZnO は”古くて新しい材料”といえる。さらに、ZnO は日焼け止め、化粧品に使われるなど人体に無害な材料であり、またレアメタルレスで資源が豊富、安価で入手が容易であるなど、資源・環境の観点からも有望な材料といえる。

以上のような特徴から、ZnO はフレキシブルディスプレイや透明ディスプレイなど、次世代ディスプレイのスイッチング素子を構成する材料として、非常に適した特性を持つ物質であると考えられる。ZnO のデバイスへの応用を拡大するためには、電界効果デバイスへの応用が不可欠である。ZnO 電界効果デバイスの研究は、G.F.Boessen らにより 1968 年に初めて ZnO FET に関する報告³⁴⁾ がされたが、その後 2003 年に ZnO を使用した TFT の報告³⁵⁻³⁷⁾ がされるまで、35 年間という長期にわた

る空白期間が存在する。ZnO に代表される酸化物半導体では、酸素欠損や格子間亜鉛といった欠陥により、不純物をドーピングしない状態においても成膜条件や熱処理により、その導電率やキャリア濃度が大幅に変化することが、デバイスへの応用において壁となってきた。しかしながら、その優れた特徴から、ZnO 電界効果デバイスである ZnO TFT の開発が、近年世界的に活発となっている。

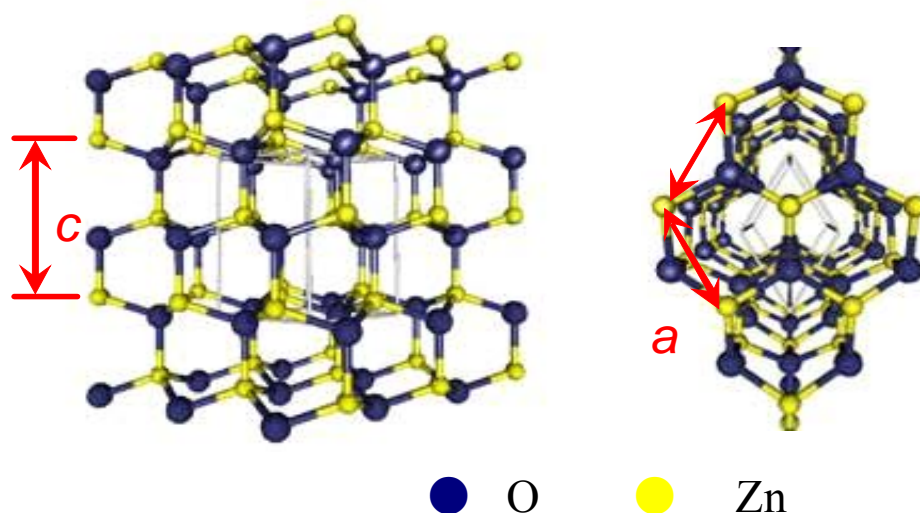


図 1-3. 酸化亜鉛結晶構造³⁸⁾

1.4 原子層堆積 (ALD) 法

1.4.1 原子層堆積 (ALD) 法の原理

原子層堆積 (ALD: Atomic Layer Deposition) 法とは、フィンランドの Sunatola らによりその基本概念が考案された手法である。基板表面に原料ガスを単分子吸着させ、異なる前駆体を交互に供給することによりこの吸着分子を化学反応により基板上で固層へと変えていく成膜方法である。³⁹⁾ 供給された前駆体は、表面反応により基板表面へと吸着し、すべてのサイトが飽和すると反応は自己停止する。この 1 原子層ごとの堆積と自己停止型表面反応により、広い面積に対し均質、均一で精密な膜厚制御の成膜が可能となる。有機 EL の硫化亜鉛薄膜や化合物半導体であるガリウムヒ素薄膜の形成手法として発展してきた³⁹⁻⁴²⁾ が、この技術が考案された当時は、薄膜のエピタキシャル成長の手法として用いられていたことから、ALE (Atomic Layer Epitaxy)⁴³⁾ と称されていた。しかし近年、非晶質膜や多結晶膜の形成にも用いられる

ようになり、ALD 法と呼ばれるようになった。原子層レベルでの膜厚制御、大面積に均質な成膜が可能である本技術は、今日の LSI の高性能化に伴い大きな注目を集めており、ALD 法により形成された $\text{HfO}_2/\text{Al}_2\text{O}_3$ 膜が DRAM キャパシタ膜として量産されるに至っている。⁴⁴⁻⁴⁷⁾ さらに、一般的な平行平板型プラズマ化学気相成長法 (PE-CVD) などと比較して低温でも緻密な膜が得られることが分かっている。⁴⁸⁾ 図 1-4 (a)~(d) に、本研究で用いた ZnO 薄膜の成膜サイクルを例に挙げ、ALD 法による基本的な成膜サイクルを示す。

- (a)ヒータ上に基板を配置したチャンバー内に、金属材料を導入する。
- (b)チャンバー内の余剰分子を不活性ガスによりパージする。
- (c)酸化剤を投入し、金属原料と反応し酸化物を形成する。
- (d)チャンバー内の余剰分子を不活性ガスによりパージする。

この(a)~(d)のサイクルを繰り返すことにより成膜を行う。
 近年、ディスプレイなどの製造において、その高品質化のために、絶縁膜、保護膜、封止膜などに ALD 法の適用が検討され始めている。例として、有機 EL ディスプレイは、大気中にある水分および酸素によって劣化する。この水分および酸素の透過防止保護膜として、ALD により堆積された Al_2O_3 膜が期待されている。

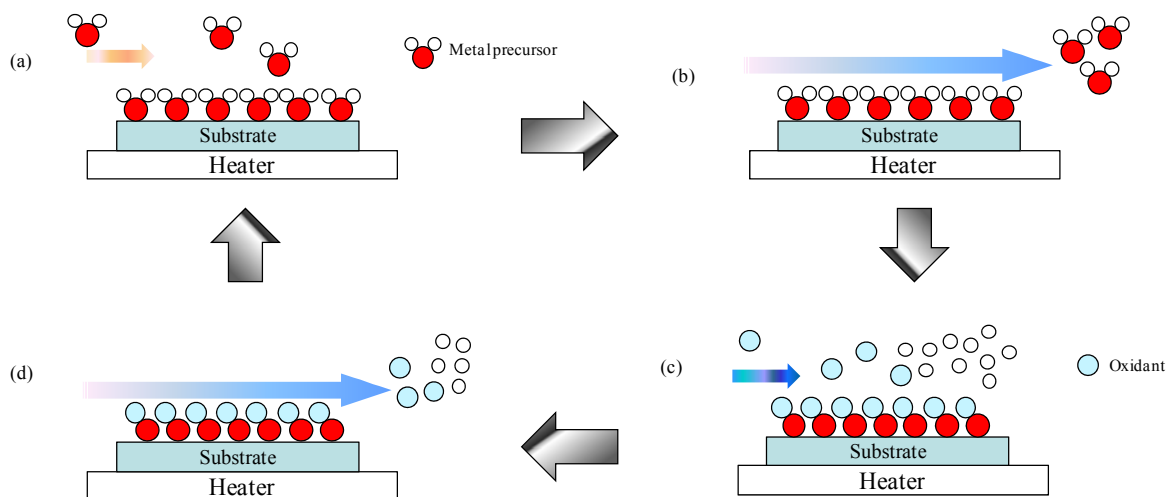


図 1-4 ALD 成膜サイクル

1.4.2 プラズマ ALD 法

ALD プロセスはその反応の活性化手段の面から、基板を加熱する熱エネルギーによる反応を用いた従来の熱 ALD 法と、反応の活性化にプラズマを印加するプラズマ ALD 法の二つに大別することができる。プラズマ ALD 法は、プラズマにより反応を促進する手法であり、成膜速度、プロセスの低温化等を向上させるという報告があり、近年注目され始めている。一方で、熱 ALD 法は装置の簡略化、低コスト化が可能となる。

プラズマ ALD 法では、そのプラズマの適用方法により、金属原料と酸化剤の反応の際に直接プラズマを印加するダイレクトプラズマ方式と、反応を行うリアクタ外でプラズマを使用し活性化された反応基を導入するリモートプラズマ方式に大別される。さらに、そのプラズマの導入方式により、Direct-plasma, Plasma-enhanced, Remote-plasma, Plasma-assisted ALD 等が挙げられるが、これらを総称しプラズマ ALD (Plasma-ALD) とされ、プラズマ ALD に関する研究の報告が、近年増加する傾向にある。

本研究では、酸化剤にプラズマを印加し活性化したプラズマ酸素を酸化剤として使用する、プラズマ援用(PA: Plasma Assisted)-ALD 法を用い、高品質な薄膜の低温形成を目指した。本研究で使用した ALD 成膜装置の外観画像および概略図を、図 1-5 に示す。

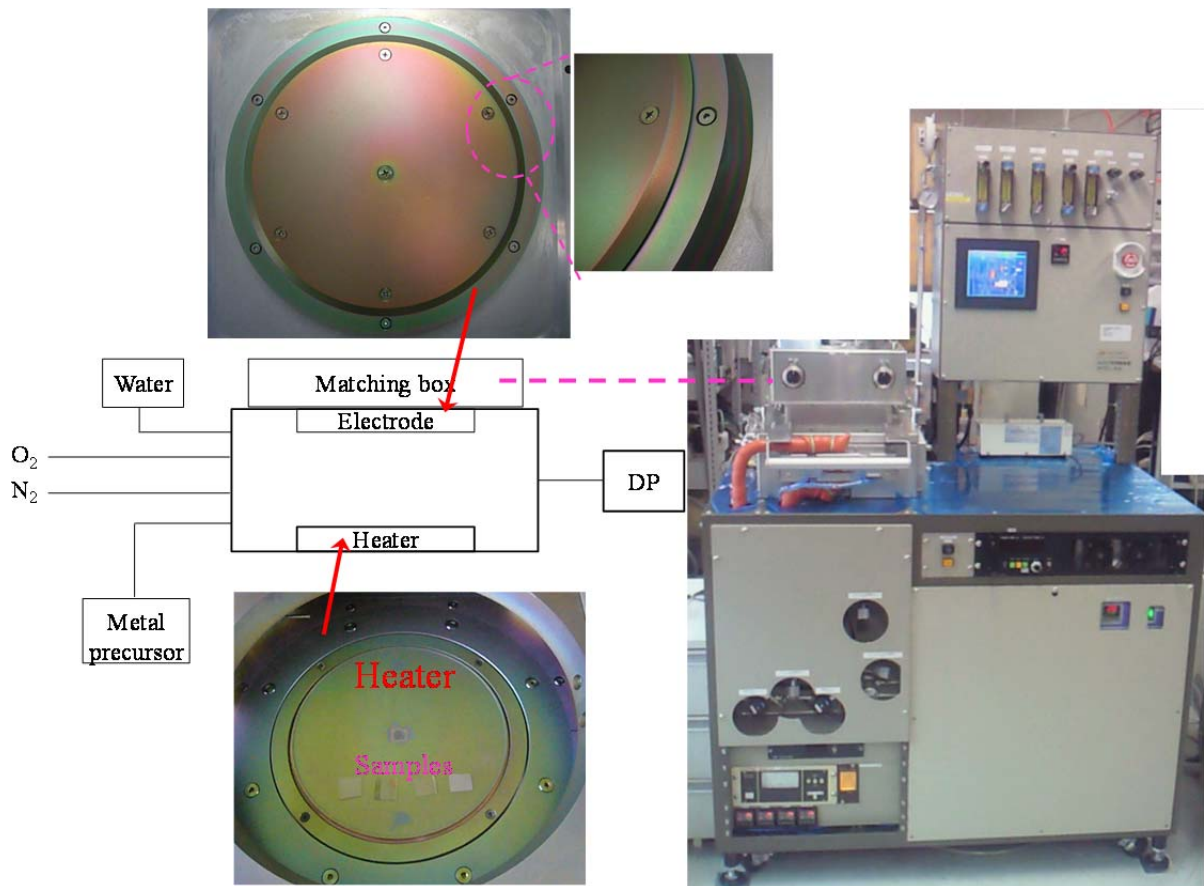


図 1-5 ALD 装置概略図 (MES-AFTY, AFTEX 600)

1.5 背景と目的

先に述べたように、ZnO は古くから研究され生活に用いられてきた材料である。しかしながら、半導体デバイスへの応用が注目され始めたのは比較的最近のことであり、その応用に関して、まだ十分に研究されていない。近年、TFT のチャンネル層としての ZnO 膜の応用が、その固有の特性により注目されている。⁴⁹⁻⁵⁵⁾ ZnO はワイドバンドギャップ (~ 3.37 eV) であり、また、広い面積に低温での成膜が可能であるため、プラスチックやフレキシブル基板上での形成が可能となる。さらに、ZnO TFT は a-Si:H TFT よりも高い電界効果移動度が得られることが報告されている。しかし、その TFT への応用に関しての信頼性や様々な環境下での安定性は、まだ十分に実証されていない。

ZnO 薄膜の電気的特性および安定性を調べるため、我々は、ALD 法による薄膜の形成に着目した。ALD 法は、原料ガスと酸化剤を交互に供給し 1 原子層ごとに

堆積する手法であり、正確な膜厚制御性、高い膜厚均一性を有し、広い面積への良質な膜の形成が可能であることから、半導体素子製造分野において注目されている手法の一つである。⁵⁶⁾ また、ALD によって堆積された膜により、デバイスへの応用の際に高い電界効果移動度が得られたという報告がされている。⁵⁷⁻⁵⁹⁾

本研究の目的とする次世代ディスプレイへの応用においては、情報量の増大に対応するための高移動度($>10\text{cm}^2\text{V}^{-1}\text{s}^{-1}$) や、プラスチックなどのフレキシブル基板上に形成するための作製プロセスの低温化($\sim 150^\circ\text{C}$) などが求められる。現在一般的に用いられている a-Si:H TFT において課題となっている電界効果移動度の不足、および、プラスチックなどのフレキシブル基板へのデバイスの作製を困難としている高いプロセス温度などの課題を解決する必要がある。この課題をクリアできる新しいデバイス材料として注目されている酸化物半導体の中でも、酸化亜鉛は有力な候補とされている。しかしながら、酸化亜鉛薄膜は室温での形成は可能であるが、デバイスとして使用する際にはその特性の向上のため高温のプロセス($>300^\circ\text{C}$) が必要とされており、現状では未だ課題の解決には至っていない。本章 2 節において、これまでに発表されてきた次世代ディスプレイの例を示したが、これらのディスプレイではそのほぼ全てが ZnO にレアメタルであるインジウムやガリウムを添加した非晶質 In-Ga-Zn-O を用いた TFT を使用している。また、高温プロセスを使用しているため、フレキシブルディスプレイにおいても高耐熱の特殊な基板の使用が必要となっており、移動度などの性能においても次世代ディスプレイの実用に向けては多くの課題が残されている。

そこで、本研究では、大面積に対して高い均一性を有し、低温でも高品質な薄膜の形成が可能である ALD 法の ZnO 膜形成への適用を提案した。次世代ディスプレイの駆動素子への応用を目指し、高い電気的特性を持つ ZnO TFT の、低温での形成を目的とした。そこで、ALD により堆積された ZnO 膜をチャネル層とした TFT を作製し、その電気的特性の評価を行った。

1.6 概要

本研究では、次世代ディスプレイの駆動素子として酸化物半導体を用いた TFT の実用化を目的とし、高性能な ZnO TFT の低温での作製を目指した。

第 2 章では、ALD により堆積した ZnO 膜を用いて TFT を作製し、プロセスの低温化への可能性を評価した。従来の熱 ALD と本研究で提案するプラズマ ALD で堆積した ZnO 膜を使用し、ZnO 膜の膜特性を比較することにより、ZnO TFT の特性向上に向けた指標の特定を試みた。PA-ALD で形成した ZnO 膜を使用した TFT の、

成膜および TFT 作製後の熱処理に対する特性の変化を調べた。熱処理雰囲気及び温度に対する特性の変化を調べることにより、特性変化の原因を検討した。さらに、PA-ALD による ZnO TFT の更なる高性能化に向け、プラズマソースに水を使用した ZnO 膜を形成し、その特性を評価した。

第 3 章では、ZnO TFT 作製プロセスの低温化に向け PA-ALD によりアルミナ膜を低温形成し、プラズマ印加条件によるアルミナ膜の特性の変化を調べた。このアルミナの特性と ZnO TFT のゲート絶縁膜として使用した際の特性の変化を比較し、ZnO TFT 特性の向上への効果を検討した。さらに、TFT 作製プロセスの低減のため、前章で得られた ALD による絶縁膜の特性を元にゲート絶縁膜も ALD で形成し、高性能 ZnO TFT の低温プロセス化を試みた。

第 4 章では、ALD により堆積した薄膜の、酸化物半導体デバイスへの応用として、現在酸化物半導体の中でも非晶質材料として注目されている a-In-Ga-Zn-O を使用した TFT に対する、ALD により形成した絶縁膜の効果を調べた。

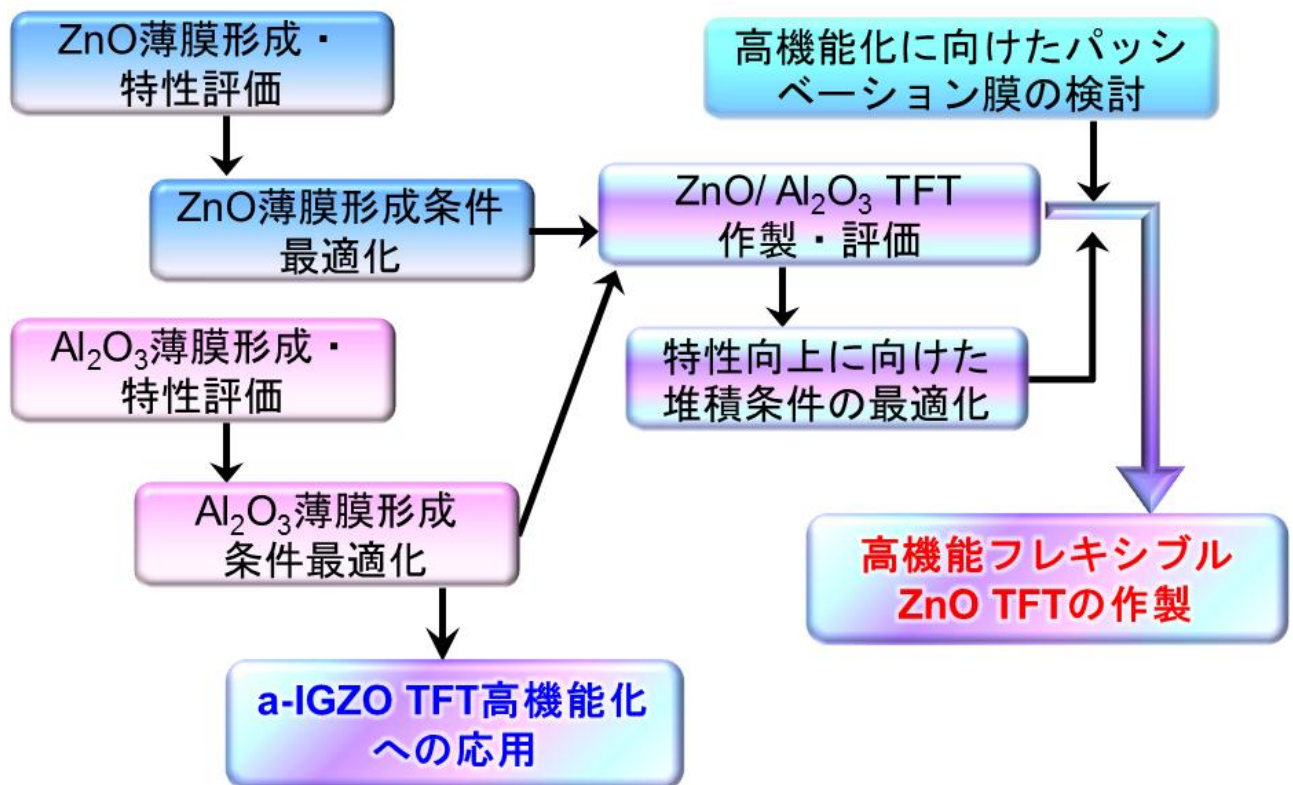


図 1-6 本研究の概要

参考文献

- 1) 薄膜材料デバイス研究会編, 薄膜トランジスタ, 株式会社 コロナ社 (2008).
- 2) B. J. Lechner, F. J. Marlowe, E. O. Nester, and J. Tulst: *Proc. IEEE*, **59** (1971) 1566.
- 3) H. -H. Hsieh, T. -T. Tsai, C. -M. Hu, C. -L. Chou, S. -F. Hsu, Y. -C. Wu, C. -S. Chuang, L. -H. Chang, and Y. Lin: *SID Dig. Tech. Pap.*, (2011) 714.
- 4) S. -H. K. Park, S. Yang, H. Oh, C. -S. Hwang, M. Ryu, J. Pi, I. Y. Eom, O. S. Kwon, and E. Park: *IDW Dig. Tech. Pap.*, (2011) 1665.
- 5) S. Nakano, N. Saito, K. Miura, T. Sakano, T. Ueda, K. Sugi, H. Yamaguchi, I. Amemiya, M. Hiramatsu, A. Ishida, K. Kanomaru, and M. Sawada: *IDW Dig. Tech. Pap.*, (2011) 1271.
- 6) J. Chen, J. -W. Shiu, W. -W. Chiu, C. -C. Tsai, and C. -Y. Huang: *SID Dig. Tech. Pap.*, (2011) 107.
- 7) <http://www.sharp.co.jp/igzo/>, (12/2012).
- 8) <http://www.sony.co.jp/SonyInfo/>, (01/2010).
- 9) http://www.toshiba.co.jp/about/press/index_j.htm, (04/2011).
- 10) <http://www.ceatec.com/2010/ja/>, (01/2013).
- 11) <http://docomo-exhibition.jp/wj2012/>, (12/2012).
- 12) <http://techon.nikkeibp.co.jp/fpd/>, (12/2012).
- 13) http://www.displaybank.com/_jpn/share/index.html, (12/2012).
- 14) J. E. Lilienfeld: *US Patent.*, 1745175 (1930).
- 15) P. K. Weimer: *Proc. IRE.*, **50** (1962) 1462.
- 16) T. P. Brody, J. A. Asaras, and G. D. Dixon: *IEEE Trans. Elec. Dev.*, **ED-20** (1973)995.
- 17) W. E. Spear and P. G. Le Comber: *Solid State Commun.*, **17** (1975) 1193.
- 18) W. E. Spear and P. G. Le Comber: *Philosophical Magazine*, **33** (1976) 935.
- 19) P. G. Le Comber, W. E. Spear, and A. Ghaith: *Electron. Lett.*, **15** (1979) 179.
- 20) K. Takechi, N. Hirano, H. Hayama, and S. Kaneko: *J. Appl. Phys.*, **84** (1998) 3993.
- 21) C. -C. Chian, J. -Y. Nahm, T. Li, J. Kanickia, and Y. Ukai: *Jpn. J. Appl. Phys.*, **40** (2001) 530.
- 22) E. Takahashi, Y. Nishigami, A. Tomyo, M. Fujiwara, H. Kaki, K. Kubota, T. Hayashi, K. Ogata, A. Ebe, and Y. Setsuhara: *Jpn. J. Appl. Phys.*, **46** (2007) 1280.
- 23) Y. Mishima, M. Takei, N. Matsumoto, T. Uematsu, U. Wakino, T. Kakehi, and M. Okabe: *Appl. Phys. Lett.*, **66** (1995) 31.
- 24) M. Cao, T. Zhao, K. C. Saraswat, and J. D. Plummer: *IEEE Trans. Elec. Dev.*, **42** (1995) 1134.

- 25) T. Ohshima, T. Noguchi, and H. Hayashi: *Jpn. J. Appl. Phys.*, **25** (1986) L291.
- 26) N. M. Johnson, D. K. Biegelsen, H. C. Tuan, M. D. Moyer, and L. E. Fennell, *IEEE Elec. Dev. Lett.*, **EDL-3**, (1982) 12.
- 27) 鵜飼育弘, *a-Si:H TFT-LCD の最新技術*, ED リサーチ社, (2006).
- 28) 鵜飼育弘, *低温ポリ Si TFT-LCD 技術*, ED リサーチ社, (2005).
- 29) R. L. Hoffman, B. J. Norris, and J. F. Wager: *Appl. Phys. Lett.*, **82** (2003) 733.
- 30) P. F. Carcia, R. S. McLean, M. H. Reilly, and G. Nunes, Jr: *Appl. Phys. Lett.*, **82** (2003) 1117.
- 31) E. M. C. Fortunato et al., *Appl. Phys. Lett.*, **85** (2004) 2541.
- 32) R.E. Aitchison: *J. Appl. Sci.*, **5** (1954) 10.
- 33) Y. Matsueda: *Proc. of the 6th International Thin-Film Transistor conference*, (2010) 314.
- 34) G.F. Boesen, and J. E. Jacobs: *Proc. IEEE*, Nov 2094, (1968).
- 35) J. Nishii, F. M. Hossain, S. Takagi, T. Aita, K. Saikusa, Y. Ohmaki, I. Ohkubo, S. Kishimoto, A. Ohtomo, T. Fukumura, F. Matsukura, Y. Ohno, H. Koinuma, H. Ohno, and M. Kawasaki: *Jpn. J. Appl. Phys.* **42** (2003) L347.
- 36) S. Masuda, K. Kitamura, Y. Okumura, S. Miyatake, H. Tabata, and T. Kawai: *J. Appl. Phys.*, **93** (2003) 1624.
- 37) R. L. Hoffman, B. J. Norris, and J. F. Wager: *Appl. Phys. Lett.*, **82** (2003) 733.
- 38) 八百隆文, *ZnO 系の最新技術と応用*, 株式会社 シーエムシー出版 (2007).
- 39) T. Suntla and I. Anston: *Finnish Patent No. 52359*, (1974).
- 40) T. Suntla, J. Antson, A. Pakkala and S. Lindfors: *Dig. 1980 SID Int. Symp., San Diego, 1980* (Society for Information Display, Los Angeles, 1980) 108.
- 41) J. Nishizawa, H. Abe, and T. Kurabayashi, *J. Electrochem. Soc.*, **132** (1985)1197.
- 42) 瀨瀬明伯, 高橋直行, 関 壽: *応用物理*, **63**(1994)682.
- 43) L. Niimisto: *Current Opinion in Solid state & Materials Science*, **3**(1998) 147.
- 44) O. Sneh, R. B. Clark-Phelps, A. R. Londer gan, J. Winkler, and T. E. Seidel: *Thin Solid Films*, **402** (2002) 248.
- 45) S. Haukka: *Nikkei Microdevices*, **10**(2000)102.
- 46) M. Gutsche, H. Seidl, T. Hecht, S. Kudelka, and U. Schroeder: *Future Fab Intl.* 14(2003).
- 47) 橋本哲一: *Nikkei Microdevices*, **5**(2004)49.
- 48) K. Washio, Y. Mori, N. Miyatake, K. Murata, Y. Sugawara, and Y. Uraoka: *IDW'07* (2007) 549.
- 49) R. B. M. Cross and M. M. D. Souza: *Appl. Phys. Lett.* **89** (2006) 263513.
- 50) Ü. Özgür, Ya. I. Alivov, C. Liu, A. Teke, M. A. Reshchikov, S. Doğan, V. Avrutin, S. J.

- Cho, and H. Morkoç: *J. Appl. Phys.*, **98** (2005) 041301.
- ⁵¹⁾ Y. Ohya, T. Niwa, T. Ban, and Y. Takahashi: *Jpn. J. Appl. Phys.*, **40** (2001) 297.
- ⁵²⁾ S. Matsuda, K. Kitamura, Y. Okumura, and S. Miyatake: *J. Appl. Phys.*, **93** (2003) 1624.
- ⁵³⁾ R. L. Hoffman, B. J. Norris, and J. F. Wager: *Appl. Phys. Lett.*, **82** (2003) 733.
- ⁵⁴⁾ P. F. Carcia, R. S. McLearn, M. H. Reilly, and G. Nunes: *Appl. Phys. Lett.*, **82** (2003) 1117.
- ⁵⁵⁾ E. Fortunato, P. Barquinha, A. Pimentel, A. Goncalves, A. Marques, L. Pereira, and R. Martins: *Thin Solid Films*, **487** (2005) 205.
- ⁵⁶⁾ K. Murata, K. Washio, N. Miyatake, Y. Mori, H. Tachibana, Y. Uraoka, and T. Fuyuki: *ECS Trans.*, **11** (2007) No. 7, 31.
- ⁵⁷⁾ S. Kwon, S. Bang, S. Lee, S. Jeon, W. Jeong, H. Kim, S. C. Gong, H. J. Chang, H. Park, and H. Jeon: *Semicond. Sci. Technol.*, **24** (2009) 035015.
- ⁵⁸⁾ D. H. Levy, D. Freeman, S. F. Nelson, P. J. Cowdery-Corvan, and L. M. Irving: *Appl. Phys. Lett.*, **92** (2008) 192101.
- ⁵⁹⁾ S. J. Lim, S. J. Kwon, H. G. Kim, and J. S. Park: *Appl. Phys. Lett.*, **91** (2007) 183517.

第2章 ALD法によるZnO薄膜の形成および評価

2.1 緒言

現在、一般的にディスプレイ駆動用 TFT のチャンネル層には非晶質シリコン (a-Si:H) や多結晶シリコン (poly-Si) が使用されている。¹⁾ しかしながら、これらの材料は OLED や高精彩ディスプレイに代表される次世代ディスプレイの駆動回路に用いるにあたり、いくつかの課題が挙げられる。¹⁻³⁾ poly-Si を使用した TFT では、 $50 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 以上の高い電界効果移動度が得られるが、高温のプロセスが必要になる、大面積への形成が困難であるといった課題がある。²⁾ これらの問題により、poly-Si TFT をフレキシブル基板上へ作製することが困難となっている。一方、a-Si:H TFT は既に大面積フラットパネルディスプレイに使用されているが、低移動度 ($\sim 1 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$) や使用による電氣的ストレス下での特性の劣化等の問題から、次世代ディスプレイへの適用は難しいと考えられる。⁴⁾ 近年、TFT のチャンネル層の材料として ZnO が注目されている。ZnO はワイドバンドギャップ ($\sim 3.37\text{eV}$) であることから、可視光領域で透明であり、また、大面積に良質な膜の低温での形成が可能であることから、プラスチックなどのフレキシブル基板への形成にも適している。⁴⁻⁶⁾ ZnO TFT は a-Si:H TFT に比べて高い電界効果移動度が得られることが近年報告されている。⁴⁻⁹⁾ しかしながら、TFT 特性を得るためには ZnO TFT 作製プロセスにおいて高温の熱処理が必要であるため、プラスチック基板へのフレキシブル素子の形成が困難になっている。¹⁰⁻¹²⁾

原子層堆積 (ALD) 法は、薄膜形成手法の一つとして LSI の分野で広く使用されている。ALD により堆積された膜は、原料ガスの交互供給により、詳細な膜厚の制御が可能であり、大面積に対し高い均質性、均一性を持つことから注目されている。¹³⁾ さらに、ALD により堆積した ZnO 薄膜をチャンネル層に用いた TFT が高い電界効果移動度を示すことが報告されている。¹⁴⁻¹⁷⁾ しかしながら、ALD による ZnO 膜の電氣的特性は一般的に、高い残留キャリア濃度や導電性等の課題がある。¹⁶⁾ ZnO 膜における高いキャリア濃度は、酸素空孔の様な欠陥が原因となることが知られている。そのため、TFT 特性を得るためや特性の向上には、高い堆積温度や、高温での熱処理、またはドーピングによるキャリアの制御が必要とされる。¹⁴⁻¹⁷⁾

本章では、高い電氣的特性を得るため ALD により堆積した ZnO 膜をチャンネル層として TFT を作製し、その特性を評価することにより、ZnO TFT 特性の変化の原因解明を試みた。

2.2 TFT 特性評価方法¹⁸⁻²⁰⁾

2.2.1 電界効果移動度(μ_{FE})

TFT の特性評価には、出力特性と入力 (伝達) 特性を用いる。出力特性とは、ゲート(G) - ソース(S) 間電圧(V_{gs}) を一定とし、ドレイン(D) - ソース間電圧(V_{ds}) を 0V から正電圧方向へスweepした場合に流れるドレイン - ソース間電流(I_{ds}) を測定したものである。また伝達特性とは、上記の V_{ds} と V_{gs} が入れ替わり、ある一定の V_{ds} で I_{ds} を V_{gs} に対してプロットしたものをいう。デバイスの性能は伝達特性から導かれる電界効果移動度で議論されることが多い。この電界効果移動度は、デバイス構造や用いた材料、測定条件によって変化する特性を校正した値であると言うことができ、様々な TFT の性能を比較することができる。まず、 $V_{ds} \sim 0 \text{ V} \ll V_{gs}$ における特性を取り上げる。この領域は線形領域と呼ばれ、物理的に妥当であり、デバイス特性評価としてわかりやすい。また、電界効果移動度の電界強度依存性を無視することができ、ホットキャリアや自己発熱による劣化がないため、測定による劣化を無視できる。ここで、 I_{ds} は

$$I_{ds} = \kappa \left\{ (V_{gs} - V_{th}) V_{ds} - \frac{1}{2} V_{ds}^2 \right\} \quad (2-1)$$

$$= \frac{\mu_{lin} W \epsilon_o \epsilon_i}{L t_i} \left\{ (V_{gs} - V_{th}) V_{ds} - \frac{1}{2} V_{ds}^2 \right\} \quad (2-2)$$

のように表される。

μ_{lin} は線形領域における電界効果移動度であり、 V_{th} は後に述べる閾値電圧を示す。また、 $\kappa = \mu \left(\frac{W}{L} \right) c_i$ であり、 W はチャネル幅、 L はチャネル長を示し、 c_i はゲート絶縁膜のキャパシタンス、 t_i はゲート絶縁膜厚、 ϵ_o 、 ϵ_i はそれぞれ真空の誘電率とゲート絶縁膜の比誘電率である。

ここで、 $\frac{\partial I_{ds}}{\partial V_{gs}}$ を計算すると、

$$\mu_{lin} = \frac{L t_i}{W \epsilon_o \epsilon_i V_{ds}} \left(\frac{\partial I_{ds}}{\partial V_{gs}} \right) = \frac{g_m}{\frac{W}{L} c_i V_{ds}} \quad (2-3)$$

となる。

このうち、線形グラフの傾き $\frac{\partial I_{ds}}{\partial V_{gs}}$ が最大のところでの値を用いて算出し、TFT の電界効果移動度 μ_{FE} とする。しかし、この領域では、S/D 電極とチャネル層の接触

抵抗が高い場合、 I_{ds} が小さくなるため測定が不可能であるという欠点がある。このような場合には V_{ds} に十分高い電圧 (i.e. $V_{ds} = 10 \text{ V}$) を印加し、測定した結果に飽和領域の式を用いて電界効果移動度を算出し、 μ_{FE} とする。飽和領域の電界効果移動度 (μ_{sat}) の算出式は

$$I_{ds} = \frac{\mu_{sat} W c_i}{2L} (V_{gs} - V_{th})^2 \quad (2-4)$$

より、 $\frac{\partial I_{ds}}{\partial V_{gs}}$ を計算し、 $(V_{gs} - V_{th})$ を上式へ代入して変形すると、

$$\mu_{sat} = \frac{L t_i}{W \epsilon_o \epsilon_i 2 I_{ds}} \left(\frac{\partial I_{ds}}{\partial V_{gs}} \right)^2 = \frac{g_m^2}{2 \frac{W}{L} c_i I_{ds}} \quad (2-5)$$

となる。

このうち、 $\sqrt{I_{ds}}$ の傾き $\frac{\partial \sqrt{I_{ds}}}{\partial V_{gs}}$ が最大のところでの値を用いて算出する。

この時、電界効果移動度を算出した V_{gs} の値が $V_{gs} - V_{th} < V_{ds}$ となり、飽和条件になっていることを確認する。ただし、S 端から D 端までの電界強度が一定でなく、劣化も生じる可能性があるため物理的に複雑である点に注意する必要がある。

2.2.2 閾値電圧 (V_{th})

TFT における閾値電圧 (V_{th} : Threshold voltage) には、さまざまな定義があり、その目的により使い分けられている。もっとも一般的な定義としては、TFT の伝達特性において I_{ds} が流れ始める時の V_{gs} を示す指標であり、 I_{ds} がログスケールで急峻に立ち上がる V_{gs} を表す。電界効果移動度を求めたところの V_{gs} , V_{ds} , I_{ds} の値を用いて、それぞれ次の式に当てはめて算出する。

線形領域では、

$$I_{ds} = \kappa \left\{ (V_{gs} - V_{th}) V_{ds} - \frac{1}{2} V_{ds}^2 \right\}, \quad (2-6)$$

$$V_{th} = V_{gs} - \frac{1}{2} V_{ds} - \frac{I_{ds}}{\kappa V_{ds}} \quad (2-7)$$

の式を用いる。

また、飽和領域では

$$I_{ds} = \frac{\mu_{sat} W c_i}{2L} (V_{gs} - V_{th})^2, \quad (2-8)$$

$$V_{th} = V_{gs} - \sqrt{\frac{2I_{ds}}{\kappa}} \quad (2-9)$$

となる。

また、実用的な V_{th} の定義方法として、 W や L などのデバイスのパラメータなどを考慮しながら、伝達特性において一定の電流値をとるときのゲート電圧 V_{gs} を V_{th} とする場合がある。上記の方法で算出不可能な場合、もしくは V_{th} のシフト量などを検討する場合等に用いられる例として、規格化されたドレイン電流 $I_{ds} = 1 \text{ nA}$ における V_{gs} の値などと定義される。特に TFT の伝達特性の閾値下領域に階段状のハンプが現れた場合には、上記の式で導いた値では正確な議論ができない。ここで、規格化する電流値は ON/OFF 比のほぼ中間にあたる桁として求めるが、基本的にはハンプを避けた点での議論が必要になる。さらに、 I_{ds} の線形グラフの傾きが最大の点で接線を引き、接線が x 軸に交わった時の V_{gs} を V_{th} とする場合もある。また、 V_{th} は N_t を用いて

$$V_{th} = \frac{q}{c_i} N_t \quad (2-10)$$

と表される。ここで N_t は半導体薄膜中の捕獲キャリア密度であり、従って、 V_{th} が半導体薄膜中の捕獲準位密度に影響されて変化することが解る。

以上のように、TFT においては通常の MOSFET と異なり、さまざまな定義があるため、どの定義を適用したかを明記する必要がある。本研究では、伝達特性においてドレイン電流が 1 nA となる時の V_{gs} を V_{th} とした。

2.2.3 サブスレッショルドスイング (S 値)

サブスレッショルドスイング (S 値 : Subthreshold swing) は、伝達特性のオフ領域からオン領域へと遷移する閾値下領域において、 I_{ds} が 1 桁増加し 10 倍になるときに要する V_{gs} の電圧差を示す。S 値を算出する式は一般的に

$$S = \ln(10) \frac{\partial V_{gs}}{\partial(\ln(I_{ds}))} \quad (2-11)$$

と表される。ここで、式(2-11)と

$$I_{ds} = \kappa(V_{gs} - V_{th})V_{ds} \quad (2-12)$$

を用いて変形すると、

$$S = \ln(10) \frac{1 - \left\{ \frac{\phi_{fr}}{V_{gs}} + \left(\frac{c_i}{q} \right)^{-1} \left(D_{fr} \frac{\phi_{fr}}{V_{gs}} + D_{bk} \frac{\phi_{bk}}{V_{gs}} \right) \right\}}{1 - \left\{ \frac{\phi_{fr}}{V_{gs}} + \left(\frac{c_i}{q} \right)^{-1} \left(D_{fr} \frac{\partial \phi_{fr}}{\partial V_{gs}} + D_{bk} \frac{\partial \phi_{bk}}{\partial V_{gs}} \right) \right\}} V_{gs} \quad (2-13)$$

となり、 D_{fr} 、 D_{bk} はそれぞれ表面界面捕獲準位密度、裏面界面捕獲準位密度であり、 ϕ_{fr} 、 ϕ_{bk} はそれぞれ表面、裏面のポテンシャルバリアである。これにより、 S 値は界面準位密度に依存して変化し、 S 値を低減するためには D_{fr} 、 D_{bk} を低減すればよいことがわかる。 S 値が小さいほど特性は急峻な立ち上がりとなり、スイッチング特性が良いといえる。

2.3 ALD による ZnO 薄膜の酸化剤による TFT 特性比較

2.3.1 ALD による ZnO 薄膜の形成

本実験では、ALD 法により低温形成した ZnO 膜を用いて TFT を作製し、ZnO TFT の低温プロセス化を試みた。ZnO 膜成膜のための Zn 原料としてジエチルジンク（DEZ : Diethyl Zinc, $(C_2H_5)_2Zn$ ）、ページガスとして N_2 ガスを用いた。ALD により低温形成した ZnO 膜の TFT への応用において、一般的に課題となっている原料酸化不足に起因する残留不純物、過剰残留キャリアの低減のための手法として、反応の活性化にプラズマを援用する PA-ALD の適用を提案し、従来の熱 ALD 法による ZnO 膜と比較することによりその有用性を評価した。成膜におけるタイムチャートを図 2-1 に示した。酸化剤として、熱 ALD による成膜では H_2O （ H_2O -ALD）、PA-ALD では、酸素ガスにプラズマを印加したプラズマ酸素を用いてそれぞれ成膜を行い、酸化剤の違いによる特性の変化を比較した。ZnO 膜の評価においては、X 線光電子分光（XPS : X-ray photoelectron spectroscopy）による組成・結合状態、Hall 効果測定による膜の比抵抗、膜中のキャリア濃度を測定した。

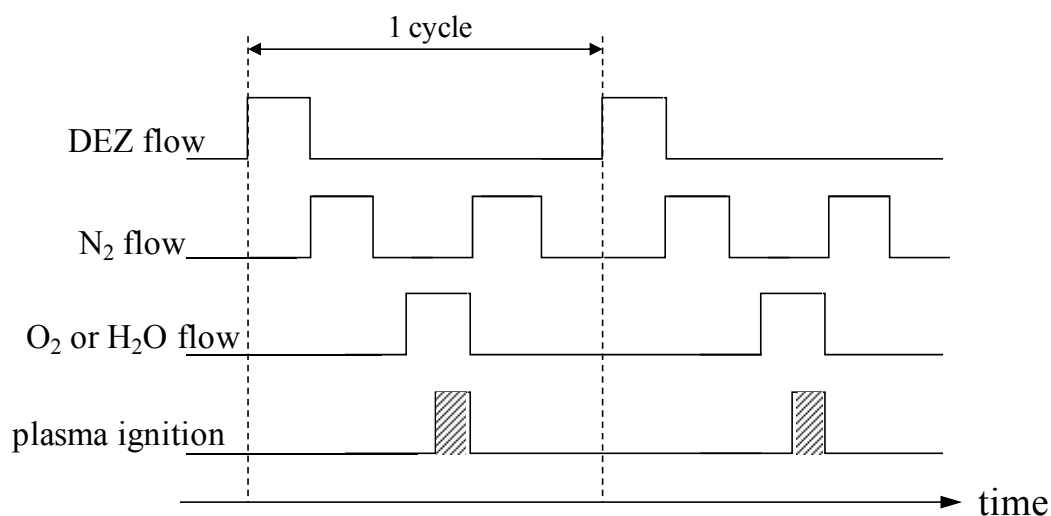


図 2-1. ALD 法による ZnO 膜堆積タイムチャート

2.3.2 ZnO TFT 作製プロセス

本研究で作製したボトムゲート型 ZnO TFT の断面図および作製プロセスを図 2-2、図 2-3 にそれぞれに示す。p 型 Si (001) 基板をゲート (G) 電極として用い、ゲート絶縁膜として SiO₂ を 50 nm、熱酸化により形成した。この基板の上に、チャンネル層として ZnO 膜を 30 nm、ALD により堆積し、フォトリソグラフィ技術を用いてウェットエッチングによりパターンニングを行った。ソース/ドレイン (S/D) 電極として Ti を用い、リフトオフによりパターンニングし、図 2-2 に示すようなボトムゲート型 TFT を作製した。

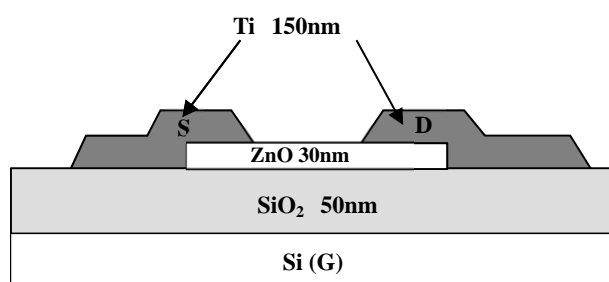


図 2-2. ボトムゲート型 ZnO TFT

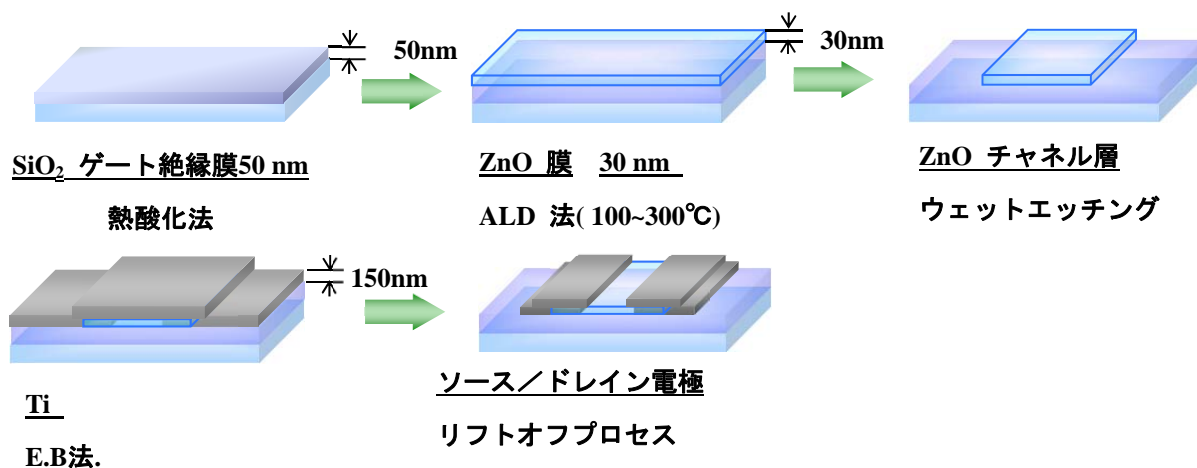


図 2-3. ボトムゲート型 ZnO TFT 作製プロセス

2.3.3 ホール効果測定

H₂O-ALD および PA-ALD により堆積した ZnO 膜の電気的特性を、Hall 効果測定により測定した。ここでは、van der Pauw 法を用いた Hall 効果測定(ケースレー、RESITEST - 8300)の測定結果から、キャリア密度を調べた。成膜温度を 100~300°C に変化させた時の、比抵抗およびキャリア濃度の測定結果を表 2-1 に示す。

PA-ALD で作製した ZnO 膜は比抵抗値の測定上限である $1 \times 10^3 \Omega\text{cm}$ より高く、正確な値は測定できなかった。キャリア濃度も同様に、測定下限以下の値を示した。一方、H₂O-ALD により成膜された ZnO 膜は PA-ALD と比較して比抵抗値は大きく低減され、それに伴い高いキャリア濃度を示した。さらに、H₂O-ALD による抵抗の低い試料を 300°C 程度の酸素雰囲気中で熱処理することにより、比抵抗が上がるという結果が得られた。このことから酸素欠損による余剰電子がキャリアとなっていると考えられる。

以上の結果から、TFT への応用の際に必要なとされる特性に対して、ZnO 膜の電気的特性に成膜温度の変化による大きな変化や改善は見られなかった。このことから、本研究の目的であるプラスチックなどのフレキシブル基板上へのデバイス作製を目指した低温プロセス化のため、ALD 成膜プロセス温度を 100°C とした。

表 2-1. Hall 効果測定結果

	Deposition temperature [°C]	Resistivity [Ωcm]	Career concentration [cm^{-3}]
H ₂ O-ALD	100	1.7×10^{-1}	2.1×10^{19}
	200	1.5×10^{-2}	7.8×10^{19}
	300	1.1×10^{-3}	5.1×10^{21}
PA-ALD	100	$> 1 \times 10^3$	$< 1 \times 10^{17}$
	200	$> 1 \times 10^3$	$< 1 \times 10^{17}$
	300	$> 1 \times 10^3$	$< 1 \times 10^{17}$

2.3.4 ZnO TFT 伝達特性

H₂O-ALD および PA-ALD により、基板温度 100°C で堆積した ZnO 膜を用いて作製した TFT に熱処理を行い、 $V_d = 5 \text{ V}$ を印加した時の伝達特性を測定した。熱処理条件は酸素雰囲気 ($\text{O}_2 = 20 \%$, $\text{N}_2 = 80 \%$) 中、300°C で 1 時間とし、熱処理前後の伝

達特性の測定結果を図 2-4 (a), (b) にそれぞれ示す。また、熱処理温度を 100°C から 400°C まで変化させた時の on/off 比の変化を図 2-4(c) に示す。

図 2-4 (a) の破線で示すように、H₂O-ALD で堆積された ZnO 膜を使用した TFT (H₂O-ALD ZnO TFT) は、熱処理なしではスイッチング特性を示さなかった。さらに、伝達特性は図示していないが、200 °C 以下での熱処理でも、スイッチング特性は見られなかった。図 2-4(b) に示すように、300 °C 以上での熱処理でスイッチング特性は得られたが、 I_{d_on} や電界効果移動度は低く、十分な TFT デバイス特性は得られなかった。一方で、PA-ALD で堆積された ZnO 膜を使用した TFT (PA-ALD ZnO TFT) は、図 2-4(a) の実線で示すように、熱処理なしで明確な TFT 特性がみられた。酸素雰囲気中、300°C で熱処理した時の PA-ALD ZnO TFT の off 電流 (I_{d_off}) は 4×10^{-14} A であり、 V_{th} および S 値 は、それぞれ 1.0 V および 0.3 V/decade であった。さらに、 10^9 以上という非常に高い on/off 比が得られ、この時の電界効果移動度は約 $1.5 \text{ cm}^2/\text{Vs}$ であった。この電界効果移動度の値は、現在ディスプレイ用途に一般的に使用されている a-Si:H TFT ($\sim 0.5 \text{ cm}^2/\text{Vs}$) と比較し、高い値を示しており、プロセス温度においても低減されている。しかしながら、次世代ディスプレイの画素駆動素子として必要とされている値 ($\mu > 10 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$) には到達しておらず、更なる特性の向上が必要である。

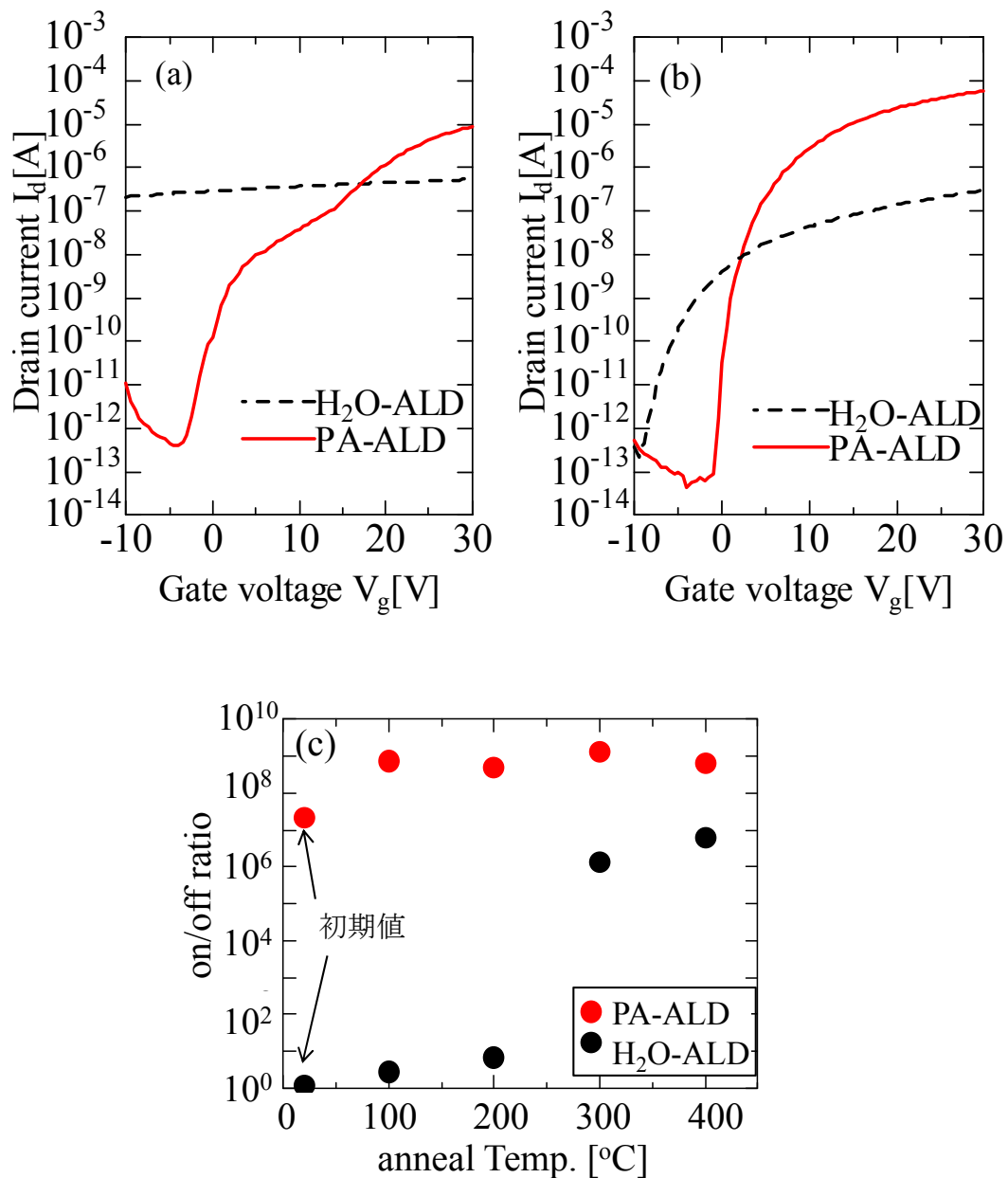


図 2-4. ZnO TFT 伝達特性 (a)熱処理前、(b)300°C熱処理後、(c)熱処理温度に対する on/off 比の変化 ($V_d=5$ V)

2.3.5 X線光電子分光による ZnO 膜の組成評価

PA-ALD による電気的特性の向上の原因を調べるため、XPS により基板温度 100°C で成膜された ALD-ZnO 膜の組成の測定を行った。酸素雰囲気中で、熱処理温度を 100~400°C に変化させたときの酸素 (O)、炭素 (C) の ZnO 膜中における原子濃

度の測定結果を図 2-5 に示す。

H₂O-ALD による ZnO 膜は、PA-ALD に比べ低い酸素濃度を示し、H₂O-ALD ZnO 膜中の炭素濃度は、PA-ALD に比べ高い値を示した。この H₂O-ALD ZnO 膜中の酸素濃度は、300°C以上の熱処理により増加し、また、炭素濃度は減少した。これは、成膜時の残留炭素に起因する酸素欠陥が、熱処理により低減されたためであると考えられる。

さらに、膜中の酸素の結合状態を調べるため、PA-ALD および H₂O-ALD で成膜された ZnO 膜の熱処理前、および酸素雰囲気中、300°Cで熱処理した後の O 1s の測定結果を図 2-6(a)~(d) に示す。O 1s のピークは高エネルギー側に肩を持ち、この肩は熱処理により減少した。ピークの中で、530 eV 以下の最も低エネルギー側にあるピークは O-Zn 結合に対応し、次に低い 531 eV 付近のピークは O-C、最も高エネルギー側のピークは O-H 結合に起因するものであると考えられる。²¹⁾ この O-C、O-H 結合は、ZnO 成膜時の金属原料である DEZ に起因するものであると思われる。図 2-6(a)、(b) はそれぞれ熱処理前、熱処理後の PA-ALD ZnO 膜の測定結果を示している。図 2-6(b)に示すように、熱処理後の PA-ALD ZnO 膜では、O-C 結合は消滅した。一方、H₂O-ALD ZnO では、図 2-6(c)、(d)に示すように、熱処理後も O-C 結合の残留がみられた。

これらの測定結果と、前項で示した ALD-ZnO TFT の電気特性とを比較すると、スイッチング特性を示さなかった熱処理前、および 200°C以下での熱処理の H₂O-ALD ZnO TFT は、ZnO 膜の亜鉛過多 (Zn-rich) の状態となり、余剰分子が過剰キャリアとなったものであると考えられる。さらに、低い I_{d_on} などの不十分な TFT デバイス特性は、DEZ の酸化不足による ZnO フィルム中の残留炭素によるものであると思われる。

以上の結果から、PA-ALD を用いることにより、ZnO TFT の作製プロセスの低温化が可能であることが示唆された。

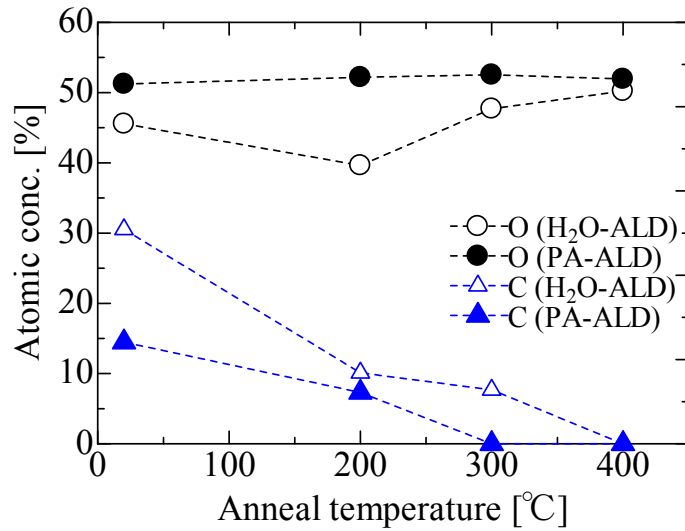


図 2-5. 酸素中熱処理温度の変化による ALD-ZnO 膜中 O および C 濃度測定結果

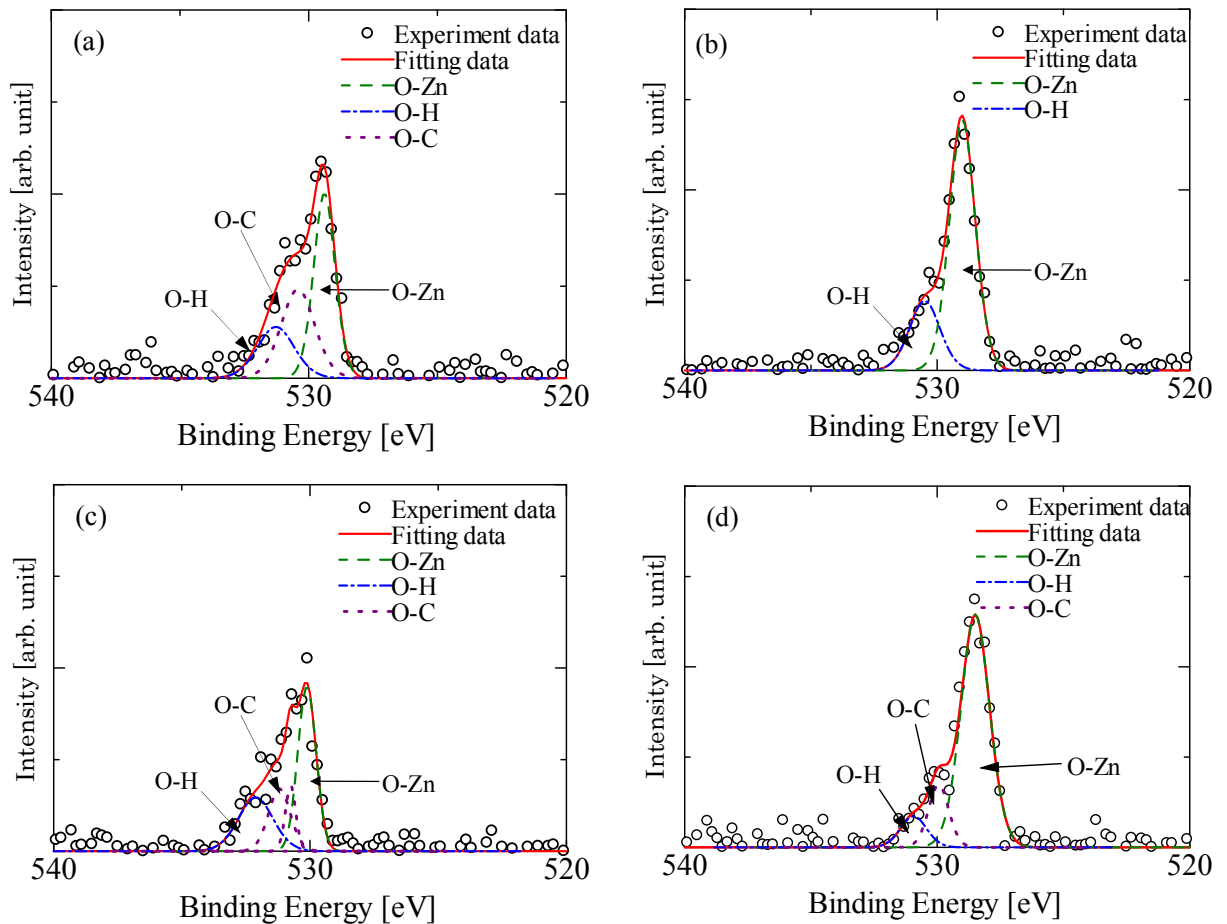


図 2-6. XPS (O 1s)測定結果 (a) PA-ALD (熱処理前)、(b) PA-ALD (300°C熱処理後)、(c) H₂O-ALD (熱処理前)、(d) H₂O-ALD (300°C熱処理後)

2.4 ZnO TFT 特性における熱処理の効果

2.4.1 熱処理による ZnO TFT 伝達特性の変化

第2章3節で示された結果を用いて、PA-ALDにより堆積されたZnO膜を使用してTFTを作製し、温度を200～450°C、雰囲気ガスを酸素雰囲気(O₂ = 20%, N₂ = 80%)、水素雰囲気(H₂ = 10%, N₂ = 90%)、窒素雰囲気(N₂ = 100%)と変化させ、それぞれ1時間の熱処理を行った。この時の、温度変化に対する $I_{d, on}$ の測定結果を図2-7に示す。全ての雰囲気、熱処理温度の上昇により $I_{d, on}$ は増加し、これにより電界効果移動度もまた増加した。しかし、窒素雰囲気中での熱処理では、温度上昇に対する特性の変化にばらつきがみられ、水素雰囲気中での熱処理では、高い電界効果移動度は得られたが、温度の上昇とともに V_{th} のネガティブシフトやS値の悪化がみられた。ZnO TFTにおいて、 V_{th} のネガティブシフトはZnO膜中の酸素欠損に起因すると考えられる。²²⁾ このことから、還元雰囲気である水素雰囲気中で熱処理を行うことによりZnO膜中の酸素が積極的に還元され、これにより膜中の酸素欠損が増加し、 V_{th} のシフトに繋がったと考えられる。また、ZnOは酸素欠損の生成されやすい材料であることが知られている。²²⁾ このため、窒素雰囲気での熱処理においても酸素の脱離が生じたが、還元雰囲気である水素雰囲気に対し窒素ガスは不活性ガスであるため、窒素雰囲気中での熱処理では再現性の低い結果となったと考えられる。一方、酸素雰囲気中での熱処理では、温度の上昇に対し安定してTFT特性の向上がみられた。これは、膜中の欠陥が熱処理雰囲気中の酸素により補償されたためであると考えられる。

この結果から、作製したPA-ALD ZnO TFTを、酸素雰囲気中で温度を100～500°Cに変化させ熱処理を行い、特性の変化を詳細に調べた。1時間熱処理した時の熱処理温度の変化に対する $I_{d, on}$ の測定結果を図2-8(a)に、350°Cで1時間の熱処理をした時の、熱処理前後での伝達特性を図2-8(b)にそれぞれ示す。図2-8(a)に示すように、 $I_{d, on}$ は200°C以上の熱処理で増加しはじめ、450°C以上の熱処理で減少した。この450°C以上での $I_{d, on}$ の減少は、S/D電極として使用しているTiの酸化により、抵抗が増加したためであると思われる。350°Cで1時間の熱処理を行ったZnO TFTでは、図2-8(b)に赤の実線で示すように、熱処理前に比べ $I_{d, off}$ の減少、および $I_{d, on}$ の増加により、 5×10^9 のon/off比が得られた。この時の電界効果移動度は約2.1 cm²/Vsであり、 V_{th} およびS値は、それぞれ-2.1 Vおよび0.2 V/decadeであった。

これらの測定結果から、作製したZnO TFTを酸素雰囲気中で熱処理することにより、ZnO膜中の酸素欠損が補償され、トランジスタ特性の向上に寄与したと考えられる。

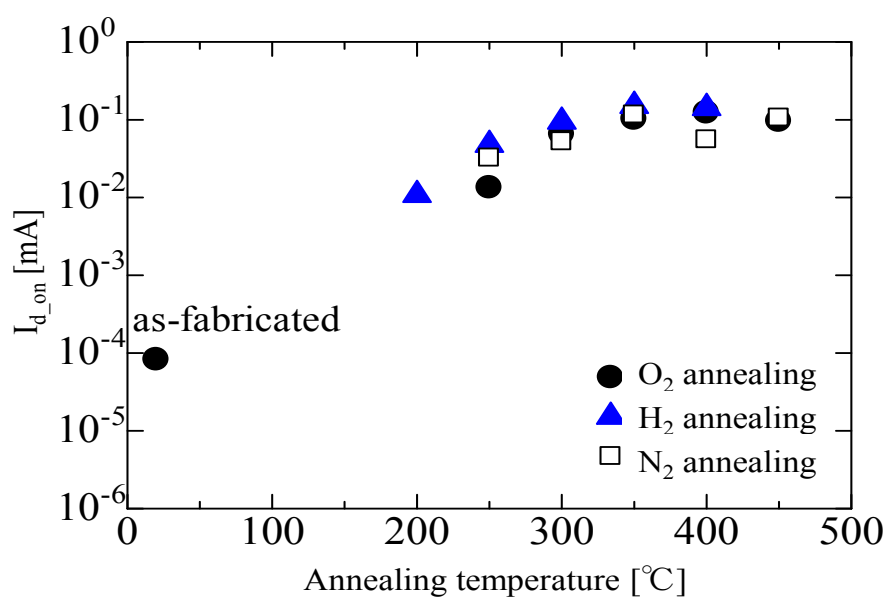


図 2-7. $I_{d,on}$ の熱処理温度依存性 ($V_d = 5 \text{ V}$)

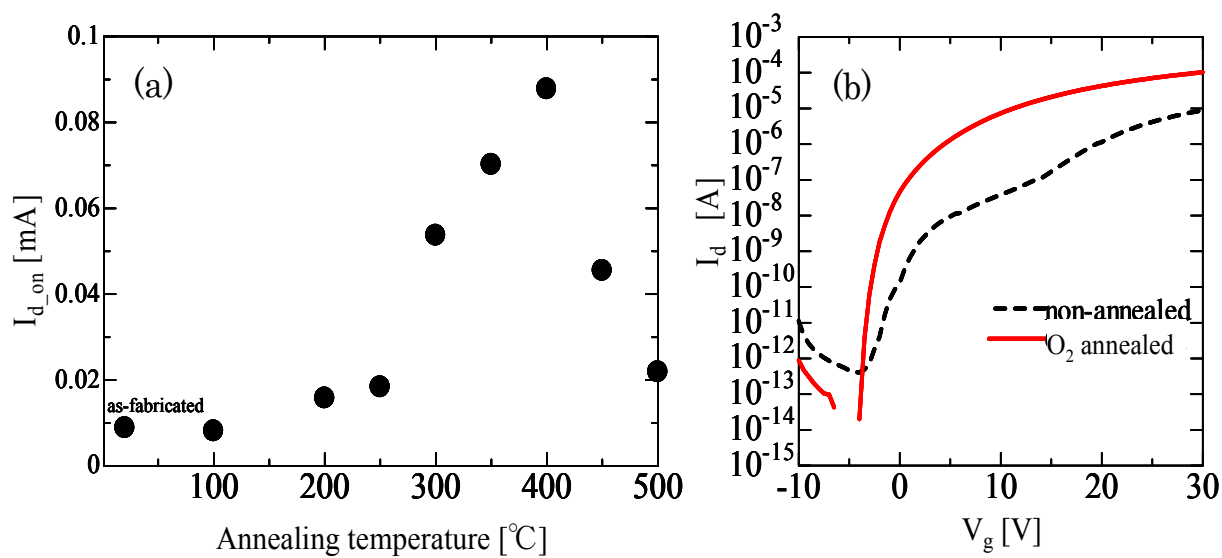


図 2-8. PA-ALD ZnO TFT 伝達特性 (a) 熱処理温度に対する $I_{d,on}$ 測定結果, (b) 350°C 熱処理前後の伝達特性 ($V_d = 5 \text{ V}$)

2.4.2 電気ストレスに対する信頼性評価

バイアスストレス下での TFT の安定性は、ディスプレイ駆動素子等への応用時に重要となる。デバイスの信頼性評価のため、作製した TFT を酸素雰囲気中で熱処理し、ゲートおよびドレインにそれぞれ 20 V のバイアスストレスを、室温にて 1, 10, 100, 1000, 10000 秒印加した際の伝達特性を測定した。

300°Cで熱処理した TFT の測定結果を図 2-9(a)に、400°Cで熱処理した TFT の測定結果を図 2-9 (b)にそれぞれ示す。図 2-9 (a)に示すように、300°Cでの熱処理では、ストレス印加により時間経過とともに V_{th} が大きくポジティブシフトした。一方で、400°Cで熱処理した TFT ではこの V_{th} のシフト (ΔV_{th}) が大きく低減した。さらに、10000 秒のバイアスストレス印加後、電圧を開放し、室温で放置した際の 1, 10, 100, 1000, 10000 秒経過後の伝達特性の変化を図 2-10(a)、(b)に示す。図 2-10 (a)は 300°Cでの熱処理、図 2-10 (b)は 400°Cで熱処理した TFT の時間経過による回復特性を示している。図 2-11 は、ストレス印加および回復による ΔV_{th} の時間経過による推移を示しており、10000 秒のバイアスストレス印加によりシフトした V_{th} は、時間経過とともに熱処理なしで回復した。この回復特性は、a-Si:H や poly-Si TFT では見られず、劣化した特性の回復には熱処理が必要となる。^{23,24)} また、図 2-11 に示すように、ストレス印加による S 値の変化 (ΔS) はみられなかった。

さらに、ドレインバイアスストレスを 0 V とし、ゲートバイアスを 20 V 印加した際の時間経過による伝達特性の測定結果を図 2-13(a)、(b)に示す。ゲートバイアスのみを印加した際も、ゲートおよびドレインの両方にストレスを印加した時と同様に、 V_{th} のシフトがみられ、S 値の変化はみられなかった。また、ゲートバイアスストレスを 0 V とし、ドレインバイアスのみを印加した際には、伝達特性にストレス印加による大きな変化はみられなかった。

これらの結果から、電氣的ストレス印加による V_{th} のシフトはゲートバイアスストレスに起因することが示唆された。a-Si:H TFT において、直流ゲート電圧印加による ΔV_{th} 発生の原因として、2 種類のメカニズムが確認されている。準位生成に起因する ΔV_{th} ではストレス印加時間のべき乗に依存し、チャージトラップによる V_{th} のシフトは、ストレス印加の対数時間に依存するとされている。²⁵⁻²⁷⁾ このことから、ZnO TFT における電氣的ストレスによる V_{th} のシフトはチャージトラップに起因するものであると考えられる。

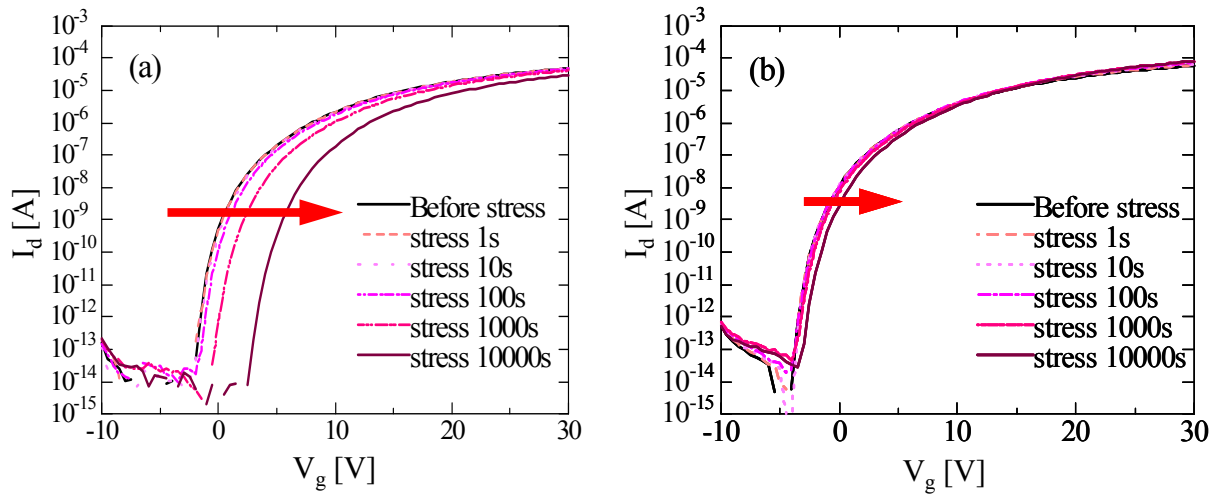


図 2-9. ゲート/ドレインバイアスストレス ($V_g/V_d = 20/20$ V) 印加による伝達特性の変化 (a)300 °C, (b)400 °C熱処理 ZnO TFT

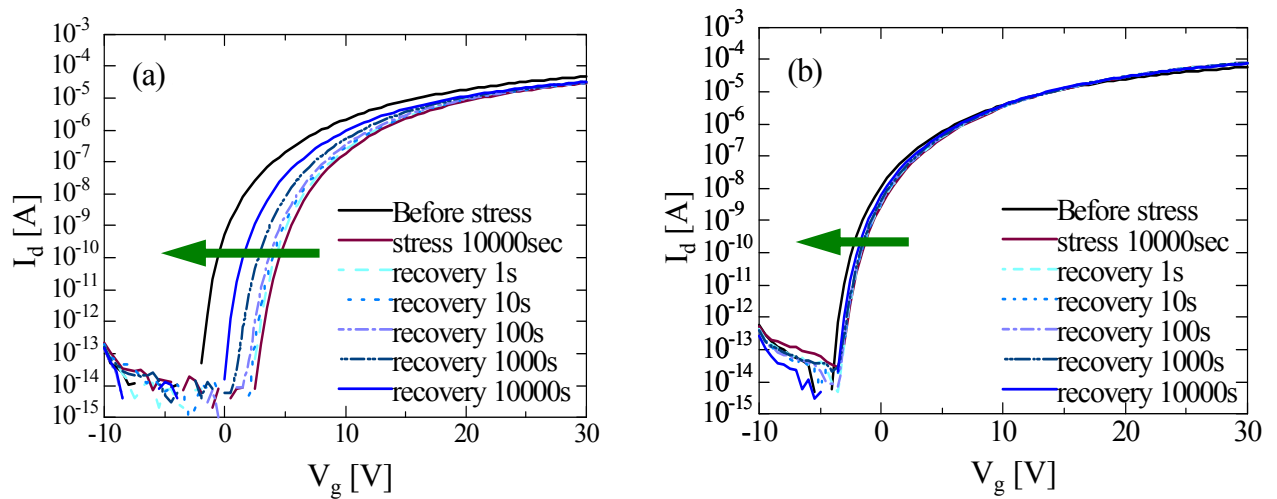


図 2-10. バイアスストレス ($V_g / V_d = 20/20$ V) 10000 秒印加後の回復特性 (a) 300 °C, (b) 400 °C熱処理 ZnO TFT

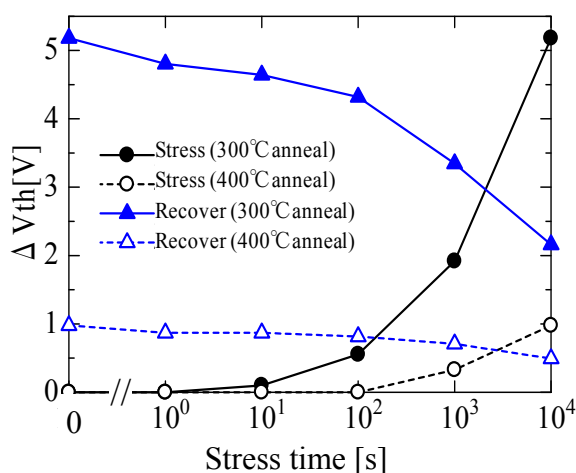


図 2-11. 時間経過による ΔV_{th} の推移

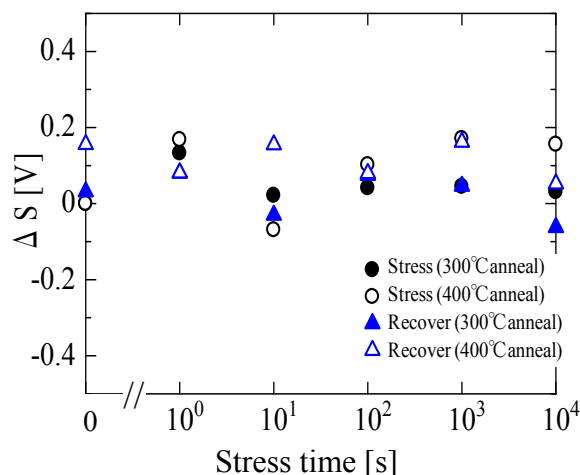


図 2-12. 時間経過による ΔS の推移

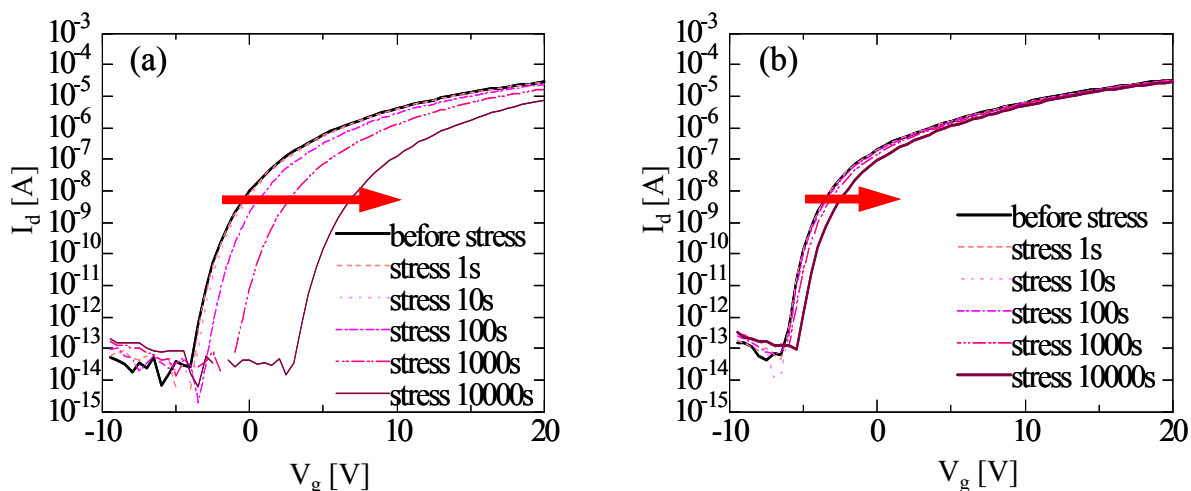


図 2-13. ゲートバイアスストレス($V_g = 20$ V) 印加による伝達特性の変化

(a)300°C、(b)400°C熱処理後 ZnO TFT

2.4.3 X線回折による結晶性評価

PA-ALDにより堆積したZnO膜の結晶性を、XRD測定により評価した。ZnO TFTの作製に用いたZnO膜のXRD測定結果を、図2-14(a)-(c)に示す。図2-14(a)の上下はそれぞれ熱処理前および酸素雰囲気中、300°Cで1時間の熱処理を行った後の、ZnO膜のXRDパターンを示している。熱処理後のZnO膜では、(100)に比べ、c軸である(002)のピーク強度がやや強まり、c軸配向の傾向がみられた。図2-14(b)は、熱処理温度を200~400°Cに変化させたときの、熱処理前および熱処理後の(002)のピ

ークを示している。ZnO 膜の(002)ピークは、熱処理温度の上昇とともに高角度側へシフトする傾向がみられた。熱処理温度に対する(002)ピークの 2θ の値を図 2-14(c) に示す。この結果から、(002)のピークは熱処理温度 200°C から 300°C でステップ状に変化することが分かった。これは、ZnO TFT における熱処理温度に対する $I_{d,on}$ の変化と一致する傾向を示している。300°C で熱処理を行った ZnO 膜の、熱処理前後での(002)の 2θ のピーク値、および測定結果より算出した格子定数 c の値を表 2-2 に示す。熱処理による(002)ピークの高角度側へのシフトにより、格子定数が減少した。その結果、熱処理前と比較して、熱処理を行った ZnO 膜では、ZnO 単結晶の固有値に近づくことが分かった。この格子定数の減少は、成膜の時点では不十分であった ZnO の結合が、本来の安定した状態に回復したことを意味するものであると思われる。

XRD による結晶性の測定結果と、前項で示した熱処理温度の変化による ZnO TFT の伝達特性の測定結果とを比較して、ZnO TFT の熱処理によるデバイス特性の向上は、チャンネル層である ZnO 膜の結晶性の改善も寄与していると考えられる。

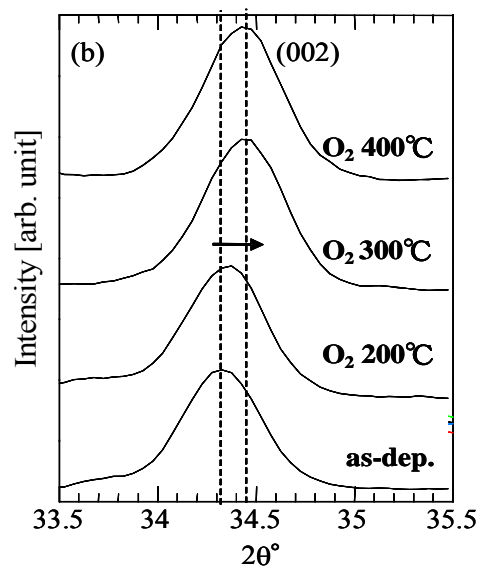
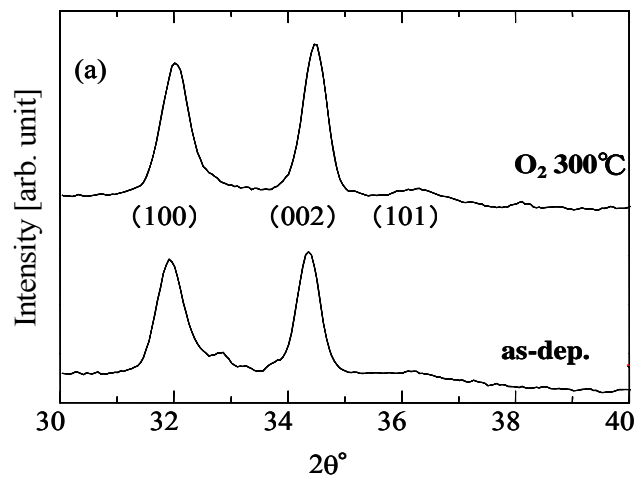


表 2-2. XRD 測定結果

	熱処理前	O ₂ , 300 °C 熱処理後	ZnO バルク固有値 ⁴⁾
(002)ピークの 2θ [°]	34.32	34.42	34.422
格子定数 c [Å]	5.22	5.20	5.204

2.4.4 ZnO 膜組成評価

TFT 作製に用いた ZnO 膜の、熱処理による組成の変化を調べるため、SIMS による測定を行った。図 2-15(a) - (d)に、それぞれ熱処理前、酸素雰囲気中で 200°C から 400°Cの熱処理を行った後の ZnO 膜中の酸素 (O)、水素 (H)、炭素 (C) の測定結果を示す。400°Cで熱処理したサンプルでは、熱処理前のものに比べ水素濃度が大きく減少した。これは、ZnO 膜中の残留水素が熱処理により脱離したためであると考えられる。SIMS 測定による ZnO 膜中の水素および炭素濃度の測定結果と、ZnO TFT にバイアスストレスを 10000 秒印加した後の閾値の変化量の熱処理温度に対する変化を図 2-15(e)に示す。この結果、熱処理温度の上昇と共に閾値電圧のシフトは低減され、膜中の水素濃度も大幅な減少が見られた。一方で、炭素濃度は熱処理により低減されたが、水素および閾値電圧のシフト量の変化と比較して大きな変化は見られなかった。これらの測定結果から、バイアスストレス印加による TFT 特性の劣化には、水素が要因となっているものと思われる。

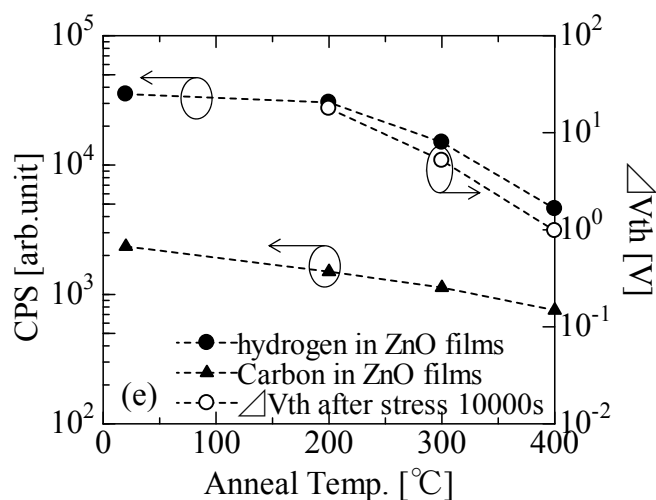
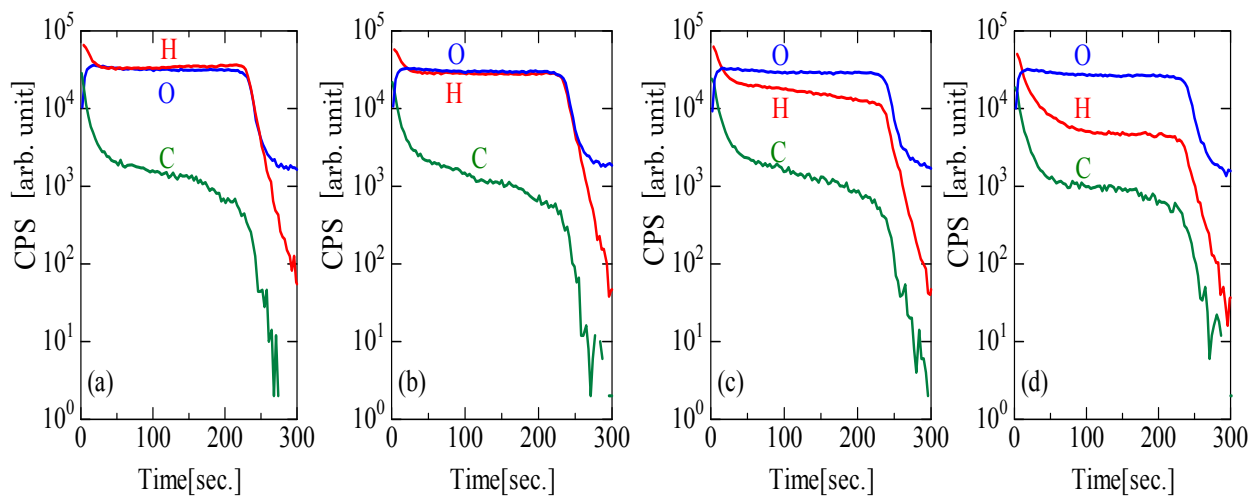


図 2-15. (a)熱処理前、(b)200°C、(c)300°C、(d)400°C熱処理後の ALD-ZnO 膜中における O,H,C の SIMS 測定結果、(e)熱処理温度による TFT 信頼性評価及び膜中水素量の測定結果

2.5 プラズマ印加時間による ZnO TFT 特性の変化

2.5.1 ZnO TFT 伝達特性

これまでの結果から、反応の活性化にプラズマを援用する PA-ALD 法により、低温で堆積した ZnO 膜においても、TFT の高性能化が可能であることが分かった。これは、金属原料である DEZ が、プラズマの印加により効果的に酸化され、膜中の残留不純物が低減されたためである。そこで、さらなる ZnO TFT の高性能化に向け、ZnO 膜堆積時のプラズマ印加時間による特性への影響を検討した。プラズマ印加時間の変化による ZnO TFT 伝達特性への影響を調べるため、成膜時のプラズマ印加時間を 0.1~1.5 秒に変化させ、ZnO 膜を堆積した。膜厚 50 nm の熱酸化膜を形成した低抵抗 Si 基板上に、膜厚 30 nm となるよう ZnO 膜を堆積し、堆積温度は 100°C とした。

作製した TFT の伝達特性の測定結果を、図 2-16 に示す。図 2-16 (a) および (b) は、プラズマ印加時間 0.1 秒、1.0 秒で堆積した ZnO 膜を使用して作製した TFT の、それぞれ初期値および 300°C で 1 時間の熱処理を行ったものの特性を示している。また、図 2-16 (c) には成膜時のプラズマ印加時間に対する、300°C で熱処理した TFT の伝達特性の on 電流 (I_{d_on}) の変化を示す。ここで、on 電流はゲート電圧を -10 から 30V で測定した際の、ドレイン電流の最大値とする。プラズマ印加時間 0.1 秒、1.0 秒の ZnO 膜を用いた TFT は、共に TFT 作製後の熱処理なしでスイッチング特性を示した。しかしながら、プラズマ印加時間 0.1 秒の ZnO 膜を使用した TFT では、 I_{d_on} 、電界効果移動度は共に低く、熱処理を行った後でも TFT 特性はスイッチング素子として不十分なものであった。一方、プラズマ印加時間 1.0 秒の ZnO 膜を使用した TFT では、300°C の熱処理後、 1×10^8 以上と非常に高い on/off 比を示した。この時の電界効果移動度は約 $3.2 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 、閾値電圧は -1.3 V であり、S 値は 0.3 V/decade であった。プラズマ印加時間をさらに延長したが、1.0 秒以上の印加では特性はほぼ飽和し、大きな変化は見られなかった。

作製した TFT の測定結果から、PA-ALD による ZnO TFT のデバイス特性はプラズマ印加時間の延長と共に向上し、1.0 秒の印加で高い電界効果移動度および on/off 比が得られることが分かった。

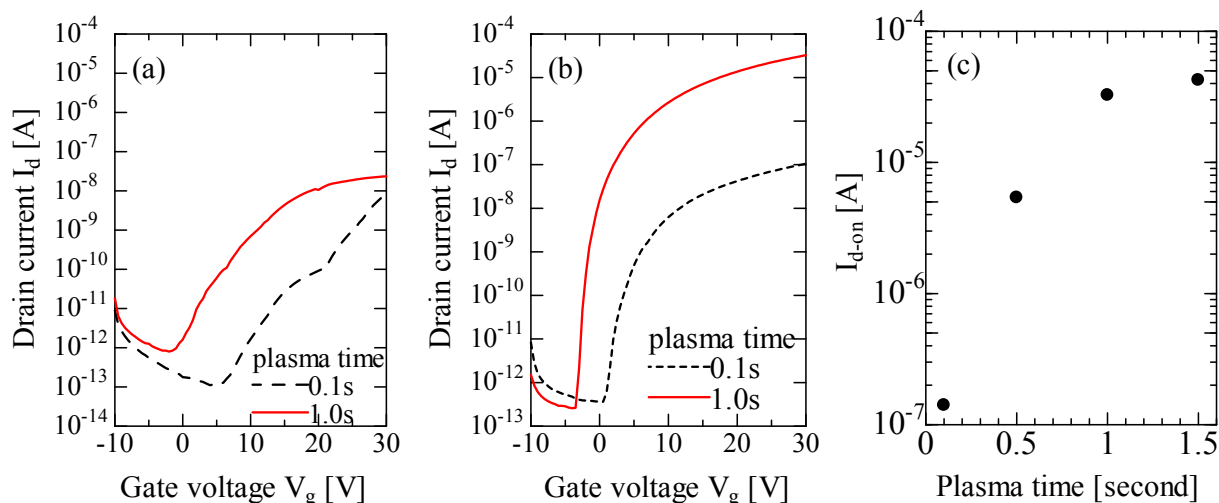


図 2-16. プラズマ印加時間 0.1 秒、1.0 秒で堆積した ZnO TFT の(a)初期値および(b)300°C熱処理後の伝達特性、(c)プラズマ印加時間 0.1-1.5 秒での I_{d-on} の変化

2.5.2 ZnO 薄膜特性

プラズマ印加時間の変化による TFT 特性の変化の原因を調べるため、ZnO 膜の特性を評価した。チャンネル層である ZnO 膜の膜質の向上が ZnO TFT の特性向上につながると考えられるため、ZnO 膜の密度および膜内の残留不純物量の変化を調べた。

不純物や欠陥多い等の原因により低密度となった膜では、膜の屈折率が低くなるという報告がされている^{28,29)}。そこで、プラズマ印加時間の延長による ZnO 膜の密度の変化を調べるため、ZnO 膜の屈折率を評価した。測定には分光エリプソメトリ (HORIBA JOBIN YVON, UVISEL ER AGMS-NSD) を使用し、ZnO 膜の屈折率および 1 サイクルあたりの成膜レートを調べた。

プラズマ印加時間に対する、ZnO 膜の堆積レートおよび屈折率の測定結果を図 2-17 に示す。1 サイクルあたりの堆積レートと ZnO 膜の屈折率は、プラズマ印加時間の延長と共に増加し、1 秒以上の印加でほぼ飽和する傾向が見られた。プラズマを 0.1 秒印加した時の堆積レートは 1.5 Å/cycle であり、1.0 秒以上では 2.0 Å/cycle であった。c 軸配向した単結晶 ZnO の 1 原子層の厚さは約 2.5 Å であり、Zn-O 間の距離は 1.99 Å である。本研究における ZnO 膜は多結晶であるため、詳細な 1 層あたりの膜厚の特定は不可能であるが、1 原子層あたりの ZnO 膜の厚さはおよそ 2.0-2.5 Å と見積もられる。³⁰⁾ プラズマ印加時間が 0.5 秒以下での成膜においては、1 サイクル辺りの膜厚がこの値に達していない結果となった。このことから、0.5 秒以下のプ

プラズマの印加では金属原料である DEZ の酸化が不十分であり、1 サイクルで 1 層の成膜が行われていないと考えられる。一方で、1 秒以上プラズマを印加した膜では 1 サイクル辺りの膜厚が、見積もられた 1 層辺りの厚さに達し、飽和する傾向を示した。この結果から、プラズマ印加時間の延長により酸化が十分に行われたと考えられる。

また、ZnO 単結晶の屈折率の固有値は、1.9-2.0 である。しかしながら、プラズマ印加時間 0.1 秒で堆積した ZnO 膜の屈折率は、1.8 以下であり、高純度 ZnO よりも低密度であることが示された。これらの結果から、金属原料である DEZ の酸化には 0.5 秒以上のプラズマ印加が必要であることが分かった。プラズマを 1.0 秒以上印加し堆積した膜は、プラズマ印加時間 0.1 秒の膜よりも高い屈折率を示した。分光エリプソメトリの測定結果から、PA-ALD による ZnO 膜堆積時にプラズマを十分に印加することにより、ZnO 膜の密度を向上させられることが分かった。このことから、二次イオン質量分析法 (SIMS : Secondary Ion Mass Spectroscopy) を使用して ZnO 膜の元素分布分析を行い、ZnO 膜の低密度の原因の特定を試みた。

SIMS 測定は、堆積後の熱処理をしていない ZnO 膜に対して行い、膜中の酸素(O)、水素(H)、炭素(C)を測定した。プラズマ印加時間 0.1 秒で堆積した膜の測定結果を図 2-18 (a)に示す。図 2-18 (b)は、プラズマ印加時間に対する膜中元素の測定結果の変化を示している。各元素の Intensity は、ZnO 膜を堆積したシリコン基板の Si の測定値に対する、ZnO 膜の深さ 10-20 nm における各元素の測定値の平均値の比で示している。膜中の水素および炭素濃度は、プラズマ印加時間の延長と共に減少した。この水素および炭素は、金属原料である DEZ に起因する残留不純物であり、残留炭素および水素は DEZ の堆積時の酸化不足によるものであると考えられる。

分光エリプソメトリによるプラズマ印加時間に対する ZnO 膜の屈折率の測定結果と、SIMS による膜中元素分析の結果を比較して、膜中の残留炭素および水素が ZnO 膜の密度を低下させると考えられる。プラズマ印加時間の延長による ZnO TFT 伝達特性の向上は、ZnO 膜中の残留不純物の低減による膜質の向上が一因として考えられる。

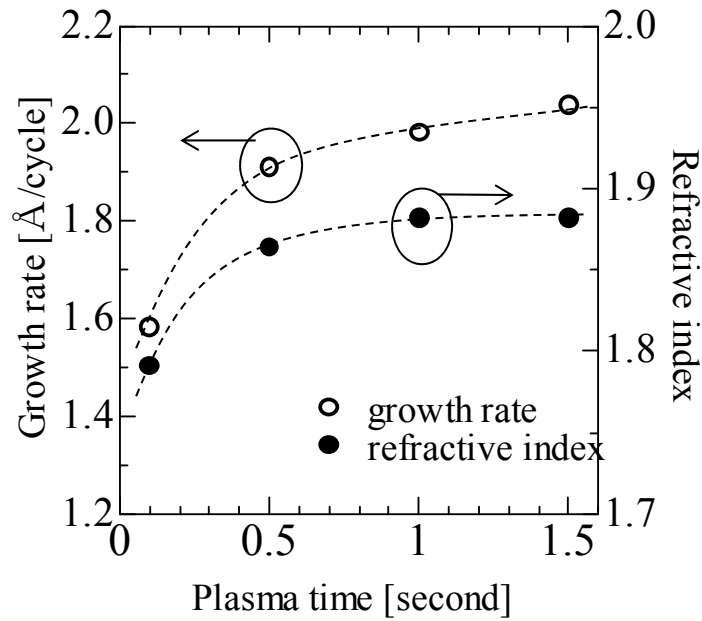


図 2-17. プラズマ印加時間 0.1-1.5 秒での ZnO 膜の堆積レートおよび屈折率

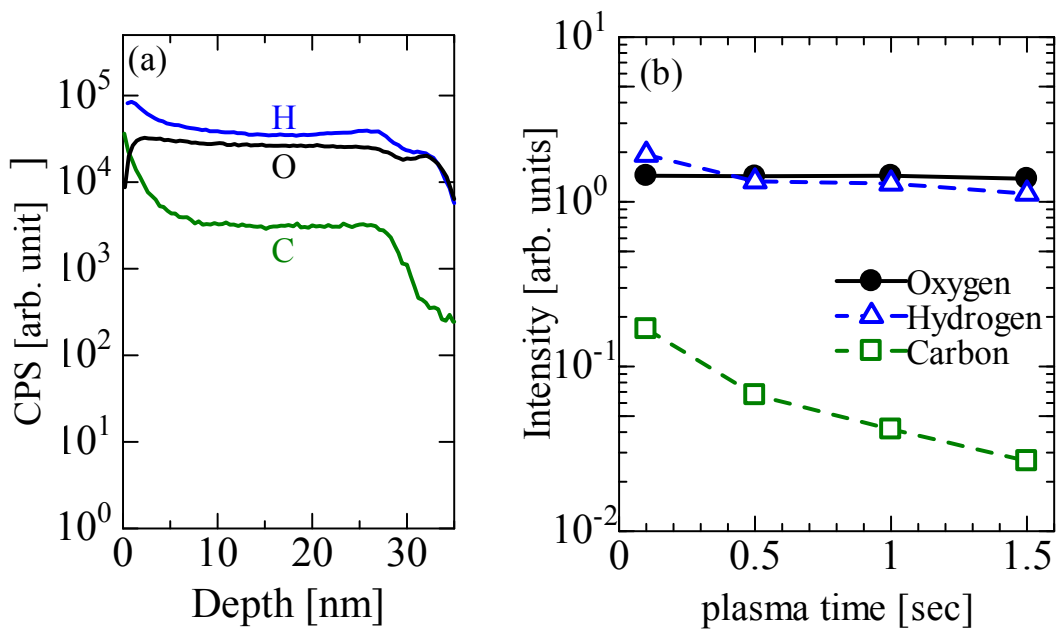


図 2-18. SIMS 測定結果 (a) プラズマ印加時間 0.1 秒で堆積した ZnO 膜の O、H、C 測定結果 (b) プラズマ印加時間 0.1-1.5 秒での O、H、C の平均値

2.6 PA-ALD による ZnO TFT 特性における堆積温度依存性

2.6.1 PA-ALD による ZnO TFT 伝達特性

ZnO 薄膜堆積時の堆積温度に対する、ZnO TFT 特性の変化を調べるため、PA-ALD により堆積温度 100°C および 300°C で ZnO 薄膜を形成した。熱酸化により形成した SiO₂ 薄膜をゲート絶縁膜とし、ZnO TFT を作製し、熱処理なしでの特性を評価した。図 2-19 は、作製した TFT の $V_d = 5$ V での伝達特性を示している。堆積温度 100°C および 300°C での ZnO TFT は共に、熱処理なしでスイッチング特性を示した。さらに、300°C で堆積した ZnO 膜を使用した TFT では、100°C で堆積したものに比べ、電界効果移動度の増加など、特性の向上がみられた。堆積温度 300°C の TFT における on/off 比は $>10^9$ であり、電界効果移動度は $5.7 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ であった。

これまでの実験結果から、ALD により堆積した ZnO 膜を用いた TFT の特性の向上は、ZnO 膜中の残留不純物の低減および ZnO 膜の結晶性の向上が原因と考えられる。そのため、堆積温度に対する ZnO 膜の特性の変化を調べた。

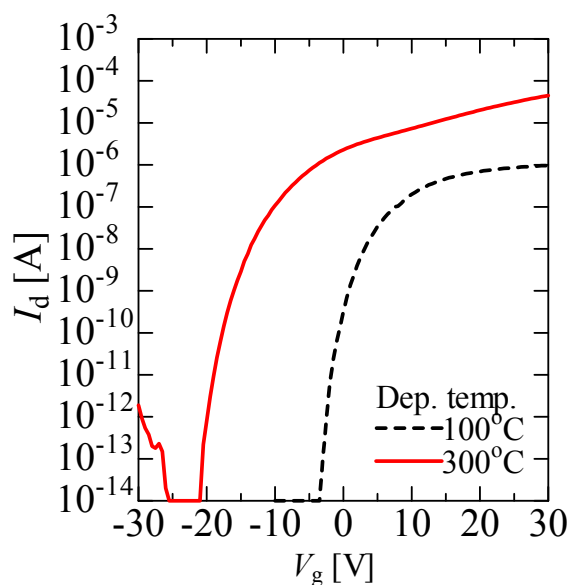


図 2-19. ZnO TFT 伝達特性 ($V_d=5$ V)

2.6.2 X線回折による ZnO 膜の結晶性評価

堆積温度に対する ZnO TFT 特性の変化の原因を調べるため、まず XRD により ZnO 膜の結晶性を評価した。図 2-20 に、TFT のチャンネル層に使用した ZnO の XRD 測定結果を示す。100°C で堆積した ZnO 膜では、(100)、(002)、(101) の 3 つのピークがみられた。一方、300°C で堆積した ZnO 膜は(002)のみのピークを示し、基板に対して垂直な c 軸優先配向の膜が形成されていることが分かった。ZnO 膜は多結晶であり、多結晶半導体薄膜を使用した TFT では、結晶粒界における欠陥準位や散乱等、粒界からの影響が on 特性および電界効果移動度の低減の原因の一つとして挙げられる。このことから、ZnO 膜堆積温度の上昇により配向が揃ったことで粒界からの影響が低減されたため、TFT において電界効果移動度の向上につながったと考えられる。³¹⁻³³⁾

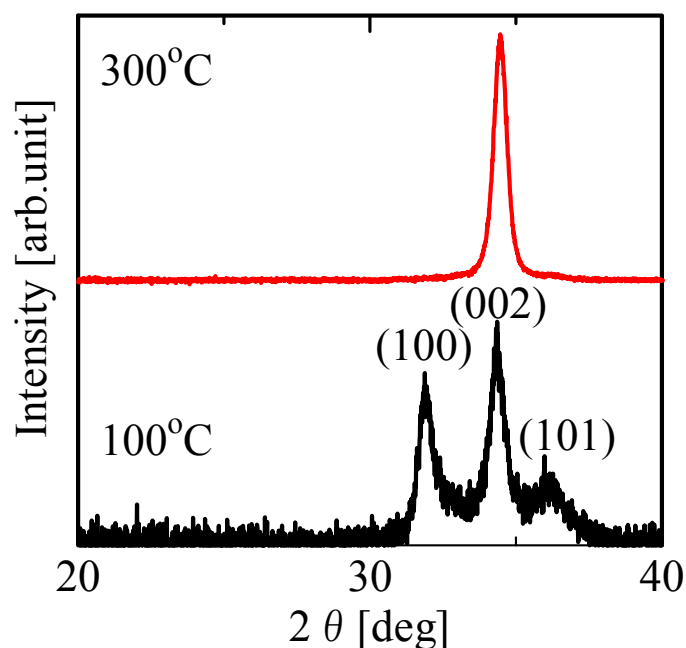


図 2-20. XRD 測定結果

2.6.3 二次イオン質量分析 (SIMS) による ZnO 膜の組成評価

次に、堆積温度による ZnO 膜の組成の変化を調べるため、SIMS により ZnO 膜の元素分析を行った。100°C および 300°C で堆積した ZnO 膜の SIMS 測定の結果を図 2-21 (a) および (b) にそれぞれ示す。測定結果より、300°C で堆積した ZnO では、100°C で堆積した膜に比べて膜中の水素 (H) および炭素 (C) がおよそ 1 ケタ低減された

ことが示された。膜中の炭素および水素は、金属原料である DEZ に起因するものであると考えられる。本研究のこれまでの結果から、ZnO 膜中の残留炭素および水素の残留不純物が ZnO TFT における on 電流の低減につながると考えられるため、堆積温度の上昇による膜中の残留不純物の低減が、ZnO TFT 特性の向上の一因であると言える。

XRD による結晶性評価及び SIMS による膜中元素分析の結果と、ZnO TFT における電気的特性とを比較して、ZnO 膜堆積温度の上昇による ZnO TFT 特性の向上は、結晶性の向上や膜中残留不純物の低減による ZnO 膜の高品質化に起因すると考えられる。

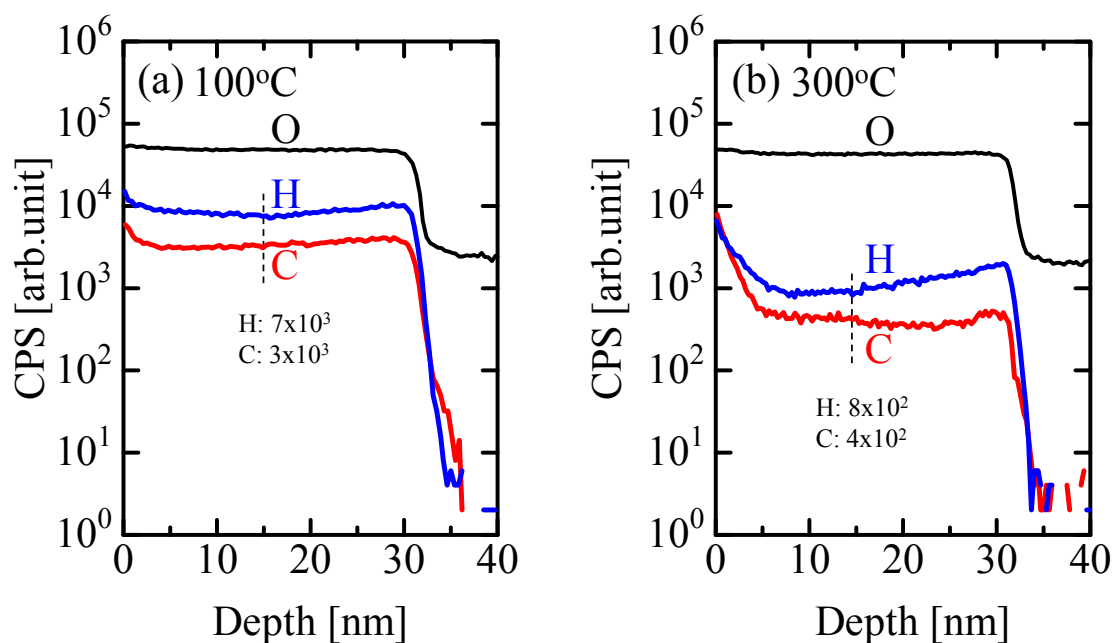


図 2-21. 堆積温度(a)100°C、(b)300°Cの ZnO 膜における SIMS 測定結果

2.6.4 可視光領域における透過率測定

堆積温度に対する ZnO 膜の透明性の変化を調べるため、UV/VIS Spectrometer (Lambda 950)により可視光の透過率を測定した。200-1000 nm の波長に対する透過率の測定結果を図 2-22 に示す。堆積温度 100°C で形成した ZnO 膜では、可視光に対し最大で 90%以上の高い透明性を示し、波長 550 nm での透過率は約 86%であった。一方で、赤で示した 300°C で堆積した ZnO 膜では、100°C で堆積した膜を比較して透過率は低下し、550 nm の波長に対する透過率は約 80%であった。この堆積温度の上昇による透過率の低下は、電気的特性の測定結果と比較して、ZnO 膜中の酸素欠損の増加による欠陥準位の形成が原因として考えられる。³⁴⁻³⁶⁾ しかしながら、いずれの堆積温度においても可視光に対し 80%以上の高い透過率を示しており、良好な透明性を持つ膜が形成されていると言える。

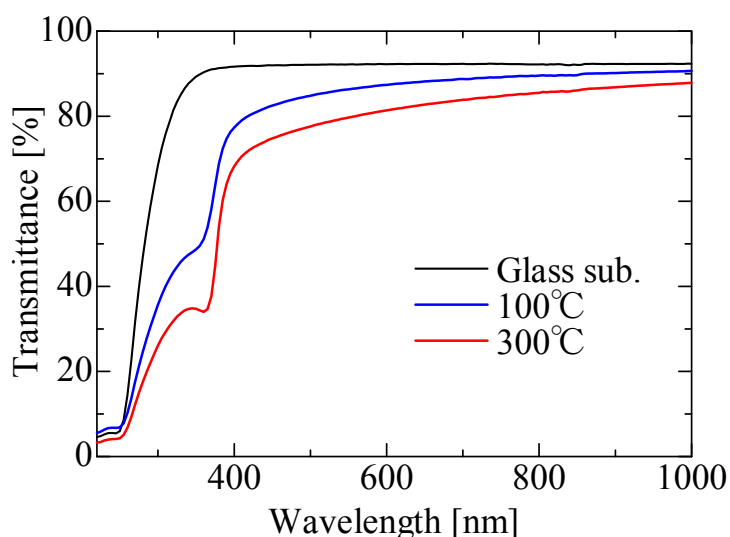


図 2-22 可視光透過率測定結果

2.7 ラジカル源による ZnO TFT の高性能化

2.7.1 水プラズマ ALD による ZnO 薄膜の形成

本研究のこれまでの結果から、ALD による ZnO TFT においては ZnO 膜中の残留炭素が on 電流や電界効果移動度の原因となることが分かった。さらに、ZnO 膜堆積温度への ZnO TFT 特性の依存性を評価した結果、300°C で堆積した ZnO 膜では c 軸優先配向を示し、高い電界効果移動度が得られた。これらの結果より、ZnO TFT 特性の向上には ZnO 膜中の残留炭素の低減および c 軸優先配向の膜の形成が重要である

ことが示された。一般的に、結晶性の向上や配向の制御のためには堆積温度または熱処理温度を上昇させる手段が用いられている。³⁷⁻⁴⁰⁾ しかしながら、これらの高温プロセスは、プラスチック基板上等に形成するフレキシブルデバイスの作製に適用することは困難である。

そこで本節では、プロセス温度を上昇させることなく ZnO TFT の特性を向上させるため、PA-ALD による ZnO 膜形成時に使用するラジカル源の効果を検討した。通常の PA-ALD では、ラジカル源として酸素ガス (O_2 -plasma) を使用している。プラズマを印加しない酸素ガスでは、酸化剤としての反応性が非常に低く、原料ガスが酸化されないが、プラズマを印加することにより反応が活性化され低温でも原料ガスの酸化が可能となる。堆積温度の上昇による膜質の向上は、加熱による反応の活性化が行われているためと考えられることから、プラズマを使用しない通常の熱 ALD で使用される酸化剤にプラズマを印加することにより、 O_2 -plasma よりも高い反応のためのエネルギーが得られると考えた。そこで、従来の熱 ALD における酸化剤として一般的に使用される水をラジカル源として (H_2O -plasma) 使用した ZnO 膜を堆積し、ラジカル源による ZnO TFT 特性への影響を調べた。

H_2O -plasma による ZnO TFT 特性への効果を調べるため、 O_2 -plasma により堆積した ZnO 膜を使用した TFT とその特性を比較した。また、ZnO 膜堆積時のプラズマ印加時間は 0.1~1.5 秒に変化させ、その特性の変化を調べた。膜の堆積温度は $100^\circ C$ とし、堆積した膜の膜厚は分光エリプソメトリにより測定した。さらに、ZnO 膜の特性を調べるため、XRD による結晶性の評価、AFM による表面形状の評価、SIMS による膜の深さ方向元素分析を行った。

2.7.2 水プラズマ ALD による ZnO TFT 特性

熱酸化により SiO_2 膜を形成した低抵抗 Si 基板上に、酸素ガスまたは水蒸気をラジカル源として使用した PA-ALD により ZnO 膜を堆積した。作製した TFT を $V_d = 5 V$ における伝達特性を測定した。TFT 作製後の熱処理は行っていない。図 2-23 (a) に、プラズマ印加時間に対する on 電流の測定結果を示す。作製した TFT の on 電流は、 O_2 -plasma、 H_2O -plasma 共にプラズマ印加時間の延長と共に増加し、約 1.0 秒のプラズマ印加時間で飽和する傾向がみられた。さらに、 O_2 -plasma による ZnO TFT と比較して、 H_2O -plasma により堆積した ZnO 膜を使用した TFT では、短い印加時間でもより高い on 電流が得られた。図 2-23 (b) は、プラズマ印加時間 1.0 秒で堆積した ZnO 膜を使用した TFT の伝達特性を示している。プラズマ印加時間 1.0 秒での O_2 -plasma および H_2O -plasma ZnO TFT の電界効果移動度は、それぞれ 0.3 および $1.1 \text{ cm}^2/Vs$ であった。 H_2O -plasma での ZnO TFT は、 O_2 -plasma よりも高い値

を示し、その on/off 比は 10^9 以上、閾値電圧は -0.5 V であった。

この結果は、現在ディスプレイの画素駆動用デバイスとして一般的に用いられている a-Si:H TFT の電界効果移動度 (~ 0.5 cm²/Vs) よりも高い値を示しており、PA-ALD による ZnO TFT のディスプレイへの応用の可能性を示している。H₂O-plasma による ZnO TFT の特性向上の原因を調べるため、ZnO 膜の特性を評価した。

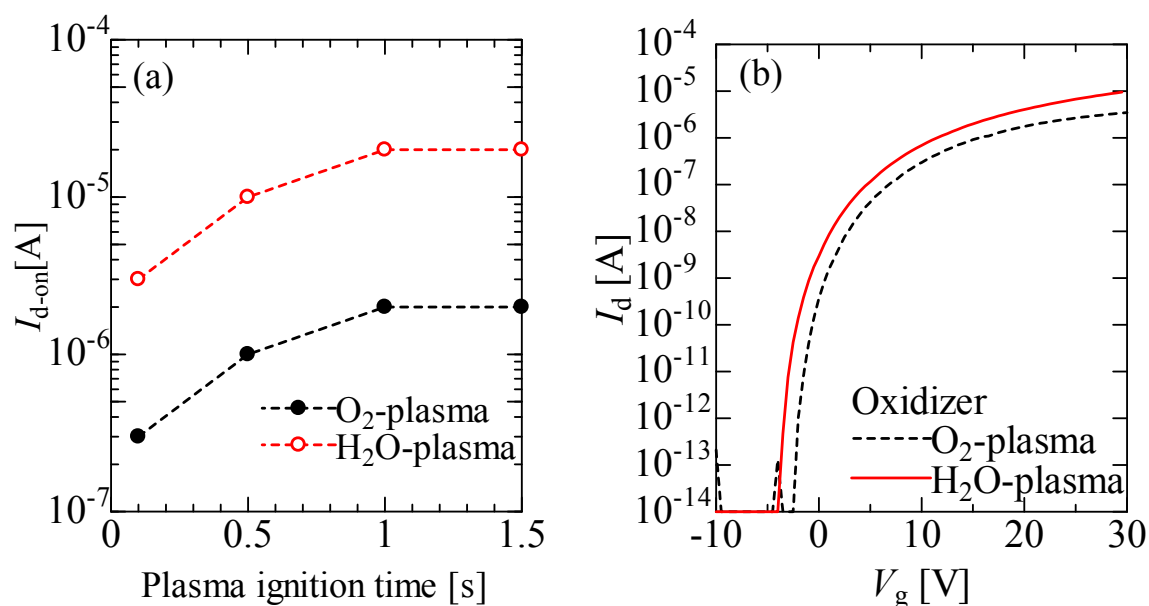


図 2-23. O₂-plasma および H₂O-plasma による ZnO TFT 伝達特性 (a)プラズマ印加時間に対する on 電流の変化 (b)プラズマ印加時間 1.0 秒で堆積した ZnO TFT 伝達特性 ($V_d=5$ V)

2.7.3 二次イオン質量分析による組成評価

本研究によるこれまでの結果から、ZnO 膜中の残留炭素が ZnO TFT の on 電流を低減することが明らかになっている。このことから、H₂O-plasma による ZnO TFT の on 電流および電界効果移動度の向上の原因を調べるため、H₂O-plasma および O₂-plasma により堆積された ZnO 膜の元素分析を行った。SIMS による元素分析の結果を図 2-24 に示す。H₂O-plasma により堆積した ZnO 膜では、O₂-plasma により堆積した膜に比べて、膜中の炭素が約 1 桁低減された。この炭素は、金属原料として使用した DEZ に起因する残留物質である。そのため、この膜中残留炭素の低減は、

O₂-plasma と比較して H₂O-plasma の方が高い反応性を有するためであると考えられる。また、膜中の水素においてはラジカル源の変更による変化は見られなかったが、これはラジカル源として使用した H₂O から水素が取り込まれたためであり、DEZ に起因する残留水素は炭素と同様に低減されていると考えられる。この H₂O-plasma による ZnO 膜中の残留不純物の低減が、ZnO TFT の on 電流の向上につながったと考えられる。

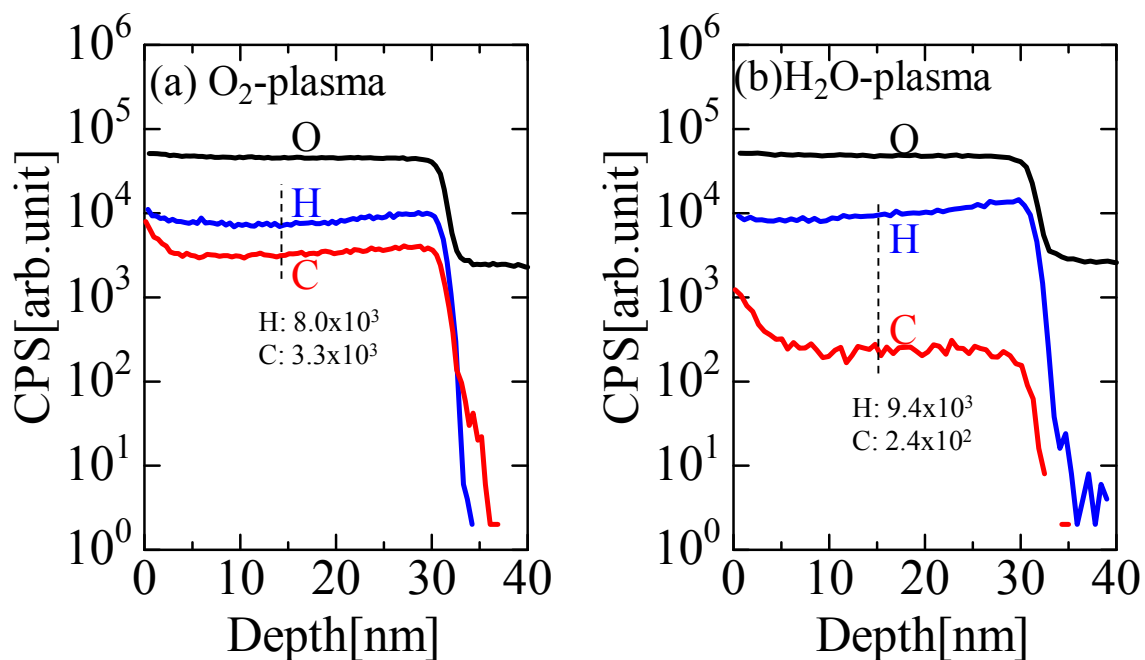


図 2-23. (a)O₂-plasma、(b)H₂O-plasma による ZnO 膜の SIMS 測定結果

2.7.4 X 線回折による ZnO 膜の結晶性評価

本研究において ALD で堆積した ZnO 膜は、膜厚およそ 30 nm の多結晶薄膜である。ZnO TFT において、その特性は ZnO 膜の結晶性や表面モフォロジーからの影響を受ける。³⁸⁾ まず、ラジカル源の変化による ZnO 膜の結晶性の変化を調べるため、XRD 測定を行った。図 2-25 に ZnO TFT 作製に使用した ZnO 膜の XRD による測定結果を示した。O₂-plasma により堆積した ZnO 膜では、(100)、(002)、(101) の 3 つのピークがみられた。一方で、H₂O-plasma により堆積した ZnO 膜では、(100)、(101) のピークに対し、優勢な(002)のピークがみられた。この結果から、H₂O-plasma

により堆積した ZnO 膜では、基板に垂直な c 軸優先配向の膜が得られている。この c 軸優先配向により、ZnO 膜の粒界での欠陥準位が低減され、これにより ZnO TFT の特性の向上につながったものであると考えられる。³²⁻³⁴⁾ 一般的に、rf マグネトロンスパッタリングにより低温で堆積した ZnO 膜では、c 軸優先配向の膜が形成され、その配向はスパッタリングパワーや酸素ガスの流量比により制御される。^{39,41,42)} また、ALD により堆積した膜では、堆積温度の上昇により配向性が向上することが報告されている。^{40,41,43)} 本研究においても本章 6 節で示した通り、堆積温度の上昇により c 軸配向の膜が得られることが示された。ALD による薄膜の堆積においては、堆積温度の上昇により成膜の際の反応のためのエネルギーが増加することから、ZnO 膜の堆積に使用するエネルギーがその配向に影響を与えられと考えられる。このため、O₂-plasma と比較して H₂O-plasma では堆積の際に温度が上昇している可能性が考えられる。SIMS 測定の結果においても膜中の残留炭素が減少していることから、H₂O-plasma では O₂-plasma と比較して反応が効果的に進んでいることがうかがえる。以上のことから、ラジカル源として水を使用した H₂O-plasma では、膜の堆積時の反応が効果的に進むことにより、表面温度が上昇し、ZnO 膜の配向性が向上したのではないかと考えられる。

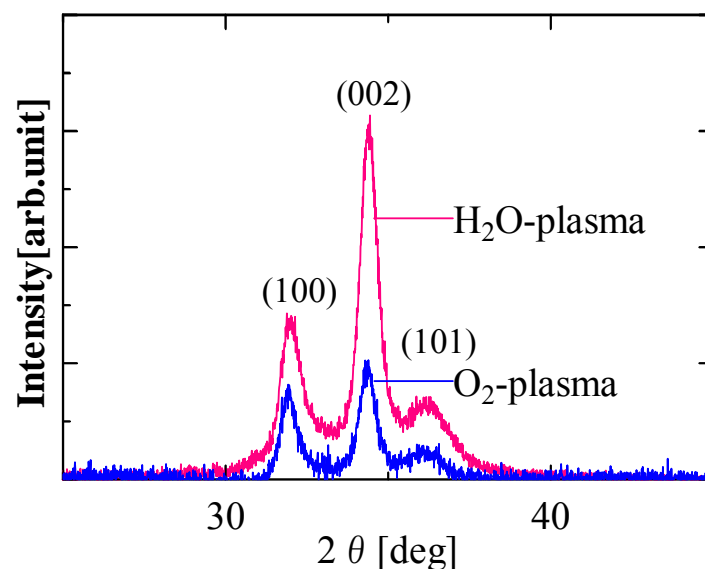


図 2-25. O₂-plasma および H₂O-plasma による ZnO 膜の XRD 測定結果

2.7.5 AFM による ZnO 膜の表面形状評価

TFT において、チャンネル層の表面モフォロジーも特性に影響を与える。 H_2O -plasma および O_2 -plasma により堆積した ZnO 膜の表面モフォロジーを調べるため、AFM により任意の $500 \text{ nm} \times 500 \text{ nm}$ の領域を測定した。測定した ZnO 膜の表面モフォロジーの変化は、平均ラフネス(R_a)により比較した。図 2-26 (a)および (b)に、プラズマ印加時間 1.0 秒で堆積した O_2 -plasma および H_2O -plasma による ZnO 膜の AFM-3D 画像を示す。 O_2 -plasma および H_2O -plasma による ZnO 膜の R_a は、共に約 0.6 nm であり、ラジカル源の変化による表面ラフネスの変化は見られなかった。また、多結晶 TFT において特性に影響を与えられ、結晶粒の大きさについても、変化はないと推察される。

ZnO 膜の特性の測定結果から、 H_2O -plasma による ZnO 膜の結晶性の向上は、膜中の残留炭素の低減によるものと考えられる。XRD による結晶性の測定および SIMS による膜中元素分析の結果と、ZnO TFT の電気的特性の測定結果と比較して、 H_2O -plasma により堆積した ZnO 膜を用いた TFT の特性の向上は、ラジカル源に水を使用したことで反応性の向上により ZnO 膜の膜質が向上したためであると考えられる。通常の ALD において ZnO 膜の膜質の向上のために必要であった、堆積温度の上昇による反応性の向上が、PA-ALD ではラジカル源の変更により得られた。この結果、PA-ALD により高品質な膜の低温での形成が可能となり、ZnO TFT の低温作製が可能となることが示された。

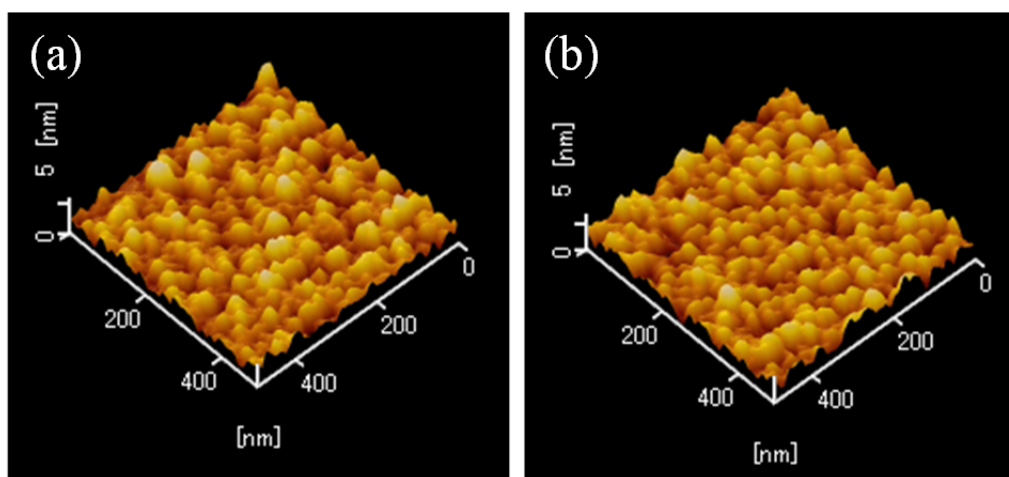


図 2-26. (a) O_2 -plasma、(b) H_2O -plasma による ZnO 膜の AFM-3D 画像

2.8 結言

本章では、原子層堆積法により ZnO 膜を堆積し、TFT 特性の向上のためのパラメータを検討した。まず、本研究の目的である ZnO TFT 作製プロセスの低温化に向けて、従来の熱 ALD 法と本研究で新たに提案した、反応の活性化にプラズマを印加する PA-ALD 法により低温で堆積した ZnO 膜をそれぞれ用いて TFT 特性を比較した。その結果、本研究で新たに提案した PA-ALD 法の ZnO 膜堆積への適用により、従来の手法による ZnO TFT で課題となっている高温での熱処理なしでスイッチング特性が得られた。さらに、熱 ALD と PA-ALD で堆積した ZnO 膜の特性を比較した結果、ZnO 膜中の残留炭素が ZnO TFT における電界効果移動度を低下させていることが分かった。

また、PA-ALD により堆積した ZnO 膜を用いて作製した TFT の、熱処理による特性の変化を評価した結果、ZnO TFT の伝達特性は熱処理の温度の上昇と共に向上し、電気的ストレス下での不安定性も改善されることが分かった。この熱処理温度の上昇による伝達特性の向上は、ZnO 膜の結晶性の改善および膜中の酸素欠陥の補償が起因し、さらに、電気的ストレス下での閾値電圧のシフトによる劣化は、ZnO 膜中の残留水素によるものであることが明らかとなった。

次に、PA-ALD による ZnO 膜の堆積時のパラメータについて検討した結果、TFT 特性はプラズマ印加時間の延長および堆積温度の上昇と共に向上することが分かった。ZnO 膜中の残留不純物も、プラズマ印加時間の延長および堆積温度の上昇と共に低減され、TFT 特性の向上を同じく ZnO 膜の膜質が改善されることが示された。さらに、300°C の高温で堆積した ZnO 膜では、c 軸優先配向の膜が得られた。可視光領域における透過率測定では、堆積温度 100°C で形成した ZnO 膜に対し、300°C で堆積した膜では透過率の低下がみられた。しかしながら、いずれの温度での堆積においても可視光に対し 80% 以上の透過率を示したことから、良好な透明性を持つ膜が形成されていると考えられる。

これらの結果から、ZnO TFT の伝達特性の向上には、ZnO 膜中の残留炭素の低減および、結晶性の改善が重要であることが分かった。一般的に、これらの制御には堆積温度および熱処理温度の高温プロセスが用いられるが、プラスチック基板などのフレキシブル基板上へのデバイス形成が困難となる。そこで、プロセス温度を上げることなく、ZnO TFT の特性を向上させる手法として、PA-ALD による ZnO 膜堆積時のラジカル源の種類による TFT 特性への影響を調べた。その結果、ラジカル源に水を用いることにより、通常酸素ガスをラジカル源とした ZnO 膜と比較して、堆積温度を上げることなく膜中の残留炭素を低減させることに成功した。さらに、この

H₂O-plasma で堆積することにより、c 軸優先配向の膜が得られた。これにより、TFT 作製プロセスの温度を上昇させることなく、ZnO TFT が大きく改善された。

以上の結果から、本研究で提案した PA-ALD の適用により、ZnO TFT の高性能化が可能であることが示された。さらに、PA-ALD による ZnO 膜堆積条件の検討により、現在 ZnO TFT のフレキシブル基板上への作製において課題となっている、堆積温度、熱処理温度の低温化が可能となることがわかった。

参考文献

- 1) Y. Kuo: *Thin Film Transistors: Materials and Processes* (Kluwer Academic, New York, 2004) Vol. 1, p. 6.
- 2) T. Sameshima: *J. Non-Cryst. Solids*, **1196** (1998) 227.
- 3) H. Kakinura: *Phys. Rev.*, **B 39** (1989) 10473.
- 4) R. B. M. Cross, and M. M. D. Souza: *Appl. Phys. Lett.*, **89** (2006) 263513.
- 5) Ü. Özgür, Y. I. Alivov, C. Liu, A. Teke, M. A. Reshchikov, S. Doğan, V. Avrutin, S. J. Cho, and H. Morkoç: *J. Appl. Phys.*, **98** (2005) 041301.
- 6) P. F. Carcia, R. S. McLearn, M. H. Reilly, and G. Nunes: *Appl. Phys. Lett.*, **82** (2003) 1117.
- 7) R. L. Hoffman, B. J. Norris, and J. F. Wager: *Appl. Phys. Lett.*, **82** (2003) 733.
- 8) S. Matsuda, K. Kitamura, Y. Okumura, and S. Miyatake: *J. Appl. Phys.*, **93** (2003) 1624.
- 9) E. Fortunato, P. Barquinha, A. Pimentel, A. Goncalves, A. Marques, L. Pereira, and R. Martins: *Thin Solid Films*, **487** (2005) 205.
- 10) J. H. Chung, J. Y. Lee, H. S. Kim, N. W. Jang, and J. H. Kim: *Thin Solid Films*, **516** (2008) 5597.
- 11) J.-J. Kim, J.-Y. Bak, J.-H. Lee, H. S. Kim, N.-W. Jang, Y. Yun, and W.-J. Lee: *Thin Solid Films*, **518** (2010) 3022.
- 12) H.-Q. Huang, F.-J. Liu, J.-W. Zhao, Z.-F. Hu, Z.-J. Li, and X.-Q. Zhang: *J. Phys. and Chem. of Solids*, **72** (2011) 1393.
- 13) K. Murata, K. Washio, N. Miyatake, Y. Mori, H. Tachibana, Y. Uraoka, and T. Fuyuki: *ECS Trans.*, **11(7)** (2007) 31.
- 14) S. Kwon, S. Bang, S. Lee, S. Jeon, W. Jeong, H. Kim, S. C. Gong, H. J. Chang, H. Park, and H. Jeon: *Semicond. Sci. Technol.*, **24** (2009) 035015.
- 15) D. H. Levy, D. Freeman, S. F. Nelson, P. J. Cowdery-Corvan, and L. M. Irving: *Appl. Phys. Lett.*, **92** (2008) 192101.
- 16) S. J. Lim, S. J. Kwon, H. G. Kim, and J. S. Park: *Appl. Phys. Lett.*, **91** (2007) 183517.
- 17) J. Jo, O. Seo, H. Choi, and B. Lee: *Appl. Phys. Express*, **1** (2008) 041202.
- 18) 薄膜材料デバイス研究会編： *薄膜トランジスタ* 第2章，コロナ社，(2008).
- 19) S. M. Sze : *Physics of Semiconductor Devices* 3rd ed., Chapter 6, Wiley, New York, (2007).
- 20) 岸野正剛： *半導体デバイスの物理*, 丸善株式会社，(1995).
- 21) J. F. Moulder, W. F. Stickle, P. E. Sobol, and K. D. Bomben: *Handbook of X-ray*

Photoelectron Spectroscopy, edited by J. Chastain, and R. C. King Jr. (Physical Electronics, Inc. publishers, Minnesota, 1995) 40.

- ²²⁾ 八百隆文, ZnO 系の最新技術と応用, 株式会社 シーエムシー出版 (2007),
- ²³⁾ Y. Uraoka, T. Hatayama, T. Fuyuki, T. Kawamura, and Y. Tsuchihashi: *Jpn. J. Appl. Phys.*, **39** (2000) L1209.
- ²⁴⁾ A. R. Merticaru and A. J. Mouthaan: *Thin Solid Films*, **383** (2001) 122.
- ²⁵⁾ M. J. Powell, C. van Berkel, and J. R. Hughes: *Appl. Phys. Lett.*, **54** (1989) 1323.
- ²⁶⁾ F. R. Libsch and J. Kanicki: *Appl. Phys. Lett.*, **62** (1993) 1286.
- ²⁷⁾ D.-H. Cho, S.-H. K. Park, S. Yang, C. Byun, S. M. Chung, W.-S. Cheong, J. Shin, M. K. Ryu, J. I. Lee, C.-S. Hwang, S. M. Yoon, H.-Y. Chu, and K. I. Cho: *IDW'09 Dig. 2008*, p.1625.
- ²⁸⁾ K. K. Shin, and D. B. Dove: *J. Vac. Sci. Technol.*, A **12** (1994) 321.
- ²⁹⁾ R. G. Frieser: *J. Electrochem. Soc.*, **113** (1966) 357.
- ³⁰⁾ N. Hattori, K. Murata, N. Miyatake, Y. Kawamura, and Y. Uraoka: *Proc. 16th Int. Display Workshops*, (2009) FMC1-3.
- ³¹⁾ Y. Zhang, and J. Han: *Mater. Lett.*, **60** (2006) 2522.
- ³²⁾ L. Gao, Q. Li, and W. Luan: *J. Am. Ceram. Soc.*, **85** (2002) 1016.
- ³³⁾ K. Kakinuma, K. Kanda, and H. Yamada: *J. Mater. Sci.*, **37** (2002) 7.
- ³⁴⁾ D. Raoufi, and T. Raoufi: *Appl. Surf. Sci.*, **255** (2009) 5812.
- ³⁵⁾ J. Tauc, R. Grigorovich, and A. Vancu: *Phys. Status Solidi*, **15** (1966) 627.
- ³⁶⁾ C.-Y. Tsay, K.-S. Fan, S.-H. Chen, and C.-H. Tsai: *J. Alloys Comp.*, **495** (2010) 126.
- ³⁷⁾ H.-Q. Huang, F.-J. Liu, J.-W. Zhao, Z.-F. Hu, Z.-J. Li, and X.-Q. Zhang: *J. Phys. and Chem. of Solids*, **72** (2011) 1393.
- ³⁸⁾ L. Zhang, H. Zhang, Y. Bai, J. W. Ma, J. Cao, X. Y. Jiang, and Z. L. Zhang: *Solid State Commun.*, **146** (2008) 387.
- ³⁹⁾ S. J. Lim, S. Kwon, and H. Kim: *Thin Solid Films*, **516** (2008) 1523.
- ⁴⁰⁾ J. Malm, E. Sahramo, J. Perala, T. Sajavaara, and M. Karppinen: *Thin Solid Films*, **519** (2011) 5319.
- ⁴¹⁾ E. M. C. Fortunato, P. M. C. Barquinha, A. C. M. B. G. Pimentel, A. M. F. Gonçalves, A. J. S. Marques, L. M. N. Pereira, and R. F. P. Martins: *Adv. Matter.*, **17** (2005) 590.
- ⁴²⁾ W.-S. Cheong, M.-K. Ryu, J.-H. Shin, S.-H. K. Park, and C.-S. Hwang: *Thin Solid Films*, **516** (2008) 8159.
- ⁴³⁾ A. Wojcik, M. Godlewski, E. Guziewicz, R. Minikayev, and W. Paszkowicz: *J. Crystal Growth*, **310** (2008) 284.

第3章 ZnO TFT における ALD による絶縁膜の効果

3.1 緒言

近年、ALD により形成された薄膜の様々なアプリケーションへの適用が検討されている。表 3-1 に ALD 膜のアプリケーションの一部を示した。この中でも代表的なアプリケーションはキャパシタ、磁気ヘッド、ゲート絶縁膜などの high- k 膜であり、一部実用化が始まっている。これらのアプリケーションを見ると、薄膜での膜厚制御性、段差被覆性、緻密性などの特徴を生かしたものが多い。また、材料から見ると Al_2O_3 膜の適用が多いことが分かる。これは Al_2O_3 膜の良好な物性によるところもあるが、原料であるトリメチルアルミニウム(TMA : Trimethyl aluminum, $\text{Al}(\text{CH}_3)_3$) の取り扱いが比較的容易であり、ALD プロセスが成熟していることも影響している。

表 3-1 ALD 膜のアプリケーション¹⁻³⁾

アプリケーション	材料
ゲート絶縁膜(high- k)	HfO_2 , Al_2O_3 , Ta_2O_5 , ZrO_2 , La_2O_3
キャパシタ	HfO_2 , Al_2O_3 , Ta_2O_5
保護膜(EL 素子など)	Al_2O_3
パッシベーション(太陽電池など)	Al_2O_3
ゲート電極	Pt, Cu, Ni, Al
バリアメタル	TiN
酸化物半導体	ZnO, In_2O_3

ALD 膜は現状ではウエハサイズのデバイスに適用されることが多い。しかしながら、CVD などに比べて低温での成膜が可能なことや、均一に成膜可能なことから、ディスプレイなどの大面積への成膜にも適していると考えられる。現状においては、大面積への適用例は少ないが、これまでに Al_2O_3 膜などにおいて大面積への成膜が可能であることが報告されている。⁴⁾ これらの ALD 膜の特徴が、酸化物半導体 TFT においても有効であると考えられる。

本研究では、ALD により堆積した ZnO 薄膜の特性および TFT への応用について研究してきた。ALD により堆積された ZnO 膜において、現在課題とされている膜中の過剰残留キャリアを制御する手法として、酸化剤にプラズマを印加した活性酸素を使用する PA-ALD 法を提案し、その有用性を検討してきた。ZnO 膜の堆積時の

プラズマの有無、および堆積後の熱処理前後での ZnO 膜の物性及び電気的特性を測定した。その結果、PA-ALD により堆積した ZnO 膜を使用した ZnO TFT では、第 2 章で示した通り、通常の熱 ALD による ZnO 膜を使用した TFT に比べ、低温でも非常に優れた特性が得られた。これまでの結果から、PA-ALD 法により ZnO 膜中の残留キャリア濃度が低減され、高性能 ZnO TFT の低温での作製が可能となることを示してきた。

本章では、PA-ALD により堆積した ZnO 膜を使用する TFT の更なる特性向上に向け、ALD により堆積したアルミナ膜の効果を検討した。アルミナは、素子の小型化に伴う絶縁膜の薄膜化や、駆動電圧の低減に対応するための絶縁膜材料として近年検討されている High- k 材料の一種である。さらに本研究で使用する ALD 堆積装置では、使用する金属原料を変更することにより、In-situ での連続成膜が可能となる。このため、絶縁膜/ZnO 膜界面が汚染されず良好な界面状態を得られることから、膜質の向上が期待できる。ZnO TFT のゲート絶縁膜として ALD によりアルミナ膜を堆積し、アルミナ膜の堆積条件の変化による、ZnO TFT の特性への影響を調べた。また、酸化亜鉛系 TFT において、バイアスストレス下での不安定性には、大気中の水分が影響することが知られている。このことから、パッシベーション膜による ZnO チャンネル層の封止が信頼性の向上につながると考えられるため、作製した ZnO TFT 上に ALD によりアルミナ膜を堆積し、信頼性の向上への効果を調べた。

3.2 ALD 法による絶縁膜の形成および ZnO TFT 特性への効果

3.2.1 ALD 法による絶縁膜の形成

現在、ディスプレイ駆動素子として一般的に使用されている a-Si:H TFT のゲート絶縁膜には、PE-CVD 等により 400°C 程度の高温で堆積された SiO₂ 膜が使用されている。本研究では、次世代ディスプレイへの応用に向け、ZnO TFT のチャンネル層である ZnO 膜の形成に PA-ALD 法を適用することで、チャンネル層の形成温度の低温化および TFT 特性の向上が可能であることを明らかにしてきた。しかしながら、次世代ディスプレイへの適用に必要とされる、フレキシブル基板上への素子形成には、この絶縁膜の堆積温度も低減される必要がある。そこで本研究では、低温でも緻密な膜の形成が可能であることから、ALD により絶縁膜としてアルミナ膜を形成し、ZnO TFT の絶縁膜への適用を検討した。

アルミナ膜成膜のための金属原料として TMA、パージガスとして N₂ ガスを用いた。従来の熱 ALD 法による堆積では、酸化剤として O₃ (O₃-ALD) を使用した。さらに、ZnO 膜の低温形成において PA-ALD 法の適用により高品質化の可能性が示さ

れたことから、PA-ALDによりアルミナ膜を堆積し、従来法との特性を比較した。また、PA-ALD法による堆積時の条件の変化による特性の変化を調べるため、プラズマ印加時間を0.1-1.0sと変化させた。フレキシブル基板上への作製に向けたZnO TFTの低温プロセス化の為、アルミナ膜の堆積温度は100°Cとした。

3.2.2 ALDによる絶縁膜の特性評価

PA-ALDにより堆積したアルミナ膜の電気的特性を調べるため、金属-酸化膜-半導体(MOS)キャパシタを作製し、容量-電圧(C-V)測定を用いてアルミナ膜のフラットバンド電圧(V_{fb})を計算した。MOSキャパシタは、p-type Si(100)基板上にO₃-ALDおよびPA-ALDによりアルミナ膜を堆積し、窒素雰囲気中で300°C、30分の熱処理を行った。図3-1にC-V測定の結果を示す。黒の破線は、O₃-ALDによるアルミナおよび赤の実線でプラズマを1.0秒印加したPA-ALDによるアルミナのC-V曲線を示している。C-V曲線はプラズマ印加時間の延長と共に正方向へとシフトし、1.0秒印加した膜では、 V_{fb} は約4.2Vであった。この結果を基に、膜中に均一に電荷が存在すると仮定した場合、膜中の電荷密度はおよそ $4 \times 10^{17} \text{ cm}^{-3}$ と見積もられる。これは、膜中の酸素または残留不純物である炭素に起因する欠陥によるものであると考えられる。

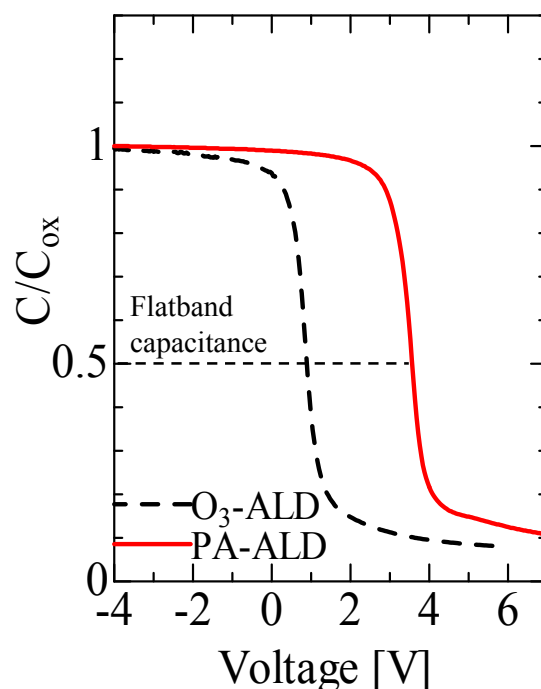


図 3-1 ALDによるアルミナ膜を使用したMOSキャパシタのC-V特性

3.2.3 ALDによるゲート絶縁膜を用いた ZnO TFT 特性

第2章6節において ZnO 膜堆積温度に対する ZnO TFT 特性の依存性を調べた結果、300°Cで堆積した ZnO 膜をチャンネル層として使用した TFT では、100°Cで堆積したものに対し高い電界効果移動度が得られた。しかしながら、100°Cで堆積した ZnO TFT では約 0.6 V であった閾値電圧が、300°Cで堆積した ZnO TFT では-16.0 V と負側への大きなシフトがみられた。ZnO TFT の伝達特性において、閾値電圧の負側へのシフトは ZnO 膜中の酸素欠損の増加に起因し、また ZnO 膜は酸素欠損が生成されやすい材料であることが知られている。⁵⁾

一方で、ALD 法により堆積したアルミナ膜は、フラットバンド電圧が正側へとシフトする傾向を持つことが報告されている。^{6,7)} 本研究においても、従来の熱 ALD および本研究で提案する PA-ALD により堆積したアルミナ膜では、いずれもそのフラットバンド電圧は正の値を示した。このため、ALD により堆積したアルミナ膜を ZnO TFT のゲート絶縁膜として使用することにより、ZnO TFT の閾値電圧の負側へのシフトを抑制できることが期待される。

そこで、O₃-ALD および PA-ALD によりアルミナ膜を 100°Cで堆積した低抵抗 Si 基板上に、チャンネル層として ZnO 膜を PA-ALD により堆積し、ZnO TFT を作製した。ZnO 膜の堆積温度は 300°Cとし、プラズマ印加時間は 1.0s とし、アルミナ膜堆積時のプラズマ印加時間を 0(O₃-ALD)から 1.0s と変化させた時の、ZnO TFT 特性の変化を調べた。

作製した ZnO TFT の伝達特性の測定結果を、図 3 - 2 に示す。従来のプラズマを印加しない O₃-ALD によるアルミナ膜をゲート絶縁膜として使用した TFT では、閾値電圧は約-9.0 V であり、熱酸化膜を使用した TFT の-16 V と比較すると閾値のシフトは改善された。しかしながら、スイッチング素子としてはゲート電圧 0 V でオフのノーマリー・オフが望ましいため、更なる正側への改善が必要である。この閾値の負側へのシフトが、PA-ALD で堆積したアルミナ膜を使用した ZnO TFT では大きく改善され、プラズマ印加時間 0.5 秒以上のものではノーマリー・オフの特性が得られた。

図 3 - 3 に、作製した ZnO TFT の閾値電圧と、ゲート絶縁膜として使用したアルミナを用いて作製した MOS キャパシタのフラットバンド電圧の、プラズマ印加時間に対する変化を示した。TFT の V_{th} および MOS キャパシタの V_{fb} は共に、プラズマ印加時間の延長と共に正側へとシフトした。このことから、アルミナ膜堆積時のプラズマ印加時間の延長による ZnO TFT の閾値電圧の正側へのシフトは、ゲート絶縁膜であるアルミナ膜の電気的特性の変化に起因するものであることが示唆された。

ALD 法により堆積したアルミナ膜をゲート絶縁膜として使用し、ZnO TFT 特性への効果を調べた。その結果、プラズマを印加しない O₃-ALD および、プラズマ印

加時間 0.1s の PA-ALD で堆積したアルミナ膜を使用した TFT では、 $V_g=0$ V でオン状態のデプレッション型の特性を示した。一方で、プラズマ印加時間 0.5 s 以上の PA-ALD により堆積したアルミナ膜を使用したものでは、 $V_g=0$ V でオフ状態のエンハンスメント型の TFT が得られた。以上の結果から、堆積条件の検討によりゲート絶縁膜の特性を制御することで、ZnO TFT の閾値の制御が可能となることが示された。

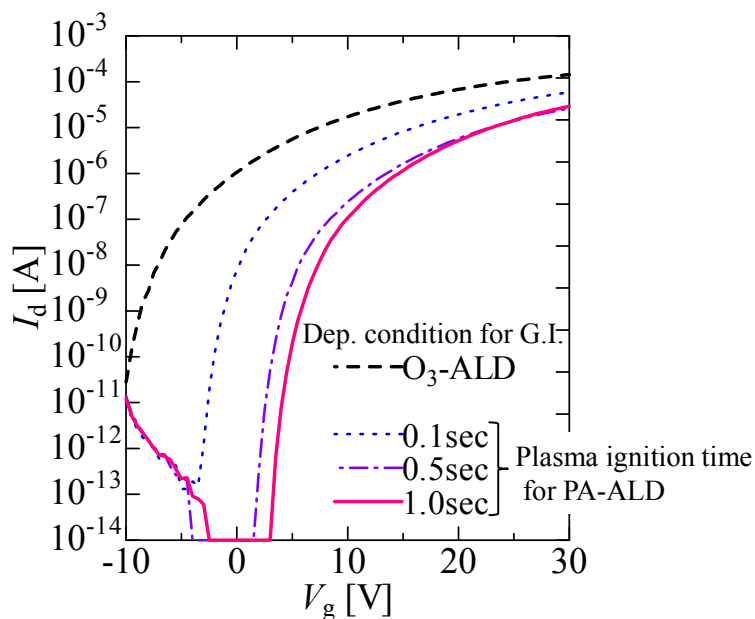


図 3-2 ZnO TFT 伝達特性 ($V_d=5$ V)

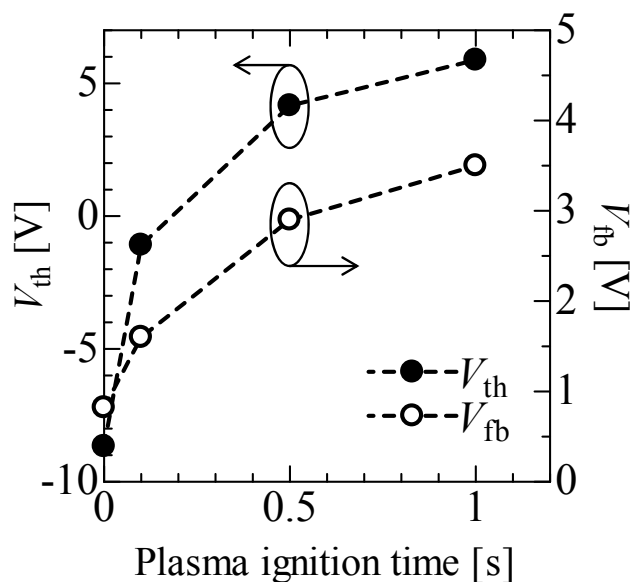


図 3-3 プラズマ印加時間に対する ZnO TFT の閾値電圧および MOS キャパシタのフラットバンド電圧の変化

3.3 ALD によるゲート絶縁膜を用いた低温プロセス ZnO TFT の特性向上

3.3.1 ALD による ZnO TFT 低温作製

これまでの結果から、PA-ALD により堆積したアルミナ膜をゲート絶縁膜として使用することで、 $V_g=0$ V でオフ状態が得られ、off 電流が低減されることが分かった。一方で、従来の熱 ALD により堆積したアルミナを使用した ZnO TFT では、図 3-2 に示すようにオン領域において高い on 電流が得られた。そこで本実験では、ZnO TFT 特性の向上に向け、高い on 電流と off 電流の低減を得るために、PA-ALD により膜厚 45 nm のアルミナ膜を堆積した上に 5 nm のアルミナを O_3 -ALD により堆積し、積層アルミナ膜をゲート絶縁膜として形成し、その TFT 特性への効果を検討した。比較として、熱酸化による SiO_2 膜および PA-ALD による単層のアルミナ膜を用いた ZnO TFT を作製し、特性を評価した。ZnO 膜およびアルミナ膜の堆積温度は 100°C とし、PA-ALD におけるプラズマ印加時間は 1.0 s とした。

作製した ZnO TFT の、 $V_d=5$ V における伝達特性および出力特性の測定結果を図 3-4 に示す。全ての TFT で、良好なスイッチング特性が得られ、アルミナ膜をゲート絶縁膜と使用したものでは、熱酸化膜を使用したものと比較して高い電界効果移動度が得られた。さらに、PA-/ O_3 -ALD の積層アルミナ膜をゲート絶縁膜とした TFT では、PA-ALD 単層のアルミナ膜を使用したものよりも特性の向上がみられた。図 3-4(d)および(e)は、熱酸化膜および積層アルミナ膜をゲート絶縁膜として使用した TFT の出力特性を示している。いずれの TFT においても、飽和領域の V_{ds} において I_{ds} が増加するキック電流は見られず、良好な出力特性が得られている。また、積層アルミナ膜を使用した TFT では、熱酸化膜を使用した TFT と比較して高い電流値を示した。この結果、積層アルミナゲート絶縁膜の ZnO TFT では、 10^9 以上の on/off 比が得られ、電界効果移動度は $5.1\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 、S 値は 0.2 V/decade であった。熱酸化膜および PA-ALD 単層アルミナ膜をゲート絶縁膜とした ZnO TFT の電界効果移動度は、それぞれ 1.0 および $1.6\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ であった。ZnO TFT の S 値および電界効果移動度は、界面準位密度やトラップ等、TFT 駆動時にチャネル領域となる ZnO/ゲート絶縁膜界面の状態による影響を大きく受ける。このため、ゲート絶縁膜の変更による TFT 特性の向上は、ZnO チャネル膜とゲート絶縁膜の界面状態の改善による可能性が考えられる。

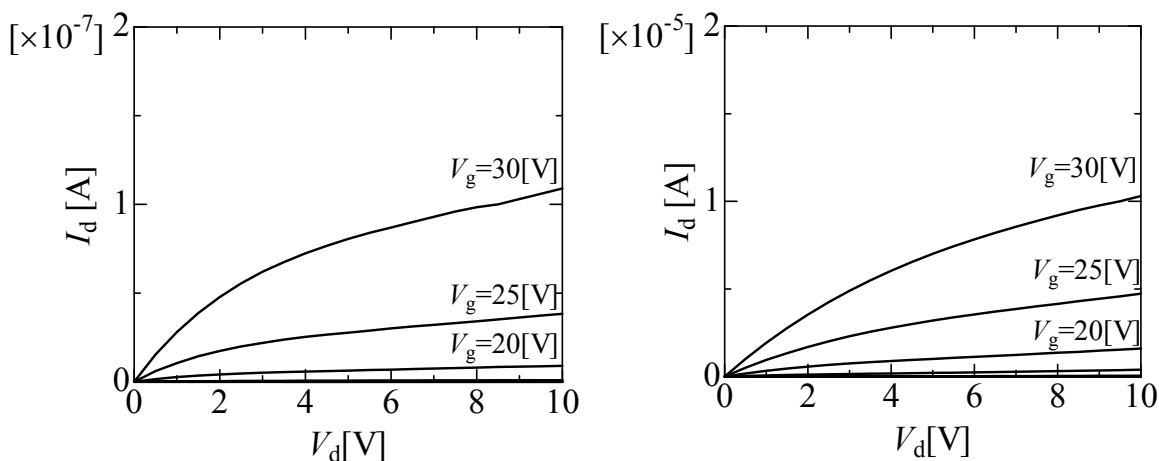
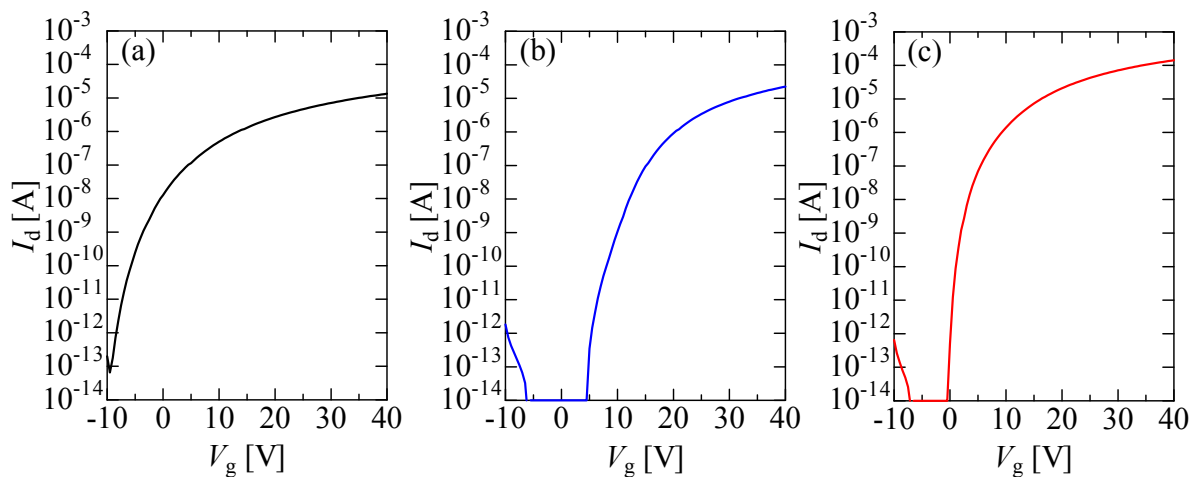


図 3-4 (a)熱酸化膜、(b)PA-ALD 単層アルミナ膜、(c)PA-/O₃-ALD 積層アルミナ膜をゲート絶縁膜とした ZnO TFT の伝達特性 ($V_d=5$ V)。
(d) 熱酸化膜、(e) PA-/O₃-ALD 積層アルミナ膜をゲート絶縁膜とした ZnO TFT の出力特性

3.3.2 ALD による ZnO TFT の電氣的ストレス下における信頼性評価

TFT のゲートバイアスストレス下での安定性には、ZnO/ゲート絶縁膜界面の状態が影響することが報告されている。^{8,9)} そこで、作製したそれぞれの ZnO TFT の、ゲート絶縁膜の変更による電氣的ストレス印加時の安定性への影響を調べた。ゲートバイアスとして 20 V を印加し、ゲートバイアスストレス下での信頼性評価を行った。図 3-5 (a)および(b)は、それぞれゲート絶縁膜に熱酸化膜および積層アルミナ膜

を使用した ZnO TFT の、バイアスストレス下での伝達特性の変化を示している。熱酸化膜を使用した ZnO TFT では、10000 秒のストレス印加により、閾値電圧が大きく正側へとシフトした。このストレス印加によるシフトが、積層アルミナ膜を使用した TFT では大きく低減された。図 3-5 (c)に、ゲートバイアスストレス下での、時間経過による閾値のシフト量の変化を示した。10000 秒のゲートバイアスストレス印加後、熱酸化膜をゲート絶縁膜とした ZnO TFT では約 20 V であった閾値のシフトが、ALD により堆積したアルミナを使用したものでは 10 V 以下に低減され、さらに、積層アルミナ膜をゲート絶縁膜とした TFT では、閾値のシフトが約 6 V と単層のものよりもそのシフトが改善した。

PA-/O₃-ALD 積層アルミナ膜をゲート絶縁膜として使用した ZnO TFT の伝達特性の測定結果から、熱酸化膜を使用した ZnO TFT と比較して S 値の改善がみられた。TFT の S 値およびゲートバイアスストレス下で安定性は、共に ZnO/ゲート絶縁膜界面の状態が影響を及ぼすことが報告されている。⁸⁻¹⁰⁾ このことから、ゲート絶縁膜の変更によるバイアスストレス下での安定性の向上は、ZnO/ゲート絶縁膜界面の状態が変化し、信頼性の向上に寄与した可能性が考えられる。

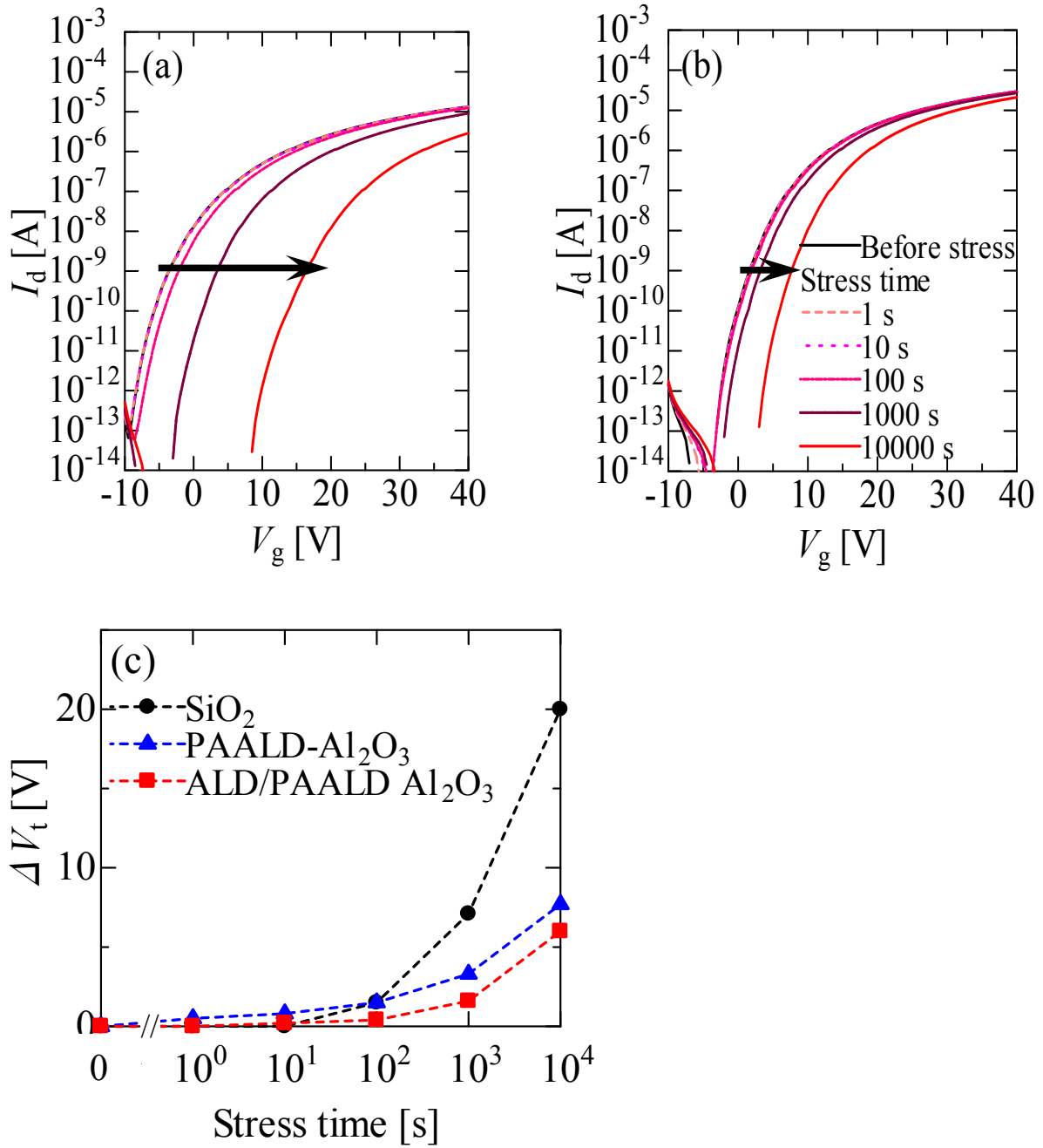


図 3-5 ゲートバイアス 20V 印加による信頼性評価 (a)熱酸化膜、(b)積層アルミナ膜をゲート絶縁膜とした ZnO TFT のバイアスストレス印加による伝達特性の変化、(c)ゲートバイアスストレス下での時間経過による閾値電圧の変化量の推移

3.3.3 SIMS による深さ方向の組成測定

ゲート絶縁膜の変更による ZnO/ゲート絶縁膜界面の変化を調べるため、SIMS 測定による深さ方向の元素分布分析を行った。図 3-6(a)-(d) に、ZnO 膜およびゲート絶縁膜の界面付近の測定結果を示す。図 3-6(b) に示した従来の ALD により堆積したアルミナ膜と比較して、図 3-6(c) に示した PA-ALD により堆積したアルミナ膜では、膜中の炭素が約 2 ケタと大きく減少した。この炭素の減少は、プラズマの印加により金属原料に起因する残留不純物が低減されたことを示唆している。さらに、図 3-6 (b) および(c) に示した熱 ALD 単層アルミナおよび積層アルミナ膜上に堆積した ZnO 膜の試料では、ZnO/ゲート絶縁膜界面付近の ZnO 膜において、炭素の増加がみられた。この傾向は、図 3-6(a)および(d) に示した熱酸化膜および PA-ALD 単層アルミナ上の、界面に熱 ALD によるアルミナ層がない試料の界面では見られなかった。これらの結果から、界面付近における ZnO 膜中の炭素の増加は、熱 ALD によるアルミナ膜中の残留炭素に由来するものであると考えられ、ZnO/ALD アルミナ界面において界面層が形成されていることを示唆していると考えられる。この界面層には、ZnO だけでなくアルミ原子も含んでいる。この界面層でのアルミ原子がキャリアとして振る舞い、結果として TFT においてチャンネルを形成するゲート絶縁膜との界面付近においてキャリア濃度が増加し、低抵抗層が形成されたことで I_{d_on} の増加及び移動度の向上につながったと考えられる。

これら SIMS 測定から得られた結果と、ZnO TFT の伝達特性の測定結果を比較して、ZnO/ゲート絶縁膜界面に界面層が形成されたことで、ZnO/ゲート絶縁膜界面において、良好な界面状態が得られたと考えられる。これにより、S 値の改善にみられる界面準位密度の低減等が生じ、ZnO TFT のデバイス特性の向上につながったと考えられる。

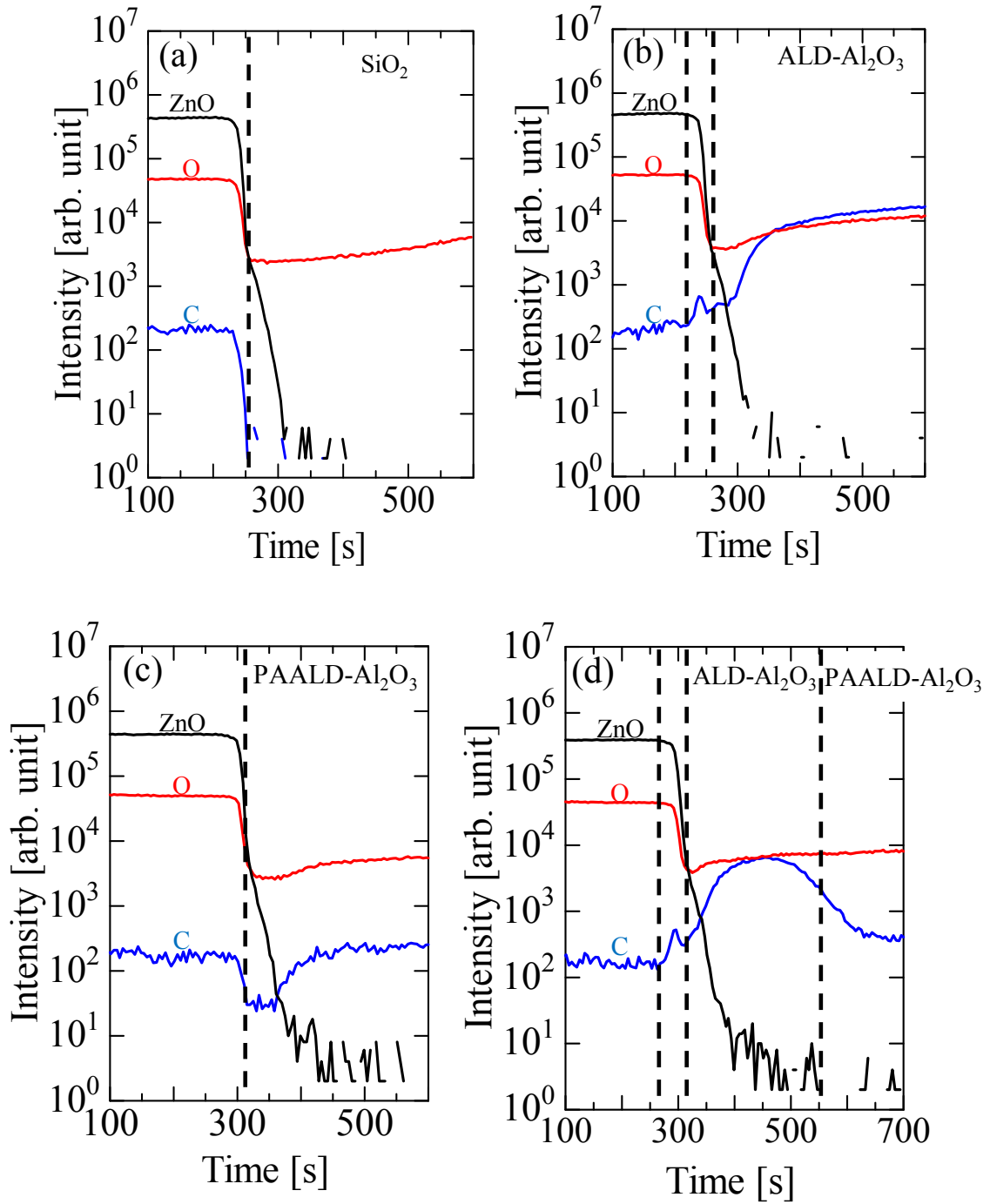


図 3-6 SIMS 測定結果 (a)熱酸化膜、(b)熱 ALD による単層アルミナ膜、(c)PA-ALD による単層アルミナ膜、(d)熱 ALD/PA-ALD 積層アルミナ膜上 ZnO 膜

3.3.4 ALDによる酸化亜鉛薄膜の高機能化に向けた検討

現在、フラットパネルディスプレイや太陽電池の電極材料として、金属酸化物による透明導電膜 (TCO: Transparent conducting oxides) が研究されている。¹¹⁻¹³⁾ TCOの中でも In_2O_3 や SnO_2 および ZnO を含む材料では、堆積条件によりその抵抗率が 10 から $10^{-3} \Omega \text{ cm}$ と大きく変化することが報告されており¹⁴⁻¹⁷⁾、また第1章3節で述べた通り、 ZnO は不純物のドーピングによりその比抵抗を14桁も変化させることができる材料である。 ZnO の抵抗率を下げるためのドーピング材料には、Al、Ga、In および B などⅢ族の元素が使用され、 ZnO にアルミをドーピングした AZO は高い透明性やレアメタルを使用しない材料であると言った特徴から、太陽電池の透明導電極用材料として近年注目を集めている材料である。さらに、OLED や太陽電池など 3D 構造への均一な成膜や低温、ダメージフリーでの堆積を必要とする物への成膜において、ALD による TCO の成膜が有望視されている。^{18,19)}

ALD による TCO の堆積では、 ZnO 膜の堆積において ZnO 膜数十サイクルに対しアルミナ膜を1層挟み込むといったサンドイッチ構造が検討され、抵抗率の低減が報告されている。²⁰⁾ 本研究においても、 ZnO /アルミナ膜の積層により、低抵抗な界面層が形成されることが示唆された。 ZnO 系の TFT において、チャネルとなるゲート絶縁膜との界面に低抵抗層を形成することで、特性が向上するという報告もされている。²¹⁾ 本節で示した、PA-/熱 ALD による積層ゲート絶縁膜による ZnO TFT 特性の向上も、この界面付近での低抵抗層の形成が一因となっていることが考えられる。

そこで、ALD による ZnO 膜の高機能化に向け、 ZnO 膜の堆積過程でアルミナ膜の金属原料である TMA を投入し、 ZnO 膜の抵抗率の低減を試みた。成膜におけるタイムチャートを図 3-7 に示す。堆積温度は太陽電池のパッシベーション用途に使用されるアルミナ膜の標準的な堆積温度である 250°C とし、プラズマを印加しない従来の熱 ALD により堆積を行った。 ZnO 膜の成膜サイクル中に投入する TMA の量を DEZ の量に対し体積比で $0\sim 2.5\%$ と変化させ、堆積した膜の電気的特性を評価するためホール効果測定を行った。さらに、酸素欠損を増加させることによる抵抗値の低減を図るため、水素雰囲気 ($\text{H}_2 = 10\%$, $\text{N}_2 = 90\%$) 中で熱処理を行い、抵抗率の変化を調べた。

堆積した膜の測定結果を、表 3-2 に示す。その結果、TMA を投入しない ZnO 膜と比較して TMA を投入した ZnO 膜ではキャリア濃度が増加し、膜の比抵抗値が1桁低減された。この膜を水素雰囲気中で熱処理することにより比抵抗値はさらに低下し、 $10^{-2} \Omega \text{ cm}$ という低い比抵抗値を示した。現在電極用途で使用されている一般的な透明導電膜の比抵抗値は $10^{-3} \Omega \text{ cm}$ 程度であることから、更なる低抵抗化が必要である。しかしながら、本結果は ZnO 膜を ALD 法で堆積することにより、半導体とし

ただけではなく、透明導電膜としても使用できる高機能な膜の形成が可能となることを示唆している。

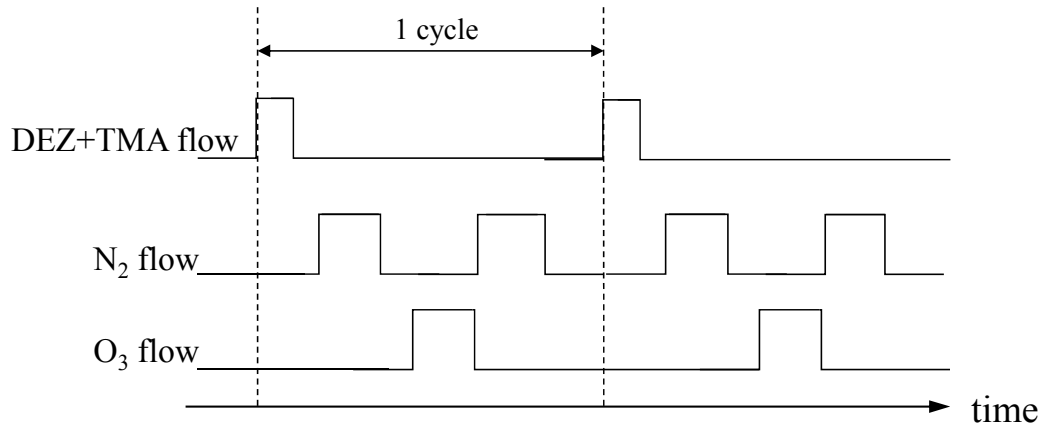


図 3-7 ALD 法による Al ドープ ZnO 膜堆積タイムチャート

表 3-2 Hall 効果測定結果

TMA 投入量 [%]	キャリア濃度 [cm^{-3}]	比抵抗 [Ωcm]	熱処理後比抵抗 [Ωcm]
0	1.1×10^{17}	5.9×10^1	
1.0	4.8×10^{17}	7.5×10^0	4.1×10^{-2}
1.5	2.4×10^{18}	3.1×10^0	2.3×10^{-2}
2.5	2.5×10^{18}	1.3×10^0	3.1×10^{-2}

3.4 ALD による低温プロセス ZnO TFT へのパッシベーション膜の効果

3.4.1 ZnO TFT 上パッシベーション膜の形成

酸化亜鉛系材料は、ガスセンサー等にも使用される材料であり、その電気的特性は雰囲気により影響を受けると考えられる。酸化亜鉛系 TFT へのバイアスストレス印加時において、大気中の酸素および水分等が ZnO チャンネル層表面に吸着し、閾値のシフトといった特性劣化の要因となることが近年報告されている。^{21,22)}そのため、ZnO TFT の信頼性向上には、チャンネル層を大気雰囲気から保護するためのパッシベーション膜の形成が不可欠である。²³⁻²⁶⁾ ZnO TFT のパッシベーション膜には、大気中の水分等を防止するため、膜の緻密性が重要となる。そこで、ZnO TFT のパッシベーション膜として、有機 EL ディスプレイの水分封止膜等としても一部で実用が検討されており、低温でも緻密な膜の形成が可能である ALD によるアルミナ膜を使用し、その効果を検討した。

低抵抗 Si 基板上にゲート絶縁膜として PA-ALD によりアルミナ膜 50 nm を堆積した後、ZnO 膜 30 nm を堆積し、ウェットエッチングによりパターンニングを行った。Ti/Al/Au を積層し、リフトオフプロセスにより S/D 電極を形成し作製したボトムゲート型 ZnO TFT 上に、ALD によりパッシベーション膜としてアルミナ膜 50 nm を堆積し、ウェットエッチングによりコンタクトホールを形成した。TFT の断面図を図 3-8 に示す。パッシベーション膜の形成には、通常の熱 ALD (O_3 -ALD) および PA-ALD を使用して特性を比較した。アルミナ膜および ZnO 膜の堆積温度は 100°C とし、堆積後および TFT 作製後の熱処理は行っていない。

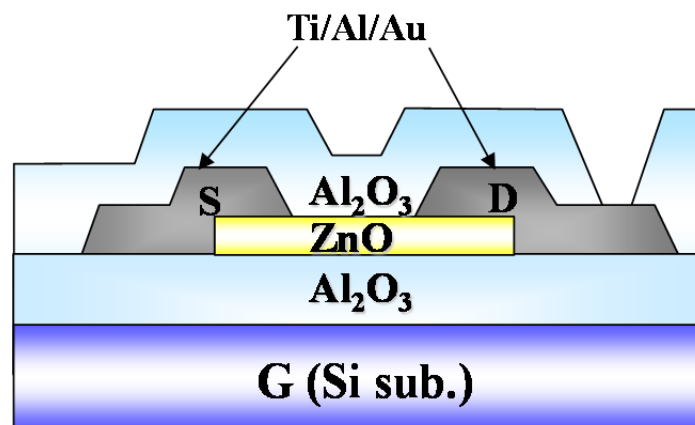


図 3-8 パッシベーション膜付 Bottom-gate-type ZnO TFT 断面図

3.4.2 ZnO TFT 特性へのパッシベーション膜の効果

ZnO TFT 作製後の、パッシベーション膜形成前後での伝達特性を測定した。ドレイン電圧に 5V を印加した時の、伝達特性の測定結果を図 3-9 に示す。O₃-ALD によるアルミナ膜をパッシベーション膜として使用した TFT では、閾値電圧が約-16.6 V と、大きく負側へとシフトした。ZnO TFT における閾値電圧の負側へのシフトは、ZnO 膜中の酸素欠陥に起因することが知られている。O₃-ALD により低温形成したアルミナ膜では、本章 3 節に示した SIMS 測定の結果から、PA-ALD による膜よりも膜中の残留炭素が約 1 桁多いことが分かっている。このことから、金属原料である TMA の酸化が不十分であり、チャンネル層である ZnO 膜からパッシベーション膜であるアルミナ膜への酸素の吸着が起これ、ZnO 膜中の酸素欠陥が増加した結果、閾値電圧の負側へのシフトが発生したと考えられる。

一方で、PA-ALD により堆積したパッシベーション膜を使用した TFT では、パッシベーション膜形成前は約 5.0 V であった閾値電圧が、-1.0 V と負側へのシフトは見られたが、パッシベーション前は正側へのシフトが大きかったのに対し、0 V 付近へと改善されたと言える。さらに、on 電流が増加し、電界効果移動度および S 値もパッシベーション前と比較し向上した。この特性の向上は、PA-ALD によるパッシベーション膜の堆積時に、酸化剤として使用する O₂-plasma により、チャンネル層である ZnO 膜の酸素欠陥が補償され、酸素雰囲気における熱処理と同様の効果が得られたためであると考えられる。以上の結果から、低温プロセス ZnO TFT では、パッシベーション膜の形成においても PA-ALD 法が有効であることが明らかとなった。

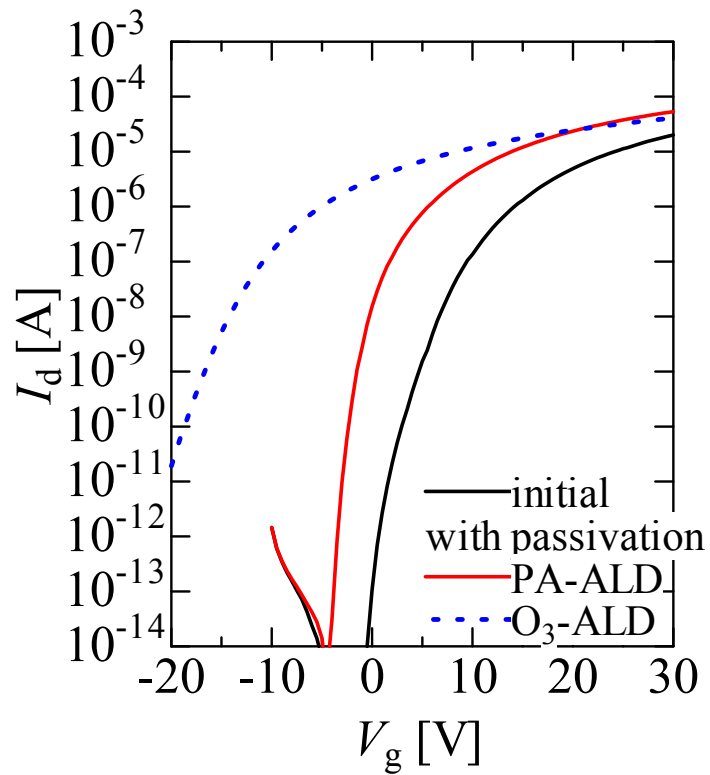


図3-9 パッシベーション膜形成前後での ZnO TFT 伝達特性の変化 ($V_d=5$ V)

表 3-3 ZnO TFT 特性

	Initial	With passivation	
		O ₃ -ALD	PA-ALD
電界効果移動度 [cm ² /Vs]	2.6	2.5	3.0
閾値電圧 [V]	5.0	-16.6	-1.0
S 値 [V/decade]	0.56	0.50	0.28

3.4.3 PA-ALD パッシベーション膜による ZnO TFT の信頼性の改善

PA-ALD により堆積したパッシベーション膜の、ZnO TFT のバイアスストレス下での安定性への効果を調べるため、パッシベーション膜の形成前後で信頼性評価を行い比較した。バイアスストレスとして、印加電圧はゲートおよびドレインバイアスをそれぞれ 20V とした。室温にて 1, 10, 100, 1000, 10000 秒バイアスストレスを印加した信頼性評価の結果を、図 3-10(a),(b)に示す。

図 3-10(a)に示したパッシベーション膜形成前の ZnO TFT では、バイアスストレスの印加により伝達特性は大きく正側へとシフトし、10000 秒印加後に V_{th} は約 15V シフトした。一方で、PA-ALD によりパッシベーション膜を形成した TFT では、この閾値のシフトが大きく改善され、10000 秒印加後の閾値の変化量は約 2V であった。バイアスストレス印加時間に対する ΔV_{th} の変化を、図 3-10(c)に示す。

PA-ALD により 100°C という低温で堆積した ZnO およびアルミナ膜を使用した低温プロセス ZnO TFT に対して、同じく PA-ALD により低温形成したアルミナ膜をパッシベーション膜として使用し、特性の向上を試みた。その結果、伝達特性および信頼性の向上に通常必要とされる、高温での熱処理なしでその特性が向上した。このことから、PA-ALD 法を適用することにより、高性能で高い信頼性を有する ZnO TFT の低温での作製が可能となることが明らかとなった。

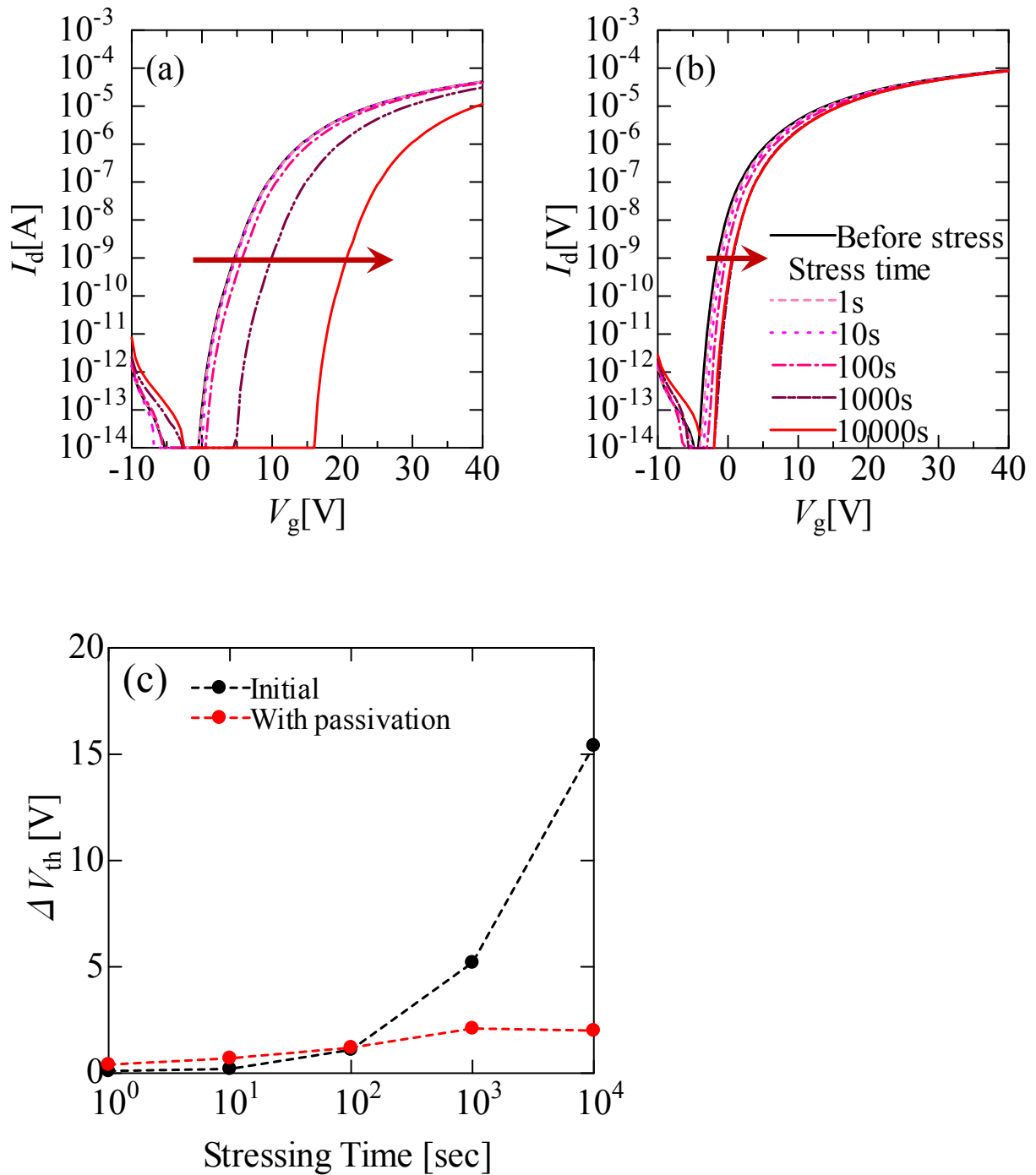


図 3-10 ゲートおよびドレインバイアスストレス印加による信頼性評価 (a)パッシベーション膜形成前、(b) パッシベーション膜形成後の ZnO TFT のバイアスストレス印加による伝達特性の変化、(c)バイアスストレス下での時間経過による閾値電圧の変化量の推移

3.5 PA-ALD による高性能フレキシブル ZnO TFT の作製

3.5.1 PA-ALD による高性能 ZnO TFT の低温作製

本章のこれまでの研究により、ALD により堆積したアルミナ膜をゲート絶縁膜として用いることにより、ZnO TFT の高性能化が可能となることが明らかになった。さらに、第 2 章 7 節に示した ZnO 膜形成時のラジカル源の検討により、PA-ALD での ZnO 膜の堆積時に水をラジカル源として使用する ($\text{H}_2\text{O-plasma}$) ことにより、堆積温度を上昇させることなく ZnO TFT の特性の向上が可能となることが分かった。そこで、低抵抗 Si 基板上にゲート絶縁膜として PA-/ O_3 -ALD による積層アルミナ膜、チャネル層に $\text{H}_2\text{O-plasma}$ を使用した PA-ALD により ZnO 膜を堆積し、ZnO TFT を作製した。ZnO 膜はウェットエッチングによりパターニングし、S/D 電極として Ti をリフトオフプロセスで形成した。

作製した TFT に、 $V_d=5\text{ V}$ のドレインバイアスを印加し、伝達特性を測定した。伝達特性および出力特性の測定結果を図 3-11(a)、(b)にそれぞれ示す。PA-ALD により堆積したアルミナゲート絶縁膜上に、 $\text{O}_2\text{-plasma}$ により堆積した ZnO 膜を使用した TFT と比較して on 電流が大きく向上し、これにより電界効果移動度の向上がみられた。この時の電界効果移動度の最大値は、約 $10.0\text{ cm}^2/\text{Vs}$ であり、 $\text{O}_2\text{-plasma}$ による ZnO 膜を使用したものと比較しておよそ 2 倍の値を示している。また、 $V_g=0\text{ V}$ でオフ状態のノーマリー・オフの状態が得られ、off 電流は 10^{-14} 以下と非常に良好なオフ特性を示した。これにより on/off 比 10^{10} 以上、また S 値は約 0.22 V/decade という非常に高いスイッチング特性が得られた。これは、第 2 章 7 節で示した $\text{H}_2\text{O-plasma}$ による ZnO 膜の高性能化、および本章 3 節で示した ALD による積層アルミナゲート絶縁膜を使用することによる界面層の形成が効果的に機能した結果であると言える。

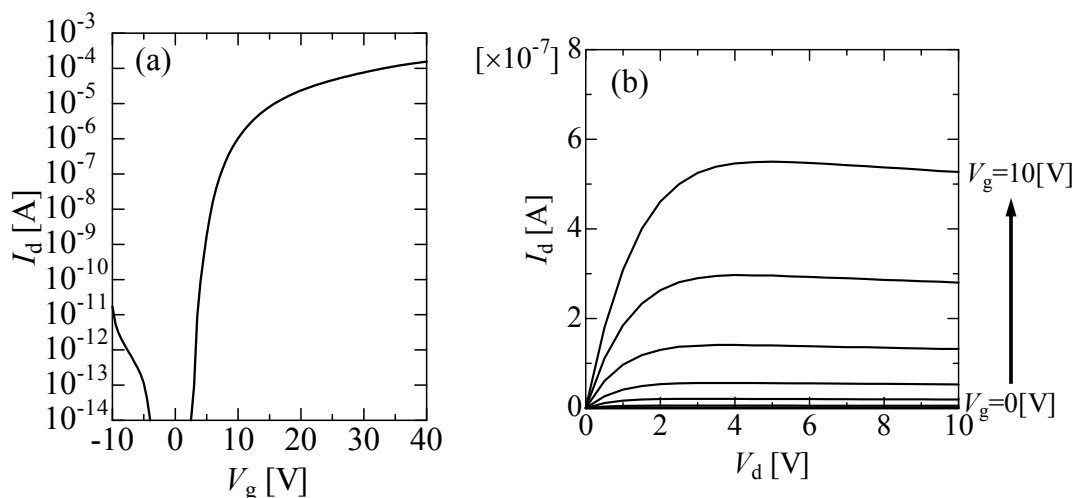


図 3-11 低温プロセス ZnO TFT(a)伝達特性、(b)出力特性

3.5.2 フレキシブル基板上 ZnO TFT 作製プロセス

これまでの本研究の結果から、PA-ALD 法による薄膜を用いることで、高性能な ZnO TFT の低温形成が可能となることが明らかとなった。PA-ALD 法による ZnO TFT の作製プロセスの最高温度が 100°C であることから、プラスチックなどのフレキシブル基板上へのデバイスの作製が可能となる。そこで、液晶パネルの輝度向上フィルム、電子部品材料や APS 写真フィルム等にも広く用いられている、ポリエチレンナフタレート（PEN: Polyethylene naphthalate）フィルム上に、高性能な ZnO TFT の作製を試みた。

PEN フィルム（帝人デュポンフィルム株式会社、テオネックス Q65FA）上に、EB 蒸着により Ti/Al/Au を蒸着し、リフトオフプロセスによりパターンニングしてゲート電極を作製した。ゲート電極を形成した PEN 基板上に、PA-ALD 法によりゲート絶縁膜としてアルミナ膜を 50 nm、チャンネル層として ZnO 膜をそれぞれ堆積温度 100°C で形成し、フォトリソグラフィ技術を用いてウェットエッチングにより ZnO 膜のパターンニングを行った。ソース/ドレイン（S/D）電極として Ti を使い、リフトオフによりパターンニングした後、ウェットエッチングによりゲート電極用コンタクトホールを形成し、図 3-12 に示すようなボトムゲート型 TFT を作製した。

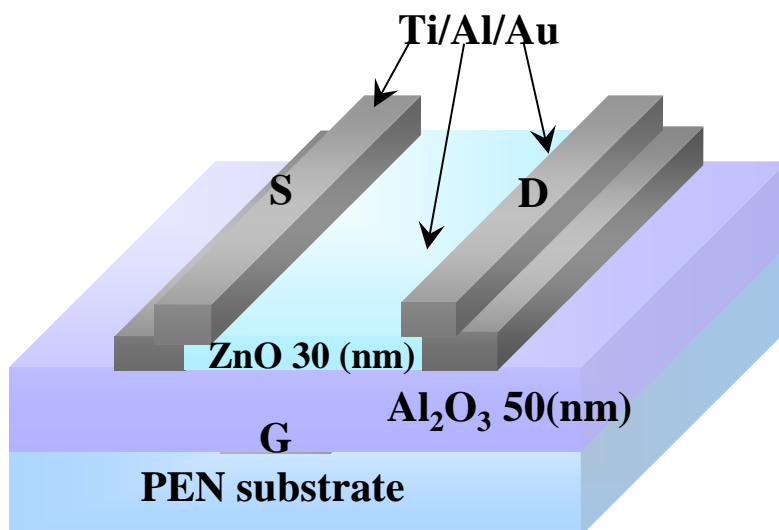


図 3-12 フレキシブル基板上ボトムゲート型 ZnO TFT

3.5.3 フレキシブル ZnO TFT 特性

PEN 基板上および比較として Si 基板上に作製した ZnO TFT に、 $V_d = 5 \text{ V}$ を印

加し伝達特性を測定した。測定した伝達特性を図 3-13(a)に、出力特性を図 3-13(b)に示す。フレキシブルな PEN フィルム上に作製した TFT においても、Si 基板上に作製したものと比較して特性の劣化は見られず、良好なスイッチング特性が得られた。

伝達特性では、図 3-13(a)に示す通り、ゲート電圧 0V でドレイン電流が流れない、ノーマリー・オフの状態が得られ、off 電流は 10^{-14} 以下と非常に良好なオフ特性を示した。このため、 10^{10} 以上という高い on/off 比が得られ、S 値は 0.17 V/decade と急峻な立ち上がりを示した。さらに、この ZnO TFT の電界効果移動度の最大値は $17.5 \text{ cm}^2/\text{Vs}$ と、本研究で目的とする次世代ディスプレイの画素駆動素子に求められる、 $10 \text{ cm}^2/\text{Vs}$ 以上の電界効果移動度を十分に満たす値が得られた。図 3-13(b)に示した出力特性においても、飽和領域の V_d において I_d が増加するキंक電流は見られず、良好な出力特性が得られている。また、特性が V_d の低い領域で立ち上がっており、これは良好なオーミックコンタクトが得られていることを示している。

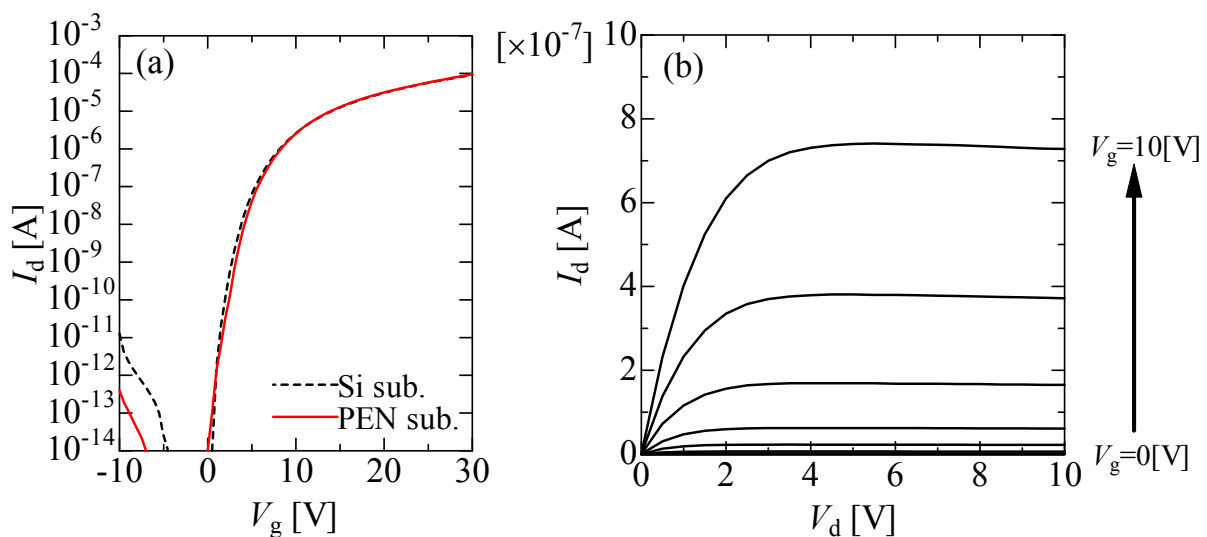


図 3-13 フレキシブル基板上 ZnO TFT (a)伝達特性、(b)出力特性

3.5.4 フレキシブル ZnO TFT の信頼性評価

フレキシブル基板上に作製した ZnO TFT の、バイアスストレス下における電氣的安定性を調べるため、ゲートおよびドレインバイアスを印加し信頼性評価を行った。比較として、Si 基板上に同じ薄膜を堆積し作製した TFT にも同様の測定を行い、フレキシブル基板上に作製したことによる信頼性の変化を確認した。ゲートおよびドレインバイアスストレスとして、それぞれ 10 V 印加した時の信頼性評価の結果を、図 3-14(a),(b)に示す。PEN 基板上、Si 基板上いずれの TFT においても、バイアススト

レスの印加により、時間経過と共に V_{th} のシフトがみられた。バイアスストレスを 10000 秒印加した時の V_{th} のシフト量 (ΔV_{th}) は、Si 基板上および PEN 基板上でそれぞれ約 5 V および約 5.5 V と、基板による大きな変化は見られなかった。また、バイアスストレスの印加による S 値の変化は見られなかった。

PA-ALD 法により堆積した ZnO 膜およびアルミナ膜を使用することにより、高性能な ZnO TFT の低温での作製が可能であることを実証した。さらに、フレキシブル基板上においても高い特性を示し、Si 基板上に作製した TFT と同様の特性が得られた。これにより、本研究で目的とする次世代ディスプレイの画素駆動素子として要求される、フレキシブル基板上への作製、高移動度を満たす高性能フレキシブル ZnO TFT の作製に成功した。

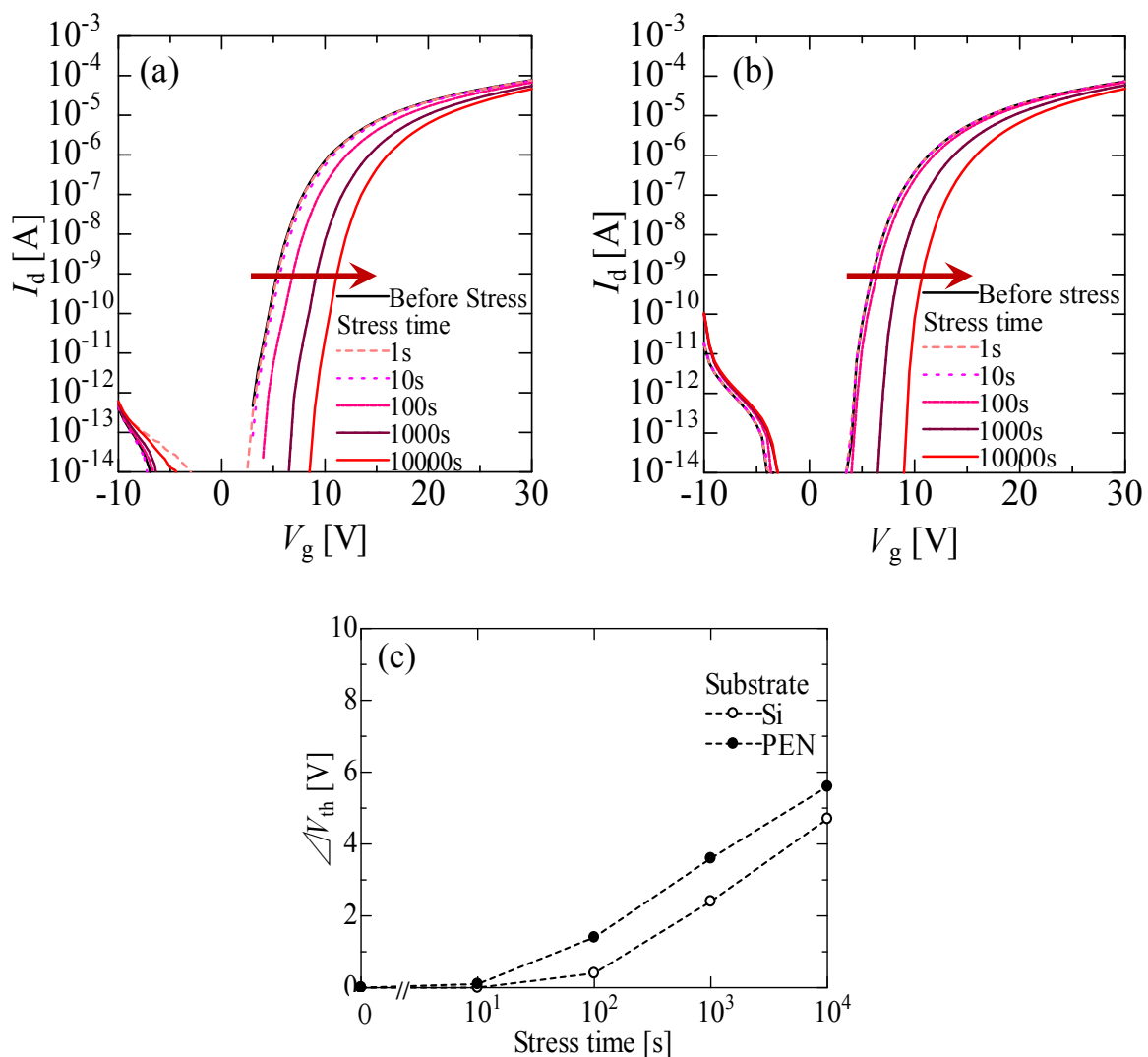


図 3-14 ゲートおよびドレインバイアスストレス印加による信頼性評価 (a)PEN 基板上、(b) Si 基板上に作製した ZnO TFT のバイアスストレス印加による伝達特性の変化。(c)バイアスストレス下での時間経過による閾値電圧の変化量の推移

3.6 結言

ZnO TFT の特性向上および低温プロセス化に向けて、PA-ALD により堆積した ZnO 膜およびアルミナ膜を使用して ZnO TFT を作製し、その特性を評価した。その結果、ALD により堆積したアルミナ膜を使用することにより、ZnO TFT 特性が大きく向上した。

ZnO 膜を PA-ALD により 300°C で堆積し、ゲート絶縁膜として使用したアルミナ膜の堆積条件の変化による ZnO TFT 特性への影響を調べた。その結果、従来の熱 ALD によるアルミナを使用した TFT ($\mu=7.2 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$) では、熱酸化膜を使用したもの ($\mu=5.7 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$) と比較して高い電界効果移動度が得られた。一方で、PA-ALD により堆積したアルミナ膜を使用することにより、TFT の off 電流が低減された。

低温プロセス ZnO TFT の特性向上のため、100°C で堆積した ZnO 膜をチャンネル層、アルミナ膜をゲート絶縁膜として使用し TFT 特性を調べた。熱 ALD、PA-ALD それぞれによるアルミナ膜の特性を活かし、ZnO TFT のさらなる特性向上を図るため、熱 ALD/PA-ALD 積層アルミナ膜をゲート絶縁膜として堆積し、その効果を調べた。その結果、PA-ALD による単層アルミナ膜をゲート絶縁膜として使用した TFT と比較して、積層アルミナ膜を使用することにより TFT 特性は大きく向上した。積層アルミナ膜をゲート絶縁膜として使用した ZnO TFT において、その電界効果移動度は $5.1 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 、on/off 比は $> 10^9$ であり、S 値は 0.2 V/decade であった。さらに、バイアスストレス下での安定性も改善された。SIMS 測定による界面付近の測定結果と比較し、積層アルミナ膜をゲート絶縁膜として使用することによるこれら ZnO TFT の特性の向上は、ZnO/ゲート絶縁膜界面において界面層が形成されたためであると考えられる。この界面層には、ZnO だけでなくアルミ原子も含まれていると考えられる。ZnO にアルミをドーピングした ZnO:Al は導電性を示す透明導電膜材料であり、さらに、ALD による ZnO 膜の堆積において、ZnO 膜数十層に対し 1 層のアルミナを挟むサンドイッチ構造を繰り返すことにより、膜の抵抗率が低減されるという報告がされている。本研究において ALD による ZnO 堆積時にアルミナ膜の原料である TMA の投入を検討した結果、TMA を投入することで比抵抗が低減される傾向がみられた。これにより、ALD で堆積された ZnO 膜は半導体としてだけでなく、透明導電膜としても使用できることとなり、ZnO 膜の更なる高機能化が期待できる。

酸化亜鉛系 TFT において、パッシベーション膜を形成しチャンネル層を大気中の水分などから保護することにより、バイアスストレス下での安定性が向上することが知られている。そこで、PA-ALD によるアルミナゲート絶縁膜および ZnO チャンネル膜を堆積し作製した低温プロセス ZnO TFT 上に、ALD によりアルミナ膜をパッシベ

ーシオン膜として形成し、信頼性への効果を調べた。その結果、パッシベーション膜にも PA-ALD 法が有効であることが分かった。さらに、PA-ALD によるアルミナ膜をパッシベーション膜として形成した ZnO TFT では、パッシベーション膜形成前では約 15V であったバイアスストレス印加による 閾値のシフトが、パッシベーション膜形成後は約 2 V と大きく改善された。これは、PA-ALD により低温でも高品質な膜の形成が行われたためであると考えられる。

これまでの ZnO TFT の高性能化、低温プロセス化への検討により、薄膜の形成に ALD 法を適用することで作製プロセスの最高温度が 100°C という低温で、高性能な ZnO TFT の作製が可能となった。これは、汎用プラスチック基板等のフレキシブル基板上へのデバイス作製にも十分に対応し得るプロセス温度を示している。そこで、現在液晶パネルや電子部品材料にも使用されている PEN フィルム上に、ZnO TFT の作製を試みた。その結果、電界効果移動度で約 $17.5 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ という高い値が得られ、本研究で目的とする次世代ディスプレイの画素駆動素子として、十分に対応し得る高性能な ZnO TFT の作製に成功した。

参考文献

- 1) R. Puurunen: *J. Appl. Phys.*, **97** (2005) 121301.
- 2) N. Blasco: *Workshop on 12th International Conference on Atomic Layer Deposition*, 2012.
- 3) 服部望, 宮武直正, 村田和俊, 川村悠実, 浦岡行治: *薄膜材料デバイス研究会第6回研究集会*, 2I01, 2009.
- 4) K. Washio, Y. Mori, n. Miyatake, K. Murata, Y. Sugawara, and Y. Uraoka: *Proc. of IDW'07*, (2007), 549.
- 5) 八百隆文, *ZnO 系の最新技術と応用*, 株式会社 シーエムシー出版 (2007).
- 6) R. Kuse, M. Kundu, T. Yasuda, N. Miyata, and A. Toriumi: *J. Appl. Phys.*, **94** (2003) 6411.
- 7) I. S. Joen, J. Park, D. Eom, C. S. Hwang, H. J. Kim, C. J. Park, H. Y. Cho, J. H. Lee, and H. K. Kang: *Jpn. J. Appl. Phys.*, **42** (2003) 1222.
- 8) R. Martins, P. Barquinha, I. Ferreira, L. Pereira, G. Gonçaves and E. Fortunato: *J. Appl. Phys.*, **101**(2007)044505.
- 9) W. Lim, E. A. Douglas, D. P. Norton, S. J. Pearton, F. Ren, Y.-W. Heo, S. Y. Son and J. H. Yuh: *Appl. Phys. Lett.*, **96**(2010)053510.
- 10) K. Nomura, T. Kamiya, Y. Kikuchi, M. Hirano, and H. Hosono: *Thin Solid Films*, **518**(2010)3012.
- 11) K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono: *Nature*, **432** (2004) 488.
- 12) O. K. Varghese, M. Paulose, and C. A. Grimes: *Nat. Nanotechnol.*, **4**(2009)592.
- 13) M. Law, L. E. Greene, J. C. Johnson, R. Saykally, and P. Yang: *Nat. Mater.*, **4** (2005)455.
- 14) R. B. H. Tahar, T. Ban, Y. Ohya, and Y. Takahashi: *J. Appl. Phys.*, **82** (1997)865.
- 15) L. K. Rao, and V. Vinni: *Appl. Phys. Lett.*, **63**(1993) 608.
- 16) H. Nanto, T. Minami, S. Shooji, and S. Takata: *J. Appl. Phys.*, **55**(1984)1029.
- 17) T. Minami, H. Sonohara, S. Takata, and H. Sato: *Jpn. J. Appl. Phys.*, **33**(1994) L743.
- 18) S.-H. K. Park, J.-I. Lee, C.-S. Hwang, and H. Y. Chu: *Jpn. J. Appl. Phys.*, **44**(2005) L242.
- 19) J. Meyer, P. Görrn, S. Hamwi, H.-H. Johannes, T. Riedl, and W. Kowalsky: *Appl. Phys. Lett.*, **83** (2008) 073308.
- 20) D.-J. Lee, H.-M. Kim, J.-Y. Kwon, H. Choi, S.-H. Kim, and K.-B. Kim: *Adv. Funct. Mater.*, **21**(2011)448.
- 21) S. I. Kim, C. J. Kim, J. C. Park, I. Song, S. W. Kim, H. Yin, E. Lee, J. C. Lee, and Y. Park: *IEEE International Electron Device Meeting*, (2008).

- ²²⁾ W. Kim, S.-H. Lee, J.-H. Bang, H.-S. Uhm, and J.-S. Park: *Thin Solid Films*, **520** (2011) 1475.
- ²³⁾ J. S. Park, J. K. Jeong, H. J. Chung, Y. G. Mo, and H. D. Kim: *Appl. Phys. Lett.*, **92** (2008) 072104.
- ²⁴⁾ P. -T. Liu, Y. -T. Chou, and L. -F. Teng: *Appl. Phys. Lett.*, **95** (2009) 233504
- ²⁵⁾ C. Tu , W. Lin, C. Chen, M. Hung, J. Chang, and M. Chiang: *SID Symposium Digest of Technical Papers*, **42** (2011) 1151.
- ²⁶⁾ J.S. Park, T.S.Kim, K.S. Son, K.H. Lee, W.J. Maeng, and H.S. Kim: *Appl. Phys. Lett.*, **96** (2010) 2621091.

第4章 非晶質 In-Ga-Zn-O TFT 特性における ALD 絶縁膜の効果

4.1 諸言

現在、ディスプレイ駆動素子には a-Si:H TFT が使用されており、LTPS TFT と比較すると、非晶質材料の特質である広い面積で安定な電気特性を得ることができるという利点がある。しかしながら、OLED や高精細ディスプレイ等、次世代ディスプレイにおいては、第1章でも述べた様に、電界効果移動度や特性の劣化において課題がある。また、a-Si 薄膜は 250-300°C 程度の堆積温度が必要であり、温度が下がると特性が劣化する。¹⁾ このため、次世代ディスプレイへの適用の際に必要な、フレキシブル基板へのデバイスの形成は困難となる。

非晶質酸化物半導体は、OLED や高精彩ディスプレイに代表される、次世代ディスプレイの駆動回路に用いるスイッチング素子用材料として近年注目を集めている。²⁻⁵⁾ 特に ZnO に In₂O₃, Ga₂O₃ を添加した a-In-Ga-Zn-O (a-IGZO) は、良好な特性を示すことが報告されている。^{2,3)} その特徴として、同じ非晶質材料として従来用いられている a-Si:H TFT と比較して、高い電界効果移動度を示す点が挙げられる。さらに、LTPS TFT と比較すると、非晶質材料の特質である広い面積で安定な電気特性を得ることができるという利点がある。現在、資源の枯渇化や価格の急騰により問題となっている In や Ga などのレアメタルを使用した材料ではあるが、「透明エレクトロニクス」「フレキシブルエレクトロニクス」の分野において重要な材料の一種であると言える。^{2,3)}

本研究のこれまでの結果から、TFT 特性は絶縁膜の特性により大きく影響を受けることが示された。さらに、ALD により堆積したアルミナ膜をゲート絶縁膜として使用することにより、ZnO TFT の特性が向上することを報告してきた。そこで本章では、ALD による絶縁膜の ZnO TFT 以外への応用として、同じ酸化亜鉛系材料である a-IGZO TFT においても、その特性向上への効果を検討した。

4.2 In-Ga-Zn-O TFT の作製プロセス

本実験においては、本研究の主目的である ZnO TFT 作製プロセスを基にし、a-IGZO TFT を作製した。低抵抗 Si 基板上に、ゲート絶縁膜として熱酸化により SiO₂ 膜または、これまでに本研究で得られた堆積条件を元に、ALD による絶縁膜を形成

した。これらゲート絶縁膜を形成した基板の上に、チャンネル層として a-IGZO 薄膜を堆積された基板を用いた。a-IGZO 膜には、現在酸化亜鉛系薄膜の堆積の際に一般的に使用されている、高周波(Radio frequency : rf)マグネトロンスパッタリングにより堆積された膜を使用した（豊島製作所、1 : 1 : 1 : 4 IGZO）。ウェットエッチングにより a-IGZO をパターニングし、S/D 電極として Ti を EB 蒸着により堆積した後、リフトオフプロセスによりパターニングした。作製した TFT の断面図を図 4-1 に示す。ここで使用した TFT のサイズは、本研究で使用している ZnO TFT と同じく、W/L=20/10 μm である。

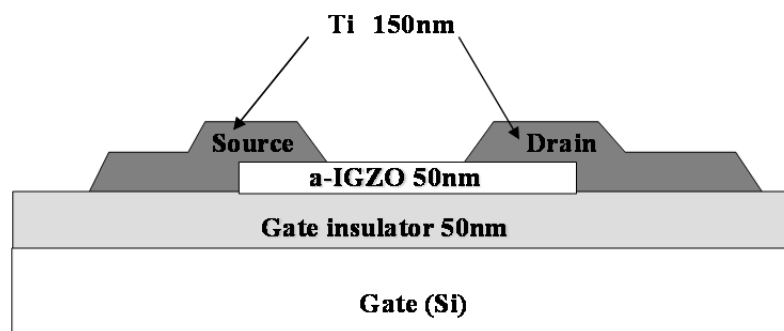


図 4-1 Bottom-gate-type a-IGZO TFT 断面図

4.3 a-IGZO TFT 特性における熱処理の効果

4.3.1 TFT 作製後の熱処理による特性の変化

まず、a-IGZO TFT 作製プロセスを検討するため、ゲート絶縁膜に熱酸化膜を使用し、TFT 作製後の熱処理温度による a-IGZO TFT の特性の変化を調べた。作製した TFT を、O₂:N₂=20%:80%の酸素雰囲気中で温度を 100-450°C に変化させ 1 時間の熱処理を行った後、伝達特性を測定した。伝達特性の測定結果を図 4-2 (a)に示す。

a-IGZO TFT の特性は、熱処理温度の上昇と共に向上する傾向がみられた。しかしながら、TFT 作製後の熱処理では温度に対して特性が安定せず、ハンプの発生等の問題がある。スパッタ法により堆積された a-IGZO 膜を使用した TFT の伝達特性において、a-IGZO 膜中の過剰酸素および水素がハンプや S 値の劣化の原因となることが報告されている。^{6,7)} 一般的に、膜質等の特性の改善には高温での熱処理が有効であると考えられる。しかしながら、熱処理温度が高温になると off 電流が増加する傾向がみられており、また、a-IGZO の大きな特徴である非晶質の状態を保つためには、

結晶化温度である 525°C ⁸⁾よりも十分に低い必要がある。そのため、熱処理温度は 500°C 以下に抑えることが望ましいと考えられる。このことから、TFT 作製後の熱処理のみでは a-IGZO TFT の特性の改善及び安定化には不十分であると考えられる。

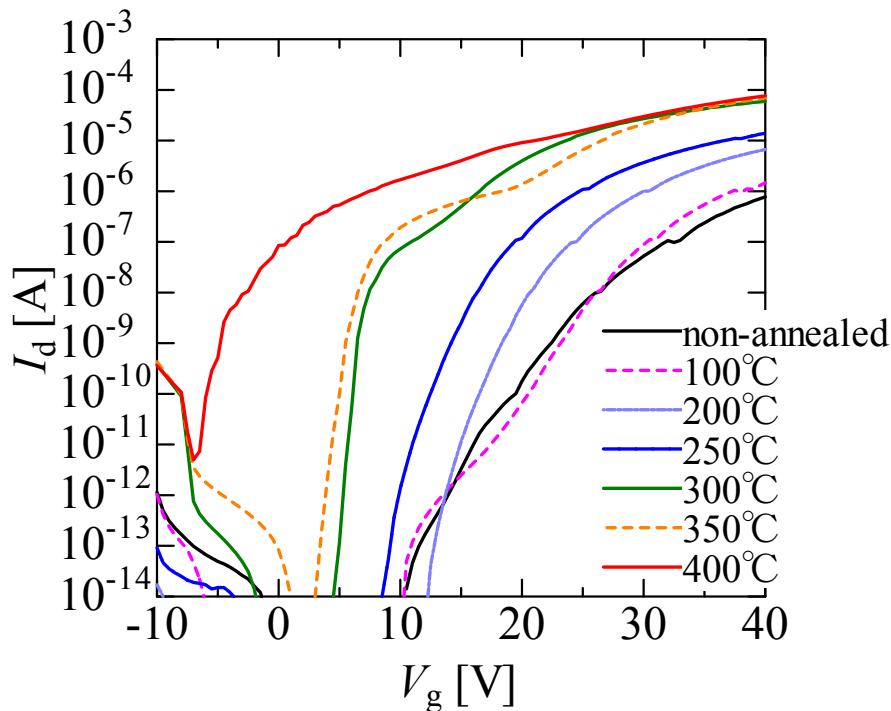


図 4-2 a-IGZO TFT における電極形成後の熱処理温度による伝達特性の変化 ($V_d=5\text{ V}$)

4.3.2 TFT 作製前の熱処理による特性の変化

a-IGZO TFT 作製後の熱処理を検討した結果から、a-IGZO TFT の特性は、熱処理温度の上昇と共に向上するが、TFT 作製後の熱処理のみでは十分に特性の安定が図られないことが分かった。そこで、a-IGZO 膜を堆積した基板を熱処理してから TFT を作製し、S/D 電極形成前の熱処理による a-IGZO TFT 特性への効果を調べた。雰囲気は $\text{O}_2:\text{N}_2=20\%:80\%$ の酸素雰囲気とし、温度は $200\sim 450^{\circ}\text{C}$ に変化させ、1 時間の熱処理を行った。

熱処理後に作製した TFT の、伝達特性の測定結果を図 4-3 に示す。TFT 作製後に熱処理を行った場合と同じく、熱処理温度の上昇と共に特性は向上する傾向がみられた。さらに、 400°C 以上での熱処理により、 V_{th} および S 値が大きく改善した。このことから、S/D 電極の形成前に 400°C 程度での熱処理を行うことが、a-IGZO TFT の

特性向上には有効であると考えられる。

さらに、350~450°Cで熱処理を行い作製した TFT を、窒素雰囲気中で 300°C⁹⁾、1 時間の熱処理を行い特性を測定した。TFT 作製前後で熱処理を行った a-IGZO TFT の伝達特性の測定結果を図 4-4 に示す。TFT 作製後の熱処理により、熱処理前に生じていた特性のばらつきやハンプが改善され、電極形成前の熱処理温度に比例して on 電流が増加する傾向が明確となった。この電極形成後の熱処理による特性の改善は、a-IGZO/電極界面において良好なオーミックコンタクトが得られたためであると考えられる。

a-IGZO TFT の電極形成前の熱処理による特性の向上は、a-IGZO 膜の膜質の改善によるものと考えられる。スパッタ法により堆積された a-IGZO 膜において、350°C以上で熱処理することにより酸素の脱離が生じることが報告されている。¹⁰⁾ また、a-IGZO TFT のハンプは膜中の過剰酸素に起因することから、S/D 電極形成前の熱処理により a-IGZO 膜から過剰酸素の脱離が起こり、a-IGZO 膜の膜質が改善されたと考えられる。しかしながら、450°Cで電極形成前の熱処理を行った TFT では、off 電流の増加および閾値電圧の負側への大きなシフトがみられた。これは、高温での熱処理により、膜中の酸素が過剰に脱離したためであると考えられる。

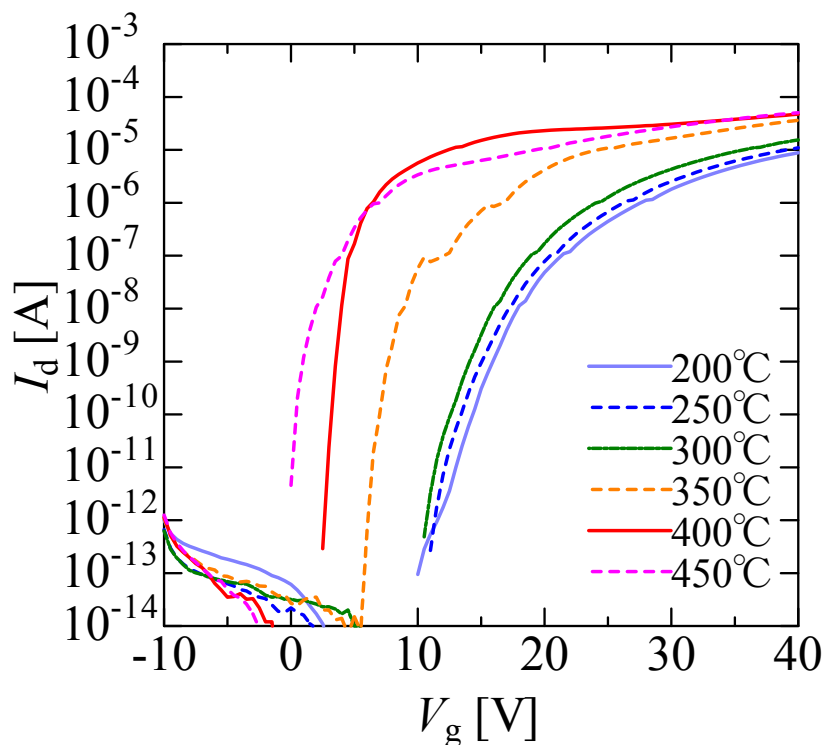


図 4-3 a-IGZO TFT における電極形成前の熱処理温度による伝達特性の変化 ($V_d=5\text{ V}$)

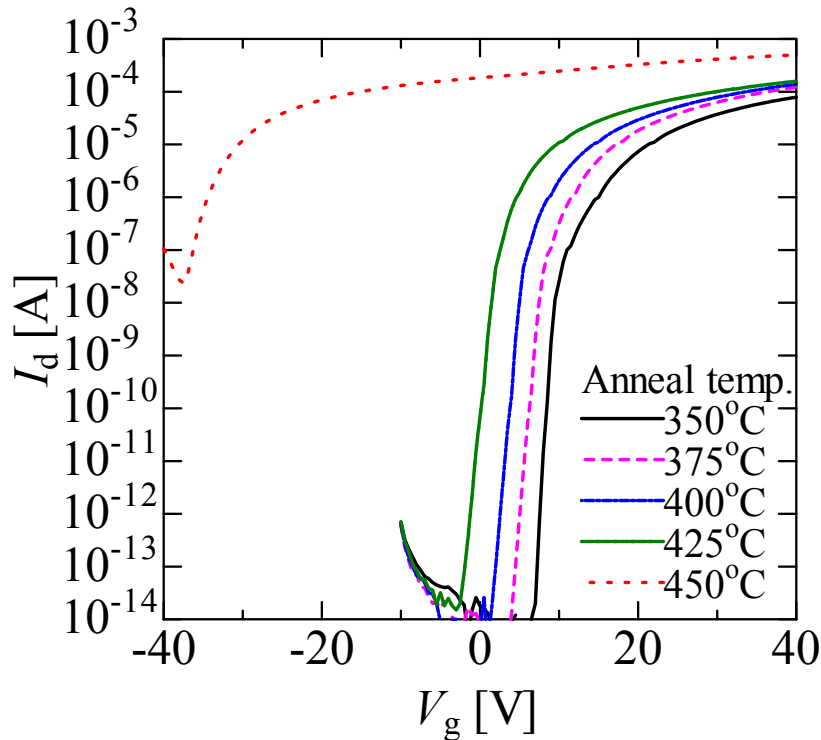


図 4-4 電極形成前および形成後に熱処理を行った a-IGZO TFT の伝達特性 ($V_d=5\text{ V}$)

4.4 a-IGZO TFT における ALD 絶縁膜の効果

4.4.1 a-IGZO TFT における ALD によるパッシベーション膜の効果

第3章4節でも述べたように、酸化亜鉛系 TFT においてバイアスストレスの印加による特性劣化の原因の一つとして、大気中の水分および酸素による特性への影響が挙げられる。^{11,12)} そのため、酸化亜鉛系 TFT の信頼性向上のためには、パッシベーション膜の形成が必要とされる。¹¹⁻¹⁴⁾ ゲート絶縁膜として熱酸化膜を使用し作製した a-IGZO TFT 上に、酸化剤としてオゾンを使用する O_3 -ALD によりアルミナ膜を形成した。電極形成前の熱処理は行っていない。アルミナ膜の堆積温度は 300°C とし、パッシベーション膜の有無、およびパッシベーション膜形成前の熱処理の有無で特性を比較した。

伝達特性の測定結果を図 4-5 に示す。破線は、TFT 作製後に 300°C の熱処理を行った TFT の、パッシベーション膜形成前の特性を示している。パッシベーション膜の形成により、大きく正側へとシフトしていた閾値電圧が 0 V 付近へと改善した。これは、a-IGZO 膜中の過剰酸素がパッシベーション膜であるアルミナ膜に吸着されたためであると考えられる。また、TFT 作製後に熱処理を行わずパッシベーション膜を

形成した TFT ではハンプが生じており、熱処理を行った TFT ではハンプは見られなかった。このことから、a-IGZO TFT においては TFT 作製後、パッシベーション膜形成前に熱処理を行う必要があると考えられる。

a-IGZO TFT において、オフ領域 ($V_g < 0$ V) でのバイアス印加による特性の劣化が問題となっている。そこで、負のゲートバイアスの印加による信頼性評価 (NBS : Negative gate bias stability) を行い、ALD によるパッシベーション膜の効果を検討した。ゲートバイアスストレスとして -10 V を印加した時の、伝達特性の測定結果を図 4-6 に示す。信頼性評価の結果、バイアスストレスの印加によりそれぞれの TFT において閾値のシフトは見られたが、S 値の劣化は生じなかった。また、図 4-6(a) に示したパッシベーション膜を形成せず、熱処理のみを行った TFT および、図 4-6(b) に示した熱処理を行わずパッシベーション膜を形成した TFT では、バイアスストレスの印加により、時間経過とともにほぼ等しい閾値のシフトがみられた。一方で、TFT 作製後に熱処理を行いパッシベーション膜を形成した TFT では、バイアスストレスを 1000 秒印加した後の閾値のシフトが、パッシベーション膜を形成しない TFT では約 2.3 V であったのに対し、約 1.2 V と低減された。

以上の結果から、a-IGZO TFT においても ALD により堆積したパッシベーション膜が信頼性の改善に有効であり、パッシベーション膜形成前に熱処理を行うことで特性が向上することが明らかとなった。

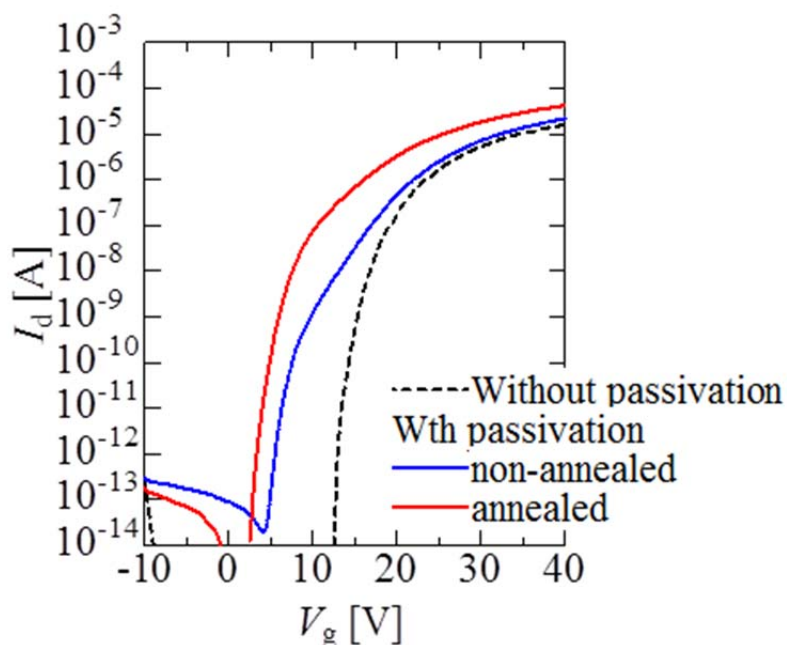


図4-5 パッシベーション膜の形成による a-IGZO TFT 伝達特性の変化 ($V_d=5$ V)

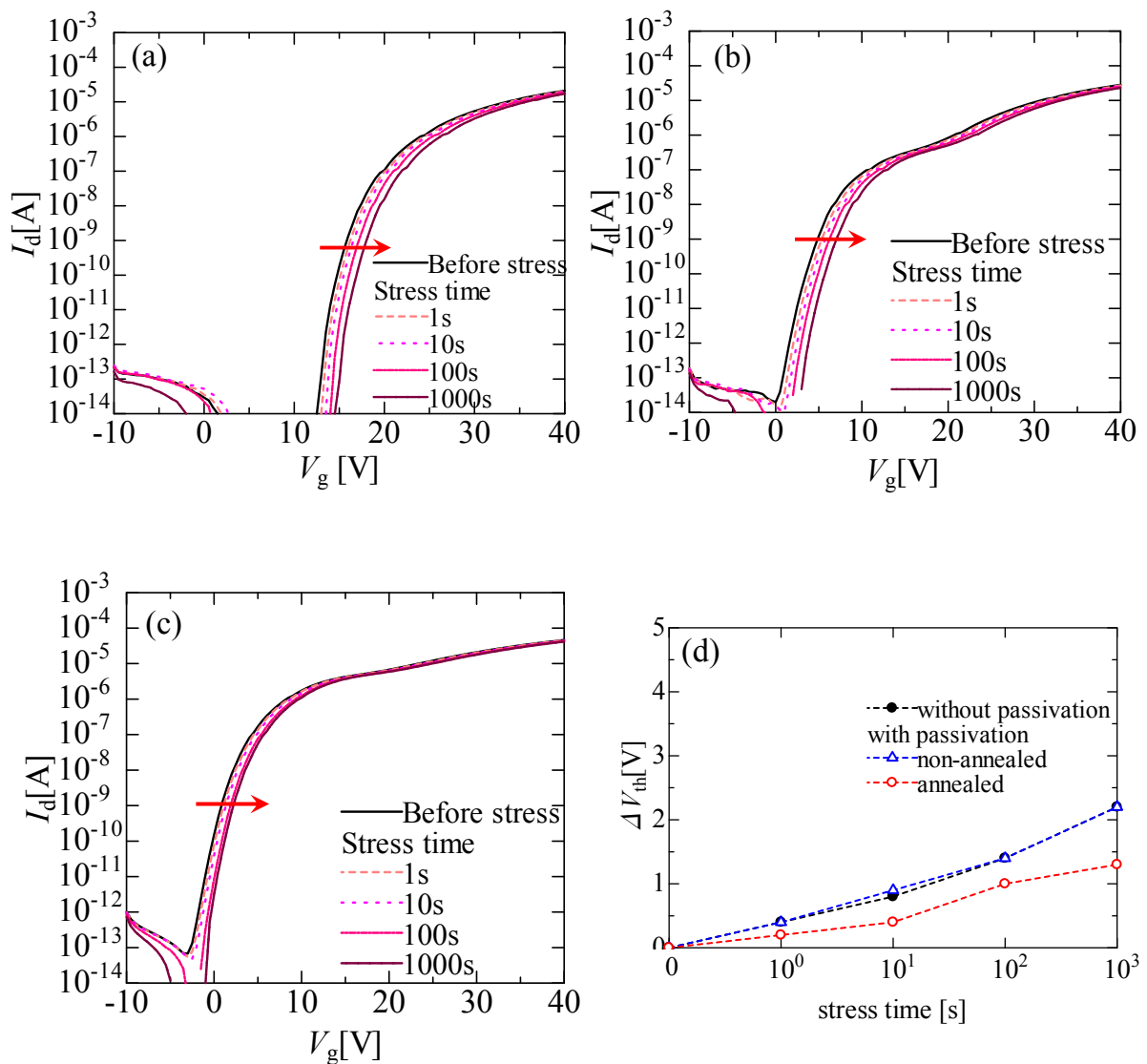


図 4-6 ゲートバイアスストレス印加による信頼性評価 (a)熱処理後パッシベーション膜無し、(b) 熱処理無しパッシベーション膜形成、(c)熱処理後にパッシベーション膜を形成した ZnO TFT のバイアスストレス印加による伝達特性の変化、(d)バイアスストレス下での時間経過による閾値電圧の変化量の推移

4.4.2 a-IGZO TFT における ALD によるゲート絶縁膜の効果

a-IGZO TFT の特性における熱処理の効果の検討結果から、TFT 作製プロセスでは電極形成前および後で 2 度の熱処理を行うことが有効であることが分かった。そこで、ゲート絶縁膜として ALD により堆積した絶縁膜を使用した時の a-IGZO TFT の特性の変化を調べた。

現在、ディスプレイ用途の a-Si:H TFT は、ガラス基板上に形成される。そこで、ガラス基板上に EB 蒸着により Mo を蒸着し、ウェットエッチングによりパターンニングしてゲート電極を作製した。ゲート電極を形成したガラス基板上に、ゲート絶縁膜を 50 nm、チャンネル層として rf マグネトロンスパッタリングにより a-IGZO 膜を堆積した後、酸素雰囲気中で 400°C の熱処理を行った。フォトリソグラフィ技術を用いてウェットエッチングにより a-IGZO 膜のパターンニングを行い、リフトオフにより S/D 電極を形成し a-IGZO TFT を作製した。作製した TFT を 300°C の熱処理を行い、伝達特性を測定した。ゲート絶縁膜には、現在 a-Si:H TFT に一般的に使用されている PE-CVD により堆積された SiO₂ 膜と、比較として PA-ALD により堆積した SiO₂ 膜、また、従来の熱 ALD (O₃-ALD) および PA-ALD により堆積したアルミナ膜を使用し、ゲート絶縁膜の種類による TFT 特性への効果を調べた。絶縁膜の堆積は、全て堆積温度 300°C で行った。

作製した TFT の伝達特性の測定結果を、図 4-7 に示す。PE-CVD により堆積した SiO₂ 膜および O₃-ALD によるアルミナ膜を使用した TFT では、ゲート電圧約 30V の印加で絶縁破壊が発生した。一方、PA-ALD により堆積した膜では、40 V 以上のゲート電圧を印加した際にも破壊は起こらず、良好な耐圧を示した。また、SiO₂ ゲート絶縁膜を使用した TFT では、ゲート電圧 30 V でのドレイン電流は PE-CVD により堆積したものと比較し、PA-ALD により堆積したものでは約 3 倍に増加し、約 100 cm²V⁻¹s⁻¹ という非常に高い電界効果移動度が得られた。O₃-ALD によるアルミナでは電流量がさらに増加し、この時の電界効果移動度は約 110 cm²V⁻¹s⁻¹ であった。off 電流においても、SiO₂ を使用した TFT では 10⁻¹² A 程度であったが、アルミナを使用したものでは 10⁻¹⁴ A 以下に低減され、さらに S 値の改善もみられた。PA-ALD により堆積したアルミナ膜では、O₃-ALD と同様の off 電流、S 値の改善がみられたが、閾値電圧が大きく正側へとシフトした。この閾値電圧のシフトは、第 3 章 2 節で示した PA-ALD によるアルミナ膜における、フラットバンド電圧の正側へのシフトによるものであると考えられる。

以上の結果から、a-IGZO TFT においても、ALD により堆積したゲート絶縁膜を用いることが、特性の向上に有効であることが分かった。現在一般的に使用されている SiO₂ 膜と比較して、ALD によるアルミナ膜を使用することにより、更なる特性の改善が可能であることが示唆されたが、従来の熱 ALD 法および PA-ALD 法では、それぞれ耐圧や閾値電圧に課題がある。この課題に対しては、第 3 章 3 節で示した PA-/O₃-ALD による積層アルミナ膜が有効であると考えられる。

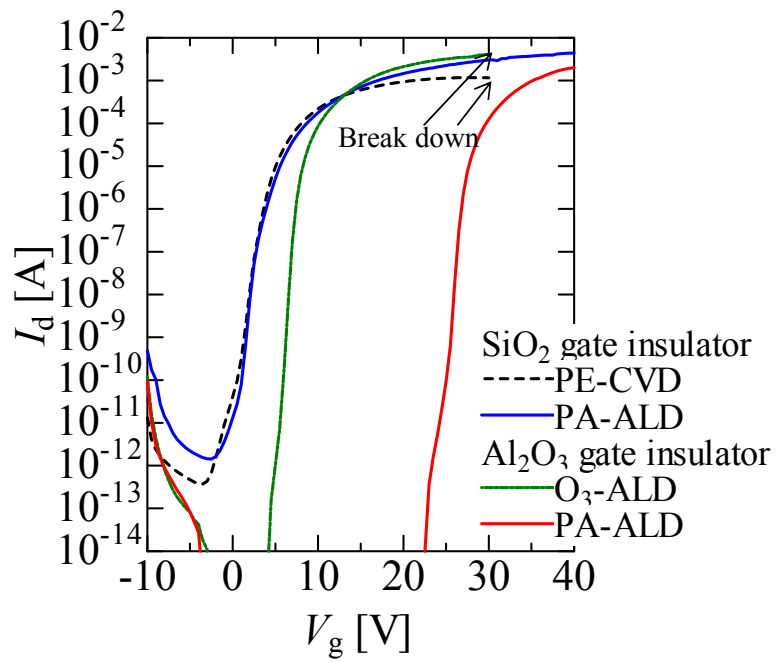


図 4-7 ゲート絶縁膜の種類による a-IGZO TFT 伝達特性の変化 ($V_d=5$ V)

4.5 結言

本研究においてこれまでに、ALDにより堆積したアルミナ膜をゲート絶縁膜として使用することにより、ZnO TFTの特性向上が可能となることを明らかにしてきた。そこで、ディスプレイ用途の非晶質酸化物半導体材料として、現在実用が検討されている a-In-Ga-Zn-O を使用した TFT の高性能化に向けても ALD による絶縁膜の有効性を検討した。その結果、a-IGZO TFT においても ALD によるアルミナ膜使用することにより、特性の向上が可能であることが明らかとなった。

a-IGZO TFT 作製プロセスにおいて、伝達特性は熱処理温度に比例して向上し、その熱処理は電極形成前に行うことが有効であることが分かった。さらに、熱処理後に作製した TFT に、作製後の熱処理を行うことで a-IGZO 膜/電極間で良好なオーミックコンタクトが得られ、特性が向上した。このことから、a-IGZO TFT では、電極の形成前後でそれぞれ熱処理を行うことが、特性向上に有効であることが明らかとなった。

ALD により堆積した絶縁膜の a-IGZO TFT 特性への効果を調べるため、まず Si 基板上に作製した a-IGZO TFT 上に、パッシベーション膜としてアルミナ膜を堆積し、その効果を調べた。その結果、a-IGZO TFT において課題とされている、オフ領域のバイアスストレス下での安定性が、パッシベーション膜の形成により改善された。また、パッシベーション膜は TFT 作製後の熱処理を行った後に形成することが効果的であることが示された。

さらに、ALD により堆積した絶縁膜をゲート絶縁膜として使用し、ガラス基板上に作製した a-IGZO TFT では、従来の PE-CVD により堆積した絶縁膜と比較して、ALD による絶縁膜を使用することにより on 電流の増加による特性の向上がみられた。特に、ALD によるアルミナ膜を使用した TFT では、on 電流の増加だけでなく、off 電流の低減および S 値の改善が得られ、約 $110 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ という非常に高い電界効果移動度、高いスイッチング特性が得られた。

以上の結果から、ALD により堆積した絶縁膜は、ALD により堆積した ZnO 膜を使用した ZnO TFT だけでなく、その他の手法により堆積された a-IGZO TFT においても、その特性の向上に有効であることが明らかとなった。

参考文献

- 1) 薄膜材料デバイス研究会編: *薄膜トランジスタ*, 株式会社 コロナ社 (2008).
- 2) K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono: *Nature*, **432** (2004) 488.
- 3) K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono: *Science*, **300** (2003) 1269.
- 4) F. M. Hosain, J. Nishi, S. Takagi, T. Sugihara, A. Ohtomo, T. Fukumura, H. Koinuma, H. Ohno, and M. Kawasaki: *Physica E*, **21** (2004) 911.
- 5) T. Hirao, M. Furuta, H. Furuta, T. Matsuda, T. Hiramatsu, T. Hokari, and M. Yoshida: *SID Dig. Tech. Pap.*, (2006) 18.
- 6) T. Kamiya, K. Nomura, and H. Hosono: *Sci. Technol. Adv. Mater.*, **11** (2010) 044305.
- 7) K. Ide, Y. Kikuchi, K. Nomura, M. Kimura, T. Kamiya, and H. Hosono: *Appl. Phys. Lett.*, **99** (2011) 093507.
- 8) K. Nomura, A. Takagi, T. Kamiya, H. Ohta, M. Hirano, and H. Hosono: *Jpn. J. Appl. Phys.*, **45** (2006) 4303
- 9) K. Nomura, T. Kamiya, H. Ohta, M. Hirano, and H. Hosono: *Appl. Phys. Lett.*, **93** (2008) 192107
- 10) M. Ono, M. Takata, F. Mochizuki, A. Tanaka, M. Suzuki: *IDW'11*, (2011)AMD8 - 4L
- 11) J. S. Park, J. K. Jeong, H. J. Chung, Y. G. Mo, and H. D. Kim: *Appl. Phys. Lett.*, **92** (2008) 072104
- 12) P. -T. Liu, Y. -T. Chou, and L. -F. Teng: *Appl. Phys. Lett.*, **95** (2009) 233504
- 13) C. Tu , W. Lin, C. Chen, M. Hung, J. Chang, and M. Chiang: *SID Symposium Digest of Technical Papers*, **42** (2011) 1151.
- 14) J.S. Park, T.S.Kim, K.S. Son, K.H. Lee, W.J. Maeng, and H.S. Kim: *Appl. Phys. Lett.*, **96** (2010) 2621091.

第5章 総括と展望

5.1 本研究の総括

本論文では、次世代ディスプレイの実現を目指し、その画素駆動素子として求められる条件である「透明」「フレキシブル」「高性能」を元に、その要求される条件を満たす素子の開発を目指した。この条件を満たす半導体材料として有力視されている酸化物半導体材料の中でも、人体、環境への配慮から、古くから化粧品等に用いられ、資源も豊富である酸化亜鉛を選択した。さらに、ディスプレイ用途として求められる大面積に対する均一性、フレキシブルデバイスの作製に必要である低温で高品質な膜の形成に対応するため、薄膜の形成手法として原子層堆積法の適用を提案した。

第2章では、ALD法により堆積したZnO膜の低温形成および高性能化を目指し、デバイス特性の向上につながるZnO膜特性の条件を調べた。まず、ZnO TFTへの適用時に課題となっている、低温形成されたZnO薄膜中の過剰キャリア濃度の低減に向け、反応の活性化にプラズマを援用するPA-ALD法による堆積を提案し、従来の熱ALD法により堆積したZnO膜の特性と比較した。その結果、PA-ALDにより堆積したZnO膜では、100℃という低温で堆積した場合においても従来の熱ALDで堆積した膜と比較してキャリア濃度が低減されることが分かった。さらに、金属原料に起因する残留不純物濃度も大きく低減され、これにより高品質な膜の低温形成が可能であることが示された。ZnO膜中の残留不純物とZnO TFT特性を比較した結果、ALDによるZnO-TFTでは、ZnO膜中の残留炭素が抵抗成分となりon電流の低減につながる可能性が示唆された。さらに、PA-ALD法で堆積したZnO膜を使用したTFTでは、これまで不可欠とされてきた熱処理を行わずにデバイス特性が得られた。

次に、PA-ALDにより堆積したZnO膜の更なる高品質化、ZnO TFTの高性能化に向け、熱処理による特性向上の原因を検討した。この結果、ZnO TFT特性は熱処理温度の上昇と共に向上し、また、酸素雰囲気中(O₂:N₂=20%:80%)での熱処理が有効であることが明らかとなった。この特性向上の原因を解明するため、XRD、XPS、SIMS等によりZnO膜の結晶性および組成を評価した結果、熱処理によるスイッチング特性および信頼性の向上は、ZnO膜の結晶性の改善、膜中不純物の低減によるZnO膜の膜質の改善によるものであることが示された。さらに、この結晶性の向上および膜中不純物の低減によるZnO TFT特性の向上は、ZnO膜堆積時の堆積温度への依存性を評価した結果からも確認された。

ALDによる薄膜形成において、堆積温度の上昇は前駆体の反応のためのエネルギーの上昇を意味する。通常のPA-ALDでは、ラジカル源としてO₂ガスを使用す

るが、プラズマを印加しない O_2 ガス自体ではほとんど反応性を示さない。このことから、従来の熱 ALD 法で酸化剤として使用される、水をラジカル源として使用することで、低温での更なる反応の活性化を試みた。その結果、ラジカル源として水を使用する H_2O -plasma を使用することで、ZnO 膜中の残留炭素が通常の O_2 -plasma と比較して大幅に低減された。さらに結晶性においても c 軸優先配向の膜が得られた。これら ZnO 膜の膜質の改善により ZnO TFT 特性は大きく向上し、 O_2 -plasma により堆積した ZnO 膜を使用した TFT と比較して約 4 倍の高い電界効果移動度が得られた。以上の結果から、PA-ALD 法を用いることにより、高性能 ZnO TFT を形成し得る高品質な ZnO 膜の低温形成が可能となった。

第 3 章では、TFT 作製において不可欠である絶縁膜の高機能化、低温形成を試みた。絶縁膜材料として、ZnO と同じくレアメタルレスであり資源が豊富、低コストな酸化アルミを選択した。ALD 法により堆積されたアルミナ膜は、ディスプレイやメモリ等の分野ですでに実用化されており、また High- k 材料の 1 種であることから、TFT の絶縁膜においてもその高性能化が期待できる材料である。

まず、アルミナ膜の低温での高品質化に向け、従来法と PA-ALD により堆積した膜の特性およびその ZnO TFT 特性への影響を評価した。この結果、アルミナ膜のフラットバンド電圧は堆積時にプラズマを印加することにより、正側へとシフトする傾向を示した。このアルミナ膜をゲート絶縁膜として使用した ZnO TFT では、アルミナ膜のフラットバンドの正側へのシフトと共に、閾値電圧もシフトした。ZnO TFT の閾値電圧は、通常負側へとシフトしやすく、ゲート電圧 0 V で電流の流れるノーマリー・オンの特性を持つ傾向がある。このノーマリー・オンの状態は、待機電力の増加等の原因となり、実用化に向けてはノーマリー・オフの特性が望ましい。この ZnO TFT の閾値の負シフトが、PA-ALD により堆積したアルミナ膜をゲート絶縁膜として使用することにより改善され、ノーマリー・オフの特性が得られた。この結果から、ゲート絶縁膜として PA-ALD により堆積したアルミナ膜の特性を制御することにより、ZnO TFT の閾値電圧の制御が可能となることが明らかとなった。

次に、低温作製 ZnO TFT の高性能化に向け、ゲート絶縁膜および ZnO チャネル層を保護するためのパッシベーション膜としてのアルミナの堆積条件を検討した。この結果、ゲート絶縁膜として ZnO 膜との界面付近に薄く熱 ALD による層を形成する、PA-/ O_3 -ALD の積層アルミナ膜を使用することにより、通常の単層アルミナ膜と比較して約 3 倍の高い電界効果移動度が得られた。さらに、パッシベーション膜として PA-ALD によりアルミナ膜を形成することで、バイアスストレス下での閾値のシフトが大きく低減され、通常高温での熱処理が必要とされる信頼性の改善が、熱処理を行わずに成された。

以上の結果から、低温作製 ZnO TFT の高性能化の条件が明らかとなった。これらの条件を用い、フレキシブル基板である PEN フィルム上に高性能 ZnO TFT の作製を試みた。その結果、フレキシブル基板上においても、通常の Si 基板上に形成した ZnO TFT と同等の特性が得られた。このフレキシブル ZnO TFT では、ノーマリー・オフで急峻な立ち上がりと on/off 比 10^{10} 以上という、高いスイッチング特性を示した。さらに、この時の電界効果移動度は最大で約 $17.5 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ と、次世代ディスプレイに要求される $10 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 以上の値を十分に満たした。このことから、本研究で目的とする次世代ディスプレイの画素駆動素子への応用が可能な特性を有する、高性能フレキシブル ZnO TFT の作製に成功した。

本研究で得られた ALD による高品質薄膜の応用として、ZnO 系非晶質半導体として現在実用化が始まろうとしている a-IGZO TFT の特性向上への ALD による絶縁膜の効果を検討した。その結果、TFT のゲート絶縁膜として従来使用されている PE-CVD による SiO_2 と比較して、ALD により堆積したゲート絶縁膜を使用することにより、a-IGZO TFT においても高移動度、off 電流の低減による高性能化が可能となることが明らかとなった。さらに、ALD によるパッシベーション膜を形成することで、バイアスストレス下での信頼性も向上した。

本研究で得られた結果から、次世代ディスプレイの実現に重要とされる、高性能、フレキシブル、透明の条件を満たす ZnO TFT の作製が可能となった。また、現在 High- k 材料をはじめとする絶縁膜の堆積に特化した ALD 技術においても、本研究で提案した PA-ALD を使用することで高品質、高機能半導体薄膜の低温形成が可能であることを示した。この技術は、フレキシブルエレクトロニクスなど新しく幅広い分野に対応し得るものである。

5.2 今後の展望

本研究では、主目的である高性能フレキシブル ZnO TFT の作製は実現された。本研究過程において得られた、次世代ディスプレイを実現するための透明フレキシブルデバイスとしての実用化に向けた、課題と指針を以下に挙げる。

本研究では、その TFT 作製プロセスから、ゲート、ソース、ドレインの各電極材料として金属を使用した。しかしながら、透明フレキシブル ZnO TFT の作製には、本研究で金属を使用した各電極においても、透明電極を使用する必要がある。この透明電極の材料としては、現在は ITO が主流をして使用されているが、レアメタルレスの低環境負荷、低コストが望まれる次世代デバイスにおいては、In フリーの透明電極材料を選択する方がよいと考えられる。近年、ZnO に Al をドーピングすることによ

り抵抗率が低下し、導電膜として使用できることから、太陽電池などの分野で応用が検討されている。この ZnO:Al を ZnO TFT の透明電極として使用することで、レアメタルレス、低コスト材料によるデバイスの形成が可能となると考えられる。さらに、同じ ZnO 系の材料を使用することで、ZnO/電極界面でも良好なコンタクトが得られると考えられることから、更なる高性能化が期待できる。

低温作製 ZnO TFT において、PA-ALD により堆積したアルミナ膜をパッシベーション膜として使用することで、バイアスストレス下での信頼性が改善された。しかしながら、PA-ALD によるアルミナ膜の堆積条件は十分に検討されていない。ALD で堆積した高品質アルミナ膜では、現在一般的に使用されている PE-CVD による SiO₂ 膜を使用する場合と比較して、大気中の水分からの封止にはその膜厚は百～数十分の一まで低減されることが考えられる。現在、TFT のパッシベーション膜厚は約 100~200 nm のものが使用されている。このため、PA-ALD により堆積するアルミナ膜では、ZnO TFT の使用雰囲気における保護膜として数 nm の膜厚でも機能すると考えられる。膜厚をはじめ、その他の堆積条件を詳細に検討することで、信頼性はさらに改善され、ZnO TFT の更なる高性能化につながると考えられる。

本研究において、高性能 ZnO TFT にむけ提案した PA-ALD 法は、新しい薄膜形成手法であるため、更なる特性向上に向けた検討の余地がある。しかしながら、TFT 作製プロセスおよびデバイス構造は、本研究の目標とした次世代ディスプレイへの応用のため、現在ディスプレイの画素駆動素子として一般的に用いられているものである。このため、実用化に求められる既存量産インフラとの整合性を満たしており、将来の実用化が十分に期待できるものである。

研究業績

I. 投稿論文

1. “Comparison between ZnO Films grown by Plasma-Assisted Atomic Layer Deposition using H₂O Plasma and O₂ Plasma as Oxidant”, Yumi Kawamura, Nozomu Hattori, Naomasa Miyatake, and Yukiharu Uraoka, *J. Vac. Sci. Technol. A* 31, 01A142, 2013
2. ”Effects of Gate Insulator on Thin-Film Transistors with ZnO Channel Layer Deposited by Plasma-Assisted Atomic Layer Deposition”, Yumi Kawamura, Masahiro Horita, Yasuaki Ishikawa, and Yukiharu Uraoka, *IEEE J. Display Tech.*, 99, 00844, 2012
3. “Low-Temperature-Processed Zinc Oxide Thin-Film Transistors Fabricated by Plasma-Assisted Atomic Layer Deposition”, Yumi Kawamura, Mai Tani, Nozomu Hattori, Naomasa Miyatake, Masahiro Horita, Yasuaki Ishikawa, and Yukiharu Uraoka, *Jpn. J. Appl. Phys.*, 51, 02BF04, 2012
4. “ZnO Thin Films Fabricated by Plasma-Assisted Atomic Layer Deposition”, Yumi Kawamura, Nozomu Hattori, Naomasa Miyatake, Masahiro Horita and Yukiharu Uraoka, *Jpn. J. Appl. Phys.*, 50, 04DF05, 2011
5. “Effect of post thermal annealing of ZnO-TFTs by atomic layer deposition ”, Yumi Kawamura, Masahiro Horita and Yukiharu Uraoka, *Jpn. J. Appl. Phys.*, 49, 04DF19, 2010
6. Effect of Passivation Layer by Plasma-Assisted Atomic Layer Deposition on Low-Temperature Processed ZnO Thin Film Transistors (in preparation)
7. High-Performance and Flexible ZnO Thin Film Transistors by Plasma-Assisted Atomic Layer Deposition (in preparation)
8. Effects of High Quality Al₂O₃ Films by Plasma-Assisted Atomic Layer Deposition on a-In-Ga-Zn-O TFT Performance (in preparation)

II. Proceedings

1. “Electrical properties of ZnO-TFTs by atomic layer deposition”, Yumi Kawamura, and Yukiharu Uraoka, *Proceedings of 6th Thin Film Materials & Devices Meeting*, 100228074-1, 2010
2. “ZnO Thin Film Transistors fabricated by atomic layer deposition”, Yumi Kawamura, Nozomu Hattori, Naomasa Miyatake, Kazutoshi Murata and Yukiharu Uraoka, *Proceedings of the Fall Meeting of Material Research Society*, Vol. 1201, 1201-H10-27, 2010

III. 学会発表

国際学会

(口頭発表)

1. Yumi Kawamura, and Yukiharu Uraoka, “Effect of post thermal annealing of ZnO-TFTs by atomic layer deposition”, 2009 International Conference on Solid State Device and Materials, J-5-3, Miyagi Japan, Oct. 2009
2. Nozomu Hattori, Kazutoshi Murata, Naomasa Miyatake, Yumi Kawamura, and Yukiharu Uraoka, “ZnO Thin Films Prepared by Plasma-Assisted Atomic Layer Deposition as an Active Channel Layer for Bottom-Gate TFT”, 16th International Display Workshops, FMC1-3, Miyazaki Japan, Dec. 2009
3. Yumi Kawamura, Masahiro Horita and Yukiharu Uraoka, “Highly Reliable ZnO Thin Film Transistor Fabricated by atomic layer deposition”, The 2010 International Meeting for Future of Electron Devices, Kansai, C-4, Osaka Japan, May 2010
4. Yumi Kawamura and Yukiharu Uraoka, “ZnO thin film fabricated by plasma assisted atomic layer deposition”, 2010 International Conference on Solid State Device and Materials, I-5-2, Tokyo Japan, Sep. 2010
5. Yumi Kawamura and Yukiharu Uraoka, “Low Temperature Processed ZnO Thin Film Transistors Fabricated by Plasma Assisted Atomic Layer Deposition”, 7th International Thin-Film Transistor Conference, Materials and Processes 1-2, Cambridge UK, Mar. 2011

6. Yumi Kawamura, Mai Tani, Nozomu Hattori, Naomasa Miyatake, Masahiro Horita, Yasuaki Ishikawa, and Yukiharu Uraoka, “Low Temperature Processed Zinc Oxide Thin Film Transistors by Plasma Assisted Atomic Layer Deposition”, 2011 International Conference on Solid State Device and Materials, A-5-2, Aichi Japan, Sep. 2011

(ポスター発表)

1. Yumi Kawamura, and Yukiharu Uraoka, “Effect of post thermal annealing of ZnO-TFTs by atomic layer deposition”, The 2009 International Meeting for Future of Electron Devices, Kansai, SA-09, Kansai University, May 2009
2. Yumi Kawamura, and Yukiharu Uraoka, “ZnO Thin Film Transistors Fabricated by Atomic Layer Deposition Method”, 2009 MRS Fall Meetings, H10-27, Boston USA, Dec. 2009
3. Yumi Kawamura, and Yukiharu Uraoka, “Electrical Properties of ZnO Thin Film Transistors Fabricated by Atomic Layer Deposition”, 6th International Thin-Film Transistor Conference, Hyogo Japan, Jan. 2010
4. Yumi Kawamura, Nozomu Hattori, Naomasa Miyatake, Kazutoshi Murata, Masahiro Horita and Yukiharu Uraoka, “Electrical Properties of ZnO Thin Film Transistors Fabricated by Atomic Layer Deposition”, A1-7, Las Vegas USA, Sep. 2010
5. Yumi Kawamura, Mai Tani, Masahiro Horita, Yasuaki Ishikawa and Yukiharu Uraoka, “Low Temperature Processed ZnO Thin Film Transistors Fabricated by Plasma Assisted Atomic Layer Deposition”, The 2011 International Meeting for Future of Electron Devices, Kansai, PB-5, Osaka Japan, May 2011

(Best Student Award)

6. Mai Tani, Yumi Kawamura, Masahiro Horita, Yasuaki Ishikawa and Yukiharu Uraoka, “Preparation of ZnO Thin Films by Plasma-Assisted Atomic Layer Deposition for the Application to Thin Film Transistors”, The 2011 International Meeting for Future of Electron Devices, Kansai, PB-6, Osaka Japan, May 2011

7. Yumi Kawamura, Mai Tani, Masahiro Horita, Yasuaki Ishikawa and Yukiharu Uraoka, "Preparation of Zinc Oxide Thin Films by Atomic Layer Deposition for the Application to Thin Film Transistors", International Display Research Conference EuroDisplay 2011, P43, Arcachon France, Sep. 2011
 8. Yumi Kawamura, Li Lu, Koji Yoshitsugu, Mai Tani, Yasuaki Ishikawa and Yukiharu Uraoka, "Effects of Gate Insulator on Thin Film Transistor with ZnO Channel Layer Deposited by Plasma Assisted Atomic Layer Deposition", 8th International Thin-Film Transistor Conference, Lisbon Portugal, Jan. 2012
 9. Yumi Kawamura, Nozomu Hattori, Naomasa Miyatake, Masahiro Horita, Yasuaki Ishikawa and Yukiharu Uraoka, "Comparison between ZnO Films grown by Plasma-Assisted Atomic Layer Deposition using H₂O Plasma or O₂ Plasma as Oxidant", the AVS-ALD 2012 / Baltic-ALD 2012 conference, Dresden Germany, June 2012
 10. Yumi Kawamura, Masahiro Horita, Yasuaki Ishikawa and Yukiharu Uraoka, "Effects of Gate Insulator on Thin Film Transistor with ZnO Channel Layer Deposited by Plasma Assisted Atomic Layer Deposition", The 19th International Workshop on Active-Matrix Flatpanel Displays and Devices, Kyoto Japan, Jul. 2012
- (Best Student Award)**
11. Yumi Kawamura, Masahiro Horita, Yasuaki Ishikawa and Yukiharu Uraoka, "Highly-Reliable and Low-Temperature-Processed ZnO Thin-Film Transistors using Plasma-Assisted Atomic Layer Deposition", The 7th International Workshop on Zinc Oxide and Related Materials, Nice France, Sep. 2012

国内学会

(口頭発表)

1. 川村悠実, 浦岡行治, 矢野裕司, 畑山智亮, 冬木隆 "原子層堆積法 (ALD) による ZnO-TFT における熱処理の効果", 第 56 回応用物理学関係連合講演会, 31p-Zk-3, 茨城, 3 月, 2009 年
2. 川村悠実, 浦岡行治, "原子層堆積法 (ALD) による ZnO-TFT における熱処理の効果", 第 70 回応用物理学学会学術講演会, 11p-J-6, 富山, 9 月, 2009 年

3. 川村悠実, 浦岡行治, “原子層堆積 (ALD) 法による Al_2O_3 および ZnO 薄膜の成膜と薄膜トランジスタへの応用”, 第 57 回応用物理学関係連合講演会, 19a-TM-2, 神奈川, 3 月, 2010 年
4. 川村悠実, 浦岡行治, “プラズマ ALD 法による酸化亜鉛薄膜の形成”, 第 7 回薄膜材料デバイス研究会, 6O03, 奈良, 11 月, 2010 年
5. 谷真衣, 川村悠実, 堀田昌弘, 石河泰明, 浦岡行治, “原子層堆積 (ALD) 法による ZnO 薄膜の形成および薄膜トランジスタへの応用”, 第 58 回応用物理学関係連合講演会, 26-KL-18, 神奈川, 3 月, 2011 年
6. 谷真衣, 川村悠実, 堀田昌弘, 石河泰明, 浦岡行治, “プラズマ ALD 法による ZnO 薄膜の形成および薄膜トランジスタへの応用”, 第 72 回秋季応用物理学学会学術講演会, 1a-N-2, 山形, 9 月, 2011 年
7. 市川和典, 松江将博, 赤松浩, 山崎浩司, 川村悠実, 堀田昌弘, 浦岡行治, “ALD 法により堆積した Al_2O_3 薄膜をコントロール酸化膜に用いた低温 poly-Si TFT フラッシュメモリの特性評価”, 第 59 回応用物理学関係連合講演会, 17p-A6-6, 東京, 3 月, 2012 年

(ポスター発表)

1. 川村悠実, 浦岡行治, “原子層堆積法 (ALD) による ZnO -TFT における熱処理の効果”, 第 6 回薄膜材料デバイス研究会, 2p-35, 京都, 11 月, 2009 年
2. 川村悠実, 谷真衣, 堀田昌弘, 石河泰明, 浦岡行治, “原子層堆積法による酸化亜鉛薄膜トランジスタの低温形成”, 第 8 回薄膜材料デバイス研究会, 4P39, 京都, 11 月, 2011 年
3. 谷真衣, 川村悠実, 堀田昌弘, 石河泰明, 浦岡行治, “プラズマ原子層堆積法により堆積した ZnO 膜をチャンネル層とした薄膜トランジスタの特性における堆積温度依存性”, 第 8 回薄膜材料デバイス研究会, 5P40, 京都, 11 月, 2011 年

4. 川村悠実, 谷真衣, 堀田昌弘, 石河泰明, 浦岡行治, “プラズマ ALD 法による ZnO 薄膜トランジスタの作製および信頼性評価”, 第 59 回応用物理学関係連合講演会, 15p-GP2-13, 東京, 3 月, 2012 年

謝辞

本研究は、多くの方々の御協力を得て行われました。末文ではありますが、皆様に感謝の辞を述べさせていただきます。

本研究の機会を与えていただき、的確なご助言と研究活動に対し多くの時間を割いて直接御指導を頂いた浦岡行治教授に深く感謝いたします。

凝縮系物性学研究室の大門寛教授、微細素子科学講座の冬木隆教授、生体適合性物質科学研究室の安藤剛准教授には、副指導教官として適切なお助言を頂き深く感謝いたします。

実験装置の取り扱いや研究を遂行するための適切な環境整備まで、研究環境全般においてご指導と御協力をいただき、また研究内容に対して有益なご指摘をいただいた堀田昌宏助教、上沼睦典特任助教、および微細素子科学研究室の畑山智亮助教、矢野裕司助教に深く感謝いたします。

本研究に対して、貴重な試料を御提供くださり、ご指導と有益な討論、ご助言をいただきました三井造船株式会社 服部望博士、宮武直正氏、村田和俊氏に厚く御礼申し上げます。

情報機能素子科学研究室秘書の森田由紀子氏には、研究生活全般において、大変お世話になりました。深く感謝いたします。

情報機能素子科学研究室博士後期課程 藤井茉美氏、東條陽介氏、小原孝介氏、および微細素子科学研究室博士後期課程 菅原祐太氏、大鐘章義氏、岩崎吉記氏には、本研究を進めるにあたり有意義な討論を通じた御助言をいただきました。深く感謝いたします。微細素子科学研究室の先輩である入船裕行氏、大城ゆき氏、そして連携講座の機能物性解析科学研究室 山下毅彦氏には研究室での生活や心構えから、研究に関わる知識まで広く御指導いただきました。厚く御礼申し上げます。

同じ研究室で博士前期課程 2年間の研究生活を共に過ごした、情報機能素子科学研究室 小林裕輔氏、一瀬悠里氏、小野寺亮氏、西口眞敬氏、堀祐一氏、微細素子科学研究室 齊藤貴志氏、鈴木啓之氏、および連携講座である機能物性解析科学研究室 日野将志氏、知能物質科学研究室 岡崎翔太氏、メゾスコピック物質科学研究室 小野寺勝也氏には、研究および研究外活動において多くのご助力を頂き、感謝しています。また、共に博士後期課程へ進学した、町田絵美氏、呂莉氏、杉村恵美氏には、5年間の在学期間に渡りお世話になりました。彼らの助けのおかげで、大変有意

義な時間を過ごすことができました。その他、情報機能素子科学研究室の皆様には多くの御協力を頂き感謝しております。

最後に、5年間を通じて精神的な支えであった友人達と、精神的・経済的に支えとなってくれた両親と家族に、心から感謝いたします。