

# 高性能薄膜トランジスタの実用化をめざした 大粒径シリコン薄膜作製手法の研究

平成 24 年 12 月

提出者: 奈良先端科学技術大学院大学  
物質創成科学研究科 博士課程  
情報機能素子科学研究室

平松 雅人

# 目次

第 1 章 序論	4
1-1 はじめに	4
1-2 液晶ディスプレイの現状	4
1-3 液晶ディスプレイ	5
1-4 TFT 駆動アクティブ・マトリクス液晶ディスプレイ	7
1-5 周辺駆動回路の一体化	9
1-6 poly-Si TFT の作製法	10
1-7 poly-Si TFT の応用例	12
1-8 レーザ結晶化 poly-Si TFT の問題点	15
1-9 本研究の概要	16
参考文献	18
第 2 章 poly-Si TFT の現状把握	20
2-1 高性能化への課題	20
2-2 poly-Si 層の電気特性	20
2-3 結晶粒径と TFT 特性・バラツキ評価結果	22
2-4 サイズ依存性(平均での議論)	25
2-5 ヒストグラムによる比較	26
2-6 結晶 Si 内の不純物に関する調査	30
2-7 poly-Si 作製プロセスの比較検討	33
2-8 位相制御エキシマレーザーアニール法の概略	34
第 2 章まとめ	35
参考文献	36
第 3 章 高純度初期膜形成技術	37
3-1 はじめに	37
3-2 高純度膜堆積用チャンバの仕様	37
3-3 プロセス上の施策	42
3-4 堆積実験と堆積膜評価結果	44
第 3 章まとめ	49
参考文献	50
第 4 章 不純物による横方向成長の阻害	51
4-1 横方向成長の確認	51
4-2 炭素・酸素イオン注入後レーザーアニール	54
4-3 注入元素と横方向成長の関係	57
4-4 横方向成長と核生成	60

4-5 横方向成長距離延伸のための試料構造 .....	61
第4章まとめ .....	68
参考文献 .....	69
第5章 横方向成長をさらに促進する試料構造の検討 .....	70
5-1 キャップ層の光学的・熱的效果 .....	70
5-2 試料厚み方向(一次元)の過渡温度分布 .....	70
5-3 成長時間の延伸策 .....	73
5-4 結晶化実験結果 .....	75
5-5 光吸収キャップ膜を用いた結晶化の応用 .....	77
第5章まとめ .....	82
参考文献 .....	83
第6章 結論 .....	84
謝辞 .....	86
研究業績 .....	87
補足 .....	90

# 第1章 序論

## 1-1 はじめに

本章では、研究の背景を述べる。また、多結晶シリコン(poly-Si)薄膜トランジスタ(TFT)のさらなる高性能化を検討することが、学術的のみならず産業的にも重要であることを示す。

## 1-2 液晶ディスプレイの現状

フラットパネルディスプレイの中でも液晶ディスプレイは表示能力と表示品質が急速に向上し、フルカラー化や大画面化などといった多用化する要求と用途に対応する準備が着実に始まっている。特に、TFT方式のカラーパネルはブラウン管ディスプレイに代わる高精細・大画面ディスプレイの候補として製品化が進んでいる[1][2]。

現在の情報社会(いわゆるIT社会)が、半導体デバイスとそれを用いたLSI、ハードディスクに代表されるようなストレージデバイスや、バッテリーを含む電力の安定供給の進歩により実現されていることは周知の事実である。しかし、情報処理能力が向上すると、オペレーションを行なう人間とのやりとりが問題となってくる。情報量の多い画像情報を扱うディスプレイは、最も重要な「マン・マシン・インターフェース」であることは言うまでもない。

従来、ディスプレイは陰極線管(Cathode Ray Tube: CRT すなわちブラウン管)が主流であった。CRTは高エネルギー電子を蛍光板に当てる事により発光するディスプレイで、高輝度・高精細・多色などといった高画質性に最大の特徴を有し、家庭用テレビやコンピュータ端末などは完全にCRTの独壇場であった。ところが、ニーズの多用化が進み、さらなる大画面化・高画質化・小型化の要求が増えてきた。これに対し、CRTはブラウン管自体が巨大で重くかつ電力消費が大きいため、これらニーズに対応する事は非常に難しい。例えば、図1-1に挙げるように[3][4]、東芝の36インチブラウン管の最終製品である36DX100は重量76.7kg、それに対して消費電力が同じ程度の最新型液晶テレビは画面サイズが55インチ(55ZG2)であり、重量は25kgである。

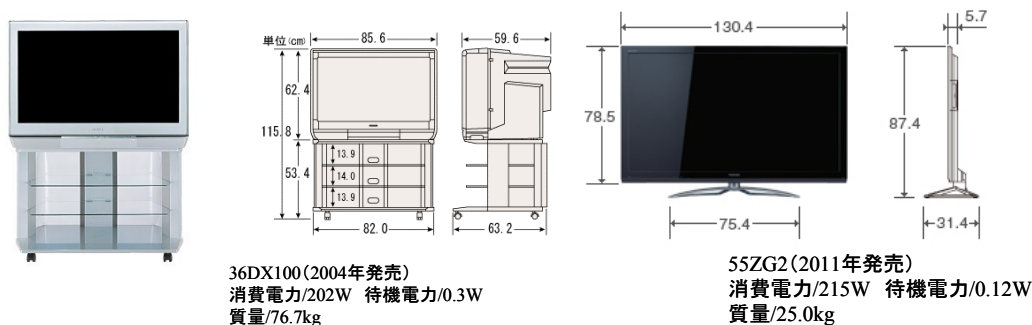


図 1-1 CRT と液晶ディスプレイの比較(東芝ホームページより)

現在、CRT を用いていた製品はほとんどが液晶への置き換えが進んでおり、大画面テレビやパソコンのディスプレイ、デジタルサイネージ(駅などにある広告ディスプレイ)、カーナビゲーション用ディスプレイや航空機・計測機などのパネルは、ほとんどが液晶ディスプレイとなった。また、携帯電話をはじめとする情報端末や携帯音楽プレイヤーなど、液晶ディスプレイのような薄型表示装置でなくては商品そのものが成り立たない種類の製品も、多数世の中に登場してきている。

### 1-3 液晶ディスプレイ

液晶とは、1888 年にオーストリアの植物学者ライニツァーによって発見された液体と固体の間にある物質の状態(例えばイカ墨、石鹼水など)を指す言葉である[6]。1963 年に RCA 社のウィリアムズが電氣的な刺激を与えると、光の通し方が変わる事を発見し、5 年後に同社のハイルマイヤーらのグループがこの性質を応用した表示装置を作る事に成功した。これが液晶ディスプレイの始まりである。

液晶物質のほとんどは、細長い棒状の分子からなる有機化合物で、自然状態では分子がゆるやかな規則性を持って並んでいる。一定方向の溝を刻んだ下地基板に液晶分子を接触させると、溝にそって並び方を変える性質を持っている。そこで、溝の向きを  $90^\circ$  変えた 2 枚の配向板で液晶を挟むと、液晶分子は  $90^\circ$  ねじれて配列する。このような液晶をツイステッド・ネマティック(TN)型液晶と呼ぶ。液晶には、外部から入射した光は液晶分子の並ぶ隙間に沿って進むという光学的な性質があるため、TN 型液晶では光が  $90^\circ$  ねじれて通る。ところが、ねじれた液晶に電圧を印加すると簡単に分子の並びを変え、電界に沿って垂直方向に並び変えてしまう。従って、電圧印加された TN 液晶では光はねじれることなく直進する。そこで、配向板と同一の向きに偏光面を持つ偏光板を配向板と併せてそれぞれ組み合わせれば、液晶の持つ以上の電氣的・光学的性質を利用することにより、光の透過・遮断を実現できる。図 1-2 に示すように光のオンオフを電圧のオンオフで制御可能となる[7]。

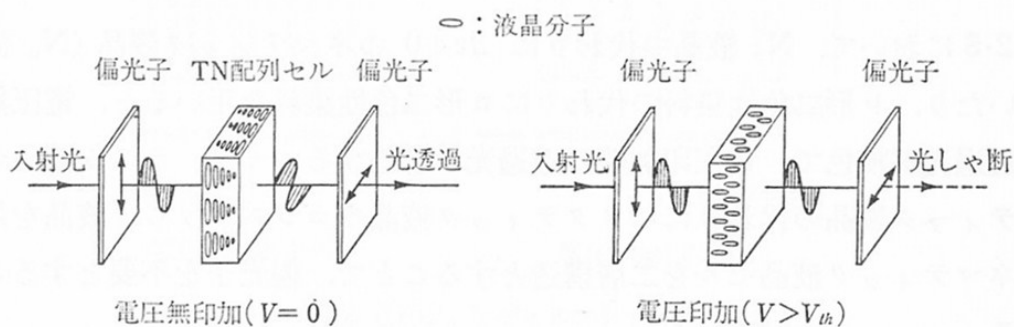


図 1-2 TN 型ディスプレイ方式の原理      松本正一 電子ディスプレイデバイス p.37

上記の様に、液晶ディスプレイは極めて単純な構造であるため、軽量化・小型化から逆に大画面化などへの適応性に優れ、フラットパネルディスプレイとして一躍注目されている。また、液晶ディスプレイそのものが発光するわけではなく、液晶の持つしきい電圧及び固有抵抗もそれぞれ 2V 前後、 $10^{10} \Omega \text{ cm}$  なので、低電圧・低消費電力駆動が可能である。

液晶ディスプレイには本質的に CRT に勝る長所を持っているが、CRT を凌駕するためには CRT を超える高画質を実現しなければならない。液晶ディスプレイにおいて、画質を決定する要素は液晶材料の電氣的・光学的特性と言えるが、残念ながら液晶材料のスイッチング特性は一般的に悪い。入力電圧に対する光透過率の関係の例を図 1-3 に示す [8]。

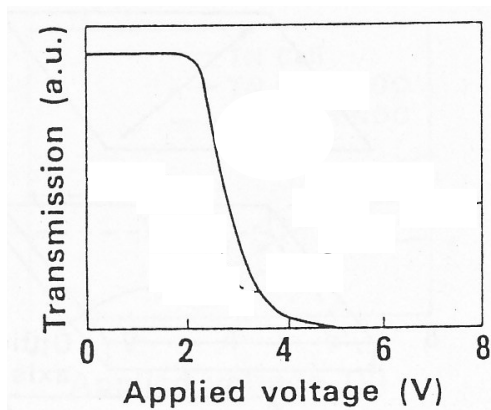


図1-3 液晶の電圧-透過率曲線の例

久武ら: 電子情報通信学会論文誌

J76-C-2(5), 322-328(1993) より

オンオフ遷移が急峻ではなく、特に高電圧側ではなだらかに変化するため、透過率が 0 となる電圧が定義しにくい。そのため、どうしても暗状態を実現するのがむずかしい。したがって、この状態では明状態と暗状態の透過光量の比率で表されるコントラスト比が大きくなるため、見栄えのよいディスプレイは構成できない。そこで、液晶への電圧印加を他の能動(アクティブ)素子により完全に行なう方法が考えられた。例えば、液晶と直列にスイッチング素子を挿入した場合を考える(図 1-4)。

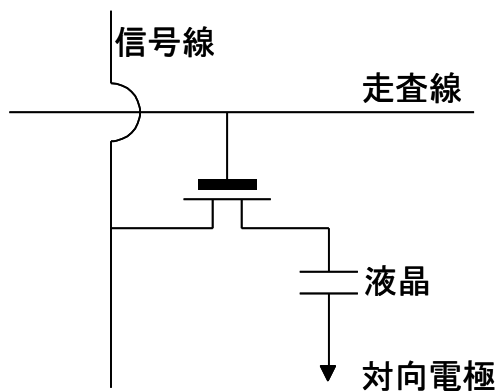


図1-4 TFT素子を用いた回路構成の例

スイッチング素子のオンオフ特性が完全であれば、オフ状態では液晶に電圧は印加されず、コントラスト比が格段に向上する。一般に、このようなアクティブ素子には 3 端子素子であるトランジスタが用いられる。トランジスタには金属-絶縁膜-半導体(MIS)電界効果トランジスタ(FET)が一般に用いられる。これらの素子はガラス基板上に堆積された薄膜を用いて作製されるため薄膜トランジスタ(TFT)と呼ばれている。

TFT では LSI におけるダイナミック・ランダム・アクセス・メモリ(DRAM)と同様な構成を取る。つまり、TFT の入力にオンオフ信号を印加し、出力側に容量成分である液晶を配置して液晶に印加する電圧を入力と独立に制御する。このため、極めて急峻な入出力特性が得られる。TFT で駆動する“アクティブマトリクス液晶ディスプレイ(AM-LCD)は画質的にも CRT に匹敵し、現在液晶ディスプレイと言えれば TFT を用いた AM-LCD を指すことが多い。

### 1-4 TFT 駆動アクティブ・マトリクス液晶ディスプレイ

TFT 駆動液晶ディスプレイのブロック図を図 1-5 に示す[7]。

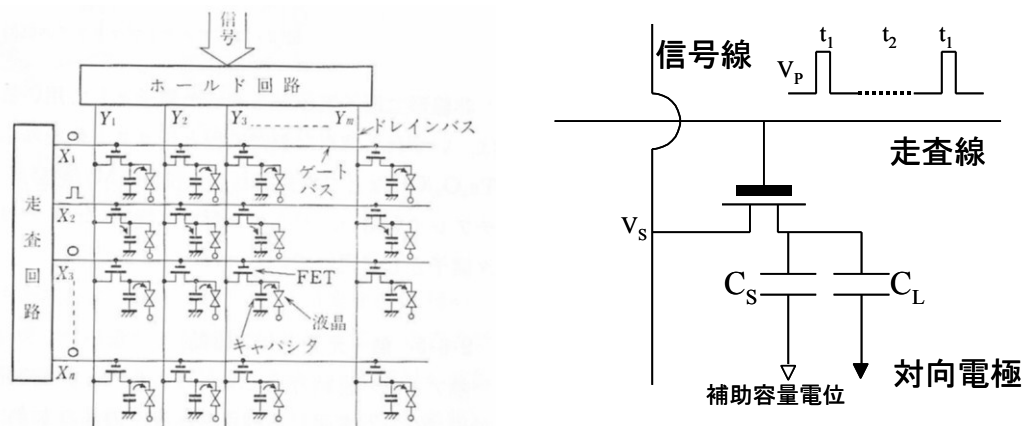


図 1-5 TFT 駆動 AMLCD の回路図 左：トランジスタアレイ 右：一画素の回路  
松本正一：電子ディスプレイデバイス (オーム社) p.61

ガラス基板上に走査線電極と信号線電極が格子状に貼り巡らされ、その交差点に TFT が 1 つずつ配置される。そして、TFT のソース側を液晶セルに、ドレイン側を信号線に、ゲートを走査線に結線している。液晶材料の容量が小さいので補助容量を並列に挿入し

て、電圧保持特性を向上させる場合が多い。液晶セルの片側は共通電極に結線する。液晶は直流成分に対し非常に弱く、直流電圧印加がフリッカ[9]や焼きつき[10]の要因となるため、共通電極には一定の電圧を印加し続け、信号電圧を1周期ごとに正負反転させて液晶セルに直流成分が印加されないようにする[11]。

ここで液晶セル駆動用の TFT に要求される性能を検討する。まず、走査線が選択され信号電圧  $V_s$  が印加されている時間を  $t_1$  とする。この時液晶容量  $C_L$  及び補助容量  $C_S$  を充電する TFT のオン電流は  $V_s \times (C_L + C_S) / t_1$  よりはるかに大きくなければならない。また、非走査期間  $t_2$  には TFT がオフ状態になり  $C_L$  及び  $C_S$  に充電された電荷が消失する事無く充分保持されなければならない。つまり TFT のオフ状態の洩れ電流は  $(C_L + C_S) \times (V_s - V_p) / t_2$  よりも十分に小さくなければならない。ここで  $V_p$  は走査線に加わるパルス電圧の振幅である。従って、TFT には急峻なオンオフ遷移とともに、高オン電流および低オフ電流、つまり高オン/オフ電流比が必要となる。

TFT は一種の FET と考えられるので、活性層を形成する半導体材料が電気的特性の大部分を決定する。一般に LSI では単結晶シリコンを用いるが、ガラス基板上に単結晶シリコンを形成するのは容易ではない。そこで、250°C 程度のガラス耐熱温度以下の低温で容易に堆積が行なえるアモルファスシリコン(a-Si)が用いられている。さらに、ゲート絶縁膜としてはやはり低温で形成可能な窒化シリコン膜(SiN)、酸化シリコン膜(SiO<sub>2</sub>)などが用いられる。a-Si TFT は電子移動度こそ 0.5 cm<sup>2</sup>/Vsec 程度と低いものの、オフ抵抗が 10<sup>13</sup> Ω 以上と極めて高抵抗であるため、上記の条件を十分に満足し、現在発売されている 10 インチ級以上の液晶ディスプレイのほとんどに a-Si TFT が用いられている。また a-Si 膜は現在のところ大面積に均一に堆積が可能な唯一の材料であるため、今後の大画面高精細液晶ディスプレイにおいてもその使用は続くものと思われる。ところが、逆に携帯情報端末やビューファインダのような小型のディスプレイでは、できるだけ小さいパネルに多くの画素を集積させて解像度を高める必要がある。TFT は画面上では光を常時遮断するデッドスペースであるため、開口率(一画素分の面積に対して光の透過する面積の割合)を向上させるためには、TFT の寸法をできるだけ小さくする必要がある。最小寸法はリソグラフィ装置の解像度により決定されるが、画素のレイアウトだけを考えるのであれば TFT のチャンネルサイズ(チャンネル長  $L$  とチャンネル幅  $W$ )をこの最小寸法まで小さくする事が原理上可能である。ところが、TFT のオン電流は  $W/L$  比と移動度で決定されるため、低移動度の a-Si TFT ではむやみに  $W/L$  比を小さくする事ができない。そこで、a-Si よりも高移動度の半導体材料を用いる必要がある。

単結晶シリコンは 1000 cm<sup>2</sup>/Vsec の高移動度を有する。しかしガラス基板などの非晶質材料上に完全単結晶をエピタキシャル成長することは事実上不可能であるため、使用することが出来ない。多結晶シリコン(poly-Si)は、a-Si と単結晶シリコンの中間に位置する結晶粒の集合した材料である。微視的に見ると単結晶であるが、結晶粒間で結晶の結合が切れて結晶方位がずれている結晶性材料であるので結晶 Si よりも低移動度ではあるが、a-Si よりも高移動度(5~100 cm<sup>2</sup>/Vsec)を示し TFT の高性能化が期待できる[12]。しかし、poly-Si を形成するためには従来 600°C 程度の高温が必要とされていたため、ガラ



ス基板を使用できず高価な石英基板を用いざるを得なかった[13]。そのため。投影型ディスプレイやビューファインダなどの像を拡大して見ることを前提とするような非常に小型のディスプレイへの利用を除けば、ディスプレイには不向きとされていた。

## 1-5 周辺駆動回路の一体化

高移動度 TFT には同一基板上に画素とドライバ回路を一体化できるというもう一つの利点がある。一般の a-Si TFT 駆動液晶ディスプレイでは、図 1-6 のように走査電極と信号電極にビデオ信号を送るための周辺駆動回路用 LSI は表示エリア外に配置し、Tape Automated Bonding (TAB) 実装などで接続している。

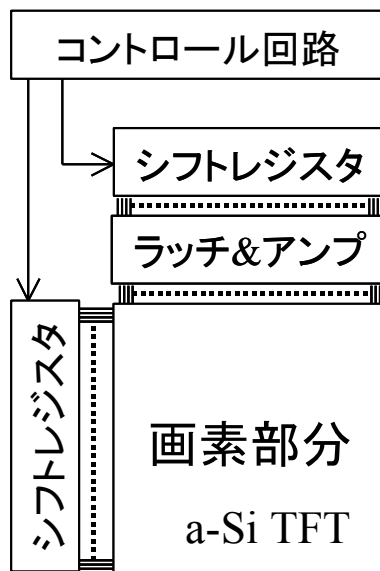


図1-6 TFT駆動AMLCDのブロック図

鈴木幸治ら:テレビジョン学会誌 40(10), 974-979(1983)

周辺駆動回路はシリアルなビデオ信号をパラレルに変換するシフトレジスタ、信号を一時蓄えておくラッチ回路、アドレス入力のマルチプレクスを行なうマルチプレクサなどからなる。シフトレジスタ以前は数 10MHz の高周波画像信号が伝播する。信号としては走査線用信号・信号線用信号・クロック信号からなる。これらは高周波信号ではあるが信号線数は少ないので LSI によるコントロール回路で信号処理を行なう事はさして困難ではない。ところが、シフトレジスタ以降は信号線本数が膨大な数になるため、これら周辺駆動回路と液晶パネルとの結線が問題となる。対角 10 インチサイズのカラー液晶パネルを例に検討する。640×480 画素を仮定すると各配線の間隔はおよそ 100 $\mu$ m となり、TAB 技術等の実装技術で一応対応可能である。しかし、ハイビジョン規格では 1920×1080 画素と、配線間隔は約 40 $\mu$ m となる。携帯端末などの小型ディスプレイではパネルサイズがさらに小さくなるため、配線間隔は 10-20 $\mu$ m 程度となる。表示部分のサイズに対して周辺エリア(額縁といわれている)のサイズを大きくしにくい携帯端末では、画素ピッチがすなわち IC の電極ピッチになるが、このようなピッチの IC を実装することは困難であり、高コストを招く。

この問題を解決する唯一の方法は、少なくとも狭ピッチが必要な周辺駆動回路を液晶パネル上に一体化することである。つまり、周辺駆動回路を構成するシリコン LSI をガラス基板上に形成すれば良い。しかし、ガラス基板上に単結晶シリコンを形成する事は現状では難しい。また a-Si TFT は低移動度であるため、通常のトランジスタ構造では駆動回路を構成する事は出来ない。これに対して、poly-Si TFT は a-Si TFT よりも高移動度なので、もともと電流駆動能力が高く、周辺駆動回路を構成することができる。

## 1-6 poly-Si TFT の作製法

poly-Si TFT は、世界最初のアクティブ・マトリクス技術として 1984 年に実用化された。その特徴は、

- (1)結晶 Si-FET と同じ構造とすることでセルフアライメントが容易に実現でき、ゲート・ソース容量・ゲート・ドレイン容量などの寄生容量を低減できる。
- (2)相補的 MOS (CMOS) 構成が可能で、低消費電力かつ高安定な駆動回路動作が可能である。
- (3)a-Si TFT に比べて高移動度であり、高速動作が可能である。
- (4)a-Si 膜と異なり SW (Staebler-Wronski) 効果 [14] が無く、光に安定である。

などである。しかし前述のように、一般に poly-Si 膜形成には高温プロセスが必要であるという問題があり、現在まで a-Si TFT の陰に隠れた存在であった。しかし、上記の様な高移動度 TFT 実現の要請が高まり、低温で poly-Si を形成する技術が精力的に研究され始めた。現在までに低温で poly-Si 膜を作製する方法が幾つか報告されている。これらは主に低温化学気相成長 (CVD)、低温堆積膜の長時間熱アニール、低温堆積膜のレーザアニリングの 3 つに大別される。

### (a)低温 CVD

600°C 程度の温度で、シラン系ガスを熱分解することで poly-Si 膜が形成可能である。これは、LSI でゲート電極として用いている poly-Si 膜を堆積するとき用いられているプロセスと同じである [15]。しかし、低温での成膜を行なうと a-Si になってしまう。これに対して、フッ素系シランガスと水素の組み合わせによるプラズマ CVD により 400°C 以下の低温で poly-Si 膜が形成可能である [16]。

### (b)低温堆積膜の長時間熱アニール

600°C 以下で形成したシリコン薄膜を 600°C 程度で 20 時間から 30 時間熱アニールすることで、結晶粒径が数  $\mu\text{m}$  の良好な poly-Si が形成できる [17]。一般に石英基板上に形成される poly-Si はこの方法によって作製されるが、アニール時間が非常に長いため、スループットに問題がある。結晶化を促進する働きをする触媒金属 (Ni, Co など) を用いることにより、時間短縮・低温化を目指す報告もある [18]。

### (c)低温堆積膜のレーザアニール

レーザアニール技術は、不純物イオンの低温活性化技術として研究されてきた。ディスプレイ用 poly-Si を対象に研究が始められたのは比較的最近である。例えば、アルゴンレーザを用いて Silicon on Insulator (SOI) 技術を用いて石英基板上に高移動度 (150~450

cm<sup>2</sup>/Vsec)の TFT を試作した例がある[19]。その後、低耐熱性ガラス基板上でも低温形成 a-Si 膜をレーザアニールすることで 100 cm<sup>2</sup>/Vsec 程度の移動度をもつ poly-Si 膜が作製可能であることが報告され、注目されるようになった[20][21]。

レーザアニールに用いられるレーザ光には、100 nm 程度の膜厚の薄膜シリコンに充分吸収される波長を有する事とシリコン薄膜を十分に加熱溶融するエネルギー密度を備えている事が必要とされる。このため、Continuous Wave(CW)アルゴンレーザ及びエキシマレーザが用いられる。特に、短波長・短パルス・大出力のエキシマレーザはその波長帯域が 350nm-200nm (3.5-6eV)程度であり、レーザ光の持つ光エネルギーがシリコンの禁制帯幅(1.1~1.6 eV)に比べて大きいため、この波長のレーザ光に対するシリコンの吸収係数が図 1-7 の様に極めて大きい[22]。

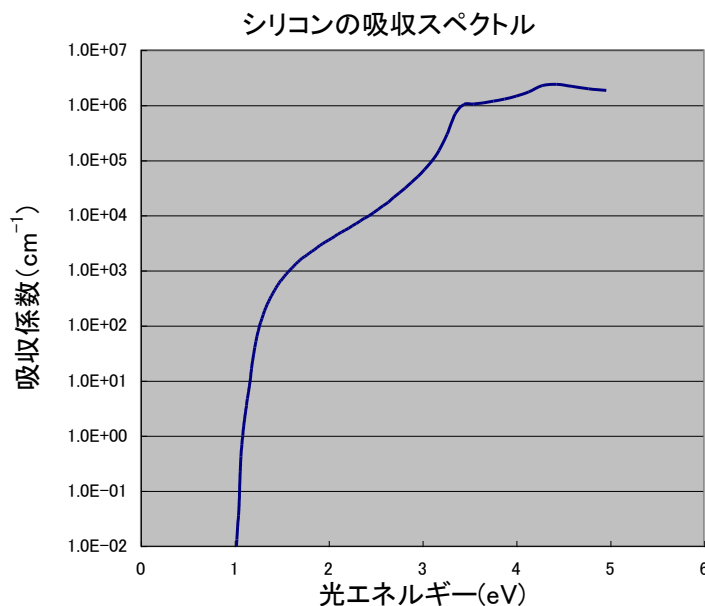


図 1-7 Si の光吸収スペクトル

Green, M. A. et al.: Prog. in Photovol.: Res. and Appl., 3-3, p.189(1995)

従って、レーザ光はシリコン表面でのみ吸収され、数十 ns と極めて短パルスであることもあり、薄膜シリコンでも下地のガラス基板に熱的悪影響を与えることなく選択的に溶融再結晶化することが可能である。

また、一旦シリコン膜を完全に溶融させるため固化後の結晶性が良く、結晶粒径こそ数百 nm であるが、100 cm<sup>2</sup>/Vsec 程度の移動度が得られる。近年、レーザ光のスポットサイズが数十 cm × 数 100 μm と大きいものも作製されており、短辺方向に走査することにより、装置タクトを短くすることが可能となっている。また、光学系の工夫により、エネルギーの面内分布も小さくなってきていることもあり、poly-Si TFT は、かなりの割合でこのレーザアニール法を用いて作製されているといっても良い。

poly-Si の電気的特性で最も問題となる点は、a-Si に比べて暗電流が高いことである[23]。従って、MOSFET と同様にソース・ドレイン電極部にオフ電流を抑える高濃度領域を設けて、逆バイアス時に pn 接合で少数キャリアのブロッキングを行なっているが、poly-Si

TFT の場合、結晶粒界に多数存在する未結合手(ダングリングボンド)が禁制帯中に発生し再結合中心を作るため、逆バイアス状態にブロッキング特性が不完全となり a-Si TFT に比べて2桁以上オフ電流が高くなってしまふ。そのためそのままでは poly-Si TFT を液晶マトリクスセルのスイッチング素子に用いることは非常に難しい。そのため、画素部分の TFT は、オン電流を多少犠牲にするが、ドレイン端を Lightly-Doped Drain(LDD)構造とした上、ゲートを複数本直列に並べ、ドレイン電圧を分割することによりオフ電流の低減を行っている。これに対して、シフトレジスタなどの周辺回路では CMOS 構成を採用することでオン電流を確保した上でオフ電流の問題を低減することができる。

## 1-7 poly-Si TFT の応用例

poly-Si TFT を用いて作製された商品の例を以下に示す。いずれのディスプレイも、poly-Si 膜はレーザアニリング法を用いて作製されている。

### 1-7-1 初の poly-Si TFTLCD 搭載ノート PC

SONY 製 B5 ファイルサイズノートブック型 PC“VAIO(バイオ)”『PCG-505RX』[24]



図 1-8 VAIO PCG-505RX(著者所有)

図 1-8 は VAIO PCG-505RX の鳥瞰図である。本製品のプレスリリースは 1998 年 9 月 17 日(SONY HP より)。当時 10 インチクラスのモニタを具備したノート PC では  $800 \times 640$  ピクセル(SVGA)であったが、 $1024 \times 768$  ドット(XGA)の精細度を達成[25]。この機種以降、B5 ファイルサイズのノート PC では XGA が標準となる。画素サイズはおおよそ  $203 \mu\text{m}$  角のため、1 絵素(RGB それぞれ)は  $68 \mu\text{m} \times 203 \mu\text{m}$  となる。当時の技術で  $80 \mu\text{m}$  を切るピッチでの TAB 実装はむずかしく、poly-Si TFT ならではの製品であった。発売当初の価格は 35 万円前後であり、同機種で SVGA 品が 30 万円前後であったことより、高付加価値が認められた価格設定と考えられる。

## 1-7-2 全駆動回路一体型携帯電話モニタ

PANASONIC 製 W-CDMA 通信方式の携帯電話端末 705P (SOFTBANK)

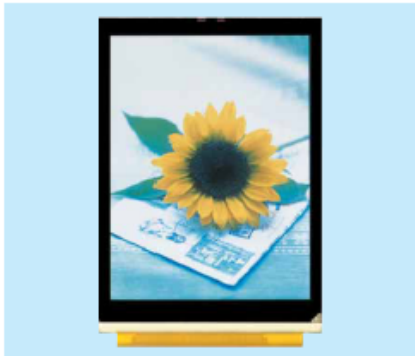


図 1-9 SOFTBANK 705P (著者所有)

図 1-9 は 705P の鳥瞰図である。リリースは 2006 年秋。画素数は  $320 \times 240$  ピクセル (QVGA) であり、当時はまだ Quarter Common Intermediate Format (QCIF:  $176 \times 144$  ピクセル) が主流であったことから、やはりより高い精細度のディスプレイであった。液晶ディスプレイの周辺回路部にコントロール回路・ラッチ・シフトレジスタなど、表示に必要な回路を poly-Si TFT で画素トランジスタと同時形成した初めての商品である [26]。poly-Si TFT を用いると周辺駆動回路まですべて同時に形成が可能であるという特長を主張し続けてきた技術者としては目標の一部が達成できた画期的な商品である。周辺回路に必要な LSI チップが不要になることからコストダウンが可能であると意図されて開発されたが、実際の長所は、実装部品がないことによる耐衝撃性の向上であり、本来の目的でないところで好評であった。



● 携帯電話用 2.2 型 駆動システム一体型 p-Si TFT-LCD



駆動システム一体型 p-Si TFT-LCD  
Low-temperature polycrystalline silicon (LTPS) TFT-LCD with fully integrated circuitry

低温ポリシリコン (p-Si) 技術を用いて、LCD の駆動に必要な回路機能をガラス基板上に集積した、SOG LCD を開発した。

高性能な低温 p-Si 薄膜トランジスタ (TFT) 技術を用い、6 ビット階調 26 万色表示が可能なアナログ回路 (デジタル/アナログ変換及び増幅) や走査線を駆動するドライバ回路に加え、ドライバ回路用の電源回路と、これらの回路を制御するコントロール回路などの表示駆動に必要な回路機能をガラス基板上に集積した。これにより、半導体部品点数の削減と組立ての簡便化ができ、外部回路基板も小型・軽量化を実現した。

図 1-10 705P のパネル解説

東芝レビュー 2006.03 p.62

### 1-7-3 高精細スマートフォン

Apple 社製 携帯情報端末 iPhone4 (SOFTBANK)



図 1-11 SOFTBANK iPhone4(著者所有)

図 1-11 は iPhone4 の外観図である。リリースは 2010 年 6 月。対角 3.5 インチで 960 × 640 ピクセル。一画素サイズは 20 μm 角となり、これも poly-Si TFT のみが可能であるスペックである。前の機種である iPhone3G と比較して画素サイズが 1/2 となっている。

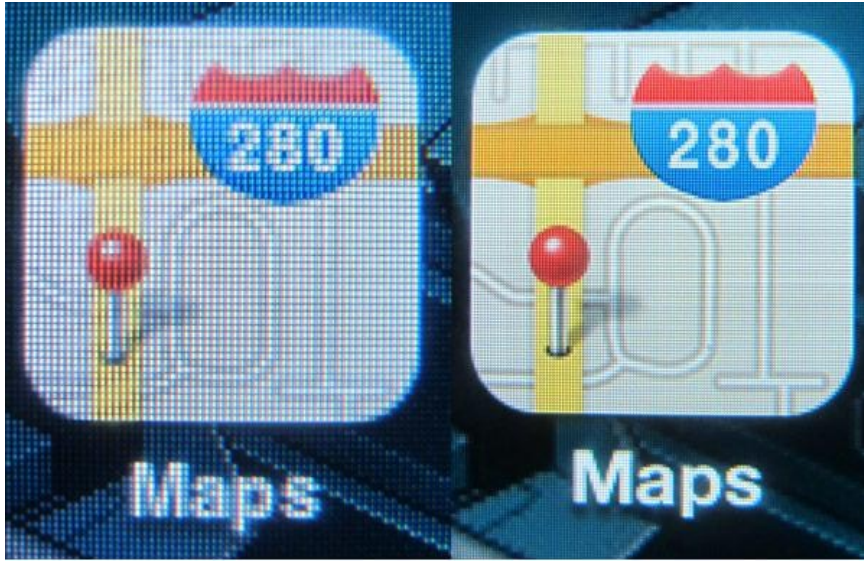


図 1-12 表示部アイコンの解像度 左：iPhone3G 右：iPhone4 [27]

### 1-8 レーザ結晶化 poly-Si TFT の問題点

poly-Si TFT は、図 1-13 のように結晶 Si-MOSFET の分野における SOI デバイスと同じ構造を有している。すなわち、絶縁層上に活性層である poly-Si 層が SOI デバイスにおける結晶 Si 層に代わりに設置され、部分的に開口されたゲート絶縁膜、チャネル領域の上部にゲート絶縁膜と相対して設置されたゲート電極、チャネル領域のゲートエリアを挟んだ両端に、絶縁膜開口部を通して接触するソース・ドレイン電極、これらの電極を分離するための層間絶縁膜などが設置されている。

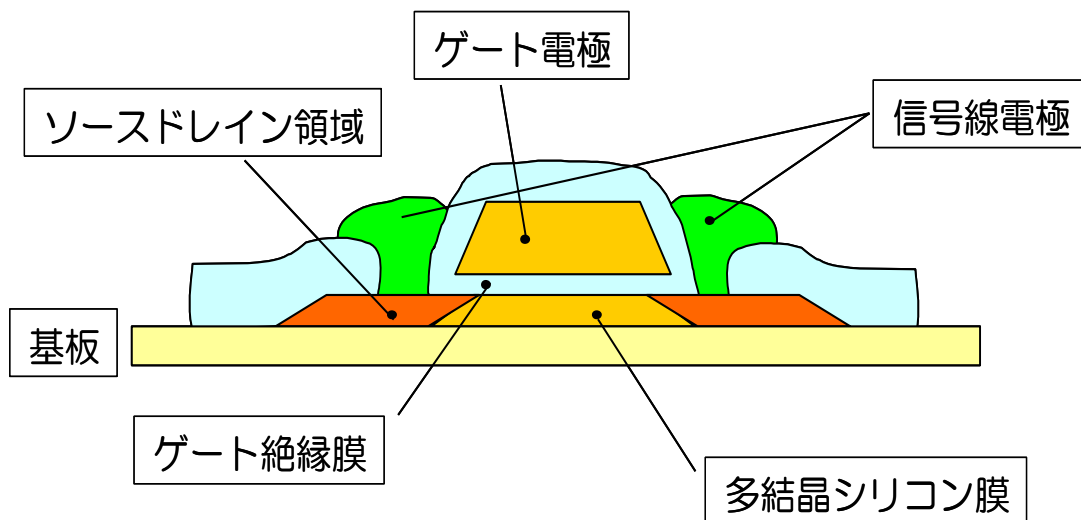


図 1-13 poly-Si TFT の断面構造

簡便なプロセスチェックなどで、層間絶縁膜を省略した構造をとることもあるが、通常は

TFT サイズを小さくする要請があり、また配線レイアウトの自由度を確保する理由などから、通常は層間絶縁膜が設置されている。poly-Si 層とソース・ドレイン電極とでオーミックコンタクトを得るために、コンタクト部分の poly-Si 層周辺は不純物のドーピングがもっぱら行われている。SOI 構造を含めた結晶 Si デバイスの場合、ドーパントはリン(P)・砒素(As)・ホウ素(B)などが用いられるが、poly-Si TFT においては、リン・ホウ素が用いられる。

この poly-Si TFT は Si-MOSFET と同じ構造を有していることで、poly-Si TFT の特性向上も結晶 Si-MOSFET と同じ手法を用いることが可能と考えてよい。現在、量産されているディスプレイに用いられている poly-Si TFT のサイズはゲート幅  $W$ /ゲート長  $L$  が  $10\ \mu\text{m}/5\ \mu\text{m}$  程度であり、一部  $L=3\ \mu\text{m}$  となっている。「トランジスタの特性向上」を「しきい電圧の低下」「オン電流の向上」と定義すると、Si-MOSFET における縮小則をそのまま適用し、さらなる特性向上が期待できる。

また、poly-Si TFT はディスプレイの画素部分のスイッチング素子のみならず、そのスイッチング素子を駆動するために外周部に設置された駆動回路部分にも利用可能である。駆動回路部分に適用することにより、通常は実装技術により貼り付けられている IC チップの代替機能を担うことが可能となる。特性向上を目的に、縮小則を適用して TFT サイズが小さくなると、TFT 特性の向上以外にも、外周に設置された回路エリアも小さく作ることが可能となるため、配線長の縮小による配線部分の電力ロスの低減や、外周部分の面積低減によるディスプレイ全体のサイズ低減に役に立つなど、いくつもの利点がある。特性向上を目指すには、チャンネル層の特性向上を実現する必要がある。

しかしながら、そもそも均一な結晶 Si 表面で成立する縮小則を、結晶粒界が存在する poly-Si TFT に適用可能であろうか。結晶粒サイズが無視できないくらいトランジスタサイズが小さくなってきた場合にも縮小則が適用できるのであろうか。もし適用が難しければ、特性向上の方法はあるのであろうか。poly-Si TFT の特性向上のためにはこの点の検討が非常に重要と考える。

## 1-9 本研究の概要

本論文の構成を示す。

以下簡単に各章の内容を説明する。

本論文は 6 章より構成されている。

第 1 章「序論」において、研究の背景と問題提起、本研究の目的・意義を明らかにしている。

第 2 章「poly-Si TFT の現状把握」では、poly-Si TFT を、より高性能とするための課題と解決方向を、量産化を視野に入れながら検討した。電気特性に影響を及ぼす部分のうち、poly-Si 膜についての検討を行なった。現状の poly-Si 膜を用いている限り、縮小則を用いたトランジスタの高性能化は、特性ばらつきの増大につながることから、トランジスタサイズよりも大きな結晶粒作製の必要性を示した。また、Si 中の不純物により電気特性が劣化することを既報告から調査し、不純物濃度の低い Si 膜の必要性を示した。



第3章「高純度初期膜形成技術」では、2章で必要とされた不純物濃度の低いSi膜を得るためにSi膜の高純度化を実現するためのCVD装置を作製し、その評価結果を示している。装置設計の出発点は、研究において用いられている高純度成膜装置ではなく、現在の主流であるTFT-LCD用大型基板への成膜装置であり、高純度化につながる工夫を導入し、低不純物濃度のSi膜が得られることを示している。

第4章「不純物による横方向成長の阻害」では、3章で得られた初期膜に関して、外部から不純物を導入し、レーザーアニールによって大粒径化を行なう際の影響について検討した。その結果、炭素・窒素の影響が大きく、これらの元素を初期膜から低減させることが、大粒径化を実現するための条件の一つとなることを示した。

第5章「横方向成長をさらに促進する試料構造の検討」では、高純度初期膜・理想的なレーザー光の光強度分布・効果的な試料構造を実験結果評価やシミュレーションの結果から決定し、9μmを越える横方向成長が実現できたことを示している。

第6章「結論」では本研究で得られた成果を示している。全体像を図1-14に示す。

## 本論文の構成

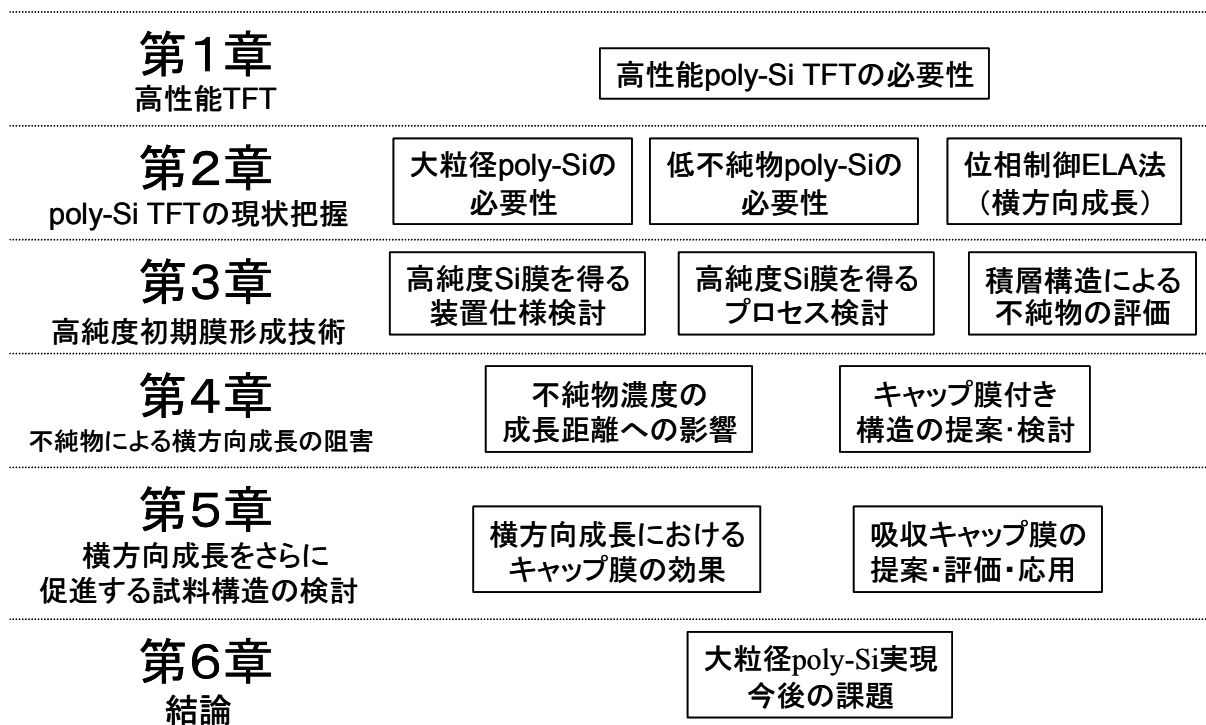


図 1-14 本論文の構成と各章の内容

## 参考文献

- [1] 鈴木幸治、青木寿男、池田光志、樋口豊喜、秋山政彦、堂城政幸、新山貴子、小穴保久:テレビジョン学会誌 40(10), 974-979(1983)
- [2] Ichikawa, K., Suzuki, S., Machino, H., Aoki, T., Higuchi, T. and Oana, Y.: SID' 89 Digest, p.226 (1989)
- [3] 東芝 HP より
- [4] 東芝 HP より
- [5] 例えば Flat Panel Display 2011
- [6] Reinitzer, F.: Z. physik. Chem., 4, p.462 (1889)
- [7] 松本正一:電子ディスプレイデバイス(オーム社)(1984年)
- [8] 久武 雄三、平田 純子、石川 正仁、山本 富章、羽藤 仁:電子情報通信学会論文誌. C-II, エレクトロニクス, II-電子素子・応用 J76-C-2(5), 322-328(1993)
- [9] 武貞 肇、丸下 裕、片岸 達男:テレビジョン学会誌 40(10), 967-973(1986)
- [10] 南野 裕、美濃 美子、武田 悦矢:テレビジョン学会技術報告 14(30), 15-20(1990)
- [11] Nanno, Y., Mino, Y., Takeda, E. and Nagata, S.: SID' 86 Digest, p.404 (1986)
- [12] Kamins, T.I.: J. Appl. Phys. 46 p.4357 (1971)
- [13] Hayashi, H., Noguchi, T. and Ohshima, T.: Jpn. J. Appl. Phys. 23 p.L819 (1984)
- [14] Staebler, D.L. and Wronski, C.R.: Appl. Phys. Lett. 311 p.292 (1977)
- [15] Morozumi, S., Araki, R., Ohshima, H., Matsuo, M., Nakazawa, T. and Seto, T.: Japan Display ' 86 p.196(1986)
- [16] 毛利 幹雄、柿沼 弘明、鶴岡 泰治:電子情報通信学会技術研究報告 ED92 p.17-22(1992)
- [17] Aoyama, T., Kawachi, G., Konishi, N., Suzuki, T., Okajima, Y. and Miyata, K.: J. Electrochem. Soc., 136 p.1169-1173 (1989)
- [18] Bosnell, J.R. and Voisley, U.C.: Thin Solid Films, 6, p.161(1970)
- [19] Fujii, E., Senda, K., Emoto, F., Yamamoto, A., Nakamura, A., Uemoto, Y. and Kano, G.: IEEE Trans. Electron Devices ED-37 p.121(1990)
- [20] Sera, K., Okumura, F., Uchida, H., Itoh, S., Kaneko, S. and Hotta, K.: IEEE Trans. Electron Devices ED-36 p.2868(1989)
- [21] Sameshima, T., Usui, S. and Sekiya, M.:IEEE Electron Device Lett. EDL-7 p.276 (1986)
- [22] Green, M. A. and M. J. Keevers: Prog. Photovol. Res. and Appl. 3 pp. 189 - 192(1995)
- [23] Fossum, J.G., Ortiz-Conde, A., Shichijo, H. and Banerjee, S.K.: IEEE Trans. Electron Devices ED-32 p.1878(1989)
- [24] スペックは SONY 社 HP より。
- [25] Aoki Y., Iizuka T., Sagi S., Karube M., Tsunashima T., Ishizawa S., Ando K., Sakurai H., Ejiri T., Nakazono T., Kobayashi M., Sato H., Ibaraki N., Sasaki M., and Harada N.:SID99(1999)p.176
- [26] 東芝レビュー 2006年3月号(2005年の技術成果)より

[27] Engadget HP より。

## 第2章 poly-Si TFT の現状把握

### 2-1 高性能化への課題

本章では、現状の poly-Si TFT について、現在の典型的なプロセスにて作製し、その中で電気特性を決定づけると考えられるチャンネル層の特性を把握し、更なる特性向上を実現するための施策に関して、量産を考慮した上での可能性を検討する。

### 2-2 poly-Si 層の電気特性

poly-Si TFT の特性向上で従来検討されてきた手法として、活性層となる poly-Si 膜の粒径拡大があげられる。現在では、平均粒径として  $0.1\ \mu\text{m}$  程度から  $0.5\sim 0.6\ \mu\text{m}$  程度までの結晶粒を持つ poly-Si 膜が、量産レベルで安定して得られるようになった。その結果、現在の液晶ディスプレイに用いるに足る性能の TFT を得ることができるようになってきた。このサイズの結晶粒径であれば、液晶ディスプレイに用いることが可能であり、多くの製品に適用されてきている[1][2]。また研究レベルでは、これ以上の結晶粒サイズの poly-Si を作ること[3]は可能である。こういった技術を、量産性を含め検討していくことは重要であり、大粒径化技術が必要であるかどうかに関しての確認を行なう。

今後の TFT 特性向上においては、結晶 Si デバイスが進んできた流れと同様にデバイスサイズの小型化が欠かせない。液晶ディスプレイへの応用の場合、液晶を駆動する必要があるため、メモリなどの結晶 Si デバイスほど電源電圧を低減することは難しいが、現在は駆動電圧として  $10\text{V}$  程度を用いており、まだまだ低減する余地はある。チャンネル長が現状で  $4\sim 5\ \mu\text{m}$  程度の TFT を用いているが、将来  $2\ \mu\text{m}$ 、あるいは  $1.5\ \mu\text{m}$  のサイズを考えた場合、良好な特性を示す TFT を得ることができれば、高精細ディスプレイなど、ディスプレイの更なる特性向上が見込める。ただし、量産をするにあたっては、基板上にあるすべての TFT についての電気特性の平均・分散を回路設計で許される範囲内におさめることが要求される。これらの要求を現在の poly-Si 膜を用いた TFT によって成し遂げられるかどうかを検討する。

ELA 以降のすべてのプロセス温度は、 $550^\circ\text{C}$  以下とし、LSI 試作での通常のプロセスを用いた。TFT の平面構造を図 2-1a に、断面構造を図 2-1b に示す。

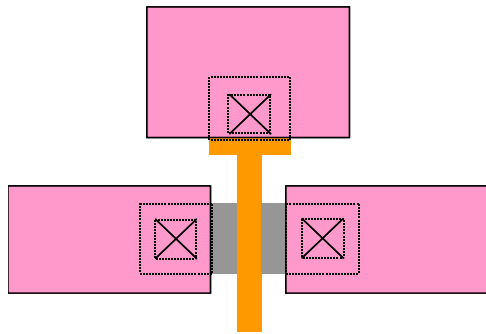


図 2-1a TFT 平面図

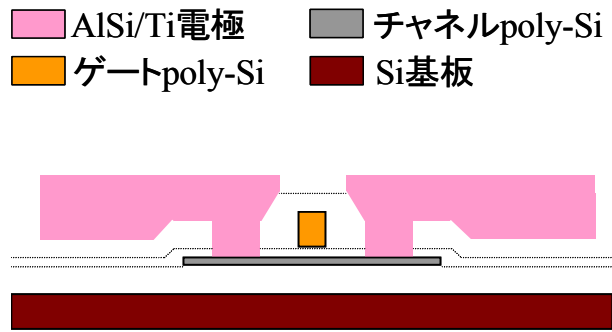


図 2-1bTFT 断面図

最小チャンネルサイズは、 $W/L=0.5/0.5\mu\text{m}$  である。活性層として、ELA で作製した poly-Si 膜を用いている。チャンネル層に使用した poly-Si 膜の FE-SEM 写真を図 2-2 に載せる。

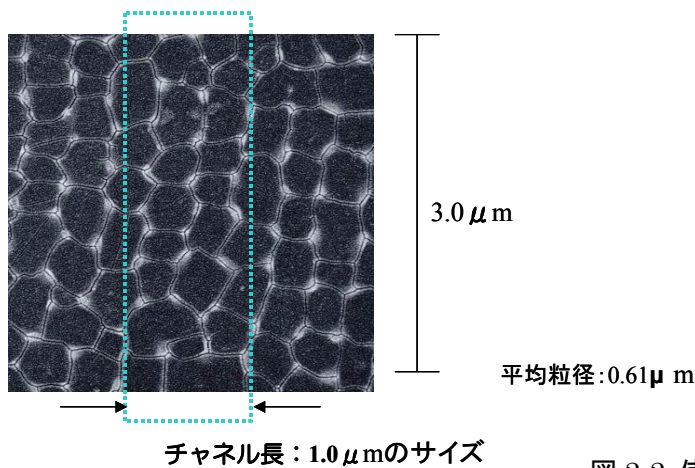


図 2-2 使用した poly-Si 膜の平面 SEM 写真

画像処理により求められたこの poly-Si 膜の平均粒径は約  $0.6\mu\text{m}$  である。結晶粒とデバイスの位置関係は確率的に変わると考えた。つまり、粒とデバイスの位置関係は連続的に変化するが、平均粒径に対して、デバイスサイズが小さいケースでは、チャンネル内に含有する粒の数が、粒とチャンネル位置関係によって大きく変わる。例えば、平均粒径として約  $0.6\mu\text{m}$  の poly-Si 膜に対して最小トランジスタサイズとして  $0.5\mu\text{m}$  を実現することで、擬似的にモノグレインが実現できる可能性もあり、またちょうどチャンネル内に粒界が来てしまう可能性もある。したがって、電気特性の分布に対してデータ処理を行なうことにより、チャンネル内の粒界の数を算出することを検討した。

TFT 試作のためのプロセスを以下に示す。

- ▽ 投入 (6 インチシリコン基板:N 型 P 型ともに(100)基板で  $1\sim 10\Omega$ )
- 前処理 (SH 常温 5 分,SC-1\_80°C 5 分,0.5%希フッ酸 1 分,水素水ラスト)
- 熱酸化 (500nm : 950°C)
- 初期膜成膜 (LPCVD:50nm 550°C)

- レーザ結晶化 (XeCl : 300mJ/cm<sup>2</sup> 95%オーバーラップ)
- チャネル I/I
- チャネル島加工
- ゲート酸化膜成膜 (APCVD: SiH<sub>4</sub>+O<sub>2</sub> 50nm 420°C)
- ゲートポリシリコン成膜 (低温 LPCVD:200nm 550°C)
- ゲートポリシリコン加工
- ソース・ドレイン I/I (N 型、P 型 : ゲート電極のセルフアライン構造)
- 活性化 (550°C N<sub>2</sub> 中 3hours)
- 層間絶縁膜成膜 (APCVD:300nm 420°C)
- コンタクト開口
- ソース・ドレイン成膜 (Al-Si/Ti:500nm)
- ソース・ドレイン加工
- シンター (フォーミングガス:常圧 350°C 1hour)
- ▽ 払い出し (測定)

トランジスタの評価はチャネルサイズ  $W(\mu\text{m})/L(\mu\text{m})$  が 10/10、10/2、10/1、1/1、0.5/0.5 のものを測定した。同サイズの TFT が 1 基板上に 56 個あるため、平均値・バラツキは母数 56 個毎の値を示した。

### 2-3 結晶粒径と TFT 特性・バラツキ評価結果

チャネル幅は  $10\mu\text{m}$  固定にして、チャネル長のみ  $10\mu\text{m}\cdot 2\mu\text{m}\cdot 1\mu\text{m}$  と変化させた結果を示す。この評価では、チャネル幅方向は平均粒径と比較して十分大きいため、前述した離散的な結果は、チャネル長方向の粒との位置関係にのみ起因すると考えてよい。図 2-3 に N 型の、図 2-4 に P 型 TFT の電界効果移動度の分布を示す。なお、電界効果移動度は、線形領域 ( $V_{ds}=0.05\text{V}$ ) での  $I_{ds}-V_{gs}$  のリニアプロットの傾きから求めた。これは、本論文では共通である。

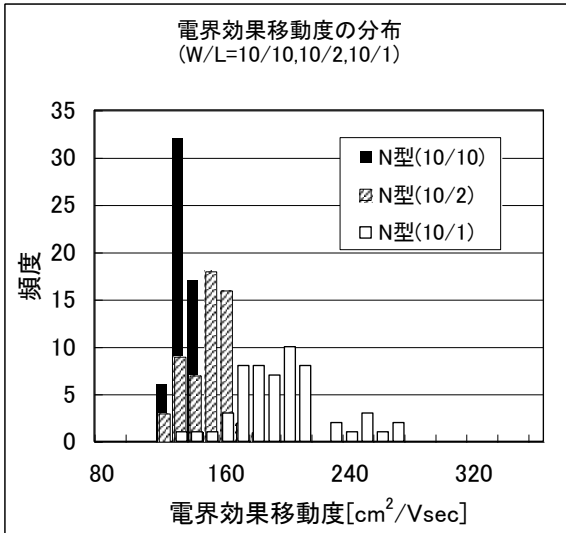


図 2-3 N 型 TFT の移動度分布

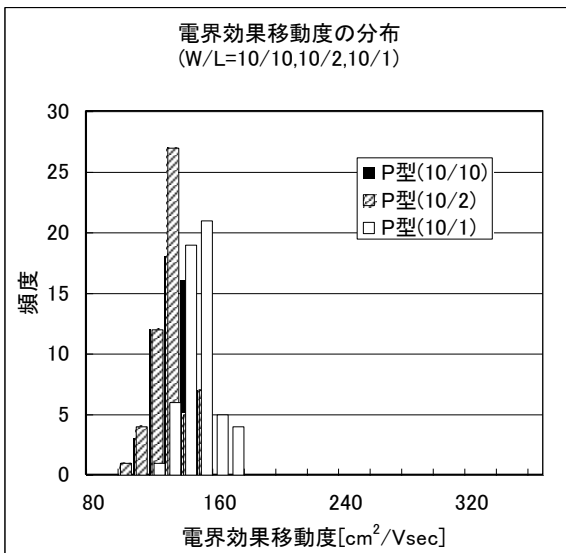


図 2-4 P 型 TFT の移動度分布

サイズが小さくなるにつれて、P 型は若干移動度の中心値が大きくなっているものの、サイズによる違いは小さい。しかし、N 型は、ゲート長が小さくなるにつれて、中心値の大幅な増大が見られるものの、ばらつきも大きくなっていくことがわかる。平均値および $\sigma$ を表 2-1 に載せる。

表 2-1 移動度の平均値および $\sigma$  (単位:  $\text{cm}^2/\text{Vsec}$ )

サイズ	N 型 TFT		P 型 TFT	
	平均値	$\sigma$	平均値	$\sigma$
10/10	127.4	5.9	126.8	10.3
10/2	140.4	12.9	123.9	11.1
10/1	191.1	30.3	140.6	10.8

移動度のばらつきの原因としては、活性層の poly-Si 膜の粒とデバイスとの位置関係によることが考えられる。チャンネル幅方向は平均粒径と比較して十分に長い平均化されており、チャンネル長方向のグレインの数が電気特性に作用する。ここで注目すべきこととしてN型のみが移動度が大きくなり、かつばらつきが大きくなっていることである。N型の場合、粒径を大きくすることで TFT の電界効果移動度が大きくなることはすでによく知られている。

図 2-5 は茨木らの報告[4]、図 2-6 は今回の結果を、チャンネル長の逆数でプロットしたものであるが、チャンネル長を変えることと、結晶粒径を変えることが同じ効果を表していると考えられる。

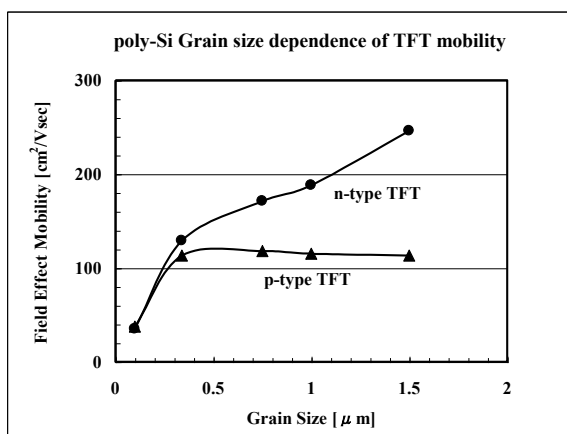


図 2-5 粒径と移動度の関係  
(N.Ibaraki:SID99)

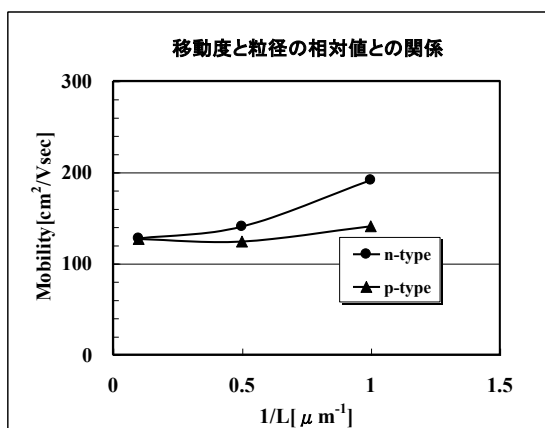


図 2-6 チャンネル長と移動度との関係

N 型 TFT の移動度は、チャンネル長に対して粒径が増大することと共に大きくなっていることがわかる。これは単純にキャリアである電子がソース・ドレイン間を移動する際に横切る粒界の数に依存していると考えられる[5]。また、図 2-10 は N 型 TFT の電界効果移動度はチャンネル長の減少とともに増大しているものの、P 型 TFT の電界効果移動度の増大は粒径が  $0.3 \mu\text{m}$  付近で飽和していることを示している。本実験の結果は、大粒径化とは異なるものの、デバイスサイズを小さくすることで、相対的に粒径が大きくなっていると考えることができ、本論文に関する実験においてもこれと同様の結果を得た。P 型 TFT に関しては、結晶粒径が  $0.3 \mu\text{m}$  以上では、正孔の横切る粒界の数が、電界効果移動度を決定する主たる要因とはなっていない可能性が高い。P 型 TFT の電界効果移動度がこの粒径範囲では大きくなる点、粒界がキャリアに与える影響が、キャリアが電子か正孔かで異なっていることを示唆している。



## 2-4 サイズ依存性(平均での議論)

次にチャンネル部分のW/L比を一定(W=L)に保ったまま、サイズのみを小さくした場合の結果を示す。このようにチャンネルサイズを小さくすると、W方向とL方向の両方向に粒とデバイスサイズとの関係が生じる。図2-7にN型TFTの、図2-8にP型TFTの電界効果移動度の分布を示す。

N型TFTではかなりの範囲にわたって、電界効果移動度の分布が広がっている結果となった。また、P型TFTでもわずかながら平均移動度の増加とばらつきが増大がみられた。平均値および $\sigma$ を表2-2に載せる。

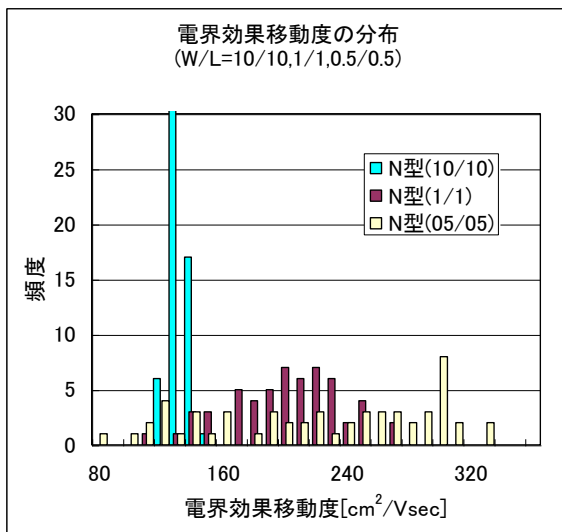


図 2-7 N 型 TFT の移動度分布

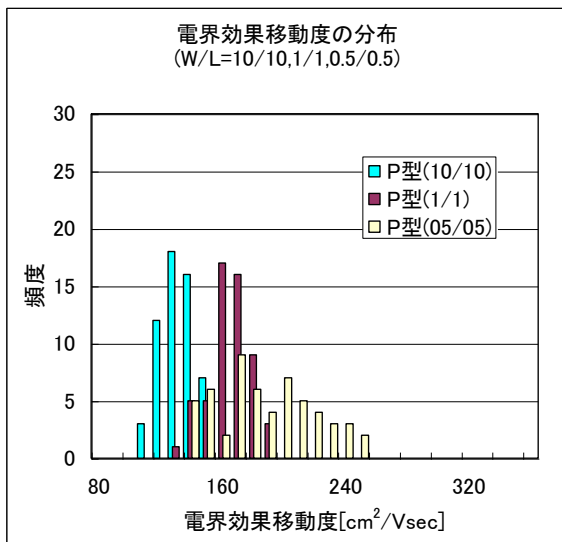


図 2-8 P 型 TFT の移動度分布

表 2-2 移動度の平均値および $\sigma$  (単位:  $\text{cm}^2/\text{Vsec}$ )

チャンネルサイズ ( $\mu\text{m}/\mu\text{m}$ )	N 型 TFT		P 型 TFT	
	平均値	$\sigma$	平均値	$\sigma$
10/10	127.4	5.9	126.8	10.3
1/1	195.7	35.2	159.2	12.9
0.5/0.5	216.4	71.0	184.1	31.6

粒径とデバイスサイズとの関係は N 型と P 型で同じ傾向を示すが、その変化の度合いは異なることがわかる。特に、N 型 TFT では電界効果移動度がほぼ一様に分布した結果となった。電子にとって粒界からの影響が大きいとすると、チャンネル内の電子の移動中に何回粒界を横切るかが、電界効果移動度に大きく影響を及ぼす。また、ドレイン電圧が小さいとはいえ、その粒界がドレイン側にあるかソース側にあるかでもまた特性に違いが見られると考えられる。特に、デバイスサイズが  $W/L=0.5\mu\text{m}/0.5\mu\text{m}$  となった場合、電子が横切る粒界は 1 個~4 個となり、このどれかによって、電界効果移動度にかなり差が生じる。したがって、デバイスの決まったところに決まった大きさの結晶粒を作製できるのでなければ、このバラツキは決してなくならないと考えられる。

## 2-5 ヒストグラムによる比較

活性層のサイズが  $0.5\mu\text{m}$  角の N 型 TFT について、この分布にはいくつかのピークが見られる。これらのピークは、活性層内の結晶粒界の数、特に電流の流れるソース・ドレイン方向に相対する方向の粒界の数に対応しているのではないかと推測した。そこで、それぞれのピークを分離するためにカーブフィッティングを行ない、それぞれのピークの中心移動度を求めた。フィッティングの結果を図 2-9 に示す。

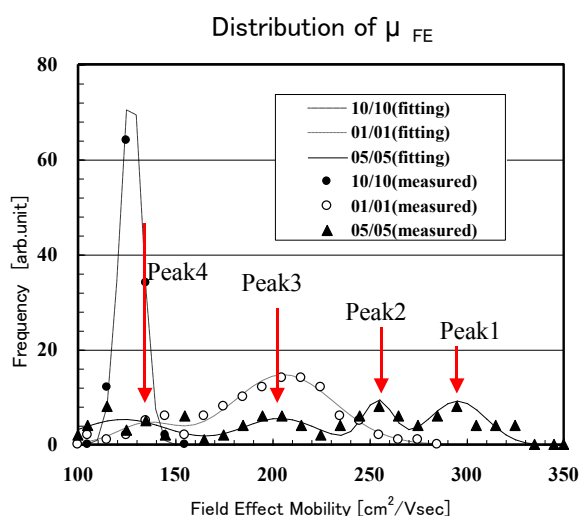


図 2-9 N 型 TFT の移動度分布とフィッティング  
高移動度側から Peak1-4 を設定。

ピークの中心となる移動度は、高いほうからピーク 1,2,3,4 と名付け、それぞれの中心

移動度は 294、254、204、123 cm<sup>2</sup>/Vsec となった。ここで、測定されたそれぞれの移動度  $\mu_{result}$  に対して、粒内移動度  $\mu_0$ 、粒界移動度  $\mu_g$ 、粒界の幅を  $L_{gb}$ 、粒界の数を  $n$  として、

$$\frac{L}{\mu_{result}} = \frac{L - nL_{gb}}{\mu_0} + \frac{nL_{gb}}{\mu_g} \quad \text{式 2-1}$$

を仮定する。チャンネルをソース・ドレイン方向の一次元で考えると、TFT のチャンネル内を走行するキャリアは、捕獲・放出過程を含めても一定時間後の定常状態となれば、結晶粒内・結晶粒界ともに同じ速度(=ソース・ドレイン間の速度)で走行するため、

- ① 粒界を流れる電流と粒内を流れる電流は同じであること
- ② 粒内での電圧降下と粒界での電圧降下を加えたものがソース・ドレインの電位差になる。

の 2 点から式 2-1 が導かれる。この式は、変形して、

(ii)  $L \gg L_{gb}$

(iii)  $L/L_{gb} \cdot 1/\mu_g$  を新たに  $1/\mu_g$  と書くと、Seto らの論文[6]における

$$\frac{1}{\mu_{result}} = \frac{1}{\mu_0} + \frac{1}{\mu_g} \quad \text{式 2-2}$$

と同じ式が導かれる。

この式 2-1 において  $L_{gb}$  を 1nm と仮定し[7]、 $\mu_0$  および  $\mu_g$  を求めるとそれぞれ 380、2.76 となった。また、それぞれのピークは、高移動度側から  $n=1,2,3,4$  に対応していると考えた。この活性層内の粒界の数は、活性層として用いた多結晶 Si 膜の平均粒径  $0.6 \mu m$  と活性層のサイズである  $0.5 \mu m$  角との関係から考えると妥当な値であり、移動度分布の主原因は活性層内の粒界の数であると考えてよい。

次にこの移動度の分布、ひいては粒内移動度や粒界移動度が、測定温度を変えることでどのように変化するかを評価した。バルク Si に関しては、SOI 構造デバイスも含め、測定温度の上昇とともに移動度が小さくなることが知られており[8]、TFT との違いについての考察も行なった。

実験は、基板面上にて  $25^\circ C \sim 150^\circ C$  に設定し、それぞれの温度にてオートプローパを用いて  $I_{ds} - V_{gs}$  測定を行ない、同様の計算を行なって移動度を求めた。またソース・ドレイン部分の抵抗についても各温度でのシート抵抗を測定し考慮した点も同様である。移動度分布の温度依存性を図 2-10 に示す。

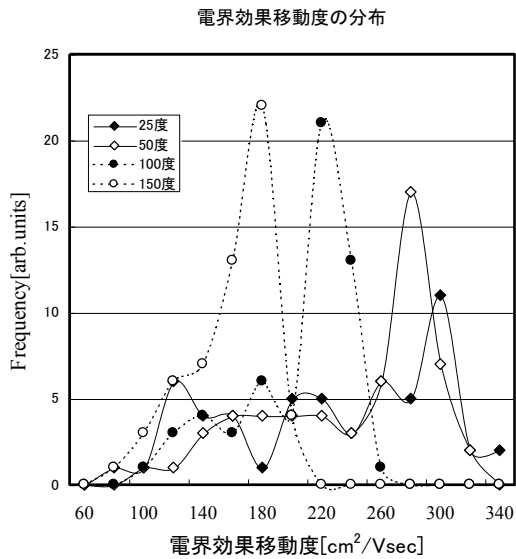


図2-10 N型TFTの移動度分布の温度依存性

測定温度が高温になるにつれて、高移動度側が小さく、低移動度側が大きくなって、ばらつきが小さくなっていくことがわかる。前半の報告と同様にピーク分離を行ない、各々の中心移動度を温度に対してプロットしたのが図 2-11 である。

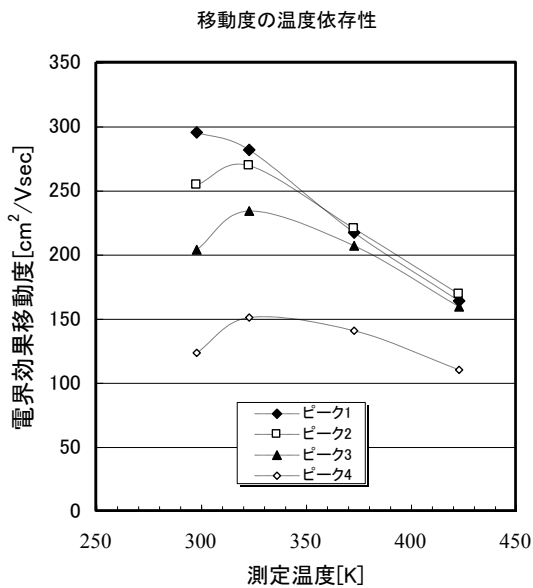


図2-11 N型TFTの移動度の温度依存性

低温側では温度上昇で移動度が増加し、高温側では温度上昇で移動度が減少している。これは、低温域と高温域で温度依存性の異なる2つ以上の要因が存在していることが予想される。そこで、やはり前半の報告と同様に粒内移動度と粒界移動度を算出し、温度依存性を調べたのが、図 2-12、図 2-13 である。

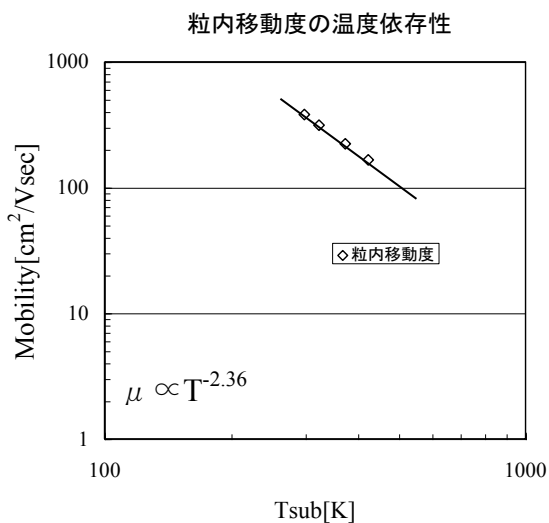


図 2-12 粒内移動度の温度依存性

図 2-12 は粒内移動度の温度依存性であるが、温度を上げるにしたがって、ほぼ直線的に減少している。結晶 Si や SOI では温度のべき乗で変化することがわかっているが、本結果と同じ傾向である。

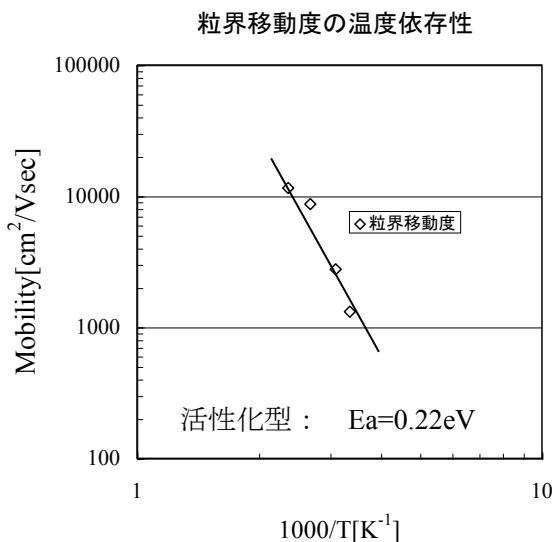


図 2-13 粒界移動度の温度依存性

図 2-13 は粒界移動度の温度依存性であるが、アレニウスプロットでほぼ直線状に乗るため、活性化型を示している。活性化エネルギーはほぼ 0.22 eV と算出された。この値は、a-Si TFT のオン電流の温度依存性と近い値をとっている[9]。報告されている a-Si TFT の移動度は最大でも 1 cm<sup>2</sup>/Vsec 程度はあるが、チャネル長を小さくするに連れて大きくなっていること、a-Si 膜のドリフト移動度は 2 乃至 3 程度であることから、幅が 1 nm 程度の膜を考える際には妥当な値と考えられる。

粒内移動度は結晶 Si と同じ温度依存性、粒界移動度は a-Si と同じ温度依存性を、持つことから、TFT の電界効果移動度は、チャンネルである poly-Si 膜を結晶 Si と a-Si との組み合わせとして考えてよい。チャンネル長が短くなってもチャンネル長方向に含まれる粒界の数を同じとするには、結晶粒径を小さくすればよい。しかしながら粒界の幅はゼロではなく有限の値、例えば 1nm 程度である[7]ことも考慮すると、結晶粒が小さくなってくると、粒界の占めるエリアすなわち a-Si の領域が相対的に大きくなり、移動度が小さくなる。これは、バラツキを小さくするために、チャンネルサイズの縮小と合わせて結晶粒も小さくした場合、移動度が低下することを示している。すなわち、粒界の影響を小さくするためには、粒径を小さくすると移動度が小さくなることがわかり、移動度を保ったまま小粒径にする解はないことを示している。

小サイズの TFT を作製し、電気特性の評価を行なった。結晶粒と同程度のサイズの活性層サイズとなると、電界効果移動度のばらつきが大きくなることがわかった。ばらつきの主要原因として、活性層内にてソース・ドレイン方向を横切る結晶粒界の数の違いが考えられる。電気特性のばらつきは、測定温度を高温とすると小さくなることから、ばらつきの要因と考えている結晶粒界の電気特性は、結晶の温度依存性と逆の温度依存性を持っており、そのため電気特性の温度変化を補償するような挙動を示すと考えられる。

## 2-6 結晶 Si 内の不純物に関する調査

結晶 Si デバイスと異なり、poly-Si TFT でチャンネル層である Si 層はガラスなどの異種基板上に成膜されるため、不純物が膜中に取り込まれ易い。Si 膜中の不純物は電気特性に影響を及ぼす可能性があり、影響の度合いを見積もる必要がある。また、Si 層の成膜後、結晶化技術を用いて結晶化(多結晶)を行なうため、結晶成長時には不純物の影響を受けやすい。そこで、成膜時に混入し易い酸素原子(O)と炭素原子(C)について、混入による影響を調査した。

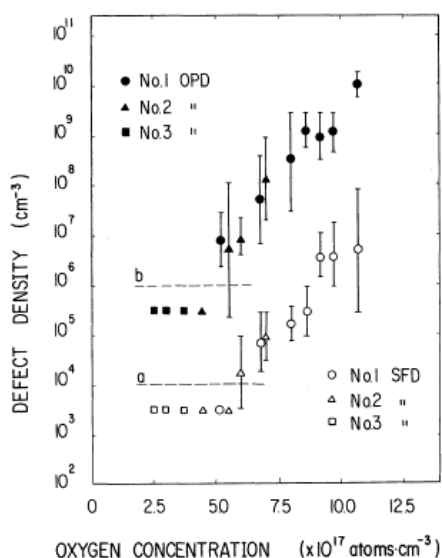


図 2-14 基板中酸素濃度と欠陥密度との関係

Hoshikawa et al.:JJAP. 19 p. L33(1980)

OPD: Oxide precipitate defect

SFD: Stacking fault defect

a,b:それぞれの欠陥の検出限界

No.1-3 は試料番号(インゴット)

膜中で O は積層欠陥密度と深く関係し、また積層欠陥の発生核となる析出物の原因となることはすでに報告されている。図 2-14 は、バルク積層欠陥と、酸素起因析出物の濃度を酸素濃度に対してプロットしたものである[10]。

これらの欠陥は酸素濃度に対してかなり急激に変化しており、酸素濃度が  $10^{18} \text{cm}^{-3}$  を下回ると急激に減少する。実際の LSI では out-diffusion により表面付近の酸素濃度が低下するため、 $10^{18} \text{cm}^{-3}$  程度の酸素濃度から生じる欠陥でも素子特性に与える影響は小さい。しかし、TFT においては活性層厚が厚い報告においても 200nm 程度であるため、ELA という短時間であるが LSI プロセスと比較しても高温プロセスを経た膜には、かなりの酸素起因欠陥が生じることが予想される。図 2-15 は最低酸素濃度が  $7 \times 10^{19} \text{cm}^{-3}$  と大きいものの、poly-Si TFT の電界効果移動度と多結晶 Si 膜中の酸素濃度との関係を示している[11]。

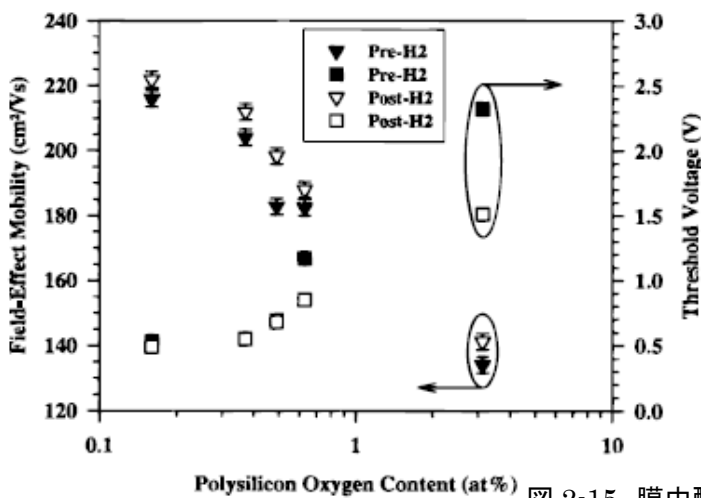


図 2-15 膜中酸素濃度と移動度・しきい電圧の関係

Voutsas, A.T. et al.: J Electrochem. Soc., 146, p. 3500 (1999)

水素プラズマ処理前後の比較。

この報告では ELA 照射時の雰囲気の違いによる TFT 特性の違いを報告しているが、結果的に活性層である多結晶 Si 膜の膜中酸素濃度の違いによる TFT 特性の違いでまとめている。また、デバイスサイズが  $W/L=5 \mu\text{m}/5 \mu\text{m}$  に対して結晶サイズは最大でも  $0.6 \mu\text{m}$  程度であるため、酸素が粒内で積層欠陥となっているか、粒界にいるかの分離ができていない。

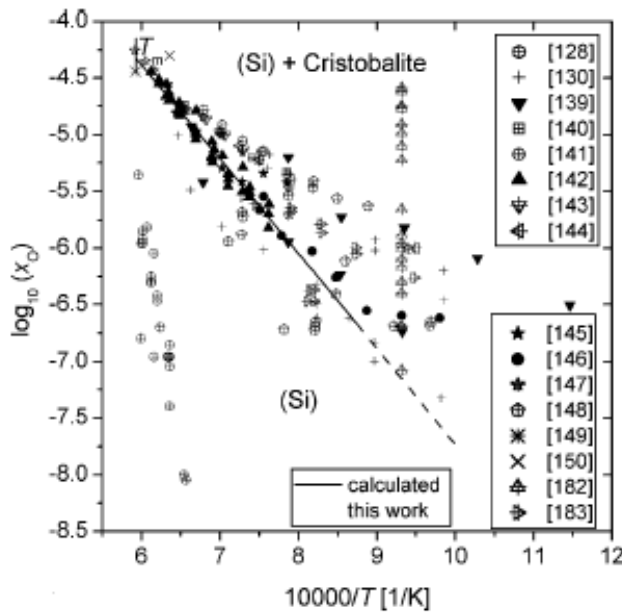


図 2-16 酸素溶解度の温度依存性

Schnurre, S. et al.: J. Non-Cryst. Solids, 336:1 (2004)

図 2-16 はシリコンへの酸素の溶解度を温度でまとめたものである[12]。これによれば、熔融を主体とする ELA プロセスにおいては、固溶限界まで( $2 \times 10^{18} \text{cm}^{-3}$ )の酸素が溶け込む可能性がある。また、TFTにおいては、ELA 前のシリコン層の下側に  $\text{SiO}_2$  膜があることが多く、ELA 時の下地からの溶解に関しても考慮すべきである。

Si 中にある炭素の役割に関しては、前項で述べたような膜中酸素の影響を強調する働きがあると報告されている[13]。すなわち膜中に炭素があることで、酸素が析出しやすいことを示しているものである。図 2-17 で示すように同じ酸素濃度の Si 基板であっても、炭素が高濃度含まれている基板の方が酸素減少率は高く、すなわち酸素が析出しやすい。

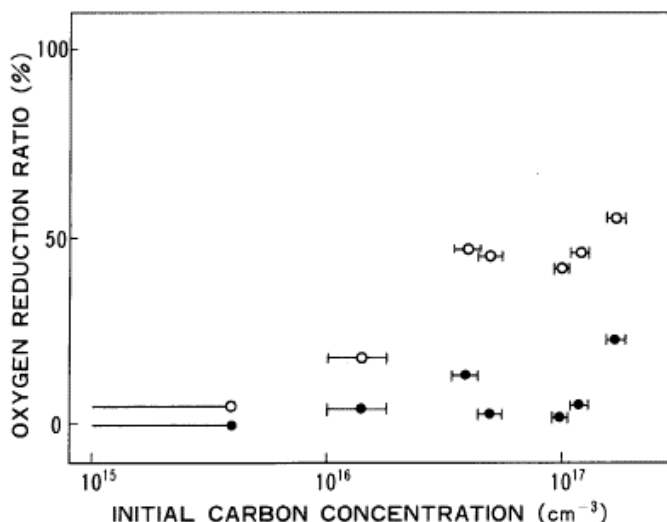


図 2-17 酸素減少率の炭素濃度依存性

Kishino, S. et al.: JJAP. 21 p. 1 (1982)

このことは、酸素起因の欠陥が炭素不純物の増加とともに増大する傾向があることを示している。また、基板に高濃度存在すると、電気特性にも影響があることが報告されている。図 2-18 は、上記報告された Si 基板中にイオン注入された炭素濃度の深さ方向のプロファイルと、少数キャリア移動度の深さ方向のプロファイルを示したものである[14]。



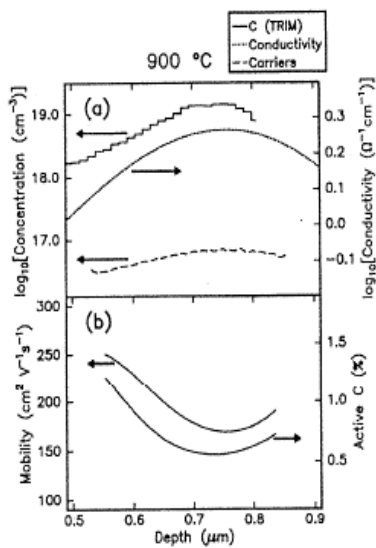


図 2-18 炭素濃度プロファイル

Lombardo, S. et al.: JAP. 79, p.3464 (1996)

この二つの図を組み合わせて、炭素濃度と少数キャリアの移動度との関係を示したものが図 2-19 である。10<sup>19</sup>cm<sup>-3</sup>程度の濃度では、かなりの電氣的影響があることがわかる。

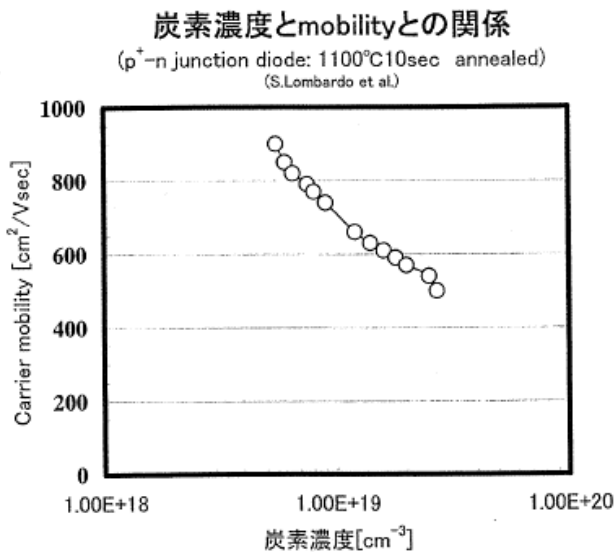


図 2-19 キャリアモビリティの炭素濃度依存性

Lombardo, S. et al.: JAP. 79, p.3464 (1996)

結晶 Si 内の不純物について調査を行なった。対象として酸素・炭素とした。酸素・炭素に関しては、構造上酸素を減らすことは難しいが、成膜反応室のオイルフリーなどのクリーン化により膜中に取り込まれる炭素を減らすことが可能であると考えられ、炭素によりアシストされた酸素析出を減らすことで、欠陥を低減することができる。

## 2-7 poly-Si 作製プロセスの比較検討

本章の最後に、本論文で採用すべき poly-Si 作製プロセスの比較検討をした結果を述べる。レーザ結晶化においては、デルフト大学の  $\mu$ -Czochralski 法[15]と東工大の位相制御エキシマレーザアニール法[16][17]が挙げられる。比較検討している段階においては、 $\mu$ -Czochralski 法では、アスペクト比の大きなトレンチに初期膜である Si を埋め込むプロセスが必要であるため、現在の TFT-LCD プロセスになじまないと考えられる。それに対して、位相シフトマスク法は、現在量産で用いられているレーザアニール装置のほとんどの装置に適用可能であることから、この方法を採用することとする。

## 2-8 位相制御エキシマレーザアニール法の概略

Si 初期膜の温度を、膜にレーザ光を吸収させて上昇させることにより、アモルファス状態から結晶(多結晶)にできる。基板全面に、均一に poly-Si 膜を得るためには、レーザ光強度を均一にするために、ホモジナイザを挿入している。この方法は、レーザ光を吸収した Si 膜は完全な液相とはならず、基板側は溶け残っていることが知られている。

上記のような均一照射よりも大きな結晶粒を得るためには、照射光強度に何らかの方法で勾配をつけ、空間的に変化させることが必要である。光強度が弱い部分は Si 膜温度が低く、強い部分は温度が高いが、この強弱を並列させておけば、Si 膜の固化は温度が低い領域から始まり、高い領域では遅れることになる。光強度に勾配をつける方法の一つとして位相制御エキシマレーザアニール法[17]がある。

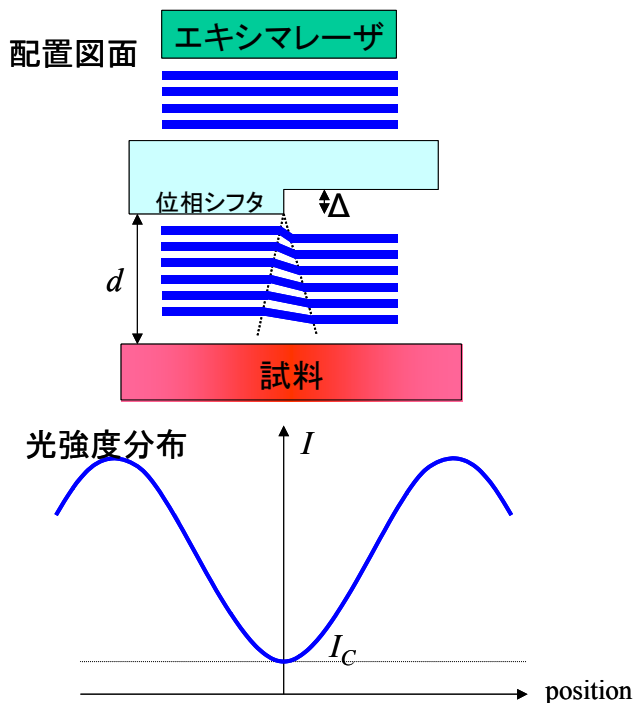


図 2-20  
位相制御法の配置図(上段)  
と光強度分布(下段)

位相制御法の概略を図 2-20 に示す。試料表面から距離  $d$  だけ離れて透明な人工石英板が置かれている。石英板表面に刻まれた段差(位相シフタ)の両側を通過する光線群

間には、(当該位相シフトを作る)板厚差 $\Delta$ に基づく位相差、 $\theta (=2\pi \Delta(n-1)/\lambda$ 、 $\lambda$ :波長、 $n$ :屈折率)、が生じる。試料と位相シフトとの空隙では、この位相差に基づくフレネル回折が起こり、それが試料表面上の光強度に変化を作る。 $d$ を大きくすれば、光強度の第1ピーク位置は段差位置から遠ざかる。また、 $\theta$ をゼロから増せば、光強度の振動振幅が増し、 $\theta = \pi$ においては光強度の最低値(段差位置に生じる) $I_c$ はゼロになる。 $d$ と $\theta$ 及び平均光強度を調節すれば所望の光強度勾配を実現できるから、横方向結晶化を制御性よく発現できる。位相制御法に関する東工大の先駆的な研究は、試料構造を工夫すれば、単ショットで $100\mu\text{m}$ を越える結晶成長距離も可能である[17]ことを実証した。所望の強度分布を得る方法に関しては第4章にて述べる。

## 第2章まとめ

poly-Si TFTの高性能化に関して、MOS界面とチャネル層であるpoly-Si膜に着目して検討を行なった。その結果、poly-Si膜は縮小則に沿った高性能化を目指すためには、大粒径化が必要であることがわかった。また、低温でpoly-Si膜を得るための方法としてレーザアニール法を検討したが、結晶学的・電氣的に良い膜を得るためにはレーザアニールする前の状態(初期膜)は不純物の少ない膜であることが必要であることを示した。

## 参考文献

- [1] 石沢秀一郎、羽成淳: 東芝レビュー 55 p.62 (2000)
- [2] 青木良朗: 東芝レビュー 55 p.39 (2000)
- [3] Hara, A. and Sasaki, N.: Jpn. J. Appl. Phys. 39 p. L1 (2000)
- [4] Ibaraki, N.: SID99 p.172 (1999)
- [5] 田井光春、木村嘉伸、波多野睦子、芝健夫、大倉理: 第 62 回応用物理学会学術講演会 13p-V-7 (2001 年)
- [6] Seto, J.Y.W.: J. Appl. Phys. 46, 5247 (1975)
- [7] Karmins, T.: Polycrystalline Silicon For Integrated Circuits And Displays (Kluwer Academic Publishers)
- [8] 例えば Sze, S.M.: Physics of Semiconductor Devices (Wiley-Interscience)
- [9] 内田恭敬、松村正清: 第 43 回応用物理学会学術講演会 30a-Q-7 (1982 年)
- [10] Hoshikawa, K., Kohda, H., Hirata, H. and Nakanishi, H.: Jpn. J. Appl. Phys. 19 p. L33 (1980)
- [11] Voutsas, A.T., Marmorstein, A.M. and Solanki R.: J. Electrochem. Soc., 146, p. 3500 (1999)
- [12] Schnurre, S. M., J. Groebner und R. Schmid-Fetzer: J. Non-Cryst. Solids, 336:1 (2004).
- [13] Kishino, S., Matsushita, Y., Kanamori, M. and Iizuka, T.: Jpn. J. Appl. Phys. 21 p. 1 (1982)
- [14] Lombardo, S., Cacciato, A., Kyllsbech Larsen, K., Raineri, V., La Via, F., Privitera, V. and Campisano, S.U.: J. Appl. Phys. 79, p.3464 (1996)
- [15] Shimada, H., Hiroshima, Y. and Shimoda, T.: 2005. IEDM Technical Digest.
- [16] Nakada, M. and Matsumura, M.: Proc. Electrochem. Soc. 31(2000)
- [17] Yeh, W.-C., Sano, Y., Hattori, T. and Matsumura, M.: Jpn. J. Appl. Phys., 38 L110 (1999)

## 第3章 高純度初期膜形成技術

### 3-1 はじめに

第2章の考察より、poly-Si 膜中の不純物が、少なくとも電気特性を低減させることがわかった。そのため、レーザ結晶化法を用いて poly-Si 膜を形成する際に、その初期膜（レーザアニールする材料となる Si 膜）の膜中不純物も検討をする必要がある。そこで、高純度初期膜を作製し、その後不純物を、濃度を変えて膜中に導入し、不純物の影響を見積もることとする。

プラズマ CVD 膜の主要な不純物源としては、原料ガス、ガス導入系、反応容器が考えられる。産総研では、これらを徹底的に減らすことを試みて、極めて高純度な a-Si 膜の堆積に成功した[1]。しかし、この装置構成・プロセスでは、大面積基板対応の量産装置には適用できない。そこでまず、現在の a-Si 膜成膜用量産装置の主要な課題を抽出して、それについてのみ対策を施すことにした。

膜中不純物の源は、

1. 反応室内の残留ガス
2. チャンバ外部からの透過
3. チャンバ壁面からの脱ガス
4. ガス供給配管系からの汚染
5. 原料ガスそのものの不純物

がある。チャンバの材質や表面仕上げ精度、真空シール、真空排気システムのクリーン化など効果的であり、これら盛り込んで導入したプラズマ CVD 装置（高純度 CVD 装置）について、それぞれの施策の高純度化への寄与を評価した。

また、試料構造による Si 膜中の不純物に関しても検討を行なう。熔融再結晶化プロセスの場合、熔融時に試料周辺雰囲気から混入する酸素・炭素の定量を行ない、対不純物で効果的な試料構造を提案する。この試料構造で次章以降のレーザ結晶化実験を進める。

### 3-2 高純度膜堆積用チャンバの仕様

反応室は、累積の成膜膜厚として数  $\mu\text{m}$  毎に、フッ素系ガスを用いたクリーニングを行なう必要があるため、材質をフッ素ラジカル耐性の高い Al-Mg 合金とした。また内面の実効表面積の減少は脱ガス特性の改善に効果的であり、反応室内壁の複合電解研磨は脱ガスが少ない、非常に「きれいな」反応空間を作ることが可能であることはよく知られている[2]。しかし、チャンバ壁研磨による装置コストを考慮する必要があり、また量産機においてはしばしば装置メンテナンスで内面のメカニカルクリーニングを行なう必要に迫られることから、通常の機械研磨（算術平均粗さ  $R_a=2.5\mu\text{m}$ ）のみを行った。また、内面処理とし

てアルマイト加工のようなポーラスな処理ではガス吸着の源となることや、やはりメカニカルクリーニング後の対応がむずかしいため、フツ化不動態化処理のみを行なった。装置は、ベーキング後の常温での背圧として  $9.3 \times 10^{-6} \text{Pa}$  ( $7 \times 10^{-8} \text{Torr}$ )、漏洩量として  $1.6 \times 10^{-5} \text{Pa} \cdot \text{l}/\text{sec}$  ( $1.2 \times 10^{-7} \text{Torr} \cdot \text{l}/\text{sec}$ ) だった。これらは、現在の量産機の典型的な値(到達真空度= $5 \times 10^{-6} \text{Torr}$  程度、漏洩量= $1 \times 10^{-5} \text{Torr} \cdot \text{l}/\text{sec}$  程度)より大幅に優れている。なお、以下の施策の効果も評価した。

### 3-2-1 主要接続部を2重Oリングとし、中間排気

Oリングを用いて外部と反応室内部を分離することにより反応室内部を低圧に保っているが、ゴム系のOリングは気体の透過があり、Oリングを介して外部から進入したガスは不純物源となる(図 3-1a)。超高真空装置はシールとして金属Oリング(いわゆるガスケット)を用いるのが普通である(図 3-1b)。ガスケットは透過ガス量を大幅に抑制できるが、装置メンテナンス毎に新品交換となる。

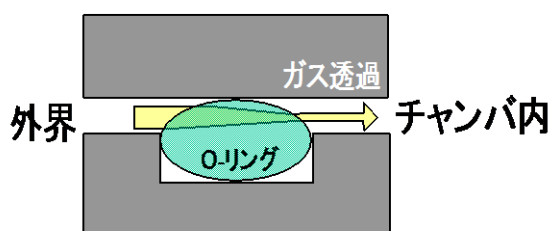


図 3-1a Oリングシールの場合

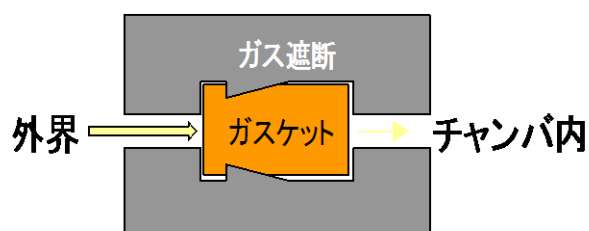


図 3-1b メタルガスケットシールの場合

TFT-LCD 用真空装置は反応室が大きいことから特注のガスケットを用いる必要があることも考慮すると、反応室開放の度に高価な交換費用が必要となる。そこで、主要なシール面のOリングをゴム(バイトン系)を用いる代わりに二重にし、その間隙を排気する構造とした。断面構造を図 3-2 に示す。

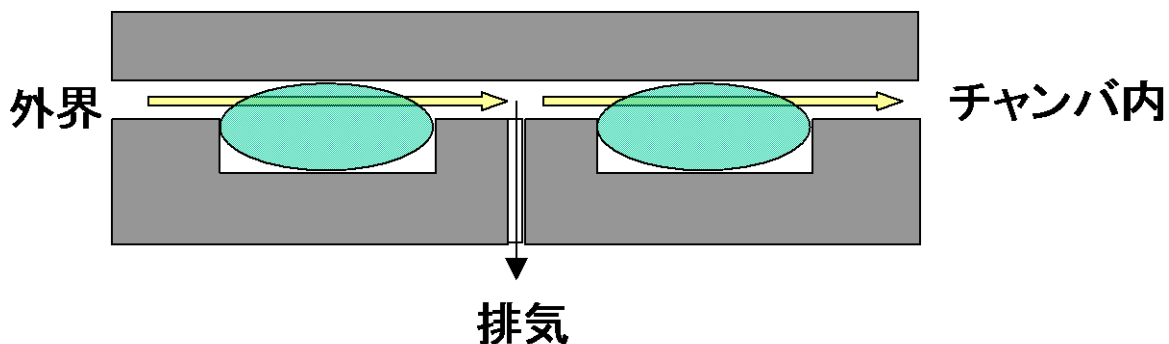


図 3-2 二重Oリングと中間排気の断面構造

中間排気の有無による透過ガス分圧の差を四重極質量分析(QMS)のデータから読み取った値を表 3-1 に示す。なお He に関する実験では、中間排気有無の差を明確に検

出するために、反応室外側に He を垂れ流して通常の大気中の He 含有量(5ppm)よりも多い濃度にした。H<sub>2</sub>と He に関しては、明確な相違があった。酸素、アルゴンにも差があった。これらガス種については、二重リングシールが効果的であったといえる。一方、H<sub>2</sub>O、N<sub>2</sub>においては数値データに差が見られなかったが、これらガス種は、チャンバ壁等からのガス放出などが反応室の背圧を決める主因であるため、二重リングシールの効果は、背圧がさらに下がった場合に明確になる。

表 3-1 二重リングの効果(単位:Pa)

	H <sub>2</sub>	He	H <sub>2</sub> O	N <sub>2</sub>	O <sub>2</sub>	Ar
二重	$3.28 \times 10^{-7}$	$3 \times 10^{-10}$	$1.86 \times 10^{-5}$	$5.95 \times 10^{-7}$	$8.15 \times 10^{-8}$	$1.43 \times 10^{-9}$
一重*	$4.23 \times 10^{-7}$	$2.28 \times 10^{-8}$	$1.85 \times 10^{-5}$	$5.95 \times 10^{-7}$	$8.35 \times 10^{-8}$	$1.45 \times 10^{-9}$
差	$9 \times 10^{-8}$	$2 \times 10^{-8}$	-----	-----	$2 \times 10^{-9}$	$2 \times 10^{-10}$

\*「一重」は内側のO-リングのみのデータ

### 3-2-2 外壁ベーキング温度を高くできる構造

10<sup>-5</sup>Pa 程度の真空度における主な残留ガス成分は水分である。したがって、反応室部材からの脱ガスや表面に吸着した水分の脱離促進に反応室ベーキングは有効であると考えられる。外壁ベーキングに関しては、装置稼動初期の反応容器からの脱ガスの促進に有効であることがわかっており、超高真空装置では 200°C以上のベーキングを行なうのが一般的である。Wet 雰囲気を導入した後の排気テストに際して、基板ヒータ温度をゆっくりと上昇させた場合の圧力変化を測定した。この wet 雰囲気とは、反応室内に純水の入ったビーカーを設置し、大気圧下で二昼夜放置したものである。結果を図 3-3 に示す。

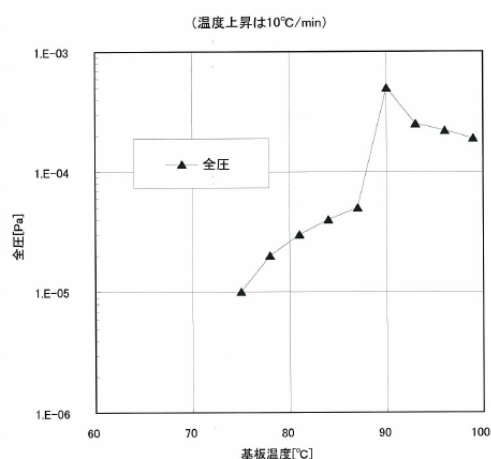


図3-3 ヒータ加熱時の脱ガス

水分を主成分とする脱ガスは、基板ヒータ温度が 75~80°C付近で促進されていることがわかる。ベーキング温度をこの温度以上とすれば、脱ガスが飛躍的に加速されることになり、ベーキングに必要な時間が短縮されることが期待できる。本実験装置では 120°Cまでのベーキングが可能な装置構造としたので、装置仕様の背圧  $8 \times 10^{-5}$ Pa(常温)が達成できた。装置設置後、最初の排気試験では、24 時間ベーキング(チャンバ温度 85°C、

基板ヒータ温度 300°C)後、ヒータオフ 72 時間後に到達真空度 ( $8 \times 10^{-5}$ Pa: $6 \times 10^{-7}$ Torr) 以下に達している(合計で 4 日間)。なお、普通のプラズマ CVD 装置においては、同様のプロセス(1日ヒータ on+3 日排気)ではせいぜい  $2 \times 10^{-6}$ Torr 程度であることを考えると、高ベーキング温度は効果があったと判断できる。さらに、この(立ち上げ時の)ベーキングにより反応容器の脱ガスを行なった(通称「枯れた」)装置では、それ以降のベーキング温度による違いは小さかった。反応室内に純水の入ったビーカーを設置し、大気圧下で二昼夜放置した後、ビーカーを取り出した後に再排気したが、僅か 10 時間ほどで  $9.2 \times 10^{-5}$ Pa まで到達した。これは、いったん背圧が低い状態になれば、その後の大気開放・水分吸着などを経ても、容易に高い背圧に戻らないことを示している。

### 3-2-3 高周波プラズマを採用

励起周波数を 60MHz としたことにより成膜速度が高くなり、相対的に膜中不純物量が低下した。投入プラズマパワーを下げて成膜速度を小さくした場合は、図 3-4 に示すように、いずれの場合でも膜中酸素量は増加したことから、膜中不純物濃度の低減には成膜のための前駆体が多く供給されること(すなわち原料ガスの流速を増やし、高い成膜速度を得ること)が効果的であり、少なくともこの視点から高い励起周波数の有効性は確認できた。

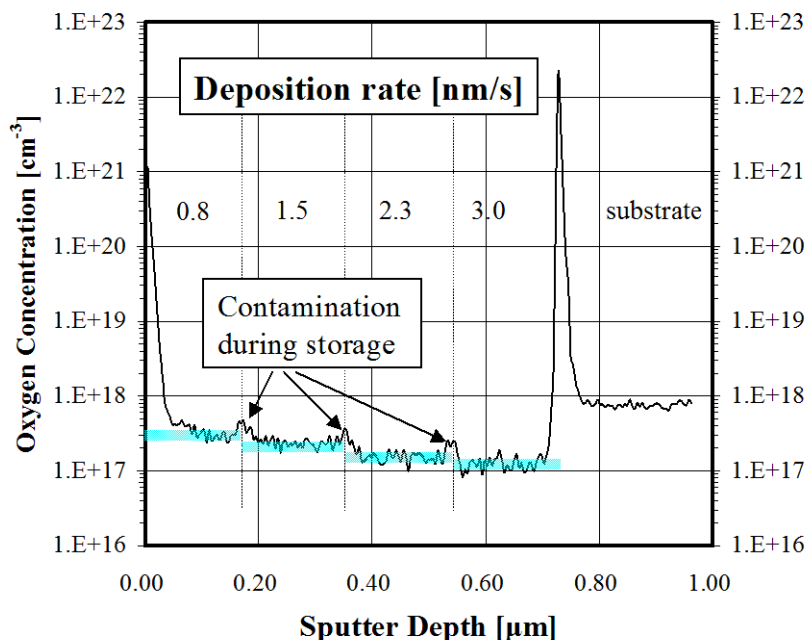


図3-4 成膜速度と膜中酸素濃度の関係

基板サイズが大きくなると、高周波では定在波の周期が基板サイズと近くなるため、膜厚均一性が低下する問題があるが、太陽電池用 CVD 装置などでは、この問題を回避するための試みが報告されており[3]、将来、大面積基板への成膜が必要となっても高周波を選択することによる問題はないと考えられる。



### 3-2-4 本装置に採用した高純度化施策一覧

表3-2に本装置で採用した高純度化への施策を載せる。現状装置との比較を行ない、それぞれの施策による効果も示す。

装置構成要素	現状装置	不純物低減対策	効果
<b>ガス導入系</b>			
①配管	SUS316L BAチューブ	BAチューブ内面の電解研磨 チューブ内面Cr203不動態膜形成	パーティクルの抑制、水分吸着の抑制 ガス吸着の低減と脱離速度の向上
②溶接	Ar溶接	高速ナロービード溶接の採用 極低Mn配管材料の選択 溶接部へのCr203不動態膜形成	溶接時に発生するMnヒュームの抑制 溶接時に発生するMnヒュームの抑制 耐腐食性の向上
③バルブ	メタルシールの採用	シール部の電解研磨 Ni-Co基超合金の採用	パーティクルの抑制、水分吸着の抑制 耐腐食性、耐摩耗性の向上
④配管折り曲げ加工	有り	なし(溶接による接合)	パーティクルの抑制
⑤MFC(腐食性ガス)	メタルシールの採用	シール部及びガス流路の電解研磨	パーティクルの抑制
⑥配管滞留部	特別な配慮なし	配管及びバルブ配置の最適化	配管内滞留ガスの低減
⑦継手	VCR	メタルガスケツ継手UPGの採用	耐腐食性の向上、リーク可能性の低減
⑧フィルター	なし	UCT仕様フィルターの採用	パーティクル及び水分の除去、耐腐食性向上
<b>反応室</b>			
①材質	Al-Mg合金	Al-Mg合金表面加工精度の向上	パーティクルの抑制、吸着物質の低減
②内壁表面処理	なし	フッ化不動態化処理	耐腐食性の向上
③真空シール	バイトン(一重)	バイトン(二重シール+中間排気) メタルシールの採用	透過による大気混入の低減 ベーキング温度上限の向上
④外壁ベーキング	約80℃のベーキング	120℃以上のベーキング	吸着水分の除去、副生成物付着抑制
⑤排気系ベーキング	なし	ベーキング可能バルブの採用 排気配管のベーキング	吸着水分の除去、副生成物付着抑制 吸着水分の除去、副生成物付着抑制
⑥排気系	MB+ドライポンプ 接ガス部オイルフリー	高真空排気系の追加 接ガス部のオイルフリー化	バックグラウンド圧力の向上 有機物混入の防止
<b>搬送室</b>			
①真空容器	Al-Mg合金	SUS系材料の採用と内面の電解研磨	パーティクル抑制、水分吸着の低減
②真空シール	バイトン(一重)	バイトン(二重シール+中間排気) メタルシールの採用	透過による大気混入の低減 透過による大気混入の低減
③真空ロボット	磁性流体真空シール アルミハンド	磁性流体による真空シール セラミックハンド、MMCハンド	回転シール部からのパーティクル抑制 金属不純物の付着低減
④排気系	TMP+スクロールポンプ 接ガス部オイルフリー	TMP排気速度の強化 接ガス部のオイルフリー化	バックグラウンド圧力の向上 有機物混入の防止
<b>ロードロック室</b>			
①真空容器	Al-Mg合金	SUS系材料の採用と内面の電解研磨	パーティクル抑制、水分吸着の低減
②真空シール	バイトン(一重)	バイトン(二重シール+中間排気)	透過による大気混入の低減
③排気系	スクロールポンプ 接ガス部オイルフリー	TMPの追加 接ガス部のオイルフリー化	バックグラウンド圧力の向上 有機物混入の防止
④ベントガス	窒素ガス	フィルターの採用	水分、パーティクルの低減
⑤スローベント	なし	ベントガス流速の低減	パーティクル抑制

### 3-3 プロセス上の施策

膜中の不純物量を低減するためには、汚染を極力減らすプロセスも有効である。そのため、想定している膜構造に関してプロセスの違いによる初期膜層の純度を評価し、問題点を抽出した。

#### 3-3-1 成膜前プリコートの一必要性と最適化

Semiconductor Industry Association(SIA)のロードマップ[4]に記載されている汚染許容量は(1)接合リークに与える影響、(2)しきい電圧に与える影響、(3)耐圧劣化メカニズム、を考慮して、特に最も深刻な(3)の観点から決められている。図3-5にSIAロードマップから引用した主な金属の汚染許容量をLSIの技術世代を横軸として示す。汚染物が表面に付着していることを想定した単位面積当たりの値である。本論文で目指す技術世代は $1\mu\text{m}$ 程度であると仮定とすると、洗浄前後の外挿値である $1 \times 10^{12}\text{cm}^{-2}$ 、或いは $1 \times 10^{11}\text{cm}^{-2}$ のどちらかが目安とすることができる。また、poly-Si膜の作製方法としてレーザアニール法を選択した場合、通常の結晶Si-MOSFETプロセスよりも(短時間であるが)高温プロセスとなるため、不純物が与える影響を別途に考える必要があるが、今回は特別な考慮はしない。

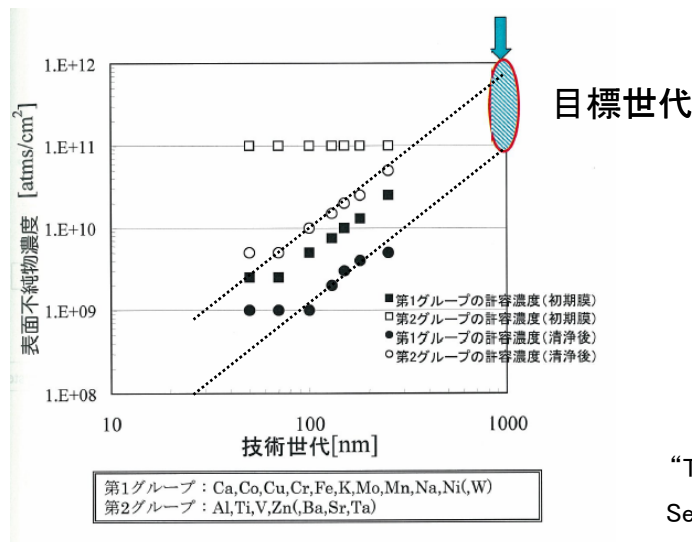


図3-5 主な金属の汚染許容量  
 “The National Technology Roadmap for Semiconductor,” edited by SIA (1997)

本実験の成膜装置の反応室は、前述のようにアルミニウム合金製の反応容器とアルミニウム合金製の基板ヒータ、アルミニウム製の対向電極があり、それらの構成元素であるアルミニウムおよびマグネシウムのコンタミネーションが考えられる。そのため、成膜前に基板を導入せず反応室内面や基板ヒータ表面をコーティングすることで、これらの元

素の周辺からのコンタミネーションを低減することを試みた。

また、反応室内のパーティクル低減のため、ある累積膜厚の成膜後に  $\text{NF}_3$  ガスによるクリーニングを行なっている。このクリーニングの際にフッ素が反応室内面などに吸着して、次回の成膜時に膜中に混入する。成膜前のコーティングはこのフッ素の混入をも低減する効果がある。吸着フッ素の低減に限らず、コーティングによる不純物低減には SiN 膜が有効であることが知られており、例えばガラス基板上のコーティングなどに応用されている。これは、SiN 膜中の欠陥に不純物が捕獲され、表面すなわち反応容器の内面に到達し得ないからであると考えられている。しかしながら、成膜前に SiN を成膜すると反応室内にアンモニアなどの原料ガスが残留し、結果としてコーティング後に成膜した a-Si 膜中に窒素が取り込まれてしまう恐れがある。そこで、コーティングをする膜として a-Si 膜を選択した。

フッ素によるチャンバクリーニングを行なった後に、a-Si 膜をコーティング後基板を導入して a-Si 膜を成膜した場合と、クリーニング後コーティングせずに基板を導入して a-Si 膜を成膜した場合について、膜中 Al および Mg 元素を誘導結合プラズマ質量分析 (ICP-MS) 法にて、F 元素を二次イオン質量分析 (SIMS 分析) により膜中の総含有量を分析した。基板上に成膜した a-Si 膜の膜厚は 500nm である。成膜前コーティング有無での膜中金属量と膜中フッ素量の違いを表 3-3 に示す。

表 3-3 膜中金属含有量へのコーティングの効果

	Al [ $\times 10^{10}\text{cm}^{-2}$ ]	Mg [ $\times 10^{10}\text{cm}^{-2}$ ]	F [ $\times 10^{17}\text{cm}^{-3}$ ]
コーティングなし	370	67	104
コーティングあり	20	0.52	0.76

成膜前コーティングを行なうことで、アルミニウム・マグネシウム共に激減し、コーティングを行なうことでほぼ  $1\mu\text{m}$  世代の許容不純物濃度程度になった。また、a-Si 膜のコーティングでフッ素濃度は  $1 \times 10^{17}\text{cm}^{-3}$  以下 (コーティング無しでは  $1 \times 10^{19}\text{cm}^{-3}$ ) と所望の効果が得られた。

### 3-3-2 成膜速度の向上

3-2-4 項で述べたように、原料ガス流速を増やし成膜速度を高くすることが、反応室からの脱ガスを原因とする汚染を実質的に低減する効果が期待できる。また、量産プロセスを意識すると成膜速度が高い方がスループットなどの要因からも望まれる。しかしながら、極端に成膜速度を高めると、気相での反応が進むために反応室内のシリコン微粒子からなるパーティクルが急増し、成膜中に膜中に取り込まれることによりデバイスの不良を引き起こす。成膜速度=3nm/sec は 13.56MHz の Radio Frequency (RF) プラズマ CVD 装置での最高速度にあたり、パーティクル・膜厚分布がかなり悪い条件にあたるが、本装

置においては、最高で 6nm/sec まで成膜速度を高める余地を残しながらも、±2%程度の膜厚分布で 3nm/sec の成膜ができた。

成膜速度を 3nm/sec・4.5nm/sec・6nm/sec とした場合のパーティクル評価結果を表 3-4 に示す。それぞれの成膜速度での成膜後に、洗浄した 6 インチシリコンウエハを 3 枚ずつ反応室まで搬送し、成膜せずに元に戻し、基板表面に付着したパーティクル数をカウントした。CVD 装置とパーティクルカウンタの設置位置が遠いため、単に搬送するだけの基板も用意し、この基板上のパーティクル数を差し引いた結果である。

表 3-4 それぞれの成膜後の反応室雰囲気でのパーティクル数

	成膜実験前	3nm/sec	4.5nm/sec	6nm/sec
1 枚目	9	12	16	88
2 枚目	8	10	20	54
3 枚目	11	11	17	29

装置の実力が 10 個/6 インチ基板程度となっており、成膜速度を高くするとパーティクル数が増加することがわかる。また、枚数が増えるとパーティクルが減っているのは、成膜時に発生したパーティクルが、時間を経るにしたがって減少している様子をあらわしたものであり、パーティクル発生起因が直前の高速成膜によるものであること如実に示している。量産装置においては、パーティクルが多く発生するプロセス条件は採択しないため、本実験においても最も高速な成膜条件においても 3nm/sec 程度で行なうこととした。

### 3-3-3 クロスコンタミネーション

基板上に SiO<sub>2</sub> 成膜に続いて a-Si 成膜を行なう際に、同一反応室で SiO<sub>2</sub> 膜と a-Si 膜を続けて成膜した場合・別の反応容器でそれぞれの成膜を真空一貫で成膜した場合と、a-Si 膜のみを成膜した場合それぞれの膜中酸素濃度を、SIMS 分析により評価した。その結果、

(i)熱 SiO<sub>2</sub> 表面上へ a-Si 直接成膜:  $4.8 \times 10^{17} \text{cm}^{-3}$

(ii)アンダーコート SiO<sub>2</sub> 膜成膜した上に a-Si を成膜:  $1.7 \times 10^{18} \text{cm}^{-3}$

(iii)アンダーコート SiO<sub>2</sub> 膜成膜した上に異なる反応室で a-Si 膜成膜:  $7.2 \times 10^{17} \text{cm}^{-3}$

アンダーコート SiO<sub>2</sub> 層の成膜終了後から、次の層である a-Si 成膜を行なうまでの間に、酸素含有ガスあるいは酸素原子・分子などが反応室内より除去できず、a-Si 膜成膜時に膜中に取り込まれた。これは、反応容器を a-Si 成膜用と SiO<sub>2</sub> 成膜用とで分け、異なる反応容器で成膜することで、解決可能と考えられる。

### 3-4 堆積実験と堆積膜評価結果

### 3-4-1 高純度初期膜(単層)の形成

Si 基板の上に堆積した a-Si 膜の含有酸素および炭素の濃度を SIMS により分析した。炭素は測定限界値 ( $\sim 1 \times 10^{17} \text{cm}^{-3}$ ) 以下、酸素の最低値は  $1.4 \times 10^{17} \text{cm}^{-3}$  であった。これらの値は通常のプラズマ CVD 装置で得られる a-Si 膜より 1 桁以上も優れていた。

次に成膜速度の  $\text{SiH}_4$  流量依存性を図 3-6 に示す。 $\text{H}_2$  流量および  $\text{SiH}_4 + \text{Ar}$  の流量を一定にして  $\text{SiH}_4$  流量を変化させて成膜を行った。 $\text{SiH}_4$  流量に対して成膜速度はほぼ比例しており、この成膜条件では、原料ガスの供給律速となっていることがわかる。 $\text{SiH}_4/\text{H}_2$  比が小さくなっていくと、できる膜が a-Si ではなく  $\mu\text{c-Si}$  となる可能性があるが、このグラフでの最小  $\text{SiH}_4/\text{H}_2$  比の 1/16 はまだ  $\mu\text{c-Si}$  になる領域ではなかったことを、ラマン分析で結晶性のピークが出ないことから確認してある。

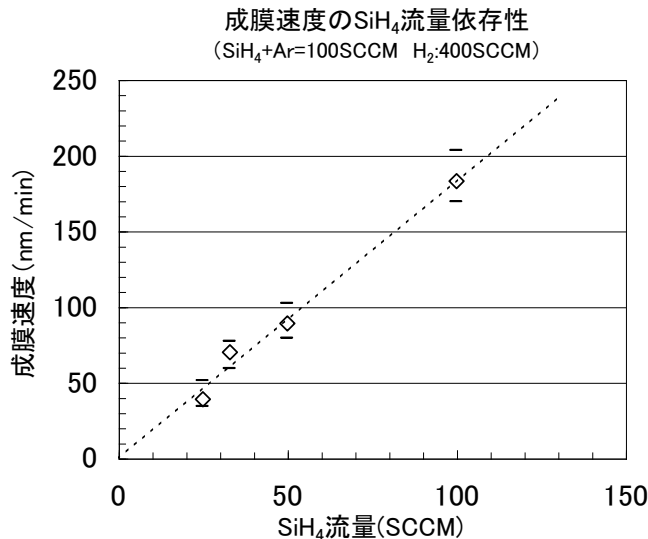


図3-6 成膜速度の  $\text{SiH}_4$  流量依存性

反応室の漏洩量と膜中酸素量との関係を図 3-7 に示す。図 3-6 において成膜速度が  $\text{SiH}_4$  流量にほぼ比例しているため、成膜中反応室内の  $\text{SiH}_4$  分圧と、酸素の起源と見られる残留ガス分圧の比率がそのまま膜中不純物濃度に対応すると考えられる。しかしながら、測定結果では低漏洩量の場合の膜中酸素濃度が高かった。この原因として、反応室内壁などからの脱ガスが主要因である残留ガスと、異なる不純物混入要因が存在すること、しかも脱ガスによる不純物濃度が小さくなってきたことにより、この新たな要因による膜中酸素量が無視できなくなったことによると考えられる。

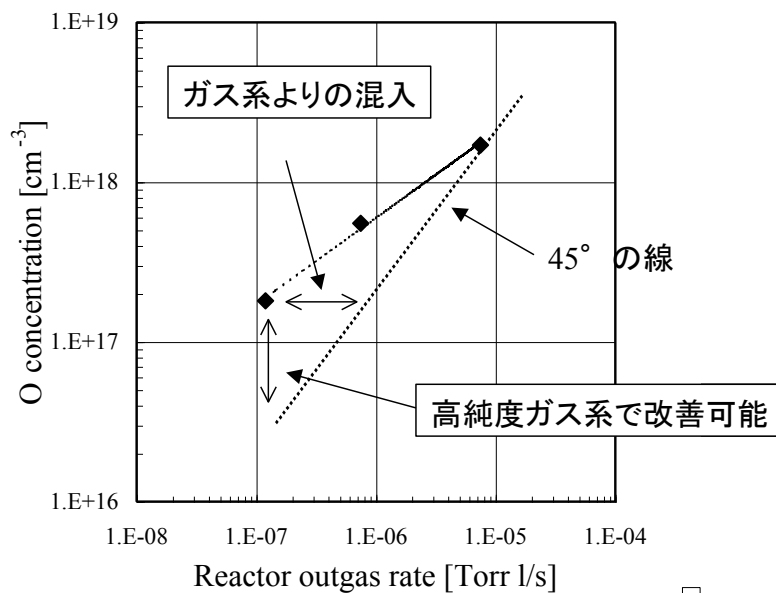


図3-7 漏洩量と膜中酸素濃度の関係

酸素混入の起源を成膜条件依存性により調べた結果を図3-8に示す。酸素濃度は、反応室の漏洩量とほぼ線形の関係で変化した。その比例係数は反応室漏洩量と原料ガス流量の比率に対応した。また、Y切片の値( $4 \sim 5 \times 10^{16} \text{ cm}^{-3}$ )は、2種類の反応室漏洩量についてほぼ同じだった。この値は、 $\text{SiH}_4$ 流量が無限大の時すなわち( $\text{SiH}_4$ と $\text{H}_2$ の比率は一定のため)反応室からの脱ガスと比較して無限に多い原料ガスを用いた時の膜中酸素量に対応していると考えられるから、チャンバに導入される原料ガスの純度のみに関係する値である。

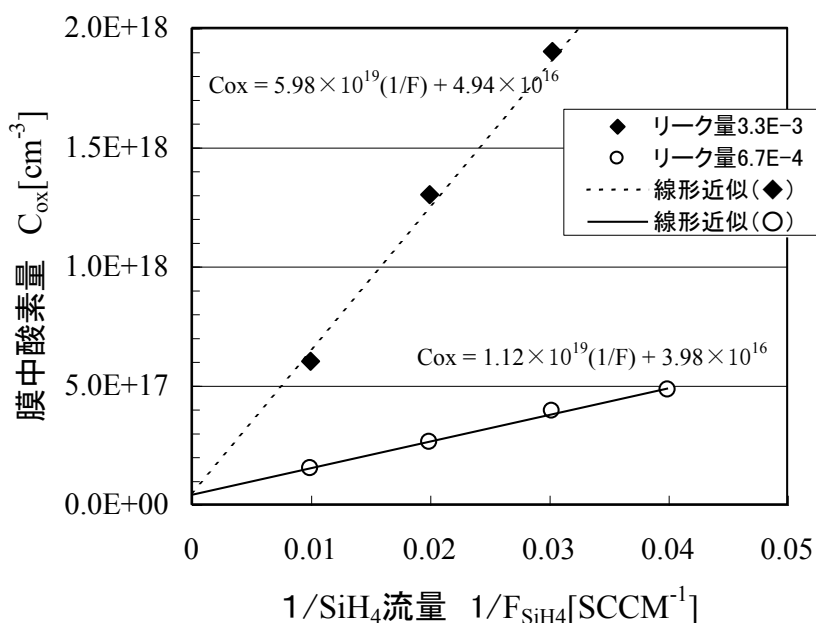


図3-8 漏洩量と膜中酸素濃度の関係

このガス供給系(原料ガスボンベ、配管系を含む)からの純度は、Si 原子の密度を  $5 \times 10^{22} \text{cm}^{-3}$  とすると、0.8~1ppm であった。一方、本実験で使用したボンベ内ガス純度は、納品時の分析表によると酸素関連不純物濃度 ( $\text{O}_2$ ,  $\text{CO}$ ,  $\text{CO}_2$ ,  $\text{H}_2\text{O}$ ) で 0.5ppm 以下であることより、原料ガスそのものからの汚染よりも、配管系からの汚染が大きいことがわかった。

### 3-4-2 高純度初期膜(積層)の形成

アンダーコート  $\text{SiO}_2$  膜層、a-Si 初期膜層、キャップ  $\text{SiO}_2$  膜層の 3 層構造の連続堆積(シングルチャンバで堆積)を行なった。チャンバを分けて積層した方が、不純物濃度が低くなると予想されるが、量産を行なうにあたっては CVD プロセスで 1 基板への成膜に多チャンバを用いることはないことから、実際に即した成膜方法を行なうものである。その結果、3 層構造の場合では  $1 \times 10^{18} \text{cm}^{-3}$ 、アンダーコート  $\text{SiO}_2$  層のない 2 層構造においては  $5 \times 10^{17} \text{cm}^{-3}$  (ともに深さ方向の平均値)を得ることができた。このプロファイルを持つ基板に結晶化を行なった。その結果を図 3-9 に示す。

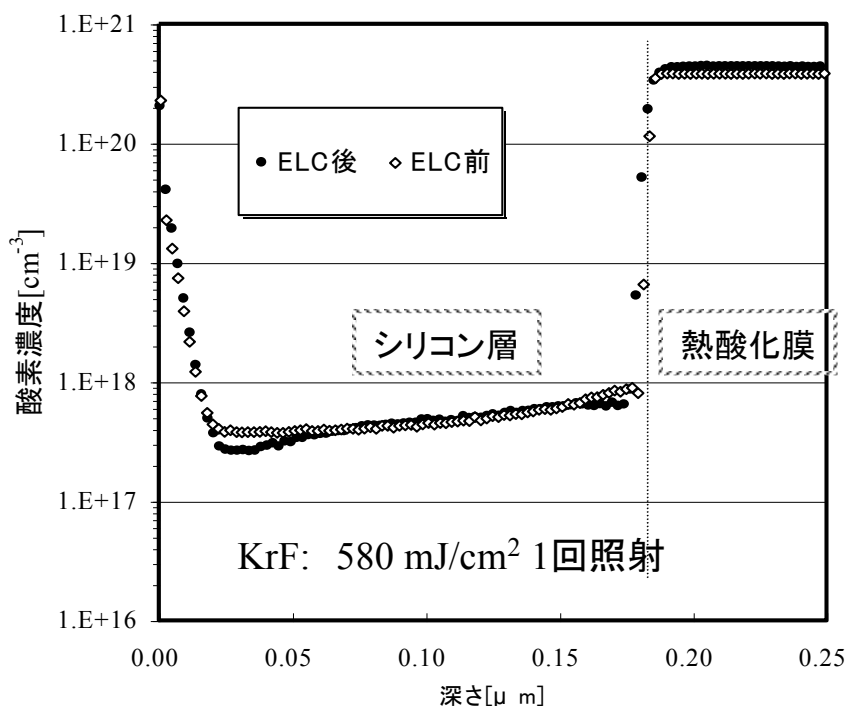


図3-9 エキシマレーザ前後の酸素濃度プロファイルの変化

ELC:エキシマレーザ結晶化

結晶化前後で膜中酸素の深さ方向プロファイルは殆ど変化していない。特に酸素濃

度に関しては、アンダーコート SiO<sub>2</sub> 膜と Si 膜界面、Si 膜とキャップ SiO<sub>2</sub> 膜界面の急峻性は、結晶化による明確な悪影響は見られなかった。

### 3-4-3 キャップ付き構造の優位性

キャップ SiO<sub>2</sub> 膜がある試料と無い試料に対して同じ条件で結晶化して、膜中の炭素濃度の違いを SIMS 分析により評価を行なった。結果を図 3-10 示す。キャップ膜無しの試料では大量の炭素系化合物が表面側から膜中に取り込まれた。照射回数増加で、より基板側まで炭素濃度分布が広がっていることから、試料表面に付着していた炭素が結晶化時に膜内部に拡散したと考えられる。連続成膜した SiO<sub>2</sub> キャップ膜付試料でも表面近傍に高濃度の炭素系化合物が検出された。しかしこれは、量的に少ないこと、およびレーザー照射をしなかった試料の分布と酷似していたことから、SIMS 測定のためにキャップ SiO<sub>2</sub> 膜を除去した際に表面に付着した炭素系化合物によると判断した。キャップ層は、結晶化時の表面からの汚染を防止する効果があることがわかった。

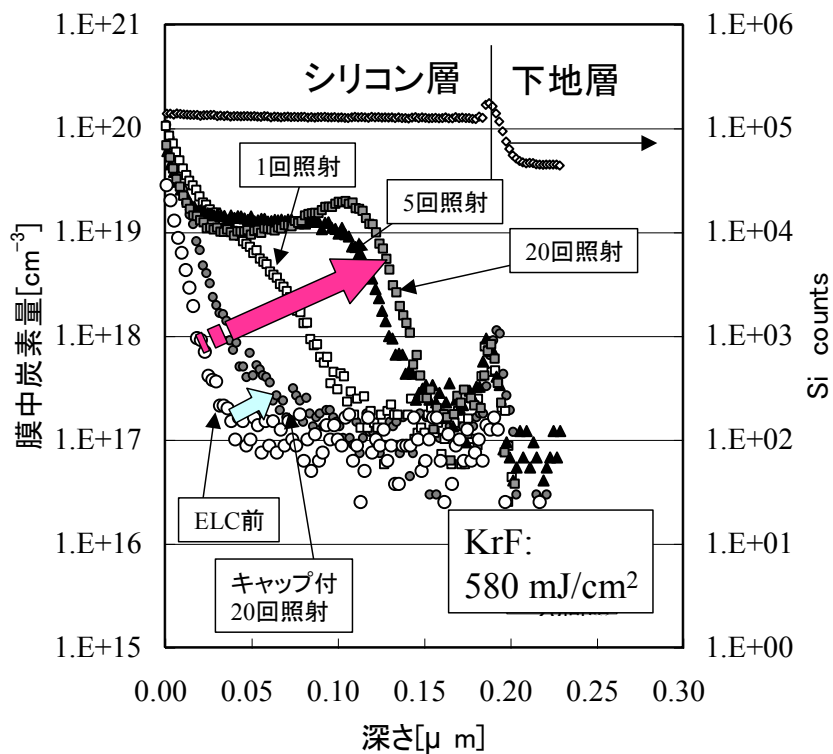


図3-10 エキシマレーザー照射前後の炭素濃度プロファイルの変化



### 第 3 章まとめ

高純度初期膜の効果検証のため、成膜装置の開発を行なった。あくまで量産機への適用可能な施策のみを選択し、低背圧を実現した。この成膜装置を用いて、実際に不純物濃度の低い Si 膜を作製可能であることを確認した。また、試料をキャップ付き構造とすることで、レーザアニール中の不純物増加を抑制することが可能であることを示した。この試料構造で次章以降のレーザ結晶化実験を進める。

## 参考文献

- [1] Kamei, T., Kondo, M., and Matsuda, A.: Jpn. J. Appl. Phys. 37 p.L265 (1998)
- [2] 前畑英彦、大工博之、荒井浩成、馬場吉康:日立造船技報 49 p.53 (1988)
- [3] 米倉義道、山下信樹、中野要治、竹内良昭、野田松平、山内康弘:三菱重工技報 40 p.320
- [4] “The National Technology Roadmap for Semiconductor,” edited by SIA (1997)

その他、本章全般で、真空技術(堀越源一:東京大学出版(1976年))、真空排気とガス放出(堀越源一ら:共立出版(1995年))、新版真空ハンドブック(アルバック編:オーム社(2002年))を参考とした。

## 第4章 不純物による横方向成長の阻害

第3章で実現された高純度 Si 膜をレーザーアニールの初期膜に用いて、横方向成長について検討した。本論文では位相制御エキシマレーザーアニール法を用いて横方向成長を行なうが、ここに位相制御エキシマレーザーアニール法の原理は第2章で示した。この方式を用いて横方向成長の確認を行なった。

### 4-1 横方向成長の確認

SiO<sub>2</sub> キャップ膜(300nm)/a-Si(200nm)/下地 SiO<sub>2</sub>(30nm)の3層を、両面熱酸化(1μm)を行なった Si 基板上に連続堆積したものを試料とした。試料断面構造を図 4-1 に示す。

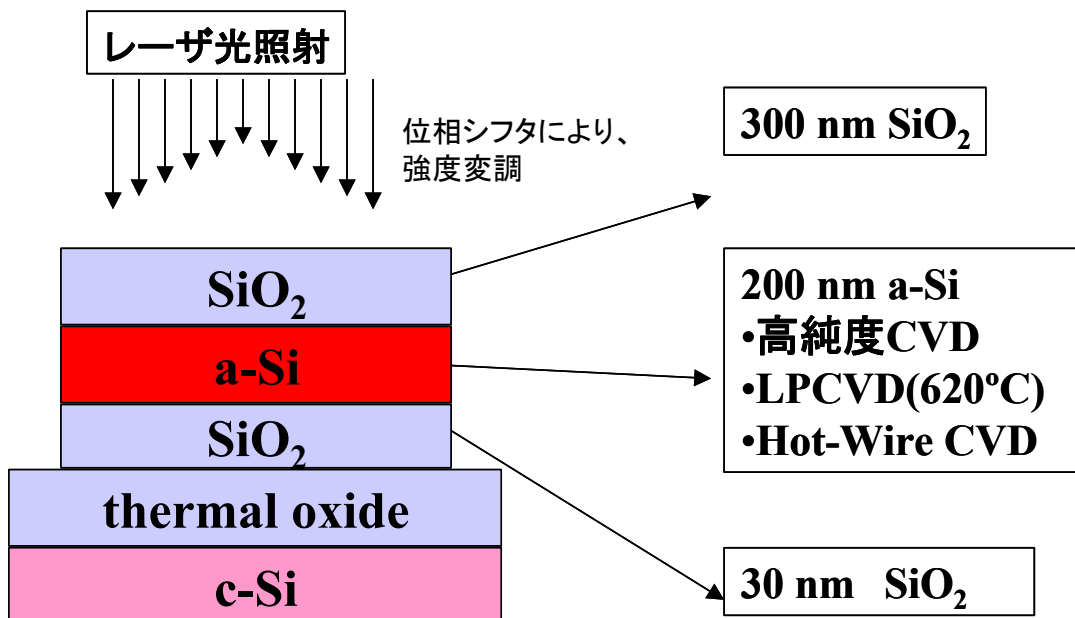


図4-1 試料の断面構造

成膜前処理として、下地 SiO<sub>2</sub> 成膜前に SH 洗浄+希 HF-dip を行なっている。また、初期膜として低圧(LP)CVD 装置や Hot-Wire CVD 装置で Si 膜を作製した試料について比較した。LPCVD 装置・Hot-Wire CVD 装置での成膜は装置上の都合で連続成膜ができない。Si 膜自体の比較をするために同条件とすべく、高純度 Si 膜を成膜する際に連続堆積を行なわない、すなわち一度大気暴露した試料も作製した。また、レーザー照射前に、窒素雰囲気中 580°C 2 時間の脱水素アニールを行なっている。

照射したレーザーは KrF (λ=254nm) エキシマレーザーである。図 4-2a に示すような光学系の構造を用いて、試料表面にレーザー光を投影した。照射光強度分布は図 4-2b に示す

ように 0%~100%まで振動する形状とし、様々な周期を有する鋸波状強度分布を同時に作った。光強度の最小値はほぼゼロで、最大値はレーザー光入射強度にほぼ等しい。スロープの幅を変えて、横方向成長を試みた。なお、この光強度分布を得る方法は巻末の付録に記載する[1][2]。照射強度は位相変調素子がない(すなわち光強度分布のない)状態で 300-1000mJ/cm<sup>2</sup> まで変化させた。横方向成長距離は粒界を顕在化するセコエッチング (secco-etching)を行ない、表面を SEM 観察し測長した。

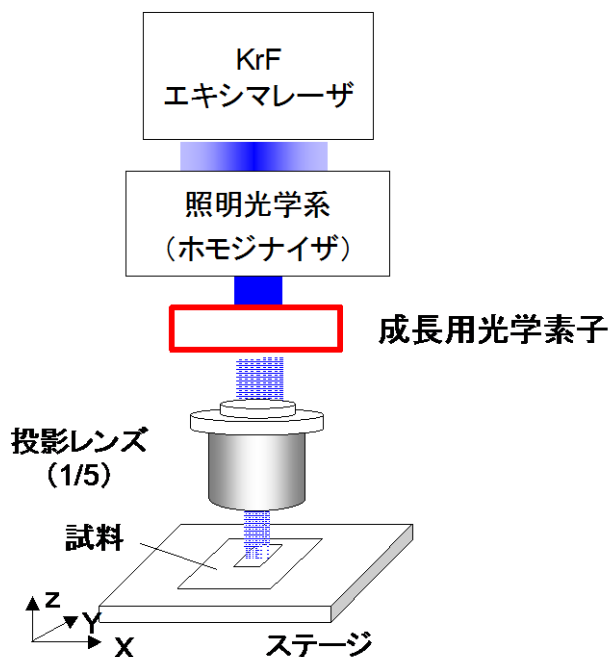


図4-2a レーザアニールの光学系

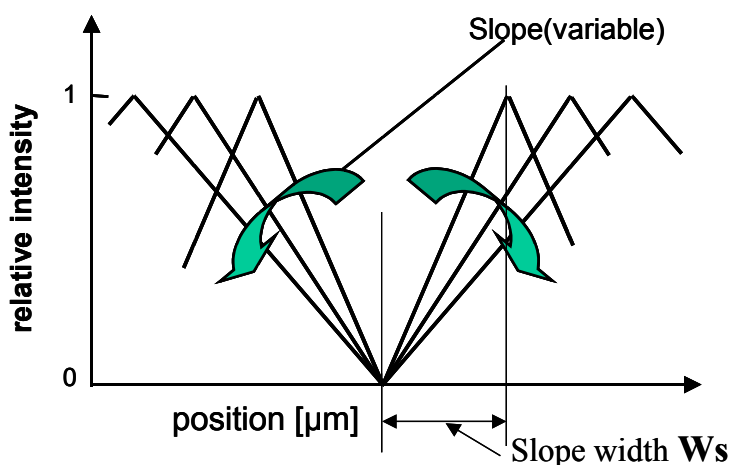


図4-2b 照射光強度分布

照射光を強度分布のない一様な分布にした場合、高純度 Si-CVD 装置で堆積した試料では、1000 mJ/cm<sup>2</sup> 程度の高光強度照射まで試料破壊は生じないが、LPCVD や Hot-Wire で成膜した a-Si 膜の場合では、700-750 mJ/cm<sup>2</sup> の光強度で試料破壊が生じた。膜中水素量が多いと、試料破壊が発生しやすいことはよく知られている[3]が、本実験の場合最終的に 580°Cと高温で脱水素アニールを行なっていることから、膜中水素量の違いはないと考えられ、試料破壊の原因は水素以外であると考えられる。

光強度分布をつけた試料においては、いずれも 1000 mJ/cm<sup>2</sup> まで試料破壊はなかつ

た。強度分布があることにより試料破壊に至らない原因は不明である。いずれの試料でも投入エネルギー密度が  $940 \text{ mJ/cm}^2$ ・スロープ幅  $15 \mu\text{m}$  の時に最も長い横方向成長を示した。表面 SEM 写真の例を図 4-3 に示す。

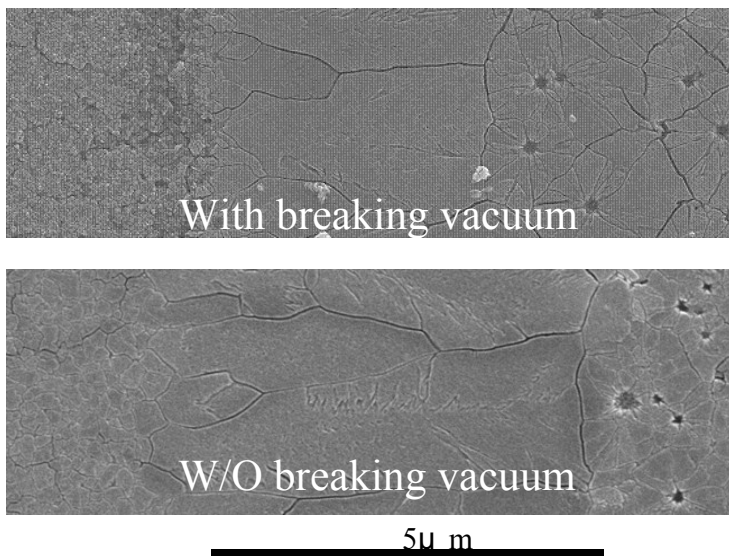


図4-3 横方向成長の例

連続成膜した試料の方が、横方向成長距離が長いことがわかる。また、他装置で成膜した試料は、更に横方向成長距離が短い(図 4-4 参照)。一方、膜中不純物濃度(レーザーアニール前)は表 4-1 のようになっており、この不純物濃度の違いが横方向成長距離に影響していると考えられる。

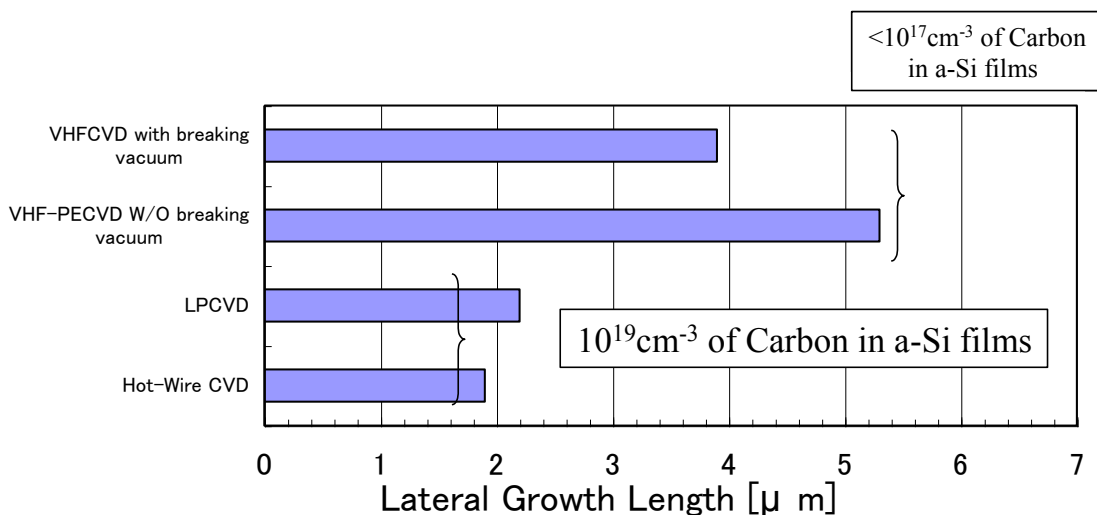


図4-4 横方向成長距離の成膜方法による違い

表 4-1 膜中炭素・酸素・窒素濃度 ( $\text{cm}^{-3}$ ): 膜厚方向での平均値

	高純度(連続)	高純度(不連続)	LPCVD	Hot-Wire CVD
炭素濃度	$5.4 \times 10^{17}$	$1.2 \times 10^{18}$	$7.1 \times 10^{18}$	$1.2 \times 10^{19}$
酸素濃度	$7.6 \times 10^{17}$	$1.1 \times 10^{18}$	$3.2 \times 10^{19}$	$5.3 \times 10^{19}$
窒素濃度	$4.4 \times 10^{17}$	$1.0 \times 10^{18}$	$3.1 \times 10^{18}$	$1.7 \times 10^{18}$

不純物増加による横方向成長距離低下を実証するために、a-Si に C や O などの不純物を、膜中濃度を変化させる注入条件にてイオン注入を行ない、横方向成長距離を比較した。何らかの濃度依存性が得られた場合、Si 膜中の不純物濃度が横方向成長に影響を及ぼしていると考えた。

#### 4-2 炭素・酸素イオン注入後レーザーアニール

3層連続成膜した試料に不純物元素をイオン注入し、キャップ SiO<sub>2</sub> 膜を剥離してから、300 nm 厚のキャップ SiO<sub>2</sub> 膜を再び堆積した。本来のキャップ膜は、300nm 厚であるが、注入前にこの膜厚にしてしまうと、不純物元素のイオン注入が困難になるため、イオン注入前は 30nm とした。注入元素は、濃度ピークを Si 表面から 20nm 程度となるように加速電圧を調整した。実験に用いた基板構成条件を図 4-5 に示す。

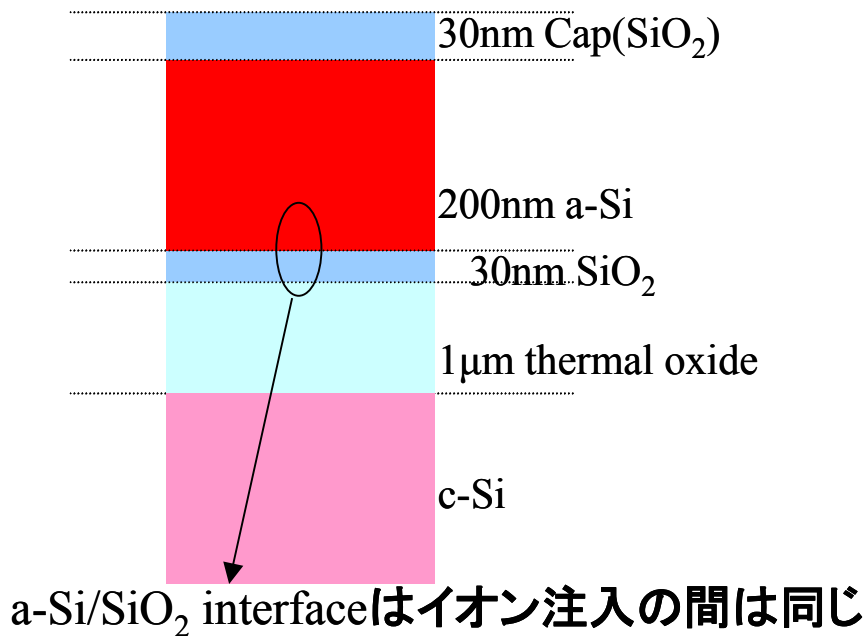


図4-5 試料の断面構造

3層連続成膜後脱水素処理のみを行なった標準試料(R1)と、脱水素処理を施してからイオンを注入した試料(断面構造は同一にした)との結晶化特性の差異を調べた。不純物元素注入量がゼロの試料(PECVD a-Si 膜を堆積後に大気暴露をしてから再度 SiO<sub>2</sub> 膜を堆積した試料)を特に R2 と呼ぶことにする。なお、キャップ SiO<sub>2</sub> 膜厚は 300nm、Si 膜厚は 200nm に統一した。まず、キャップ SiO<sub>2</sub> 膜の有無による結晶化後の不純物の差異を調べた。同一光強度・勾配で結晶化した膜のモフォロジーを図 4-6 に示す。

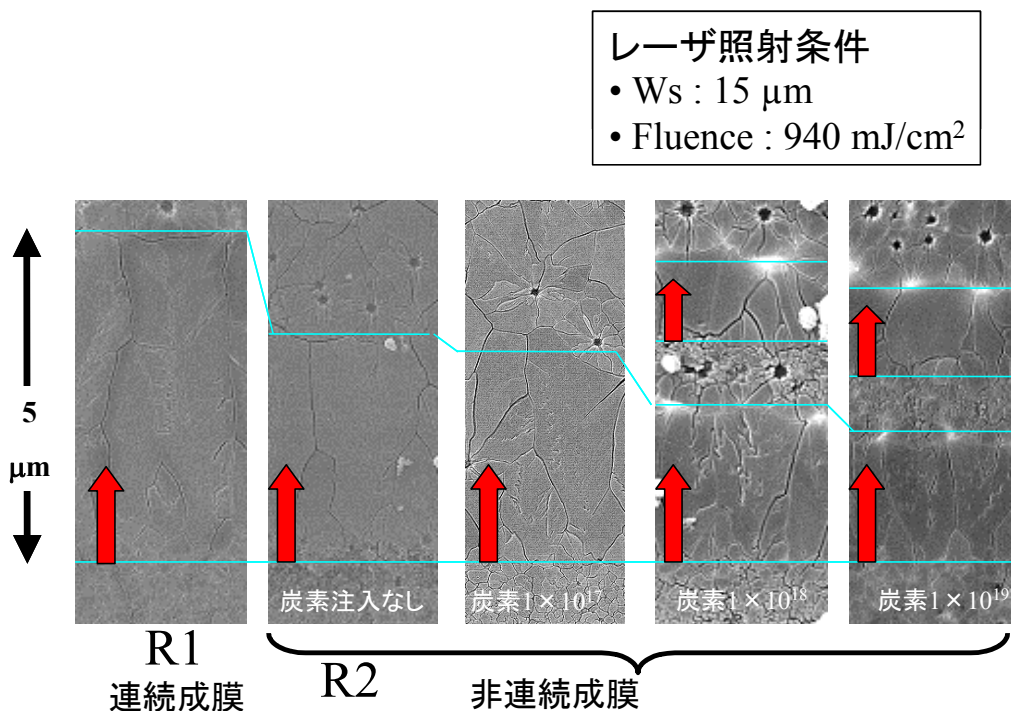


図4-6 炭素注入試料の表面写真

R1 の成長距離が 5.5 μm 程度と際立って長い。一方、R2 の成長距離は 4 μm 程度であった。C 元素を注入した試料では、平均炭素濃度の増加に伴って成長距離は単調に減少した。特に膜中平均 C 濃度が  $10 \times 10^{18} \text{ cm}^{-3}$  程度になると、多段階の横方向成長が生じた。

次に酸素元素注入の膜のモフォロジーを図 4-7 に示す。また、濃度と横方向成長との関係を図 4-8 に示す。影響の程度は炭素元素注入に比べて少ないが、酸素濃度の増加は結晶化特性に悪影響を及ぼす。膜中不純物としての炭素や酸素が結晶成長にも明確な悪影響を持つことは、結晶 Si 中の不純物による電気的特性への影響に、結晶品質が悪化することによる電気的特性への影響も加わることになる。したがって、初期 Si 膜の高純度化ならびに 3 層連続堆積は高品質な Si 膜の大結晶粒成長に不可欠であると考えられる。



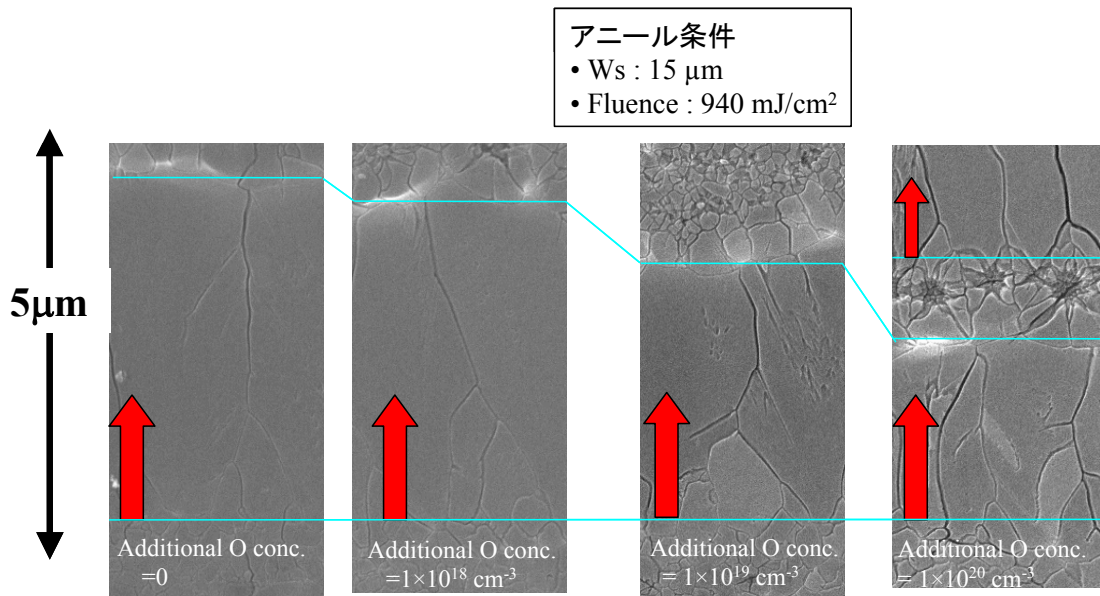


図4-7 酸素注入試料の表面写真

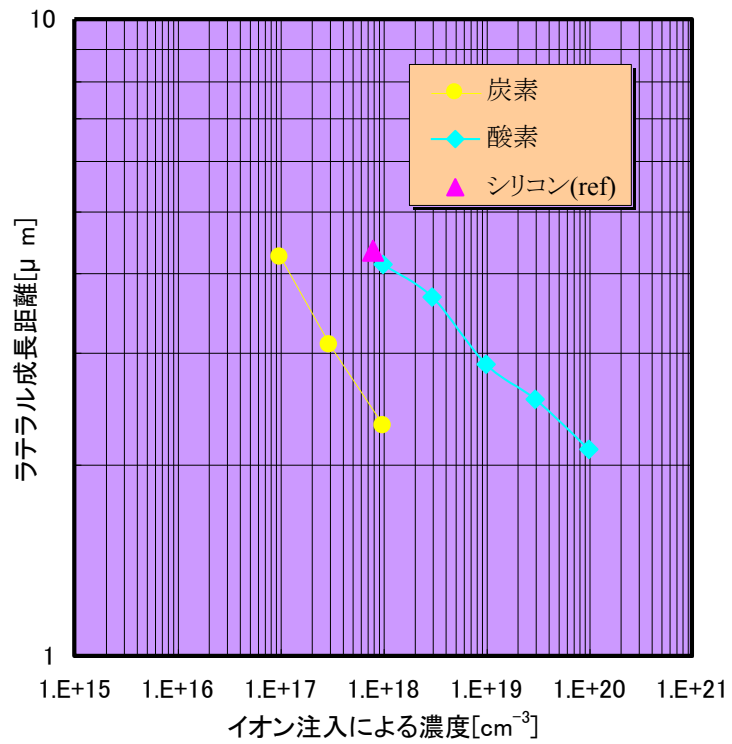


図4-8 注入量と横方向成長距離の関係



### 4-3 注入元素と横方向成長の関係

同じ実験を窒素・フッ素についても行なった。横方向成長距離と注入元素との関係を図 4-9 に示す。

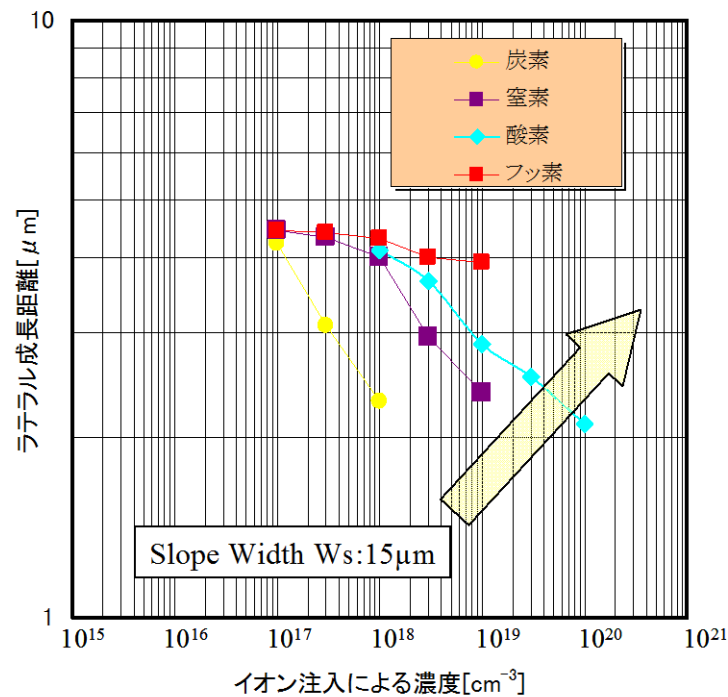


図4-9 各種イオン注入量と横方向成長距離の関係

横方向成長距離はCが短く、N-O-Fの順で長くなっていることがわかる。周期表で右に行くほど長く伸びることが示されており、結合手の数に起因する結合時の自由度の差が考えられる。しかし、リン元素の結果を表 4-2 に示すが、3 価あるいは電子を出して 4 価となるリン元素が比較的長い横方向成長距離を有することから、価数が主要因ではないと考えられる。

表 4-2 リン注入濃度(ピーク値)と横方向成長距離の関係

濃度( $\text{cm}^{-3}$ )	$1.0 \times 10^{18}$	$3.0 \times 10^{18}$	$1.0 \times 10^{19}$	$3.0 \times 10^{19}$
横方向成長距離( $\mu\text{m}$ )	4.2	3.9	3.8	3.7

固溶限界以上であれば凝固点降下が見られ、結果として過冷却度が低下し、再結晶化の際に影響することが考えられるが、凝固点降下は元素による違いはなく液体 Si 中の濃度だけで決定するため、本結果のように元素により振る舞いが異なる事に関しては主要因とはならない。

図 4-10 に各元素とシリコンの相図[4]を、表 4-3 にそれぞれの元素の Si への固溶限

界と、化学量論的組成比での融点を示すが、固溶限界を越える元素は固化時に外方拡散し、成長の進行方向に向かって濃縮される。もともと導入した膜中濃度は低くても、液体中で濃縮された場合、高い融点でも固化する可能性がある。固液界面の非常に薄い領域で濃縮されることは知られており、膜中の平均的な不純物濃度が小さくとも、固体部分から吐き出されて固液界面の薄い範囲に追いやられることにより、本来なら化学量論的組成比と比較してかなり小さな濃度でも、化学量論的組成比が達成できる可能性がある。

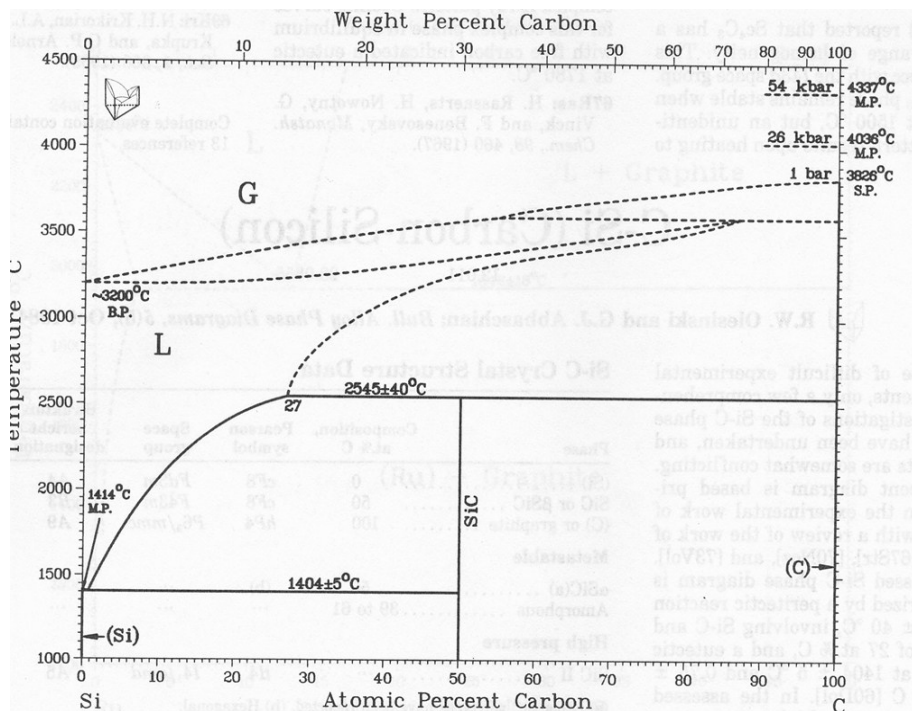


図4-10a Si-C相図

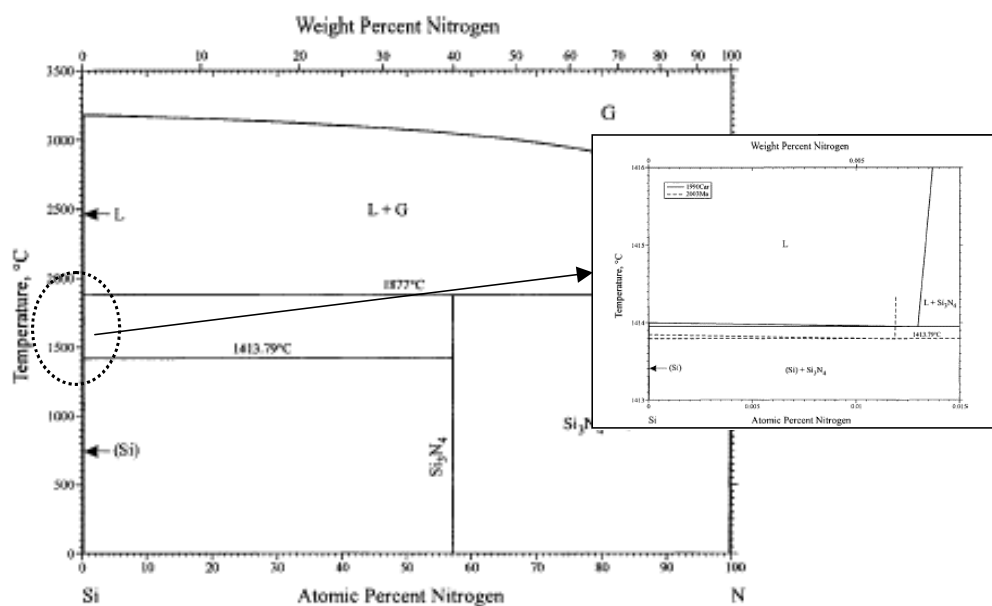


図4-10b Si-N相図

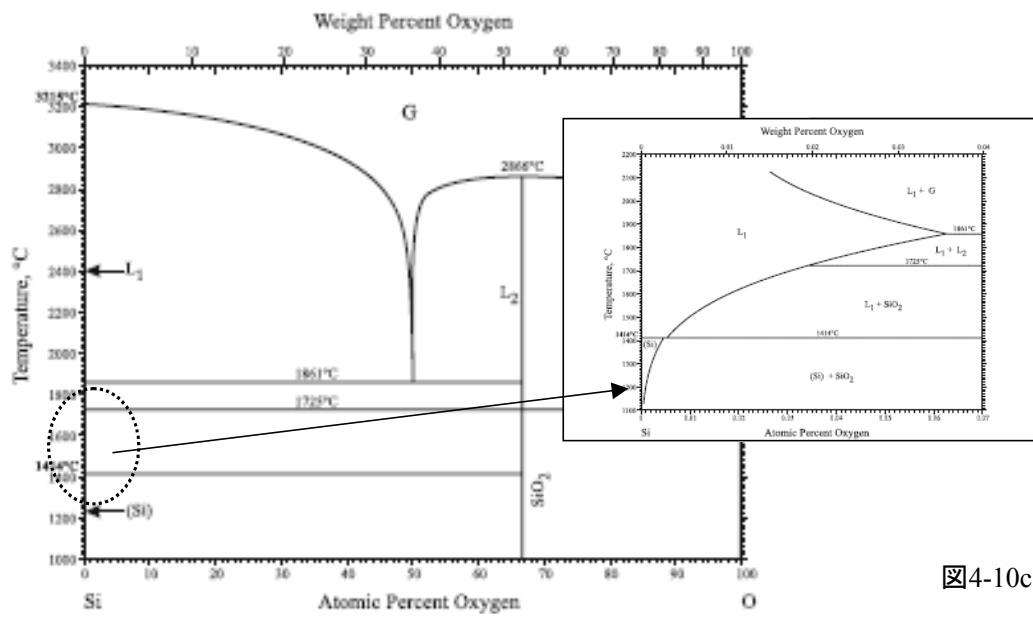


図4-10c Si-O相図

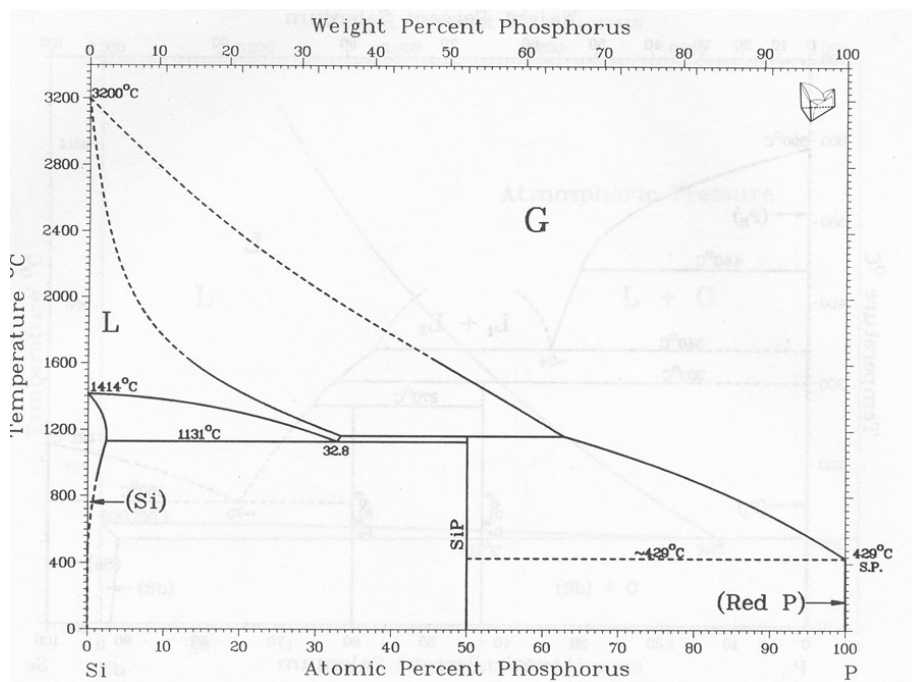


図4-10d Si-P相図

表 4-3 固溶限界と化学量論的組成比での融点

	炭素	窒素	酸素	リン
固溶限界(cm <sup>-3</sup> )	3.5 × 10 <sup>17</sup>	5 × 10 <sup>15</sup>	2 × 10 <sup>18</sup>	1.3 × 10 <sup>21</sup>
融点	2540°C	1900°C	1650°C	<1414°C

#### 4-4 横方向成長と核生成

均一核生成理論によれば、Si の溶融再結晶化のような過冷却過程を伴う凝固においては、全自由エネルギー $G_T$ は、

$$G_T = 4\pi \cdot r^2 \gamma - \frac{4}{3}\pi \cdot r^3 \Delta G$$

で表現できる[5]。ここで、 $r$  は固相の半径(球形と仮定)、 $\gamma$  は単位面積あたりの表面エネルギー、 $\Delta G$  は核生成温度での固相と液相の自由エネルギー差である(図 4-11 参照)。実際は下地(本実験では  $\text{SiO}_2$  層)との界面で核発生するため、不均一核生成になるため、 $\text{SiO}_2$  層の濡れ性の項が加わるが、低濃度不純物では濡れ性が変わらないとして、考慮しないこととする。結晶核となるための固相の半径を  $r^*$  とすると、全自由エネルギー $G_T$  は  $r=r^*$  で極大値をとる必要がある(図 4-12 参照)。

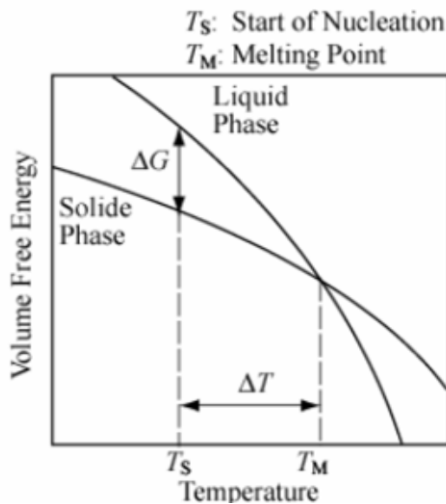


図4-11 液相・固相の自由エネルギー  
上羽牧夫編「結晶成長のしくみを探る」より

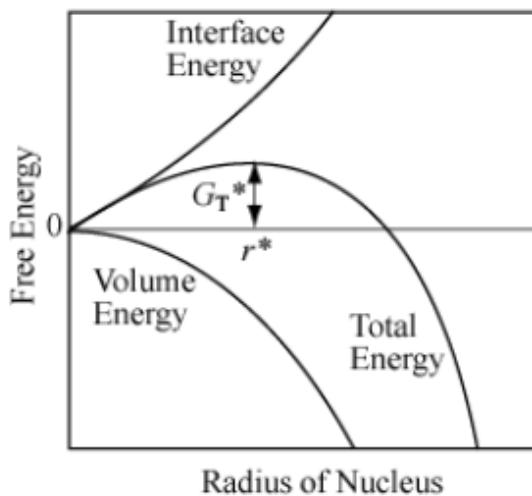


図4-12 自由エネルギーの核半径依存性  
上羽牧夫編「結晶成長のしくみを探る」より

上式を  $r$  で微分してその臨界半径  $r^*$ 、そのときの  $G_T$  である  $G_T^*$  を求めると、

$$r^* = \frac{2\gamma}{\Delta G} \quad G_T^* = \frac{16\pi \cdot \gamma^3}{3\Delta G^2}$$

となる。不純物濃度の増加により過冷却状態の Si 内での核発生確率が高くなったため、横方向成長距離の低下が見られたと考え、この臨界半径が小さくなることが必要で、そのためには

- (i) 液相と固相の自由エネルギー差  $\Delta G$  が大きい
- (ii) 固相の生成に要する表面エネルギー  $\gamma$  が小さい

のどちらかになる。図 4-10 に Si 中のそれぞれの不純物に関して相図を示したが、膜中の濃度程度で、大きく融点が変わらないことがわかる。

しかし、前述のように不純物元素が外方拡散によって濃縮されると、非常に薄い範囲で (i)(ii) が達成できる可能性がある。Si では数原子で核ができることはわかっており、これは臨界半径では 0.5-1nm 程度に相当することから、この 0.5-1nm の厚さの中に不純物が濃縮されれば、本来の Si 融点以上の温度であっても、化学量論的組成比をもつ化合物としての融点を大きく下回ることから化合物として固化し、成長核となることが考えられる。

## 4-5 横方向成長距離延伸のための試料構造

### 4-5-1 溶融時間の増大

試料表面上に様々な周期を有する鋸波状強度分布を同時に(照射領域 2mm 角)作った。光強度を連続かつ広範囲に制御性良く変化できるので、多結晶、横方向結晶成長、explosive 結晶(痘痕模様のある比較的大きなランダム結晶粒ができる: 顆粒結晶と名付ける)をそれぞれ生じる光強度を同時に評価できた。観測では、結晶化した試料をセコエッチングによって結晶粒径を顕在化させ、SEM による測長によった。標準試料は SiO<sub>2</sub> キャップ膜/a-Si 200nm/下地 SiO<sub>2</sub> の 3 層を熱酸化下地膜(1000nm)上に連続堆積した試料である。

図 4-14 に、試料表面の部分顕微鏡写真(セコエッチング後)を示す。レーザー光の照射領域(2mm×2mm)内に、周期が 5 μm から 46 μm まで 1 μm 間隔で変化する光強度分布を作っている。各領域は均一照射領域で周囲を囲まれており、ここでは強い均一レーザー光照射のために、顆粒結晶が生じたが、光強度分布が三角形状をとる領域内では横方向結晶成長によって大きな結晶粒が形成された。

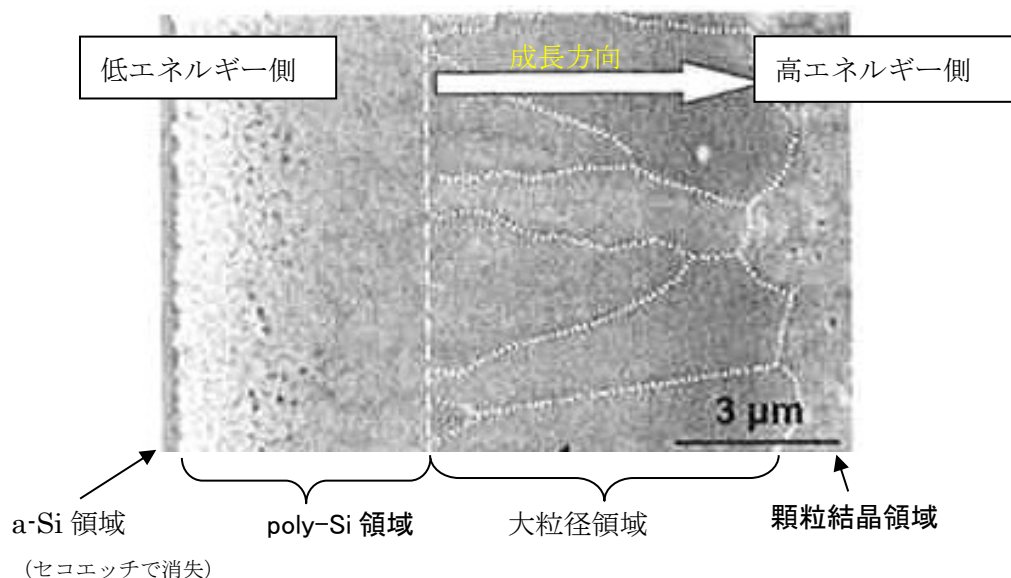
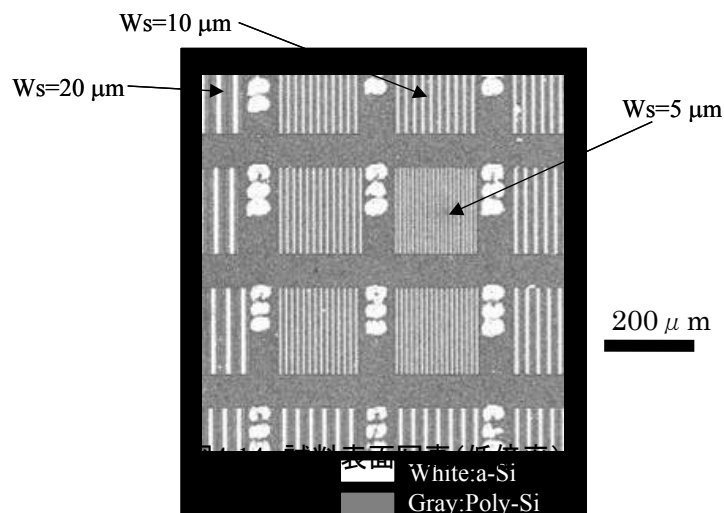


図4-15 試料表面写真(高倍率) Ogawa, H. et al.: IDW03 AMD7-4

図 4-15 はその拡大図である。弱い光強度の領域では、Si 層が非晶質のままであるので、セコエッチングによって完全に取り除かれている(黒い領域)。光強度が増すと、Si 表面が熔融・固化して、その際に結晶化する。結晶粒が小さいので、乱反射によりこの領域は白く見える。この黒白の境界付近が、結晶化が起こるか起こらないかの境目である。光強度が増すにつれて結晶粒径が大きくなるので、SEM 写真でもその粒形状が判別可能になる。更に光強度を増すと、突然黒い領域が現れる。表面が平坦であることを表すこの黒い領域には、細かいエッチング跡が光強度の増す方向に走っており、しかもその間隔が次第に粗になる。これは、大きな結晶が横方向に成長していることを示している。さらに強い光強度傾域では、クレータ状の穴が数 100nm 間隔で現れて、その周辺には横方向成長した小さな結晶粒が見られる。これが顆粒結晶化領域である。更に光強度が強い領域では、試料が破壊された。このような SEM 写真から、それぞれの断面構造を持つ試料の

結晶化光強度、横方向成長開始光強度、顆粒結晶化光強度並びに横方向成長距離を求めることができる。

## 4-5-2 結晶化特性

キャップ SiO<sub>2</sub> 膜厚が 90nm 程度ずつ異なる試料群について、横方向成長特性を調べた。結果を図 4-16 に示す。レーザアニールは KrF レーザ光を用いた。SiO<sub>2</sub> 膜中では、レーザ波長の 1/2 は 90nm 厚に相当するため、これら試料群ではレーザ光の SiO<sub>2</sub> 膜での多重反射効果はほぼ同一になる。なお、三角形の光強度分布の周期はこの試料構造でもっとも長い横方向成長が得られた 28 μm の試料を評価した。キャップ SiO<sub>2</sub> 膜厚が薄い場合 (130 nm および 220 nm) には、横方向成長開始光強度以上の光が照射された領域では、成長距離が直線的に増加して、膜が破壊する寸前で 4 μm 以上になった。そして、キャップ SiO<sub>2</sub> 膜が厚い方が、最大成長距離は増した[6]。

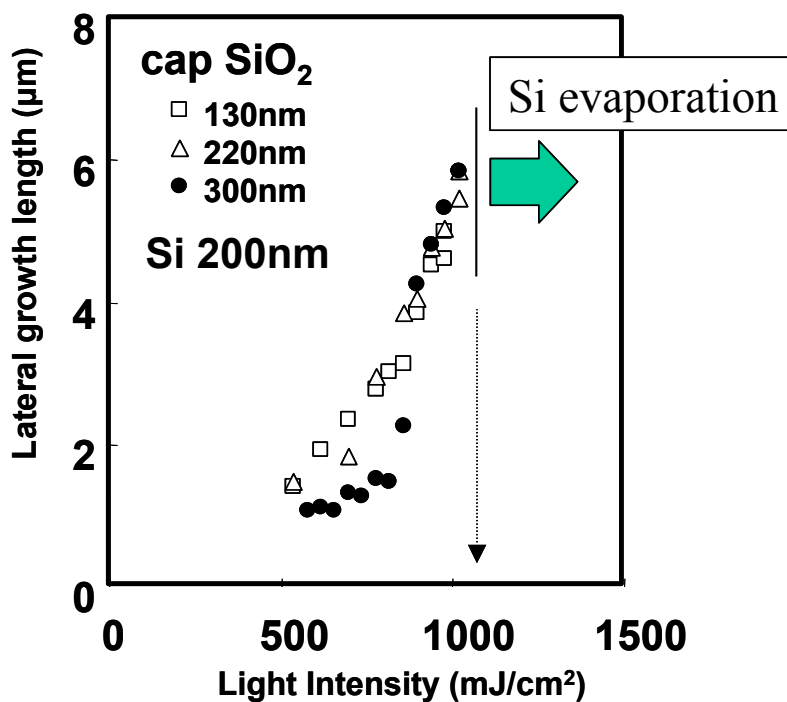


図4-16 照射エネルギーと横方向成長距離との関係

この現象を図 4-17 で説明する。

### キャップSiO<sub>2</sub>膜の蓄熱効果

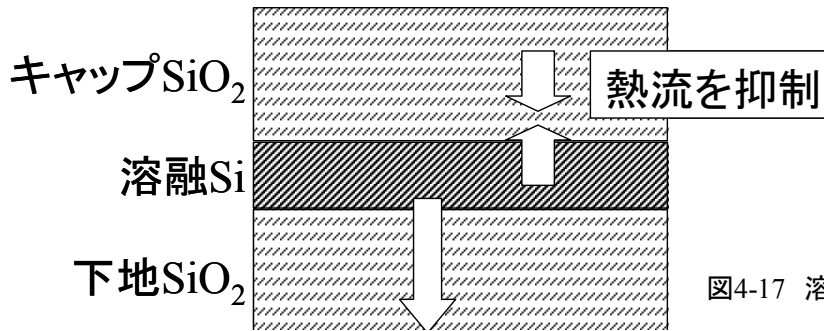


図4-17 溶融再結晶化時の熱の流れ

レーザ光パルスの照射中に、高温になった液体 Si 膜から、熱が下地 SiO<sub>2</sub> 膜だけではなく、キャップ SiO<sub>2</sub> 膜にも流入する。キャップ SiO<sub>2</sub> 膜の温度を Si の融点以上に昇温するのに使われた過剰熱エネルギーは、上方から照射される光パルスが停止して Si 膜温度が低下し始めた時から上方への熱拡散防止のために働き、Si 膜の降温速度を抑制する。この結果、Si の溶融時間すなわち横方向結晶成長の可能な時間が延びて、結晶粒が大きくなる。一方、キャップ SiO<sub>2</sub> 膜がさらに厚い(390nm)場合には、光強度の増加に伴う成長距離の延伸はごく僅かであって、膜が破壊する寸前の高入射光強度でも成長距離は 2 μm 程度に留まった。最大成長距離は、キャップ SiO<sub>2</sub> 膜をさらに厚くすると一層短くなった。厚い場合の結果は、キャップ SiO<sub>2</sub> 膜が下地 SiO<sub>2</sub> 膜と同様に、放熱層として働くので、熱エネルギーの Si 膜内滞留時間が短縮されたために、横方向成長の時間が短くなったことに原因する。一方、この中間のキャップ SiO<sub>2</sub> 膜厚(300nm)では、光強度と結晶成長距離の関係に折れ曲がりが見られた。すなわち、低光強度の範囲では厚いキャップ SiO<sub>2</sub> 膜の場合のように傾きは緩やかであり、高光強度では薄いキャップ SiO<sub>2</sub> 膜の場合のように急速に成長距離が増す。この現象は図 4-18 に示ように、光強度の増加によって液体 Si の温度が上昇すると、キャップ SiO<sub>2</sub> 膜は、温度分布は一定の形状(エラー関数型)を保ちながら高温となる。

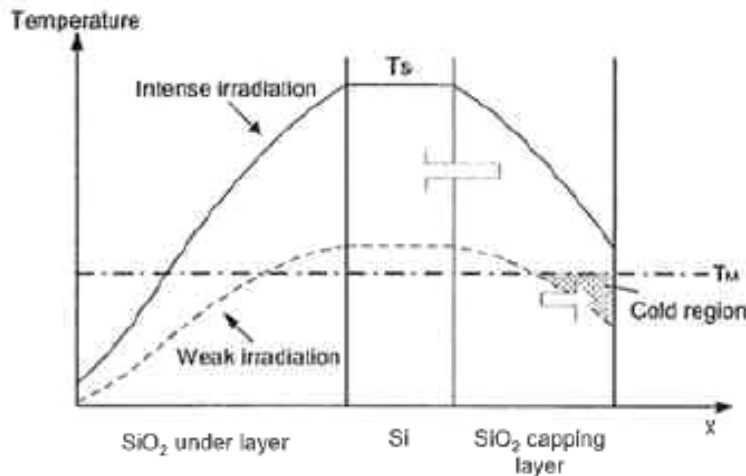




図4-18 光照射の強弱による膜温度の違い Ogawa, H. et al.: IDW03 AMD7-4

Si の融点以上の高温まで昇温された SiO<sub>2</sub> 層幅が増加して、SiO<sub>2</sub> 膜の放熱層の働きが蓄熱層の働きよりも大きくなるので成長距離は急激に伸びる。最終的には試料が破壊する寸前の光強度で 6 μm 以上の成長距離が得られた。

### 4-5-3 最適キャップ SiO<sub>2</sub> 膜厚

キャップ SiO<sub>2</sub> 膜は多重干渉も生じる。図4-19に結晶化開始強度・横方向成長開始強度・顆粒結晶化強度とキャップ膜厚の関係を示す。

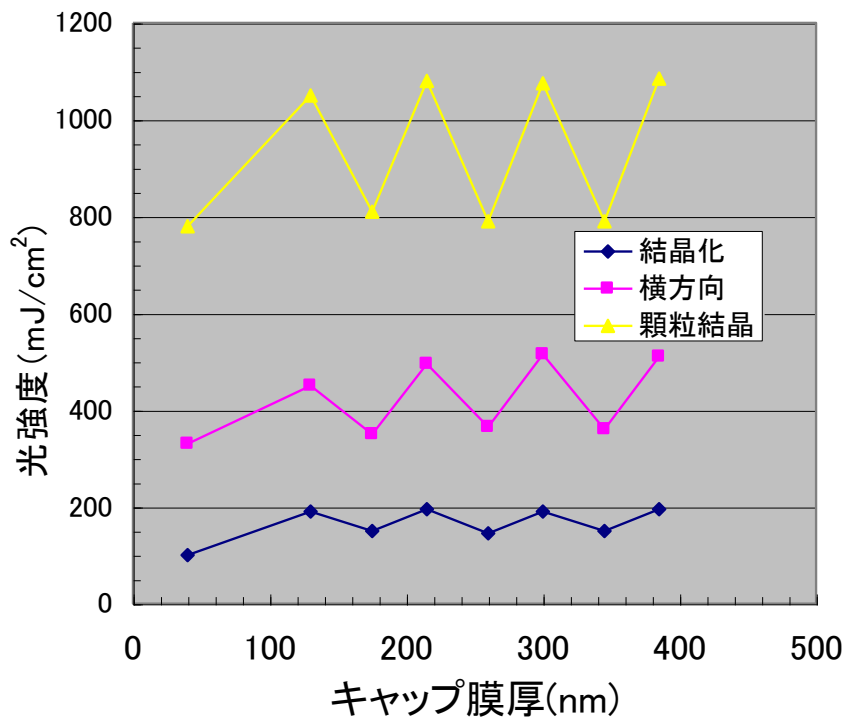


図4-19 各種エネルギーのキャップ膜厚依存性 Ogawa, H. et al.: IDW03 AMD7-4

キャップ SiO<sub>2</sub> 膜の屈折率を考慮すると、80~90 nm の膜厚周期で変動するのは、キャップ SiO<sub>2</sub> 膜の多重干渉に起因すると考えられる。キャップ SiO<sub>2</sub> 膜膜厚による変化は、結晶化強度だけではなく、横方向成長開始強度と顆粒結晶化強度にも、生じていることがわかる。この多重反射効果のために、単結晶粒の大きさと照射光強度の関係はキャップ SiO<sub>2</sub> 膜厚によって変化したが、たとえば結晶化の光強度で規格化すると、結晶成長特性と規格化光強度の関係は、図 4-20 に示すように殆ど重なった。

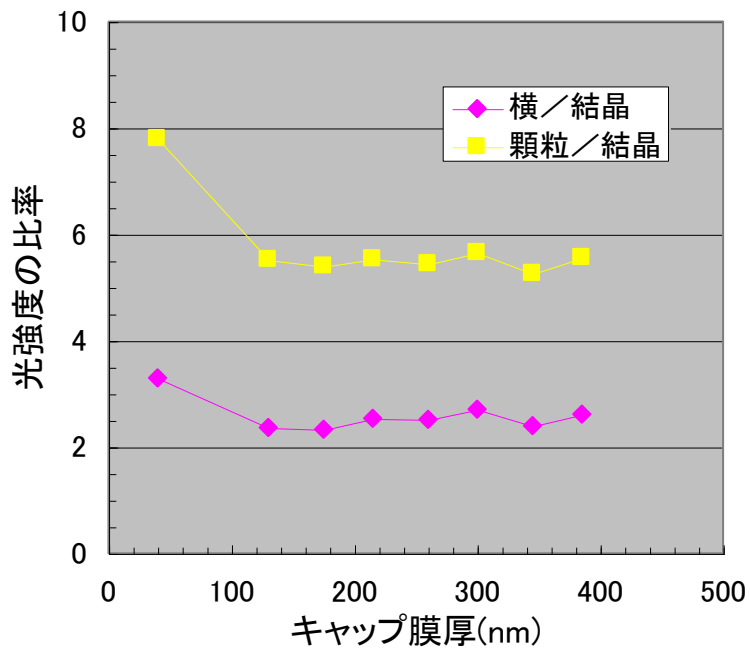


図4-20 結晶化開始エネルギーに対する各種エネルギーの比率

また、最大照射光強度における(最大)結晶成長距離は、図 4-21に示すが、図 4-19のような 80nm 周期の強度変化に呼応した現象が見られないことから、多重反射効果は殆ど影響しなかった。

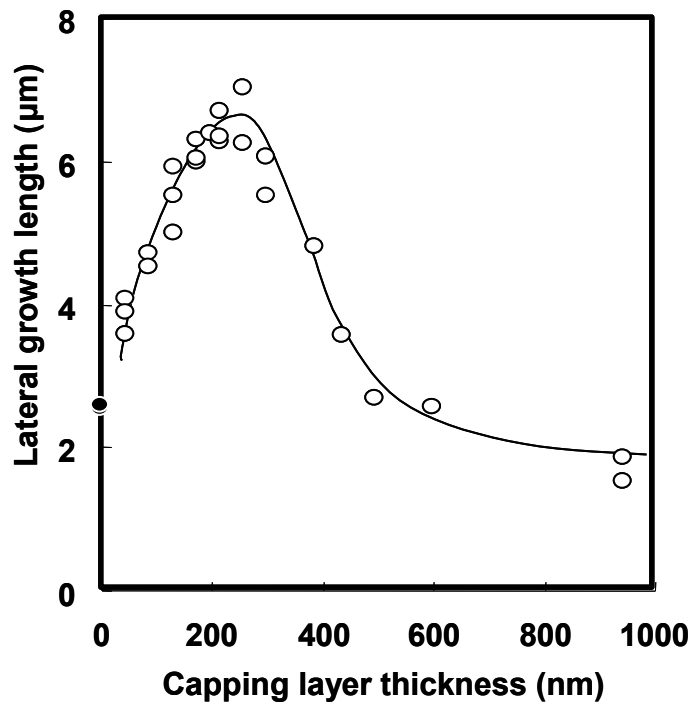


図4-21 最大横方向成長距離のキャップ膜厚依存性

低光強度で長い横方向成長距離が得られる構造は、大面積基板への照射が必須である量産においては照射効率が向上するため望ましい試料構造といえる。これら 2 要件を同時に満足するキャップ  $\text{SiO}_2$  膜厚は、この一連の実験値(膜厚=200nm)の下では、200nm 程度であった。この時、要する光強度は  $700\text{mJ}/\text{cm}^2$  程度になった。Si 膜厚と最大結晶成長距離の関係を図 4-22 に示す。

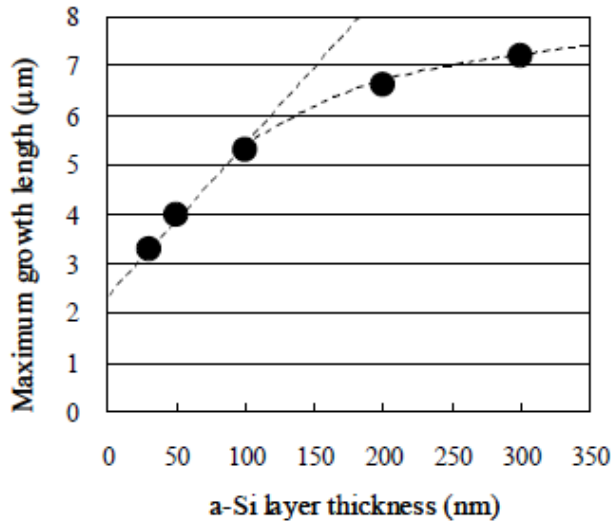


図4-22 最大成長距離のa-Si膜厚依存性

Si 膜厚が 100nm 以下の場合には、Si 膜厚が薄くなるにつれて成長距離は単調に減少した。しかし、Si 膜厚をゼロに外挿しても、成長距離には  $2.5\mu\text{m}$  程度のオフセットが残った。

高温の Si 膜が蓄積する熱量は Si 膜厚に比例するが、光パルスの照射時間内に Si 膜から上下の  $\text{SiO}_2$  膜に流失し、上側の  $\text{SiO}_2$  膜に蓄積された熱量が光パルス終了後に Si 膜に還流するので、キャップ層からの熱の還流も溶融時間を決める蓄積熱量に加算される。したがって蓄積熱量は Si 膜厚の減少に比例して減るのではない。Si 膜が薄くなっても、Si の溶融時間は大幅には短縮することはないので、比較的大きな結晶粒が得られる。一方、高熱伝導率の液体 Si あるいは結晶 Si を介した横方向熱伝導による熱流出速度は Si 膜厚に比例する。この大きな横方向熱流出のために、Si 膜が極めて厚い場合には、溶融時間は Si 膜厚の増加に伴って減少する。そして 200~300nm の Si 膜厚では両効果の兼ね合いで、成長距離  $8\mu\text{m}$  程度で飽和する。溶融時間の減少は、キャップ  $\text{SiO}_2$  膜から熱が Si に戻る時間も短縮する。したがって、最適のキャップ  $\text{SiO}_2$  膜厚は Si 膜の薄膜化に伴って減少する傾向となる(図 4-23 参照)。これらの結果、光強度の最適値は Si 膜の薄膜化にともなって減少傾向を示すが、キャップ  $\text{SiO}_2$  膜の多重反射の効果が絡むので、単調減少とはならない。

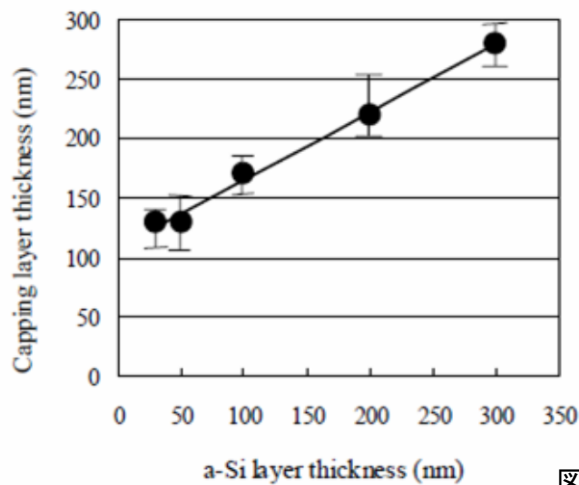


図4-23 最大成長距離を得るa-SiとキャップSiO<sub>2</sub>膜厚

## 第4章まとめ

横方向成長距離の膜中不純物依存性を調べた。不純物濃度が高くなるにしたがって横方向成長距離が短くなることがわかったが、不純物元素で低下量が異なることもわかった。界面からの核成長が、不純物濃度増加で促進されるが、化学量論的組成比における融点の傾向と同じであることから、自由エネルギーの違いにより核発生確率が変わるのではないかと考えられる。

また、SiO<sub>2</sub> キャップ層を設けた構造でのレーザー照射を行ない、横方向成長距離について、キャップ層膜厚(SiO<sub>2</sub>)・初期膜(a-Si)に関して依存性を検討した。溶融SiからキャップSiO<sub>2</sub>膜に流れる熱が、レーザー照射終了後の結晶化に大きな影響があり、膜厚によって蓄熱効果(溶融時間延伸)・放熱効果(実質的な熱のロス)の両方が起こるため、最適膜厚が存在することを示した。

## 参考文献

- [1] Hiramatsu, M. and Matsumura, M.: Proc. IDW'04 p.325
- [2] Taniguchi, Y., Katou, T., Hiramatsu, M. and Matsumura, M.: Jpn. J. Appl. Phys. 45 p.7753 (2006)
- [3] Kuriyama, H., Nohda, T., Aya, Y., Kuwahara, T., Wakisaka, K., Kiyama, S. and Tsuda, S.: Jpn. J. Appl. Phys. 33 p. 5657 (1994)
- [4] Si-N・Si-O は ASM online、Si-C・Si-P は Binary Alloy Phase Diagram(ASM international)より
- [5] 上羽牧夫編:結晶成長のしくみを探る(共立出版)
- [6] Ogawa, H., Hiramatsu, M., Kimura, Y., Jyumonji, M., Taniguchi, Y., and Matsumura, M.: Proc. IDW'03 AMD7-4

## 第5章 横方向成長をさらに促進する試料構造の検討

### 5-1 キャップ層の光学的・熱的效果

前掲のように Si 薄膜の表面を大気暴露しないで作製すること、すなわち真空一貫プロセスあるいは同一反応室で連続堆積した  $\text{SiO}_2/\text{Si}/\text{SiO}_2$  層構造は、結晶学的また電気的に高品位結晶化膜を得るための必須の条件であることを前章までで示した。しかしながら成膜工程の増加があり、またキャップ層をゲート絶縁膜として利用するのでなければ、エッチング除去のプロセスが必要となることもあり、より多くのメリットが必要となる。

Si 膜の屈折率が極めて大きい(紫外光:  $\lambda = 254\text{nm}$  に対して  $n = 1.7 + 4.0i$ ) ため、キャップ層がなく、Si が空気と接している場合、Si 表面での光反射率は約 71% となり、多くの光が結晶成長に寄与していない。上部にキャップ層を設けた場合、キャップ膜内では多重反射が生じるから、 $\text{SiO}_2/\text{Si}/\text{SiO}_2$  層構造の試料の反射率はキャップ  $\text{SiO}_2$  膜厚によって変化する。図 5-1 にこの様子を光の利用効率(=1-反射率)として示す。

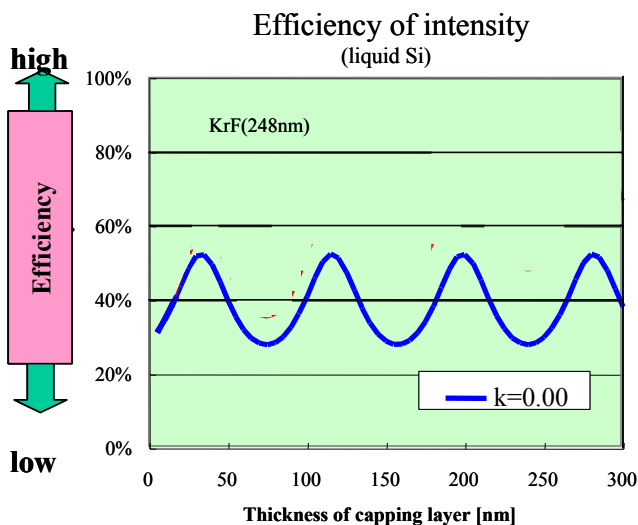


図5-1 入射光の利用効率( $\text{SiO}_2$ キャップ)

$\text{SiO}_2$  膜内の多重干渉を考慮すると、KrF レーザ光(波長 254nm) の場合は、光の利用効率の膜厚依存性は、85nm 程度の周期で、XeCl レーザ光(波長 308nm) の場合は、光の利用効率の膜厚依存性は、100nm 程度の周期で繰り返す。

### 5-2 試料厚み方向(一次元)の過渡温度分布

試料厚み方向(一次元)の過渡温度分布を数値計算により検討した[1]。計算では、縦方向(厚み方向)の熱伝導、熱蓄積、潜熱、成長速度のメルト温度依存性、核発生の臨

界温度、結晶核同士の衝突による成長停止を考慮した。また、光吸収性キャップ膜も対象材料とした。基礎方程式は、下記の熱伝導方程式である。

$$c \frac{\partial T}{\partial t} = -\nabla \kappa (\nabla T) + g$$

ここで  $T$  は温度、 $c$  と  $\kappa$  は、それぞれ熱容量と熱伝導率、 $\nabla$  は空間微分のベクトル演算子である。液体 Si 及び結晶 Si の熱伝導率は極めて高い。また、Si 膜は他の膜に比べて薄い。これらの結果、試料厚み方向に沿った Si 膜内の温度変化が極めて小さいという状況が成立する。そこで、Si 膜の断面方向の温度は一定として、計算時間を短縮した。なお、上式の  $g$  は熱発生速度であって、レーザ光吸収と Si の相変化(液相⇒結晶相)に原因する。レーザ照射終了後に生じる結晶化にともなう潜熱の発生は、

$$g = \lambda \omega \times s$$

と表せる。 $\lambda$  は単位体積当たりの潜熱、 $\omega$  は数値計算に用いた単位胞の体積、 $s$  は結晶化割合である。結晶が成長するためには、核が存在しなければならない。すなわち  $s=0$  なら  $ds/dt=0$  である。ただし、当該単位胞内に結晶核が存在する( $s \neq 0$ ) 場合だけでなく、周囲を接する単位胞のいずれかが結晶化している( $s=1$ ) 場合にはそこからの侵入が起きるので、当該単位胞内においても結晶が成長して、

$$\frac{ds}{dt} \propto \nu(T)$$

となる。ここで、 $\nu(T)$  は結晶成長速度である。レーザ光パルスは矩形状を想定して、その幅は KrF レーザの場合 30ns、XeCl レーザの場合 20nsec を標準とした。

今回提案の SiO<sub>2</sub>/Si/SiO<sub>2</sub> 三層構造について、潜熱を無視して、試料厚み方向の過渡温度分布を求めた。これは、それぞれの基板構造においておおよその固化時間を求めるものである。1次元での議論であるため、Si 膜が 50nm と薄く熱伝導率が高いこともあり膜厚方向で温度差がないという仮定をしているが、潜熱で固化した Si 膜が再溶解することはないため、潜熱は考慮しないこととした。図 5-2 から 5-4 にキャップ SiO<sub>2</sub> 膜の効果を示す。レーザ光照射開始から終了までは、中央の Si 膜の温度が高くなり、それにつられるようにキャップ膜と下地膜の温度が上がる。30ns 幅のレーザ光照射終了とともに、Si 膜からキャップ膜と下地 SiO<sub>2</sub> 膜の両方に熱が拡散するが、キャップ膜が Si 膜よりも高温であれば、キャップ膜から熱が拡散することもある。なお、過冷却後固化するが、過冷却温度を見積もることができないため、今回は Si の融点 1140°C に対して、1000°C まで過冷却が起こると仮定し、Si 層温度が 1000°C になるまでの時間を固化時間と定義した。

キャップ膜厚が 100nm と薄い場合(図 5-2)には、レーザ光照射終了後、キャップ膜の温度が Si 膜の温度よりも高いため、冷却時にはキャップ膜から Si 膜へ熱が流れることが推測される。キャップ膜厚が 100nm の場合、キャップ膜は、蓄熱層として働いていることがわかる。キャップ膜厚を 200nm に増すと蓄熱効果が大きくなる(図 5-3)。光パルス終了時のキャップ膜表面の温度上昇分が少なくなるから、表面付近の熱溜め機能は減少する。

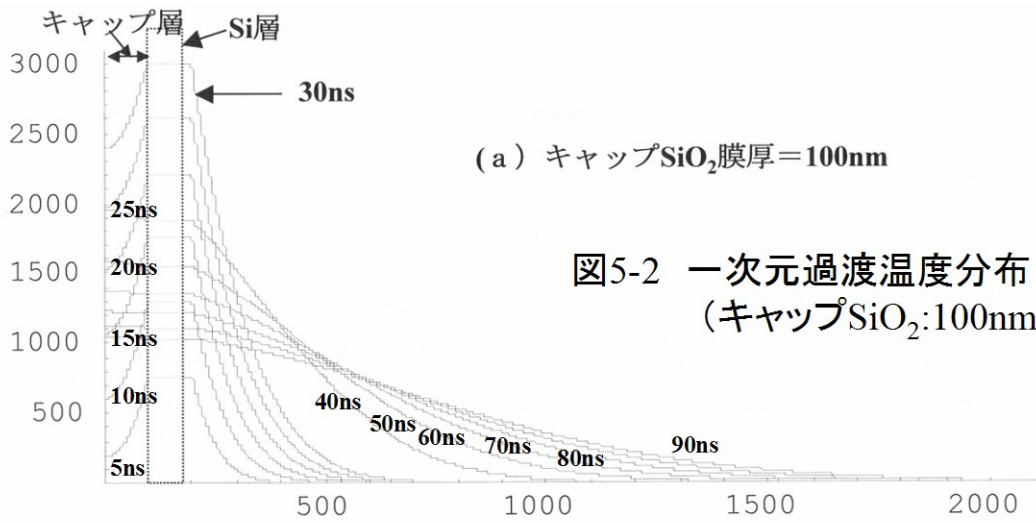


図5-2 一次元過渡温度分布  
(キャップSiO<sub>2</sub>:100nm)

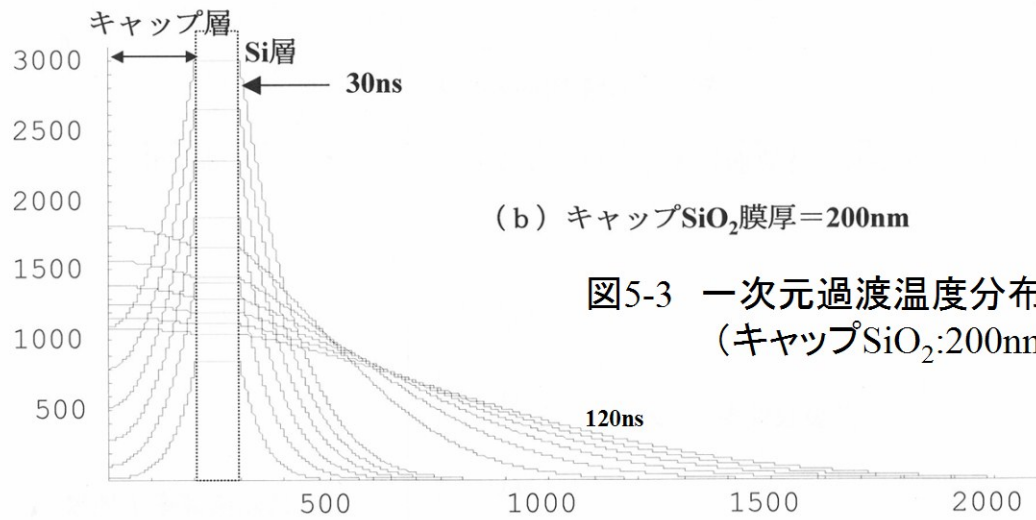


図5-3 一次元過渡温度分布  
(キャップSiO<sub>2</sub>:200nm)

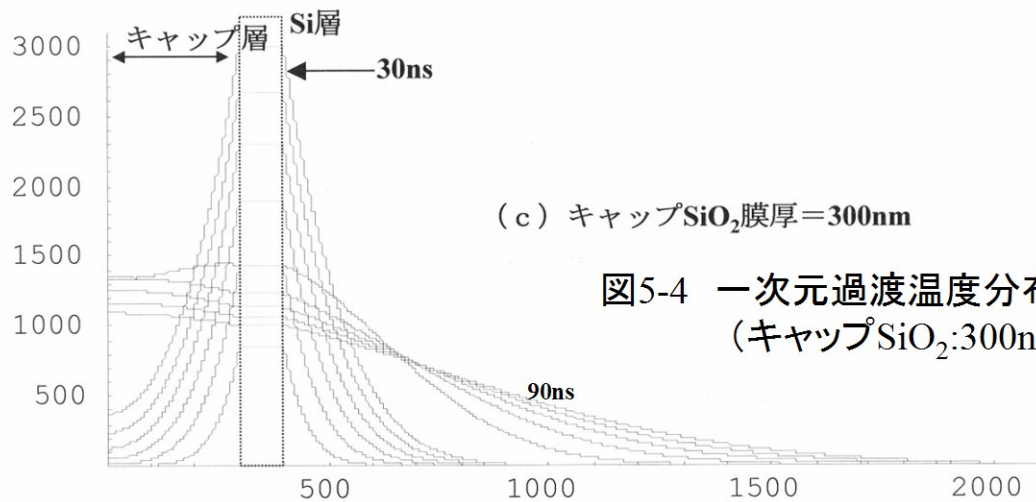


図5-4 一次元過渡温度分布  
(キャップSiO<sub>2</sub>:300nm)

横軸: nm

キャップ膜が 300nm と厚くなると、キャップ膜は下地膜と同様に放熱層として働いている。Si 膜が蓄えた熱が両側の SiO<sub>2</sub> 膜に流出するから、Si 膜の溶融時間は短くなる。この場合、



Si 膜厚が 100nm の場合には、キャップ SiO<sub>2</sub> 膜厚が 200nm 付近の時に Si 膜の固化時間が最長になった。このキャップ SiO<sub>2</sub> 膜厚の最適値は Si 膜が薄くなると小さくなる。

### 5-3 成長時間の延伸策

図 4-23 で示したように、横方向成長させる Si 膜を薄くしていくとキャップ SiO<sub>2</sub> 膜厚の最適値が減る。これは、Si 膜近辺に溜まった単位表面積あたりの熱の総量が Si 膜の薄膜化に伴って膜厚以上に減ることに起因している。基板下方に拡散する熱量は過熱された Si 膜との温度差のみに依存するため、Si 膜が薄くなっても下方に拡散する熱量は変わらないため、Si 膜の熔融時間は急速に減っていることを示唆する。これは結晶成長時間が短くなることを意味し、横方向成長距離の低下をもたらす。

薄い Si 膜を用いた場合でも十分な結晶成長時間を確保するためには、基板に蓄えられる熱量の低下分を Si 膜厚の減少分よりも小さくしてやる必要がある。従来用いていたキャップ SiO<sub>2</sub> 膜を厚くするだけでは、これまでの実験結果でもわかるように放熱層としての働きになるだけで、結果として横方向成長距離は低下してしまう。試料表面に無反射コーティングを施すことにより光の利用効率を高くすることは可能である。しかしながら(無反射コーティング層での光吸収による昇温はないと仮定)、この方法も Si 膜での光吸収が Si 膜温度上昇になり、この熱を上側のキャップ層の昇温に用いるという点では従来の SiO<sub>2</sub> キャップ層と同じ効果となる。すなわち、従来構造でレーザー光強度を高くしたことと同じ結果が生じるだけであると考えられる。

基板へ照射する光強度の上限を決めているのは Si 膜のアブレーションであり、これは Si 膜の膜厚だけで決まる。したがって、蓄える熱量を増やすために、Si 膜に到達する前の光を多少でもキャップ層で吸収させることを検討した。図 5-5 にキャップ層の吸収係数の違いによるキャップ層の温度プロファイルを示す。XeCl レーザ(波長 308nm)を想定して、照射 20nsec 後に Si 層が 2800°C(沸点)となる光強度を照射した場合の温度プロファイルとした。

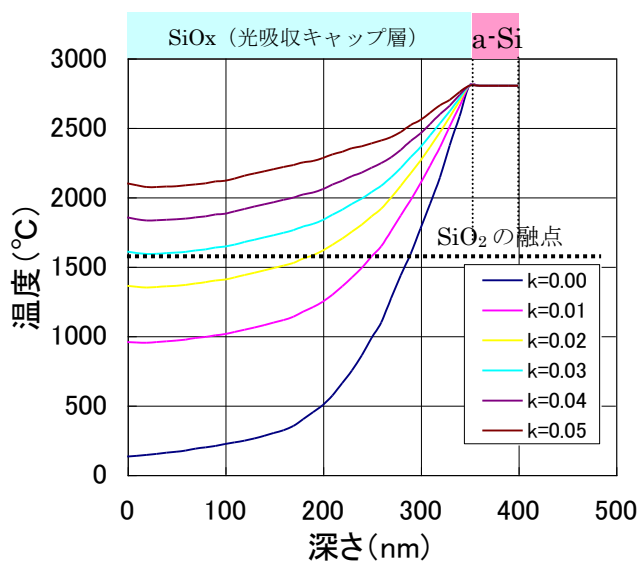


図 5-5 キャップ層温度プロファイル例 (計算)  
 キャップ層膜厚 : 350nm  
 照射光波長 : 308nm(XeCl レーザ)

$\kappa=0.02$  より大きいと、キャップ層温度が  $\text{SiO}_2$  の融点(石英の値)に到達することが予想される。層構造を保つためには投入光強度を下げる必要がある。投入光強度を下げることで、Si まで到達する光量が少ないため、投入光強度を最大とするには、 $\kappa=0.02$  が望ましい。過渡温度分布を図 5-6 に示す。

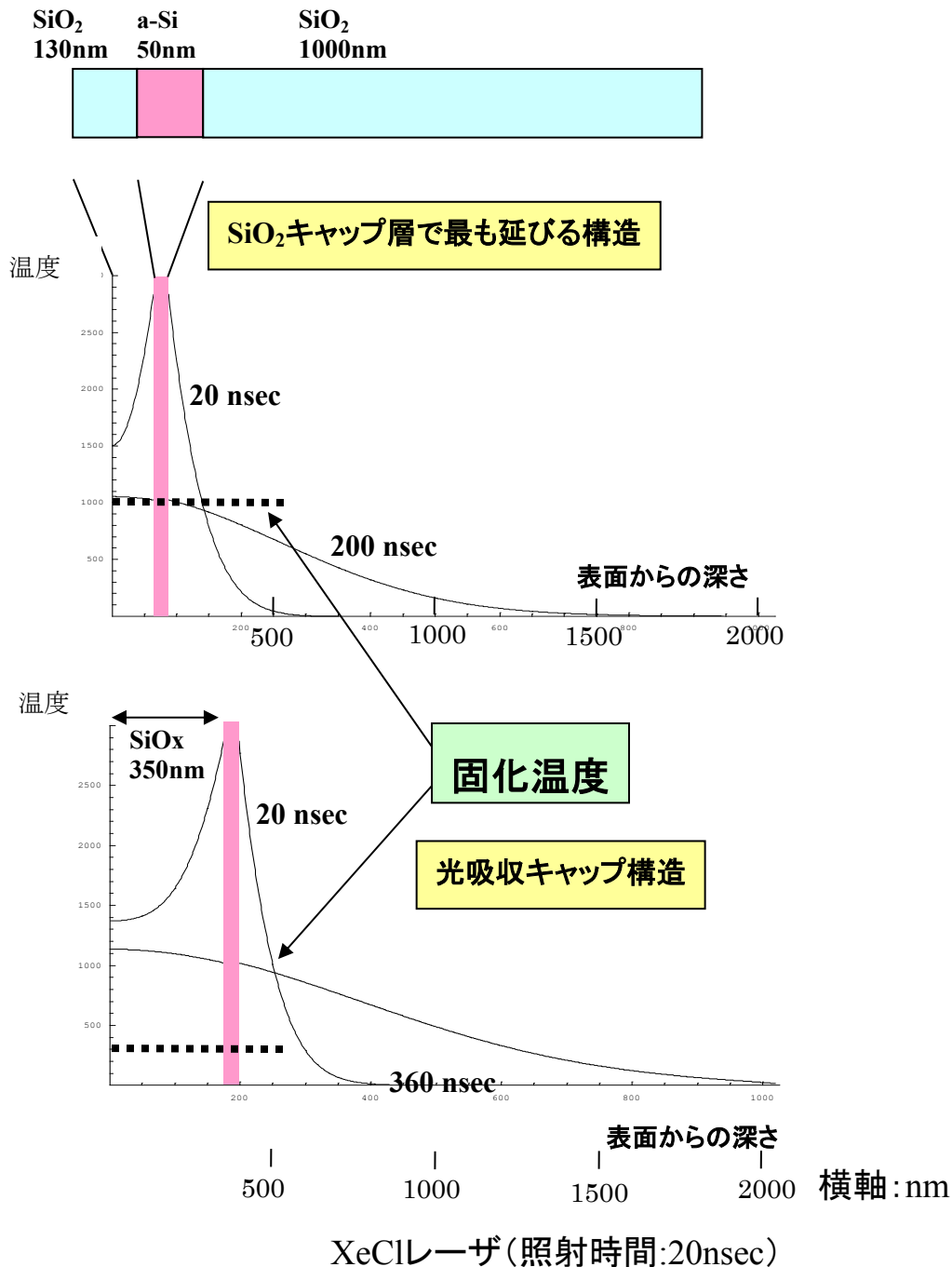


図5-6 光吸収キャップ膜による過渡温度分布 通常 $\text{SiO}_2$ キャップとの比較

レーザー光が試料を照射すると、先ず Si 膜の温度が上がる。しかし Si 膜の蓄えた熱の一部が下地膜の昇温に費やされるので、Si 膜の温度上昇速度が次第に下がるから、光パル

スの終了時点では、キャップ膜表面と Si 膜の温度は同程度になる。パルス終了後は、大きな基板方向への熱拡散流のために、Si 膜の温度が急降下する。キャップ膜と Si 膜との温度差が生じて、高温の厚いキャップ膜から Si 膜へ熱が供給される。この結果、Si の固化時間は飛躍的に長くなる。キャップ膜が厚いほどこの固化時間が長くなる。

## 5-4 結晶化実験結果

光吸収キャップ層を作製する際、従来の低温 poly-Si TFT の作製で用いられている原材料から選ぶことにした。その理由は、a-Si 膜はプラズマ CVD 装置を用いて作製されているが、連続成膜が必要となると同じ装置でキャップ膜まで作製する

SiH<sub>4</sub>とN<sub>2</sub>Oの流量比を変えてSiO<sub>x</sub>膜をPECVD法で堆積して、その光学特性を求めた。結果の一例を図5-7に示す。

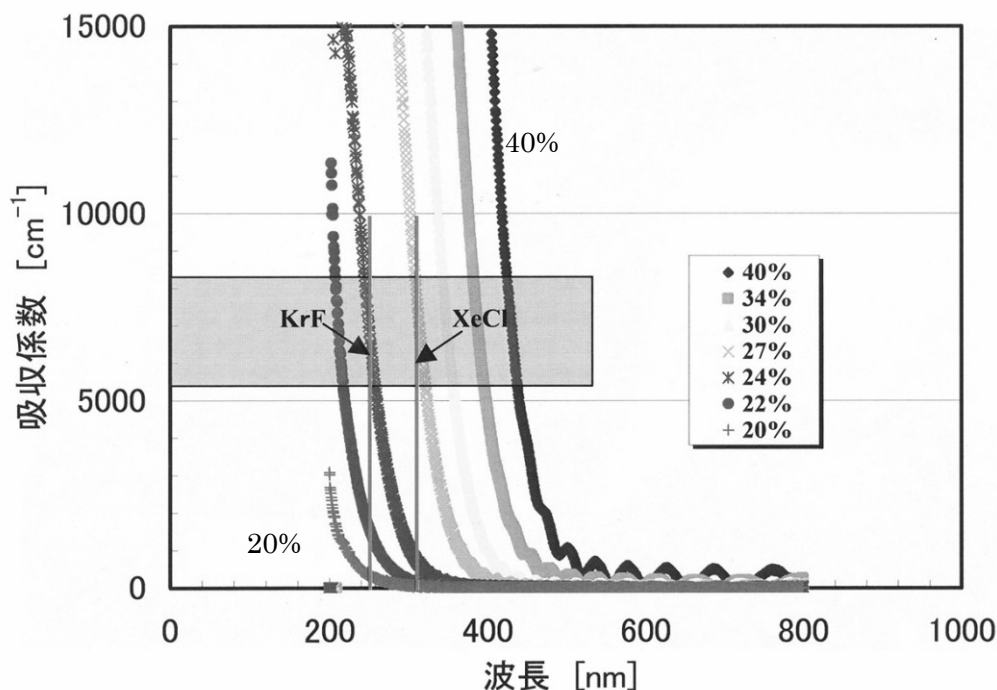


図5-7 ガス流量比と吸収スペクトル

光吸収性キャップ膜に望まれる数千 cm<sup>-1</sup> の吸収係数が実現できた、吸収係数とガス流量比の関係には再現性はあったが、吸収係数の流量依存性は大きかった。このため、以降の実験では、全て、流量比を一定値に保った。また、清浄界面を維持するために SiO<sub>2</sub>(30nm)/Si(100nm)/SiO<sub>2</sub> 構造を熱酸化 Si ウエハー上に堆積した構造を前提として、その上部に 350nm の SiO<sub>x</sub> キャップ膜を PECVD 法で堆積した。

将来、光吸収キャップ膜のみを選択的にエッチングできれば、30nm 厚の SiO<sub>2</sub> 膜をゲート絶縁膜として利用できる可能性もある。0.5 μm 程度のゲート長となれば、ゲート絶縁膜は 30nm 程度がよいであろう。しかも、レーザアニールプロセスで短時間ではあるが高温プロセスを経ているため、この SiO<sub>2</sub>/Si 界面の特性はかなり良好であることが期待でき

る。ただ、光吸収層として用いた Si リッチなシリコン酸化膜と、その下にある SiO<sub>2</sub> 膜との選択比を高くするエッチングプロセスを開発することは難しい。光吸収キャップ層をシリコン窒化膜のような、SiO<sub>2</sub> とは異なる材料を用いれば、成膜自体は特殊なガスを用いることなく可能である上、フルオロカーボン系ガス (CF<sub>4</sub>、CHF<sub>3</sub> など) と酸素の混合ガスでのエッチングが可能で、選択比も十分確保できると考えている。

結晶化特性を図 5-8 に示す。横方向成長は 260mJ/cm<sup>2</sup> 程度の光強度で始まり、最大成長距離 (=約 7 μm) が 600 mJ/cm<sup>2</sup> の照射強度で得られた。

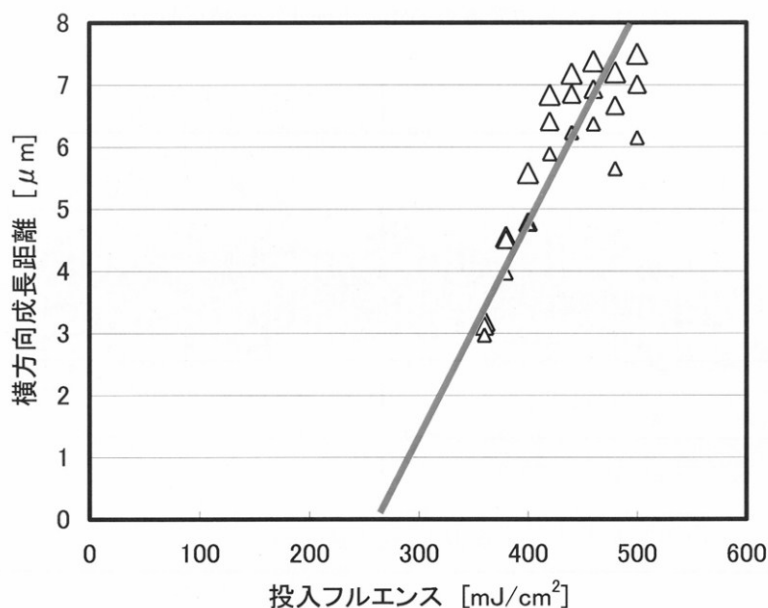


図5-8 投入エネルギーと横方向成長距離

この光エネルギーは現在の ELA 法の典型的な値の約 2 倍である。しかし結晶成長が単ショットで、達成されているので、基板全面を結晶化するエネルギーは 1/10 程度に激減できたことになる。SiO<sub>x</sub> キャップ膜厚を 150nm に減らすと、成長距離は SiO<sub>2</sub> キャップ膜を用いた場合と大差なかった。熱拡散でもキャップ膜を十分に昇温できるのがその理由である。一方、キャップ膜を 450nm に増すと、十分な成長距離を得るために必要なエネルギー密度のレーザー光を試料に照射できなかった。強い光を Si 膜に照射すると、キャップ膜表面の温度が極めて高くなって、ここが熱損傷してしまうことが原因である。厚いキャップ膜を活用するためには、キャップ膜の光吸収係数を下げることが必要である。キャップ膜を一定値(350nm)に保った状態で Si 膜厚を変えた場合の様子を図 5-9 に示す。

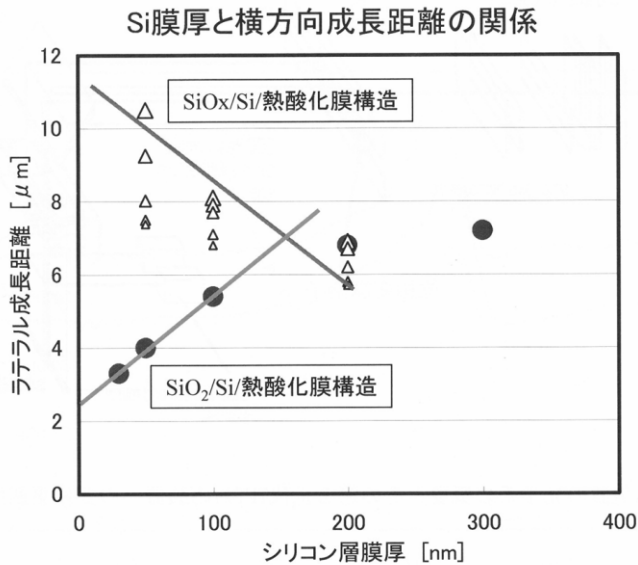


図5-9 シリコン層膜厚と横方向成長距離

Si 膜厚を 200nm に増しても成長距離は顕著には変化しなかった。これは Si 膜厚が厚くなった結果、Si 膜から熱拡散現象だけでも SiO<sub>2</sub> キャップ膜を昇温できたことが主因と思われる。一方、Si 膜を 50nm まで半減すると、成長距離は 3 倍以上に増加した。この SiO<sub>2</sub> キャップ膜の場合と著しく異なった理由は、Si 内の横方向熱伝導が減少したことにある。光吸収性キャップ膜は、Si 膜厚が薄い程、その効果が大きい。

## 5-5 光吸収キャップ膜を用いた結晶化の応用

この光吸収層をキャップ膜として用いた横方向成長の例を 2 点挙げる。

### 5-5-1 一次元横方向成長(投入レーザーパワーの低減)

光吸収キャップ層の効果の検証を行った。横方向成長を行なう a-Si 膜厚は 200nm と同じにし、キャップ膜厚を 280nm とそろえて実験を行った。KrF レーザの波長(254nm)で多重干渉による光利用効率がよい膜厚を選択している。図 5-10 に示すように、一次元過渡温度分布計算より、光吸収キャップ層( $\kappa=0.02$ )を用いた試料構造では、同じ固化時間を得るのに 3-4 割少ない投入パワーで実現できることがわかる。

この試料構造で実際に KrF レーザ照射を行ない、横方向成長距離を比較した。最大で約 5  $\mu$ m の横方向成長距離を得た。図 5-11 にセコエッチング後の表面 SEM 像を示す。投入パワーに対する最大横方向成長距離を図 5-12 に示すが、5  $\mu$ m を得た実験条件では投入パワーが 740mJ/cm<sup>2</sup>(SiO<sub>2</sub>)に対して 480mJ/cm<sup>2</sup>(光吸収)とやはり 3 割程度の省パワーとなった。屈折率( $\lambda:254$ nm)は、光吸収膜(1.51+0.02i)と従来の SiO<sub>2</sub> 膜(1.52)とで屈折率の実部はほとんど差がなく、(虚部は小さいので)表面反射率もほとんど差がないことから、光吸収層の蓄熱効果が Si 膜の温度低下をより抑制していると考えられる。

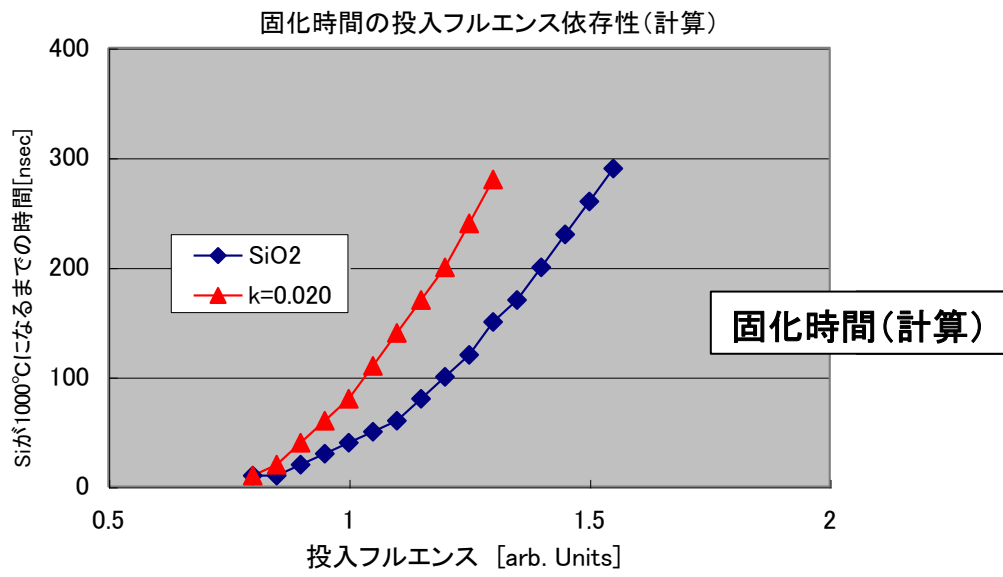


図5-10 投入フルエンスと固化時間(計算)

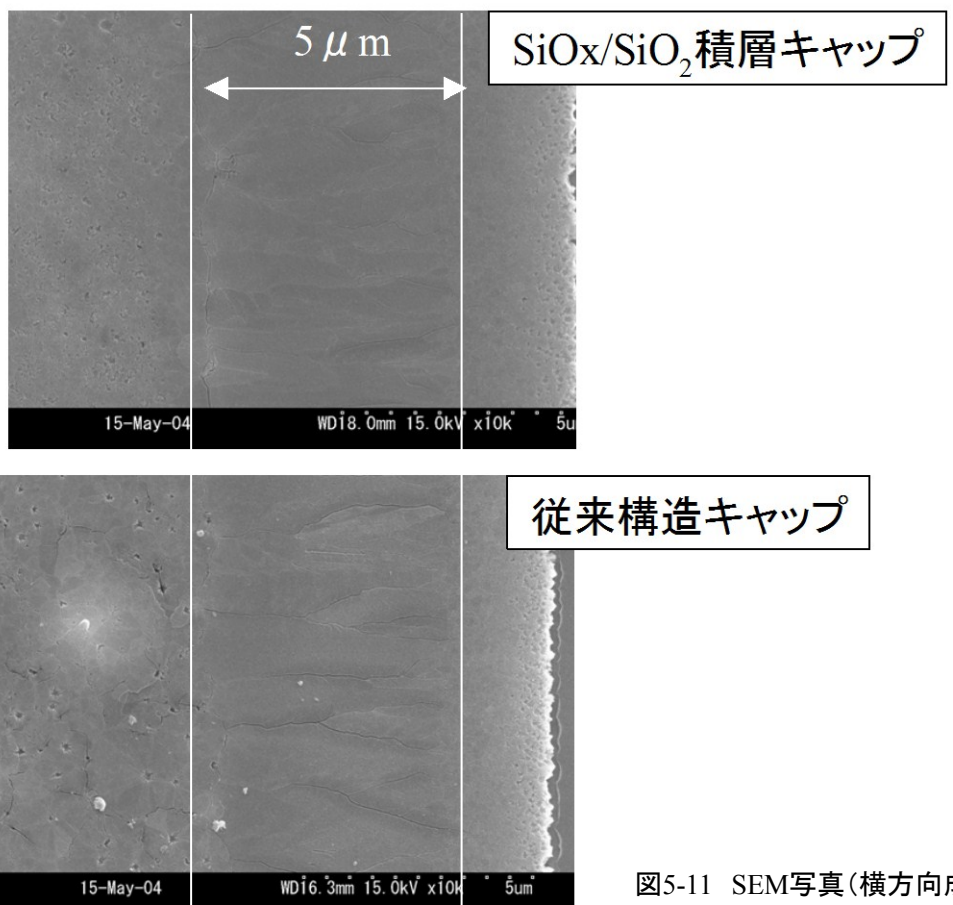


図5-11 SEM写真(横方向成長)

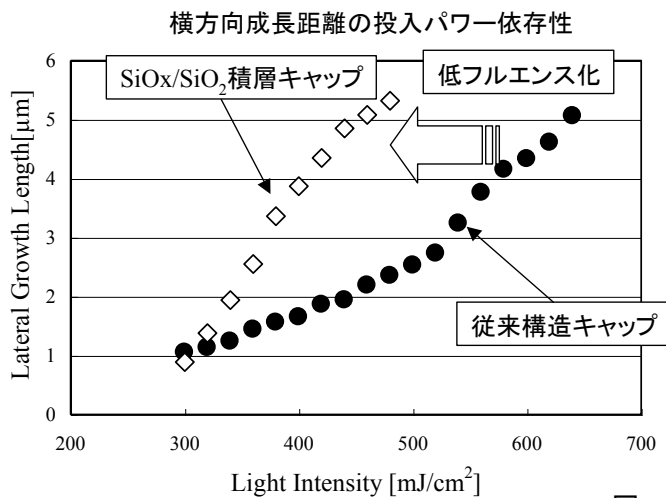


図5-12 横方向成長距離のフルエンス依存性

### 5-5-2 一次元横方向成長(成長距離の延伸)

横方向成長距離を伸ばす実験を行った。a-Si 膜が薄い方が光吸収キャップ膜の効果が大きくなり、固化時間が長くなることもあり、また現在量産に用いられている a-Si 膜厚が 50nm ということもあり、本実験でも a-Si 膜厚を 50nm とした。光吸収キャップ膜 ( $\kappa=0.02$ ) を用いた試料の膜構成を図 5-13 に示す。

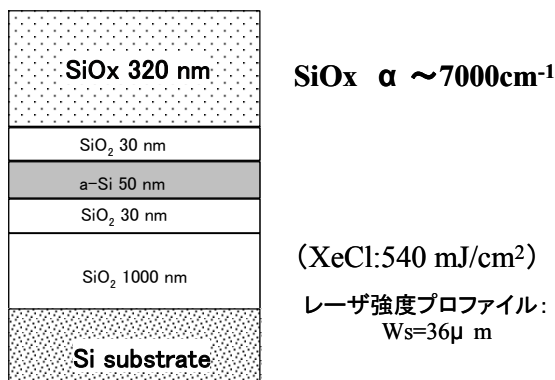


図5-13 横方向成長距離延伸のための層構造

キャップ膜厚は光吸収キャップ膜を選択した場合、厚くすればするほど固化時間が稼げるという計算結果(図 5-14 参照)ではあったが、それに対応して投入エネルギーを増大させる必要があり、装置上の制約から 320nm 厚 (+SiO<sub>2</sub> 膜 30nm) とした。比較のために、SiO<sub>2</sub> キャップ膜の試料でも同様の計算を行ない、もっとも固化時間が長くなる膜厚とした。

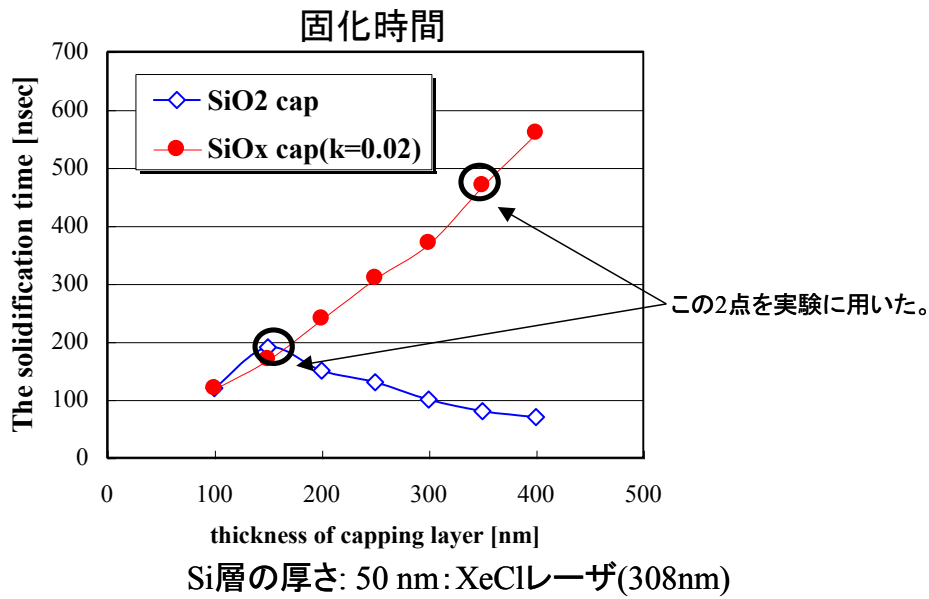


図5-14 固化時間のキャップ膜厚依存性(計算)

結果を図 5-15 に示す。もっとも長い横方向成長は光吸収キャップ膜の試料では  $9\mu\text{m}$  が、 $\text{SiO}_2$  キャップ膜の試料で  $5\mu\text{m}$  が得られた。SEM 写真はセコエッチング後であるから、下側の  $\text{SiO}_2$  キャップ膜の試料では成長方向に沿って谷すなわちセコエッチングで除去されてしまった粒界ができていたことがわかるが、光吸収キャップ膜のケースでは凹凸がほとんど見られない。これは、はっきりとした結晶粒界を発生せずに結晶成長をしていることがわかる。これは、キャップ層温度が高く、長い固化時間を確保できたため、結晶性がよくなっている可能性がある。



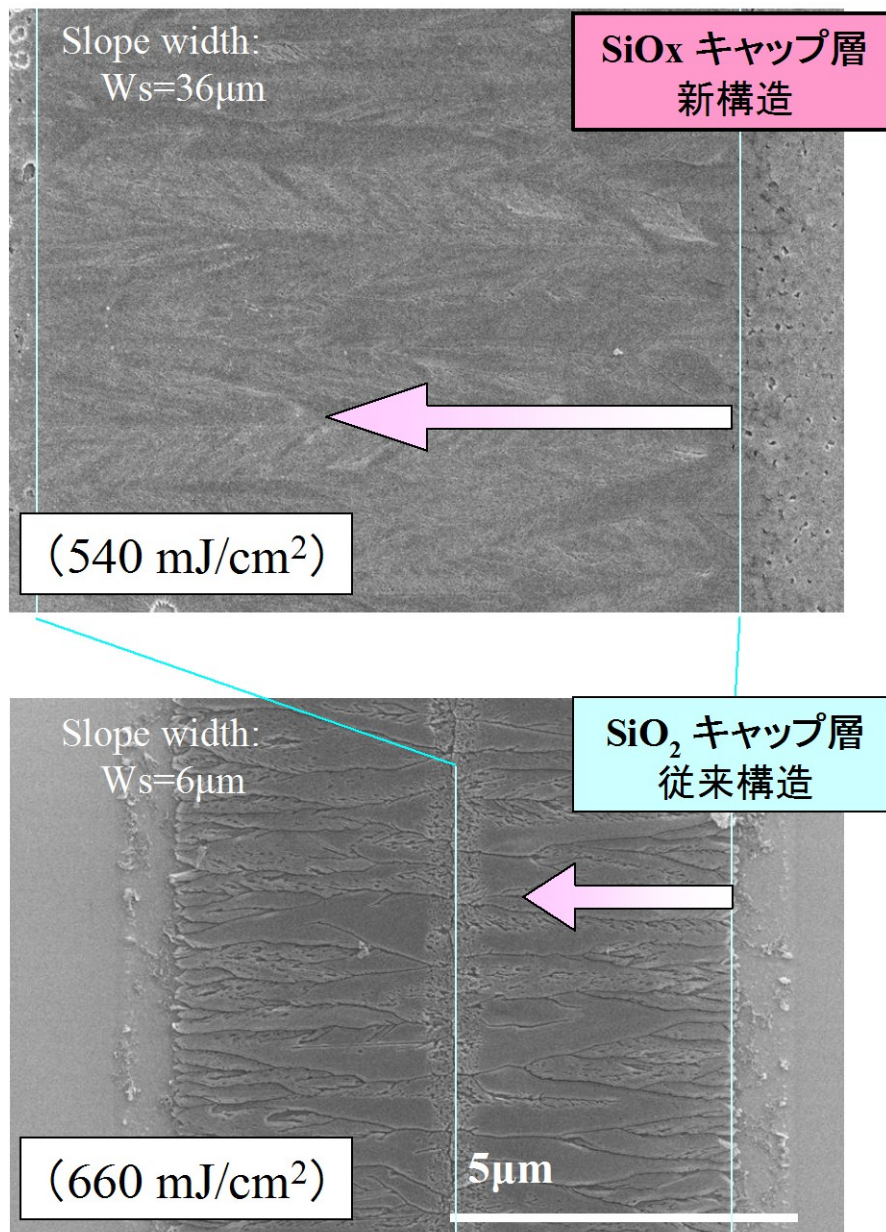


図5-15 表面SEM写真(横方向成長距離延伸)

## 第 5 章まとめ

不純物対策としてキャップ層を導入したが、横方向成長距離の延伸にも効果的であることがわかり、体系的に条件検討を行なうべく、一次元過渡温度分布計算を導入し、固化時間の見積もりを行った。この見積もりを元に SiO<sub>2</sub> キャップ層の最適膜厚を算出し実験によって計算の妥当性を確かめた。この結果を発展させ、更なる横方向成長距離の延伸を狙って、光吸収キャップ層を導入し、光利用率の増大および横方向成長距離の延伸を達成できた。

## 参考文献

- [1] Ozawa, M., Oh, C.-H. and Matsumura, M.: Jpn. J. Appl. Phys. 38 p. 5700 (1999)
- [2] Hiramatsu, M., Ogawa, H., Jyumonji, M., Katou, T., Akita, N. and Matsumura, M.: Proc. ECS 2004fall
- [3] 平松雅人:第 66 回 応用物理学会学術講演会

## 第6章 結論

高性能薄膜トランジスタの実用化をめざした大粒径シリコン作製手法に関して、第1章から第5章まで述べてきた。その結果、以下のことを示すことができた。

第1章では平面ディスプレイという観点から見たシリコン薄膜について述べた。ガラス上のSi膜が液晶ディスプレイという応用製品に用いられることにより電子デバイスとして活用されてきたこと、薄型テレビジョンに代表される応用製品を構成するキーデバイスとして社会に貢献していることを示した。また、大型ディスプレイに用いられているアモルファスシリコン(a-Si)よりも高性能である多結晶シリコン(poly-Si)を用いた薄膜トランジスタ(TFT)の高性能化を検討することが、学術的のみならず産業的にも重要であることを示した。

第2章では、poly-Si TFTの高性能化に関して、MOS界面とチャネル層であるpoly-Si膜に着目して検討を行なった。その結果、酸化プロセスを導入し、良好な界面を得ることが可能であれば、良好な電気特性をばらつきなく得ることができるが、poly-Si膜は縮小則に沿った高性能化を目指すためには、大粒径化が必要であることがわかった。また、低温でpoly-Si膜を得るための方法としてレーザアニール法を検討したが、結晶学的・電氣的に良い膜を得るためにはレーザアニールする前の状態(初期膜)は不純物の少ない膜であることが必要であることを示した。大粒径化を行なうプロセスとしては、位相シフトマスクを用いた横方向成長が有望であることを示した。

第3章では、高純度初期膜の効果検証のため、成膜装置の開発を行なった。あくまで量産機への適用可能な施策のみを選択し、低背圧を実現した。この成膜装置を用いて、実際に不純物濃度の低いSi膜を作製可能であることを確認した。また、試料をキャップ付き構造とすることで、レーザアニール中の不純物増加を抑制することが可能であることを示した。

第4章では、横方向成長距離の膜中不純物依存性を調べた。不純物濃度が高くなるにしたがって横方向成長距離が短くなることがわかったが、不純物元素で低下量が異なることもわかった。界面からの核成長が、不純物濃度増加で促進されるが、化学量論的組成比における融点の傾向と同じであることから、自由エネルギーの違いにより核発生確率が変わるのではないかと考えられる。また、SiO<sub>2</sub>キャップ層を設けた構造でのレーザ照射を行ない、横方向成長距離について、キャップ層膜厚(SiO<sub>2</sub>)・初期膜(a-Si)に関して依存性を検討した。メルトSiからキャップ膜に流れる熱が、レーザ照射終了後の結晶化に大きな影響があり、膜厚によって蓄熱効果(溶融時間延伸)・放熱効果(実質的な熱のロス)の両方が起こるため、最適膜厚が存在することを示した。

第5章では、不純物対策としてキャップ層を導入したが、横方向成長距離の延伸にも効果的であることがわかり、体系的に条件検討を行なうべく、一次元過渡温度分布計算を導入し、固化時間の見積もりを行った。この見積もりを元にSiO<sub>2</sub>キャップ層の最適膜厚を算出し実験によって計算の妥当性を確かめた。この結果を発展させ、更なる横方向成長距離の延伸を狙って、光吸収キャップ層を導入し、光利用率の増大および横方向成長

距離の延伸を達成できた。

現在 poly-Si TFT を作製している量産ラインで一般的に利用されている装置を用い、特殊な装置・材料・プロセスを用いることなく、プロセスに必要な時間(タクトタイム)も配慮しながらも、高性能な poly-Si 膜を作製することが可能であることを示すことができた。本研究は 1 次元横方向成長の報告であるが、本研究で示した膜構成を用いることで、光強度分布を 2 次元形状とすれば、2 次元の大きな結晶粒が得られる。また、光強度分布の最大値と最小値を最適化することにより、量産で用いられるような大型基板全面に、デバイスサイズを凌駕する大きな粒径を敷き詰めることも可能となる。その基礎となる膜構成を提案できた。

## 謝辞

本研究を行なうにあたり、適切な御指導・御指摘を賜りました指導教官の浦岡行治教授に心から感謝いたします。

研究を進める上で多くの指導を賜りました石河泰明准教授に深く感謝いたします。

貴重な時間を小職とのディスカッションに当ていただき、貴重な御意見を数多くいただいた超高速フォトニクス研究室河口仁司教授・凝縮系物性学研究室服部賢准教授に感謝いたします。事務手続きなど、便宜を図っていただいた秘書の森田友紀子殿・高尾布由子殿および研究科長室の増田和歌子殿に感謝いたします。有意義な研究生生活を支えて下さった浦岡研究室の学生各位、特に同時期に社会人博士課程に入学し、良き相談相手となっていただけ三谷昌弘殿に感謝いたします。

本研究は、超先端電子技術開発機構(NEDO)の「次世代液晶プロセス基板技術に関わる先導研究開発」・株式会社液晶先端技術開発センター(ALTEDEC)の「省エネルギー型次世代デバイス・プロセス基盤技術の研究開発」における成果をまとめたものであります。短チャネル TFT 評価に関してのきっかけを与えていただいた東芝の山田啓作博士(当時)、大粒径シリコン結晶化技術開発の遂行を支えていただいた ALTEDEC の阿部浩之研究所長(当時)・山元良高部長(現社長)に感謝いたします。研究開発にあたっては、適切な御指導・御指摘を賜りました ALTEDEC の松村正清フェローに心から感謝いたします。また共に研究を進めた西谷幹彦グループリーダー(現パナソニック)・木村嘉伸博士(現日立)・十文字正之博士(現 NEC)・小川裕之博士(現シャープ)・加藤智也氏(現松下ディスプレイ)・秋田典孝氏(現島津製作所)・谷口幸夫博士(現大日本印刷)に感謝いたします。実験を支えて下さった三村秋男博士・中村孝氏をはじめとする試作グループ各位に感謝いたします。

本研究のまとめは、小職が東芝松下ディスプレイテクノロジー株式会社・東芝モバイルディスプレイ株式会社・株式会社ジャパンディスプレイセントラル在職中での活動であり、快く許可していただいた瀧本昭雄研究開発部長・村山昭夫 TFT-LCD 開発第 3 グループマネージャー・石田有親チームリーダーに感謝いたします。また西部徹博士・中村弘喜博士には、社内での手続きなどに便宜を図っていただきました。感謝いたします。

以上。

## 研究業績

平松雅人

### ◎論文(査読付)

Jpn. J. Appl. Phys. Vol. 44 (2005), No. 6A, 3813–3816

Deposition of Pure Hydrogenated Amorphous Silicon by Plasma-Enhanced Chemical Vapor Deposition for Polycrystalline Silicon Thin Film Transistors

Masato Hiramatsu, Yoshinobu Kimura, Masayuki Jyumonji, Mikihiro Nishitani and Masakiyo Matsumura

Jpn. J. Appl. Phys. Vol. 45 (2006), No. 5A, 3922–3926

Importance of Pure Si Films in Pulsed-Laser-Induced Lateral Growth

Masato Hiramatsu, Hiroyuki Ogawa, Yoshinobu Kimura, Masayuki Jyumonji, Noritaka Akita, Tomoya Katou and Masakiyo Matsumura

J. Electrochem. Soc. vol.153 (2006), No.10, G883–G886

An advanced sample structure for large-grain growth by excimer laser crystallization

Masato Hiramatsu, Hiroyuki Ogawa, Masayuki Jyumonji, Tomoya Katou, Noritaka Akita and Masakiyo Matsumura

### ◎プロシーディング

ECS 2003 Spring Meeting

Mechanism of Oxygen Contamination in PECVD a-Si:H Films

Masato Hiramatsu, Yoshinobu Kimura, Masayuki Jyumonji, Mikihiro Nishitani, and Masakiyo Matsumura

ECS 2004 Fall Meeting

An Advanced Sample Structure for Large Grain Growth by Excimer Laser Crystallization

Masato Hiramatsu, Hiroyuki Ogawa, Masayuki Jyumonji, Tomoya Katou, Noritaka Akita and Masakiyo Matsumura

IDW 2002

High Purity Plasma Enhanced Chemical Vapor Deposition Apparatus for Low-temperature Poly-Si TFTs

Masato Hiramatsu, Yoshinobu Kimura, Masayuki Jyumonji, Mikihiro Nishitani and Masakiyo Matsumura

IDW 2003

Impact of High-Purity Si Films on Crystallization Characteristics

Masato Hiramatsu, Hiroyuki Ogawa, Yoshinobu Kimura, Masayuki Jyumonji, Noritaka Akita and Masakiyo Matsumura

IDW 2004(invited)

Advanced Laser-Crystallization Technologies of Si for Next-Generation TFTs

M. Hiramatsu

## ◎口頭発表

第 48 回 応用物理学関係連合講演会

Si プロセスによる短ゲート poly-Si TFT の電気特性

平松雅人、臼田宏治、山田啓作

第 62 回 応用物理学会学術講演会

第 49 回 応用物理学関係連合講演会

第 63 回 応用物理学会学術講演会

位相変調エキシマレーザ結晶化法における積層キャップ層の効果

平松雅人、木村嘉伸、十文字正之、西谷幹彦、松村正清

第 50 回 応用物理学関係連合講演会

エキシマレーザ結晶化シリコン膜中の酸素プロファイル

平松雅人、木村嘉伸、小川裕之、十文字正之、松村正清

第 51 回 応用物理学関係連合講演会

レーザ結晶化法における初期膜中の不純物の影響

平松雅人、小川裕之、十文字正之、加藤智也、松村正清

第 65 回 応用物理学会学術講演会

レーザ結晶化法における SiO<sub>x</sub> キャップ膜の効果

平松雅人、小川裕之、十文字正之、加藤智也、秋田典孝、松村正清

第 52 回 応用物理学関係連合講演会

次世代 TFT 作製に向けた Si 結晶化技術(招待講演)

平松雅人

第 66 回 応用物理学会学術講演会



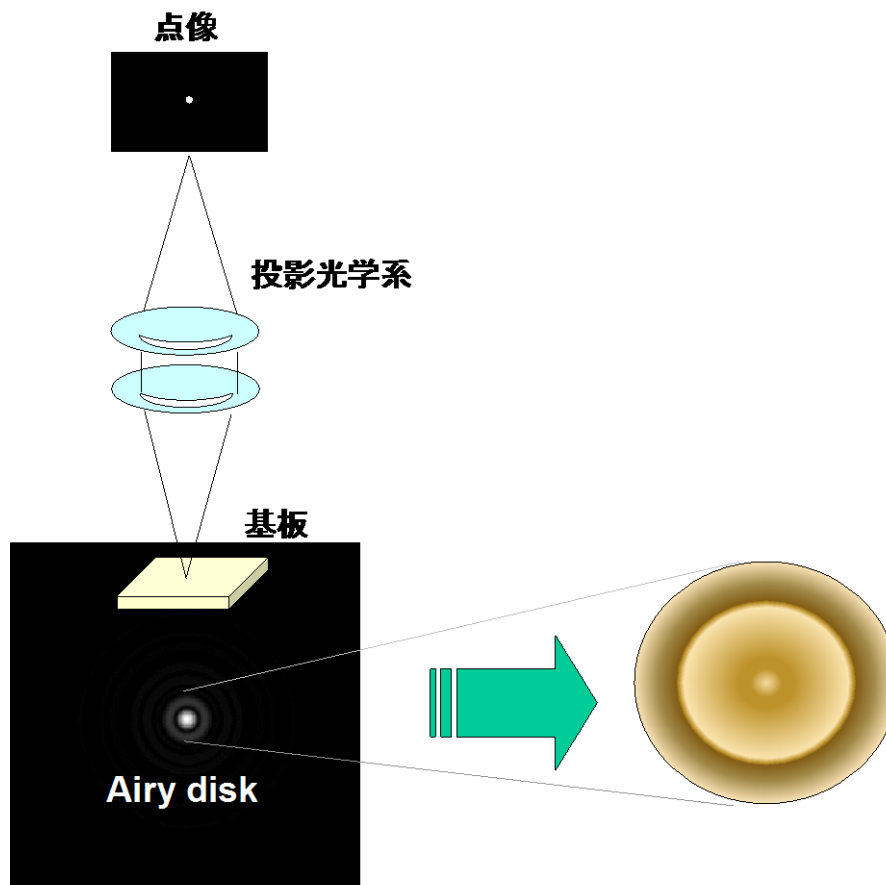
レーザー結晶化法における初期膜中の不純物の影響  
平松雅人, 加藤智也, 松村正清

# 補足

## 新構造位相シフタの原理

東京工業大学の松村教授らの実験においては、位相シフタを基板直上の数百  $\mu\text{m}$  離れた位置に設置することで横方向成長を実現していた。しかしながら、量産応用を考えた場合、光学系を用いた投影方式以外は考えにくい。そこで、テレセントリックレンズを用いた縮小投影を検討したが、縮小光学系ならではの問題点があった。

図 A1-1 に示すように、均一光源から出て光学系を通過した光は観察面上に回折パターンを生じるが、この中心には『エアリーディスク』とよばれる明るい領域があり、その周りを『エアリーパターン』と呼ばれる複数の同心円環がとりまく。

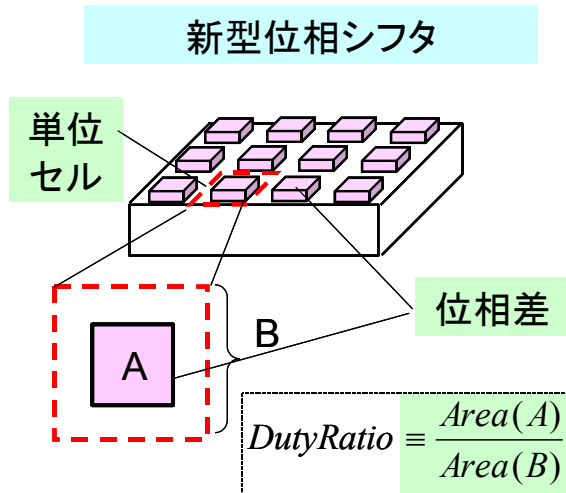


図A1-1 エアリーディスク

ディスクと各円環は暗い同心円環に隔てられる。このディスクの直径は光源が出す光の波長と円形開口の大きさによって異なる。有限の直径を持つレンズを通過した光線の焦点像は厳密には点にならず、回折によってエアリーディスクの大きさの円盤になる。無収差レンズを使った場合でも、このレンズがつくる焦点像の分解能には限界があり、回

折による限界により光学系の分解能は決まるといってよい。(Wikipedia より)

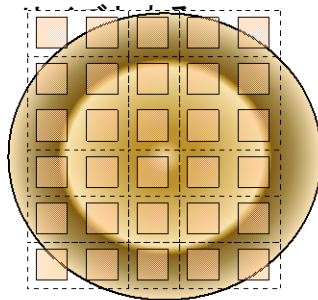
本来なら、このエアリーディスクは光学系の欠点となるものであったが、今回の位相シフトの投影にはむしろ必要条件であった。つまり、像面でこのエアリーディスクの径と比較して小さな像は分解できないことになる。したがって、位相シフトのパターンをエアリーディスクの径と比較して小さく作製すれば、パターン形状は像面には投影されず、唯一レーザー光強度のみが反映されるのではと考えた。図 A1-2 に新型位相シフトの形状を示す。



図A1-2 新型位相シフトの形状

Y.Taniguchi et al: ECS2004fall(Honolulu)c

照射するレーザー光に対して透明な基材で凹凸を作製する。凹凸の段差はレーザー光の位相差に対応している。また凹凸のサイズは図 A1-3 のように投影されたサイズで、エアリーディスクに対して



**Cell size < Airy disk**

図A1-3 新型位相シフトの凹凸サイズの目安

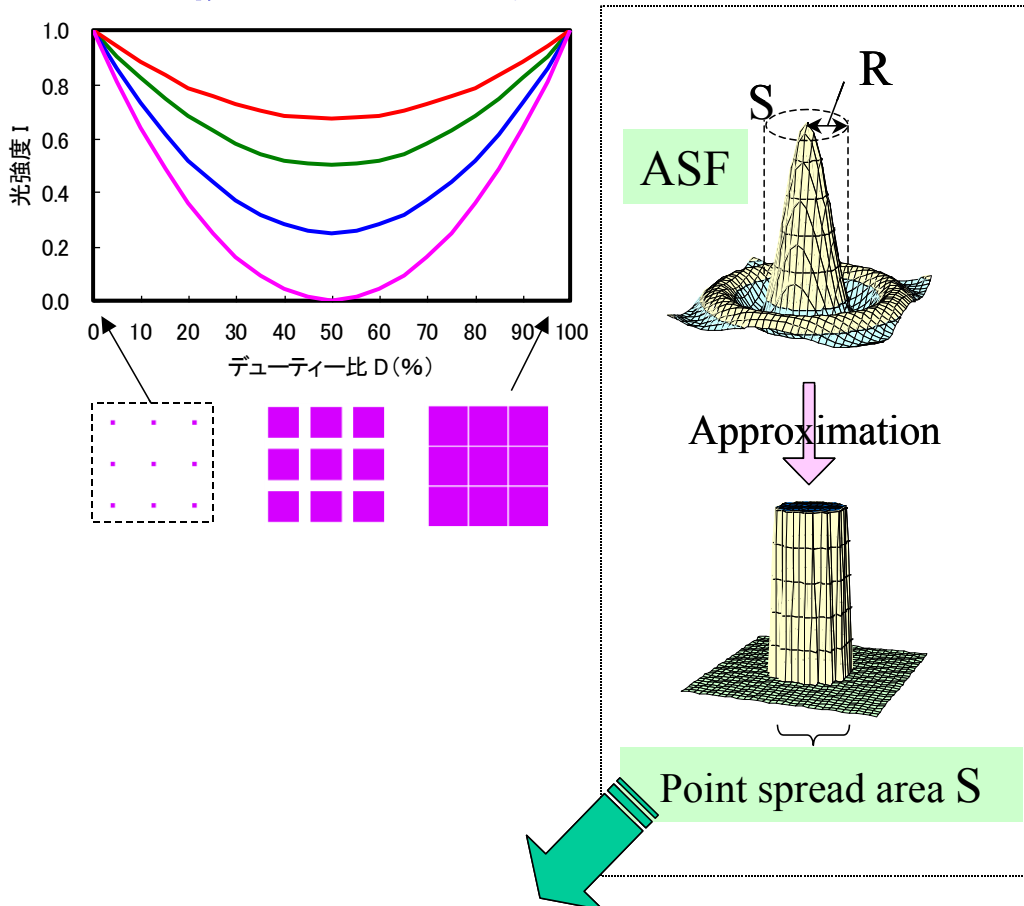
Y.Taniguchi et al: ECS2004fall(Honolulu)c

例えば、F 値が 4 の投影レンズを用いたとすると、エアリーディスクの半径は近似的には、 $r = 1.22\lambda \cdot F = 1.24(\mu m)$  ( $\lambda$  は用いる光の波長: 254nm) と算出できる。これは、結像面の値

なので 1/5 の縮小投影では、位相シフト上で約  $6\mu\text{m}$  よりも小さな形状を作製すれば、この現象を用いることが可能で、結像面で凹凸の情報なく、位相差の情報のみが投影されることになる。

2 種類の位相(例えば図 A1-2 に示すような一つの高さの凸部)をもつ位相シフトを用いた場合の光強度と面積比との関係を図 A1-4 に示す。

## 面積比と光強度の関係



$$I = |U|^2 \cong (2 - 2 \cos \theta) \cdot D^2 - (2 - 2 \cos \theta) \cdot D + 1$$

(Approximate expression)

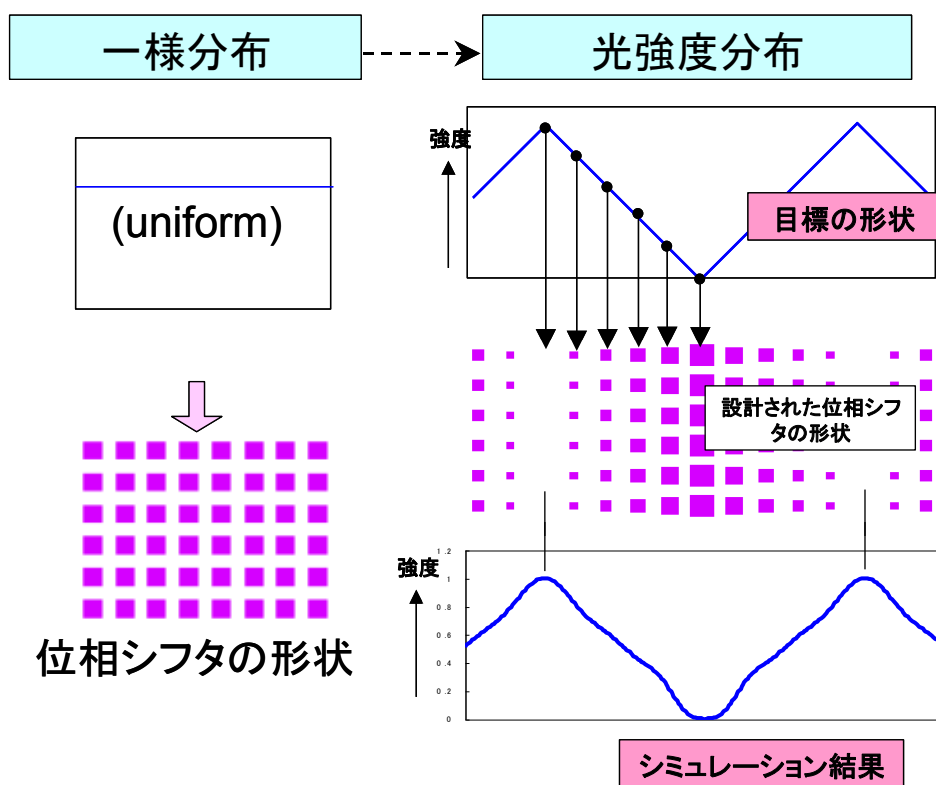
$\theta$  : 位相差  
D : 面積比

図A1-4 新型位相シフトの光強度と面積比の関係

Y.Taniguchi et al: Jpn. J. Appl. Phys. 45 p.7753 (2006)

これにより、欲しい光強度は位相差と面積比で人為的に決められることがわかる。この結果は平面的に一様な光強度を得る場合であるが、この強度を部分的に変化させるために行なった工夫を図 A1-5 に示す。ほぼ均等に欲しい強度に相当する位相シフタの面積比あるいは位相差を変え、並べていくことにより実現できるが、位相差をそれぞれの凹凸で変更するのは作製するのがむずかしいため、もっぱら面積比を変更する。入射レーザー光の発散角まで考慮したシミュレーション計算ではほぼ所望の凹凸が得られていることがわかる。

## 光強度分布の形成



図A1-5 所望の光強度分布形状を得るための位相シフタ形状

検証実験として、次のような光強度分布を生成する位相シフタを作製し、結晶化を試み

た:

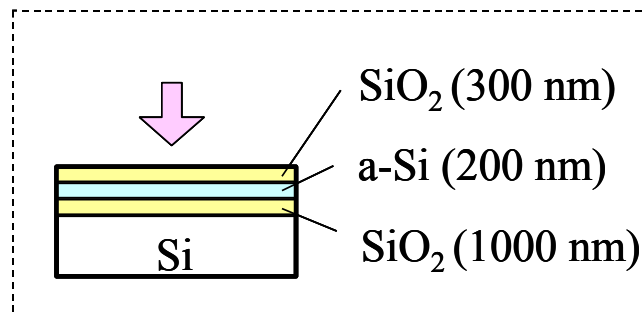
最小エネルギー量: 70%

山と山の間隔:  $10\mu\text{m}$

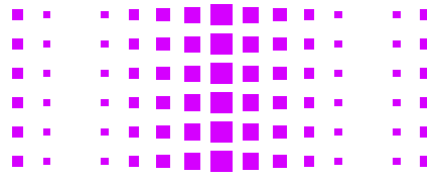
結果を図 A1-6 に示す.

## 結晶化実験結果

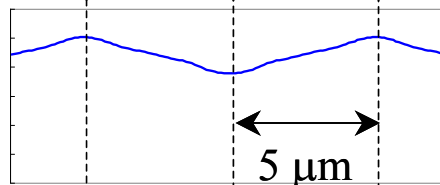
### 試料構造



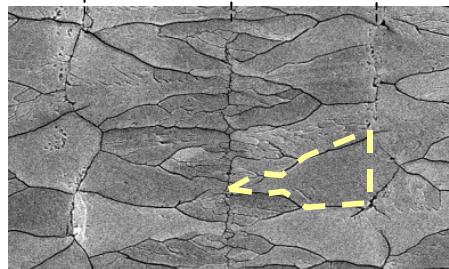
### 新型位相シ フト ( $\theta=60^\circ$ )



### 光強度 (Simulation)



### Si 結晶粒 セコエッチング後の SEM像



図A1-6 検証実験の結果

第4章 4-5-3で求めたように横方向成長開始エネルギー以上のエネルギーを最小エネルギーとすれば、横方向成長が切れ目なく発生すると予想されるが、図A1-6のSEM写真に示したように、計算による予測通りに約  $5\mu\text{m}$ 長の結晶が充填されている構造となった。

