

生体超分子を利用した次世代半導体メモリ
の研究

小原 孝介

奈良先端科学技術大学院大学

物質創成科学研究科

情報機能素子科学研究室

指導教員 浦岡 行治 教授

2012年3月16日提出

目次

主要な略語一覧.....	1
第1章 序論	
1. 研究背景.....	3
1-1. 半導体メモリ.....	3
1-2. フラッシュメモリ.....	4
1-3. フローティングゲートメモリ.....	8
1-4. フラッシュメモリの最新技術.....	12
1-5. ナノドット型フローティングゲートメモリ.....	14
2. バイオナノプロセス.....	15
3. 研究目的.....	18
4. 本研究の位置付けおよび特長.....	18
5. 論文の構成.....	20
6. 参考文献.....	21
第2章 Pt ナノドットを利用したフローティングゲートメモリの作製および評価	
1. はじめに.....	23
2. アポフェリチン(apo-Fer)への PtS 導入と精製.....	24
2-1. アポフェリチンのバッファー置換.....	24
2-2. PtS ナノドットの合成.....	24
2-3. バルクの沈殿除去.....	26
2-4. 限外ろ過ユニットによる濃縮.....	26
2-5. ゲルろ過によるフェリチン単量体の採取.....	26
2-6. 密度勾配遠心によるフェリチンとアポフェリチンの分離.....	27
3. Pt ナノドットが埋め込まれた MOS キャパシタの特性.....	28
3-1. 作製プロセス.....	29
3-2. PtS 内包フェリチンを利用したナノドット層の形成.....	30
3-3. UV オゾン処理によるタンパク除去.....	32
3-4. UV オゾン処理による PtS ナノドットの還元.....	34
3-5. Pt ナノドットが埋め込まれた MOS 構造の評価.....	35
3-6. 特性評価.....	38
4. Pt ナノドット型フローティングゲートメモリのメモリ特性.....	42
4-1. 作製プロセス.....	42
4-2. 特性評価.....	44
5. ナノドット型フローティングゲートメモリに関する考察.....	50
6. 高圧重水処理を利用したナノドット型フローティングゲートメモリの特性向上.....	55
7. まとめ.....	62
8. 参考文献.....	62

第3章 poly-Si を利用したガラス基板上へのナノドット型フローティングゲートメモリの作製および評価

1. はじめに.....	64
1-1. 薄膜トランジスタ(Thin-Film Transistor: TFT).....	66
1-2. a-Si の結晶化手法.....	68
1-3. フェリチンを利用した a-Si の結晶化.....	69
2. TFT 型フローティングゲートメモリのメモリ特性評価.....	71
2-1. 作製プロセス.....	71
2-2. 特性評価.....	73
4. まとめ.....	81
5. 参考文献.....	81

第4章 Bio-LBL 法を利用した積層ナノドット型フローティングゲートメモリの作製および評価

1. はじめに.....	83
2. Bio-LBL 法.....	83
2-1. フェージディスプレイ法.....	83
2-2. Bio-LBL 法.....	84
3. SiO ₂ に対するナノドットの吸着評価.....	87
4. 水素雰囲気中での熱処理によるナノドットの還元.....	89
5. 積層 Co ナノドット型フローティングゲートメモリの特性評価.....	92
5-1. 作製プロセス.....	92
5-2. 積層ナノドットが埋め込まれた MOS 構造の評価.....	94
5-3. 積層 Co ナノドットが埋め込まれた MOS キャパシタの C-V 特性.....	95
5-4. 積層 Co ナノドット型フローティングゲートメモリのメモリ特性.....	97
6. 異種金属積層ナノドット型フローティングゲートメモリの特性評価.....	106
7. まとめ.....	112
8. 参考文献.....	112

第5章 総論および今後の課題.....

1. 本論文の主要結果.....	114
2. 今後の課題.....	116

付録

1. クーロンブロッケードに関する考察.....	118
2. 電子のドット間トンネリングに関する考察.....	121
研究業績.....	125
謝辞.....	129

主要な略語一覧

略語	名称
a-Si	非晶質シリコン (Amorphous Silicon)
apo-Fer	アポフェリチン (Apo-Ferritin)
APTES	3-アミノプロピルトリエトキシシラン (3-aminopropyltriethoxysilane)
Bio-LBL法	Bio-Layer-By-Layer法
BNC	バイオナノクリスタリゼーション (Bio-Nano Crystallization)
BND	バイオナノドット (Bio-Nano Dot)
C-V特性	容量-電圧 (Capacitance-Voltage) 特性
Co ₃ O ₄	四酸化三コバルト (Tricobalt Tetroxide)
CVD	化学気相堆積法 (Chemical Vapor Deposition)
EDX	エネルギー分散型X線分光法 (Energy Dispersive X-ray Spectroscopy)
EELS	電子エネルギー損失分光法 (Electron Energy-Loss Spectroscopy)
Fe ₂ O ₃	酸化鉄 (Iron Oxide)
I _D -V _D 特性	ドレイン電流-ドレイン電圧 (Drain Current-Drain Voltage)特性
I _D -V _G 特性	ドレイン電流-ゲート電圧 (Drain current-Gate Voltage)特性
MILC	金属誘起横方向結晶成長法 (Metal Induced Lateral Crystallization)
MOS	金属-酸化膜-半導体構造 (Metal-Oxide-Semiconductor)
MOSFET	MOS電界効果トランジスタ (MOS Field-Effect Transistor)
PMA	Post-Metallization Annealing
PtO	酸化プラチナ (Platinum Oxide)
poly-Si	多結晶シリコン (Polycrystalline Silicon)
PtS	硫化プラチナ (Platinum Sulfide)
RTA	急速熱処理 (Rapid Thermal Annealing)

略語	名称
SEM	走査電子顕微鏡 (Scanning Electron Microscopy)
SPC	固相結晶成長法 (Solid Phase Crystallization)
SPM	硫酸 (H ₂ SO ₄) と過酸化水素水 (H ₂ O ₂) の 混合溶液
TBF	Titanium-Binding Ferritin
TEM	透過電子顕微鏡 (Transmission Electron Microscopy)
TFT	薄膜トランジスタ (Thin Film Transistor)
Tris	トリスヒドロキシメチルアミノメタン (tris(hydroxymethyl)aminomethane)
XPS	X線二次電子分光法 (X-ray Photoelectron Spectroscopy)

第 1 章

序論

1. 研究背景

1-1 半導体メモリ

我々の身の回りに存在する電子機器には、記憶素子として半導体メモリが使用されており、半導体メモリは我々の生活にとって身近で必要不可欠なものである。1970年にpチャネル金属—酸化膜—半導体 (Metal-Oxide-Semiconductor: MOS) 1KビットDRAMが登場した。これは初めてのMOS型汎用メモリである。これまでのMOS電界効果トランジスタ(MOS Field-Effect Transistor: MOSFET)はアルカリ金属汚染などによるトランジスタ特性の不安定性のため、集積回路として高信頼性を実現する事が困難であったが、半導体プロセス技術の開発および進歩によって、信頼性の高いMOSメモリが実現された。現在までに、DRAMはほぼ3年で4倍の規模拡大を継続して達成している。半導体メモリはトランジスタとキャパシタで構成されるDRAM (Dynamic Random Access Memory), フリップフロップ回路で構成されるSRAM (Static Random Access Memory) が代表的であった。しかし最近では、電源を切っても記憶内容を保持し続ける不揮発性メモリが注目を集めており、強誘電体の分極ヒステリシス特性を利用した強誘電体メモリ (Ferroelectric RAM: FeRAM) や磁気抵抗効果を持つトンネル接合膜すなわちトンネル磁気抵抗 (Tunneling Magneto Resistive: TMR) 膜を利用したMRAM (Magnetic Random Access Memory), 絶縁膜中の抵抗変化を利用した抵抗変化メモリ (Resistive RAM: ReRAM) および相変化材料における非晶質と結晶間での相転移を利用した相変化メモリ (Phase Change RAM: PRAM) などの研究および開発が盛んに行われている。表1-1に各種メモリの特性一覧を示す[1]。

しかし、これまでに様々な電子機器のメモリ素子として大量に使用されてきたSRAM, DRAMおよびフラッシュメモリがすぐにとって代わられることは考えられず、SRAM, DRAMおよびフラッシュメモリも様々な問題を克服して、高集積化、大容量化が継続している。SRAMは今でもCMOSフリップフロップをメモリセルとして利用しており、DRAMはメモリセル面積を低減して高集積化を実現するためにトランジスタを減らし、現在は1トランジスタ、1キャパシタで構成されたメモリセルとなっている。一方、フラッシュメモリの原点は、ゲート絶縁膜の電荷保持部に電荷を保持するという点にあり、初期の不揮発性半導体メモリでは、ゲート絶縁膜中のトラップに電荷が保持されていた。この技術は、今日のシリコン窒化膜を利用したメモリやナノドットメモリに引き継がれている。

表 1-1. 各種半導体メモリの性能一覧

機能	DRAM	SRAM	フラッシュ (NAND)	FeRAM	MRAM	PRAM	ReRAM
記憶原理	キャパシタ 充放電	フリップ フロップ	電荷捕獲	分極反転	磁気抵抗	相転移	抵抗変化
F^2	6-8	50-100	2-6	16-40	6-8	6-20	6-8
不揮発性	×	×	◎	◎	◎	◎	◎
書換回数	$>10^{15}$	$>10^{15}$	10^5	$>10^{12}$	$>10^{15}$	$>10^{12}$	$>10^6$
読出時間	10 ns	2 ns	25 μ s	20 ns	10 ns	10 ns	10 ns
書込時間	10 ns	2 ns	300 μ s	20 ns	5 ns	200 ns	10 ns
容量 (bit)	2G	64 M	8 G	32 M	4 M	64 M	開発中

1-2. フラッシュメモリ

フラッシュメモリは不揮発性メモリの一種で、現在、パソコンや携帯電話のメモリ素子として幅広く使用されている。表1-1に示される様に、フラッシュメモリは他のメモリに比べて書込および消去速度が遅いが、不揮発性に優れており、高集積化および大容量化が可能であるため、幅広く使用されている。

フラッシュメモリには、図1-1に示される様にNAND型とNOR型が存在する。NAND型はトランジスタが直列に接続されており、メモリセル配列内のソースあるいはドレインとなる n^+ 拡散層への接続部は極少数しかない。一方、NOR型はトランジスタごとに共通ソースおよびビット線への接続を行うのでメモリセルが大きくなる。面積はNOR型メモリの方がNAND型メモリに比べて2~3倍であるため、価格はNOR型メモリのほうが高い。ここでは、USBメモリやSDカード、そしてハードディスクドライブの代替として大きく期待されているSolid State Drive (SSD)の重要な構成部分であるNAND型フラッシュメモリについて記載する。NAND型フラッシュメモリはスケーリング則に従って微細化を進めれば容量が大きくなり、コストを下げられる。また、DRAMは市場が飽和傾向であるのに対し、NAND型フラッシュメモリはSSDを中心に大容量が求められている。

NAND型フラッシュメモリの基本的な回路構成を図1-2に示す。メモリセルを駆動するデコーダやページバッファなどが存在する。ページバッファは書き込みデータなどを蓄えるキャッシュメモリであり、メモリアレイの端の部分に位置している。この他、フラッシュメモリは高電圧を必要とするため、高電圧発生回路なども集積されている。

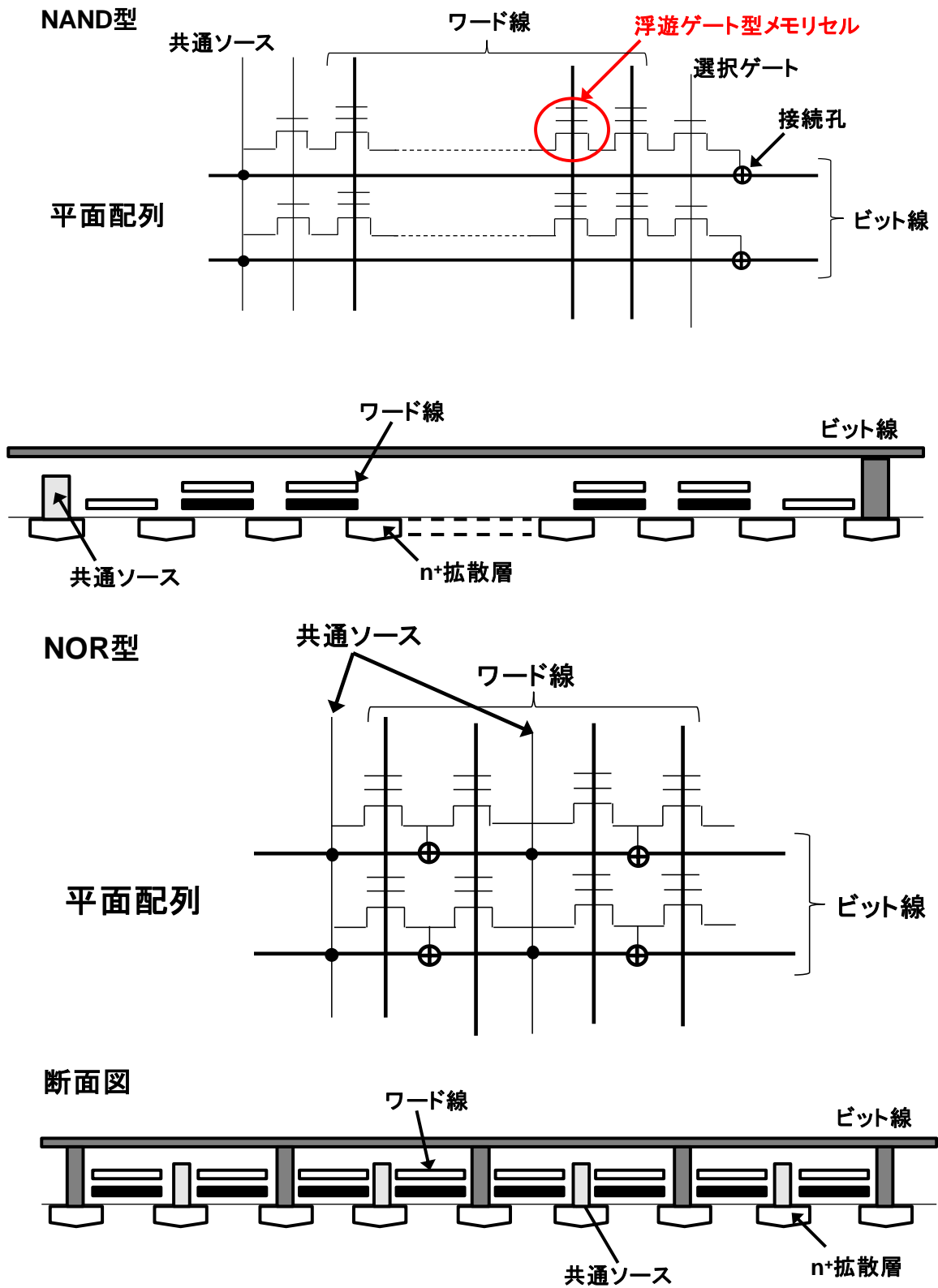


図 1-1. NAND 型フラッシュメモリおよび NOR 型フラッシュメモリ

メモリ回路

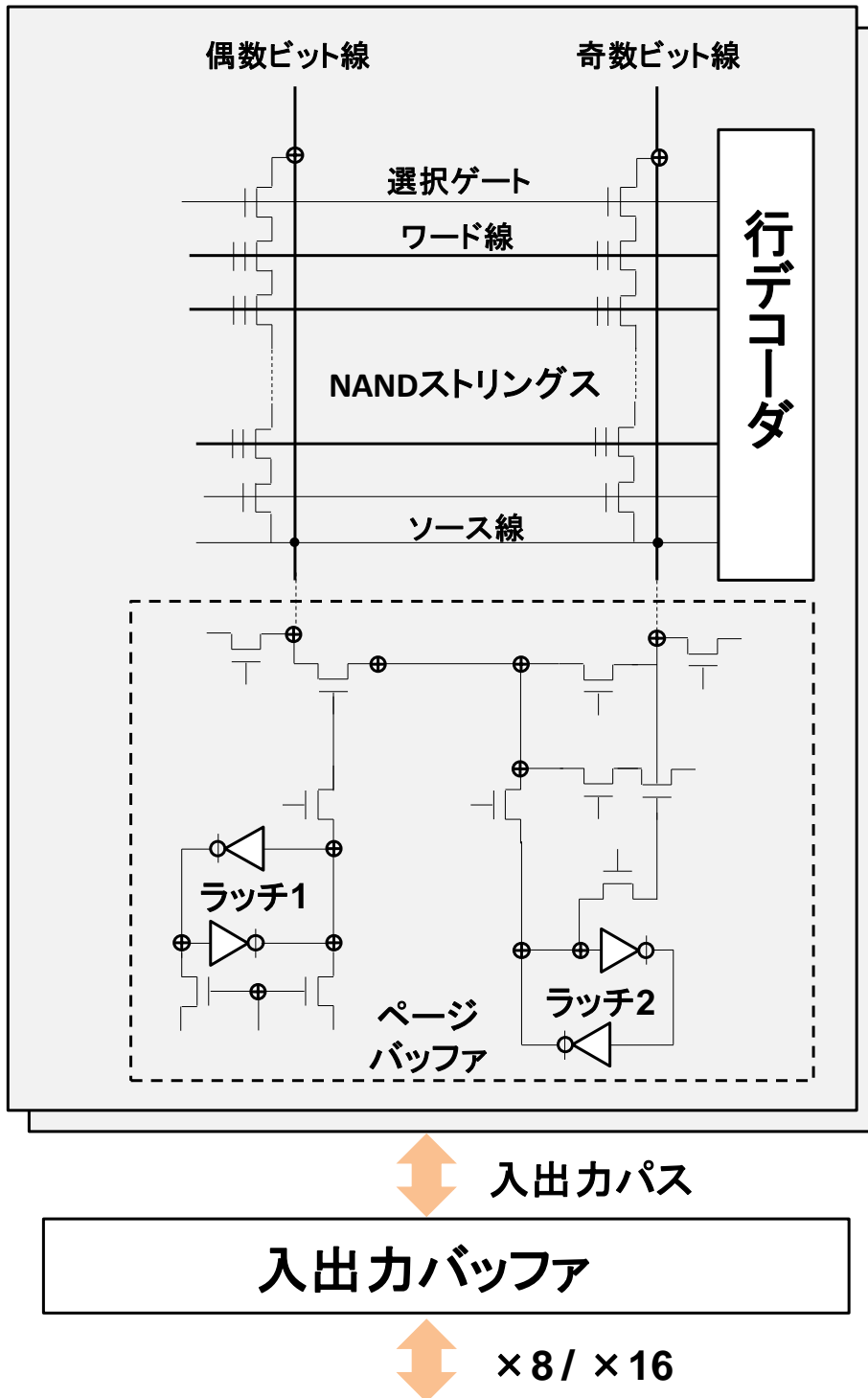


図 1-2. フラッシュメモリの構成

NAND型フラッシュメモリは直列につながったメモリセルを二つの選択ゲートで挟んだ回路構成をしている。選択ゲートは、特定の領域を読み出している時に、別の領域を非選択状態にする。NAND型フラッシュメモリには、図1-3に示される様にメモリ領域として「ページ」と「ブロック」という概念がある。ページとは、1つのワード線につながる多数個のメモリセルを指し、書込はこの単位でしかできない。1つのページが備えるメモリセル数(ページサイズ)は、現在4~8Kバイト程度であり、今後も増加傾向にある。ブロックは消去の単位であり、複数のページに渡って選択ゲートに挟まれている全てのメモリセルである。消去は、ブロックという単位でしかできず、ブロックのサイズは512K~2Mバイトとページサイズに比べて2~3桁大きい。つまり、NAND型フラッシュメモリは、小さな単位で書いたり消したりする事は基本的に不可能である。しかし、NAND型の回路レイアウトは非常に単純かつ規則的パターンを取るため、NAND型は圧倒的にコスト競争力が高い。NANDフラッシュメモリの回路レイアウトを見ると、縦方向と横方向の配線が真つすぐ伸びており、規則的に並んでいる。この様な配線パターンは、リソグラフィ装置で解像しやすいため、微細化に向いている。また、NAND型フラッシュメモリは露光しやすいだけでなく、歩留まりも改善しやすい。さらに、配線パターンが規則的なため、製造ばらつきを比較的小さく抑えることができる。

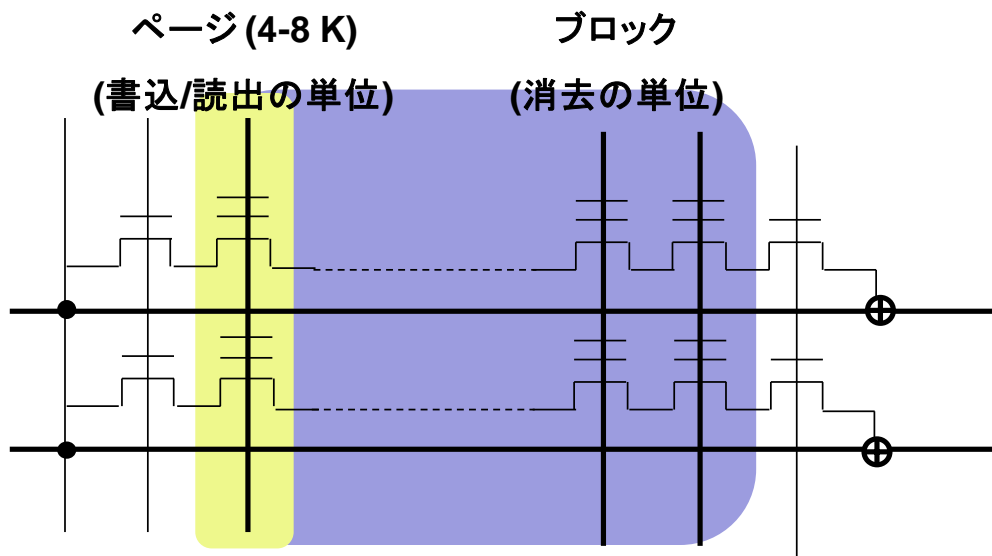


図 1-3. フラッシュメモリの回路図

図1-4にNAND型フラッシュメモリの読出し原理を示す。例として、メモリセルが1ビットの情報を記憶する1ビット/セルの場合を考える。メモリセルのしきい値が負電圧の「0」状態と、正電圧の「1」状態の2種類に分かれている。ここで、読み出したいセル(選択セル)のワード線に読み出し電圧(0V)を印加すると、

セルトランジスタは0状態の場合にON, 1状態の場合にOFFとなる。一方, 非選択セルについては必ずONする様に, ワード線に4.5 Vとやや高い電圧(V_{read})を印加しておく。さらにビット線の電圧を0.8 Vにプリチャージしておく, ビット線の電圧は選択セルのデータが0状態の時に0 V, 1状態の時に0.8 Vになる。これによって, 選択セルの情報を読み出す事が可能となる。メモリセルは60数個も直列に接続されているので, ビット線に流れる電流は μA 以下と非常に小さくなる。このため, ランダム読出しには数十 μs もの長い時間がかかる。その一方で, 大量のデータを連続的に読み出すシーケンシャルアクセスについては, データ転送速度が20 M~30 Mバイト/sと高速である。ページ単位で読み出しを行うNAND型フラッシュメモリでは, 1ページ分のセルに同時にアクセスできるので, ランダム読出しは1ページにつき最初の1回しか発生しない。その後はページバッファからのシーケンシャル読出しになり, 読み出し時間は数十nsと短い。書込消去に関しても, ランダム読出しと同様に遅い。書込消去に利用される際に, 電子のトンネリングがそれほど高速でないためである。トンネル電流値はpAオーダーと小さく, 低消費電力ではあるが, その分速度は遅い。その結果, 書込および消去には数十 μs から10 μs 以上という長い時間がかかる[2]。

読出しの原理

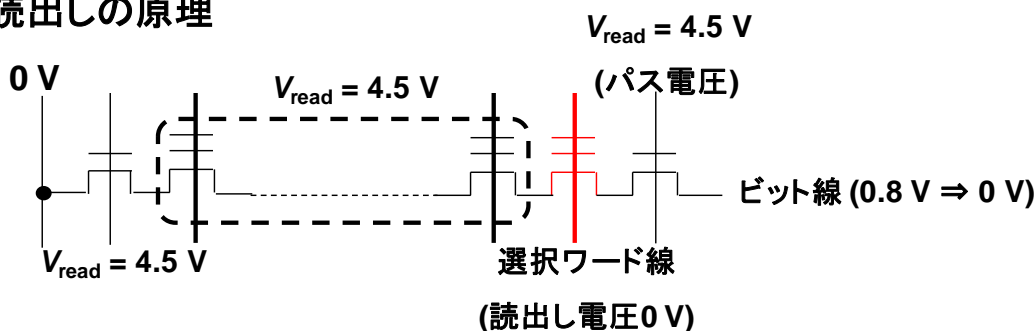


図 1-4. フラッシュメモリにおける情報の読出

1-3. フローティングゲートメモリ

フラッシュメモリの基本構造であるフローティングゲートメモリの構造を図 1-5 (a)に示す。MOSFETのゲート酸化膜中に, 電荷を蓄積するためのフローティングゲートが埋め込まれたメモリであり, フローティングゲートとSi基板間に存在する酸化膜をトンネル酸化膜, フローティングゲートを覆っている酸化膜をコントロール酸化膜と呼ぶ。フラッシュメモリは10年間の記憶保持を保証するので, トンネル酸化膜は8~10 nmよりも薄くできない。電子はドレイン領域(D) からトンネル酸化膜を通じてフローティングゲートに注入され, フローティングゲート中に蓄積される。この動作はプログラミングと呼ばれる。蓄積された電子は, しきい値電圧をシフトさせ, デバイスは高電圧状態 (理論値1) に

スイッチされる。蓄積された電子をフローティングゲートから放出し、デバイスを低しきい値電圧の状態（理論値0）に戻すためには、電気的なバイアス、あるいはUV 光照射などが利用される。

図1-5(b)にフローティングゲートメモリの等価回路を示す。ドレイン電圧を0Vとすれば、フローティングゲートとの電圧 V_{FG} は式(1-1)の様に表される。

$$V_{FG} = \frac{C_C V_{CG} - Q_{FG}}{C_C + C_T} \quad (1-1)$$

ここで、 Q_{FG} 、 V_{CG} 、 C_C および C_T はそれぞれ、フローティングゲートに蓄えられた電荷量、ゲート電極に印加される電圧、コントロール酸化膜の容量およびトンネル酸化膜の容量である。フラッシュメモリに印加する電圧を削減する場合、 C_C または C_T を増大すればよいが、そのためにコントロール酸化膜もしくはトンネル酸化膜を薄くすると記憶保持時間が短くなる。

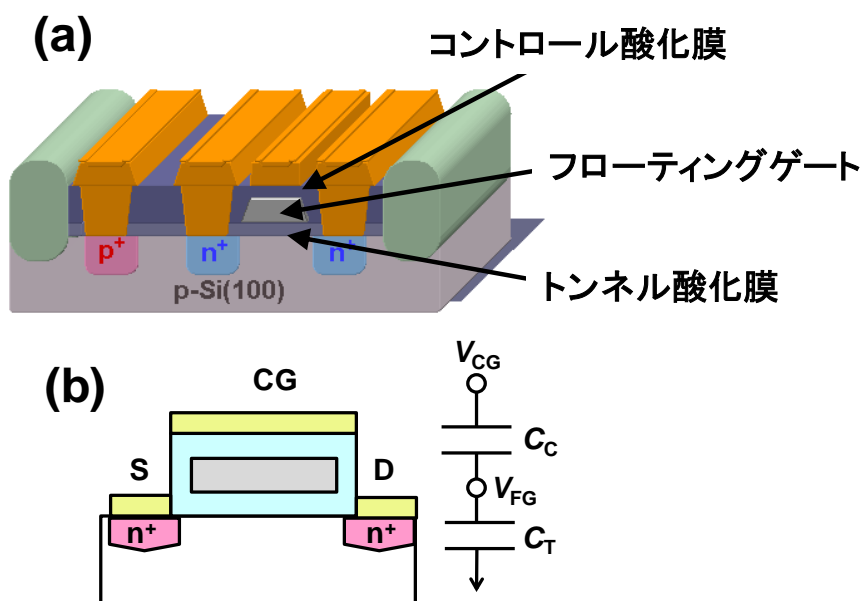


図 1-5. フローティングゲートメモリ

フローティングゲートメモリにおいて、一般的なプログラミングの方法は図1-6に示される様に2つ存在する。1つはホットキャリア(Channel Hot Electron: CHE)の注入によるものである。ゲート電極に正電圧を印加して反転チャネルを形成させた後、ドレイン電極に高電圧を印加してチャネル内の電子を高速で移動させる。ドレイン領域近傍で高いエネルギーを獲得した電子（ホットエレクトロン）がフローティングゲートへ飛び込んで、フローティングゲートは負に帯電

する。

もう一つはFowler-Nordheim (F-N) トンネリングによる電子注入である。電圧がゲート電極に印加されると、トンネル酸化膜のバンド構造はSiの導電帯から見て三角形に変化し、トンネル酸化膜に印加される電界が大きくなるにつれてバンド構造は急峻な三角形になる。十分な電界がトンネル酸化膜に印加されると、電子が通過する部分の障壁厚さは薄くなるので、Siの導電帯に存在する電子はバンドギャップの三角状に変形した部分を通過し、フローティングゲート中に電子が注入される。このトンネルをF-Nトンネリングという。データの消去は、ドレインを開放し、ゲートと基板を接地した後、ソースに比較的高い電圧を印加すると、フローティングゲート中の電子がトンネリングによりソースに引っ張り出される。情報の読出しは、ゲートに通常の電圧を印加し、ドレインに比較的低い電圧を印加して、MOSFETのON/OFFを観測する。一般的にデータの書込および消去の際に使用される電圧の大きさは約20 Vである。F-Nトンネリングは電界が大きく、電子がSiO₂中をトンネリングした際に厚いSiO₂中でエネルギーを失いながら移動するので、SiO₂膜に損傷を与える確率が高い。また、3 eVを超えるエネルギーを持ったホットエレクトロンは、SiとSiO₂界面でのエネルギー障壁である約3 eVを超えてSiO₂膜中に侵入し、F-Nトンネリングと同様にエネルギーを失いながら移動する[1]。

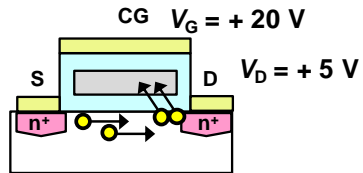
トンネル酸化膜が薄い場合 (~4 nm)、SiO₂膜中でエネルギーを失わずに抜けるので、原理的にはSiO₂膜を損傷しない (実際は、絶縁膜が全面にわたって均一ではないので、損傷は弱い部分から確率的に発生する)。しかし、現在のフローティングゲートメモリの構造では、トンネル酸化膜を薄くすると記録保持時間が短くなり信頼性に影響を与えるので、直接トンネリングは使用されていない。主要な電荷のトンネリング機構をバンド図として図1-7に示す。

フローティングゲートメモリは元々、電流が流れない絶縁膜に強制的に電流を流す事で電子をフローティングゲート中に注入するので、SiO₂膜の絶縁性を徐々に劣化させ、最終的には絶縁破壊に至る。従って書込回数制限があり、フラッシュメモリが市場に出始めた当初は10万回を保証していたが、ゲート長が100 nmより短い現在のトランジスタでは、1万回以下の場合がある。

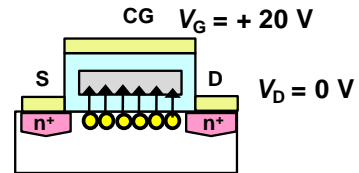
電荷注入機構

書込モード

チャンネルホットエレクトロン (CHE) 注入



F-Nトンネリング



消去モード F-Nトンネリング

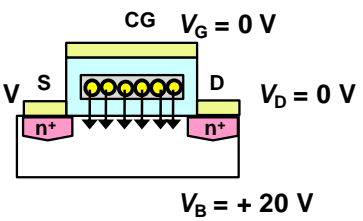
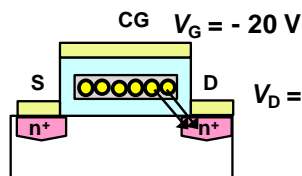
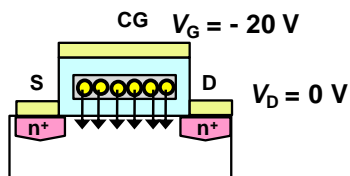


図 1-6. フローティングゲートメモリにおける電荷の書込および消去

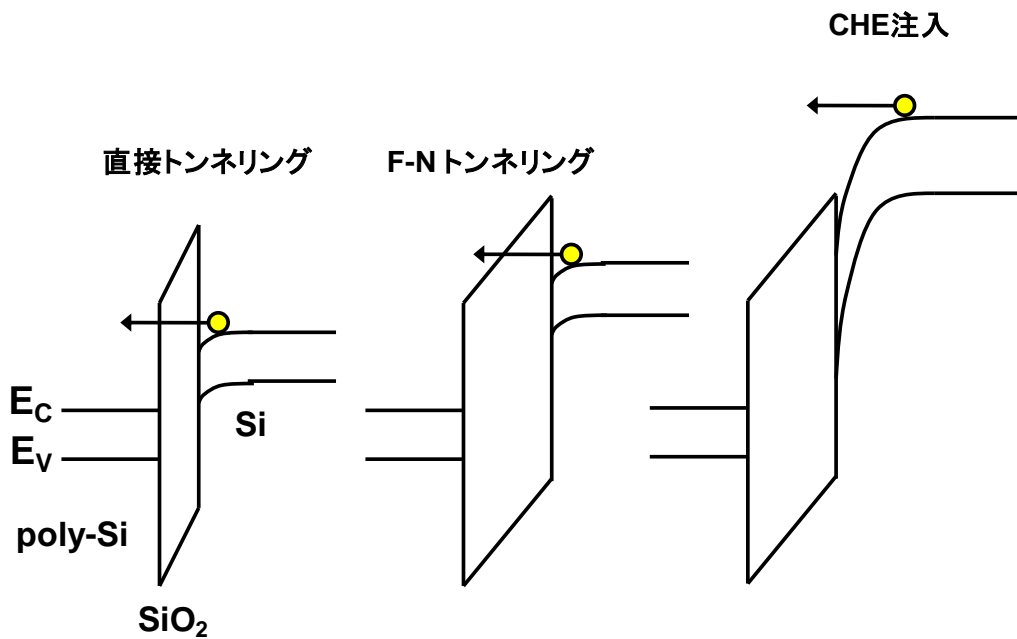


図 1-7. 電子のトンネリング機構

1-4. フラッシュメモリの最新技術

以上に述べた様に、フラッシュメモリは無数のフローティングゲートメモリで構成されているため、フローティングゲートメモリを微細化および高集積化することによってメモリ容量の増大を行う事ができる。またフローティングゲートメモリの構造上、MOSデバイスの微細化プロセスをそのまま応用する事ができるため、容易に微細化が可能である。従って、フラッシュメモリは現在までに、幾度と無く微細化および高集積化が行われ、それに伴いメモリの容量も増大してきた。

しかし、現在のメモリは既に10 nm世代まで微細化されており、微細化が困難であるだけではなく、メモリが微細化される事によって、今までのメモリ素子では発生しなかった量子力学的な障害も発生している。具体的には、消費電力の増加、フローティングゲートに蓄積される電子数の減少、フローティングゲート間の容量結合ノイズの増大およびランダムテレグラフノイズ(RTN)の深刻化である[3]。

消費電流は微細化と共に増え続けているが、これは微細化によって配線間の寄生容量が増え、メモリ動作に伴う充放電電流が増加しているためである。また、フローティングゲートに蓄えられる電子の数が減少している事も、フラッシュメモリの微細化を困難にしている要因の一つである。現在のメモリは既に10 nm世代まで微細化されているため、フローティングゲート内の電子が数個減少するだけで、しきい値電圧が変化してしまい、データ保持が非常に難しくなる。また、電子の数が量子化していくので、トンネル電流が統計的にばらついてしまう。フローティングゲート間の容量結合ノイズも、微細化と共に顕著になり、フローティングゲートに書き込みを行った際に、周辺セルのしきい値電圧が変動する。

特に近年では、RTNの問題も顕著である。これは、1つのセルに対する読出し結果が1回目、2回目、3回目でそれぞれ異なる現象である。トンネル酸化膜中に電子を補足するトラップサイトがあり、そこに電子が出入りする事で、セルのしきい値電圧が変化すると考えられている。トラップサイトへの電子の出入りは熱揺らぎによって起きるため、セルのしきい値電圧はランダムに上がったり下がったりを繰り返す。トラップサイトは、トランジスタを微細加工する際のダメージなどによって形成されるため、微細化が進むほどRTNは顕著になる。従って、将来的にはRTNのほうに深刻化すると言われている。そこで、近年では3次元型NANDフラッシュメモリ、三次元クロスポイント型メモリおよび新材料や新構造を利用した2次元型メモリについて研究が行われている[4]。

3次元型NANDフラッシュメモリは、これまで2次元的だった集積化を3次元方向に広げる手法であり、現在提案されている3次元型NANDフラッシュメモリの

中で代表的な例は、東芝が発表した「BiCS (Bit-Cost Scalable)」である。多層NANDフラッシュメモリではセル列が水平と垂直方向に伸びていたのに対して、BiCSの様な縦型NANDフラッシュメモリでは、セル列が基板と垂直方向に伸びている。BiCSの加工プロセスは比較的簡単である。まず制御ゲートとなるpoly-Si膜と絶縁膜を交互に積み重ねる。次に積層膜の上層から下層まで貫通する円柱状の穴を一括で開ける。その穴の内側にチャージトラップ層やpoly-Siチャネルを埋め込む事で縦型のセル列を形成できる。穴を掘って埋め込むという単純なプロセス工程で形成できる縦型NANDフラッシュメモリは大容量および低コスト化に最適であると言われている[5]。

3次元クロスポイント型メモリは、非常に単純な構造である。一般的にはセルの選択に必要なワード線と、読み出し信号を出力するビット線が互いに直行しており、その交点部分にメモリ素子1個とスイッチング素子1個が配置された構造である。スイッチング素子にはトランジスタもしくはダイオードが利用されるが、特にダイオードをスイッチング素子として利用すれば、メモリ素子と積層接続できるのでセル面積が $4F^2$ (F: 最小加工寸法)と非常に小さくなる。さらにその構造を3次元的に多層化すれば、さらなる大容量化および低コスト化が期待される。メモリ素子の部分には様々な素子が利用できるが、特にFeRAM, PRAM, ReRAMなどの不揮発性メモリが注目されている[6]。

新材料や新構造を利用した2次元メモリは、既存のNANDフラッシュメモリの一部の材料や構造に変更を加えたものであり、代表的な例として、チャージトラップ型NANDフラッシュメモリ、エアーキャップ型NANDフラッシュメモリおよびFe-NANDフラッシュメモリがある。チャージトラップ型NANDフラッシュメモリは酸化膜中に存在するトラップに電荷を充放電する事でメモリとしての機能を果たす[1]。エアーキャップ型NANDフラッシュメモリは、フローティングゲート間に空隙 (エアーキャップ) を導入したものであり、エアーキャップによって、フローティングゲート間の容量結合を低減し、メモリセルのしきい値電圧のばらつきを抑制する[7]。Fe-NANDフラッシュメモリはフローティングゲートの代替として強誘電体を利用したもので、強誘電体の分極によって情報を保持する。書込時、ゲート電極に正電圧、Si基板に0 Vをそれぞれ印加すると、強誘電体が電界に沿って分極する。消去時には、逆にゲート電極に0 V、Si基板に正電圧を印加し、強誘電体の分極を反転させる。この技術の利点は、電圧駆動型であることに加え、動作電圧が低い事である。また、通常のNANDフラッシュメモリに比べて、書込および消去にF-Nトンネリングを利用していないため、書き換え回数を大幅に増やすことができる[8]。

1-5. ナノドット型フローティングゲートメモリ

1-3節で述べた、従来のフローティングゲートメモリに存在する問題を解消するため、電荷保持層がpoly-Siではなく、ナノメートルサイズの球状無機物(ナノドット)の二次元配列で形成されたナノドット型フローティングゲートメモリが注目を集めている。ナノドット型フローティングゲートメモリの構造を図1-8に示す。ゲート酸化膜中に存在する各ナノドットは、ゲート酸化膜によって隔離されている。従って、電荷保持層がナノドットの二次元配列の場合、電荷の流出経路が発生しても流出経路に繋がっているナノドット中の電荷のみが流出し、大部分の電荷が保持された状態となる。その結果、電荷流出経路が発生してもメモリ機能を維持することができるため、信頼性が向上する。また、信頼性が向上するため、トンネル酸化膜を薄膜化して電荷注入に必要な電圧を小さくしてメモリの消費電力を低減できる[9]。ナノドット型フローティングゲートメモリの特長を図1-9に示す。

最初にSiナノドットを電荷保持層としたナノドット型フローティングゲートが提案され、以降様々な種類のナノドットを電荷保持層としたナノドット型フローティングゲートメモリが提案されている[10-18]。特に金属ナノドットを電荷保持層としたナノドット型フローティングゲートメモリは、金属自体の仕事関数が非常に大きく良好な電荷保持特性を実現できるという理由から、大きな注目を集めている。

ナノドットの形成方法は、プラズマを利用した化学気相堆積法(プラズマCVD)[10-12]や急速な熱処理で金属が凝集する事を利用した方法[13-15]など、様々な方法が提案されている[16-18]。これらの方法では、基板温度のばらつきによって凝集される原子数が異なり、ナノドットのサイズおよび密度が不均一となる。そのため、作製したメモリに特性のばらつきが発生する。また、プラズマCVDを利用した場合、トンネル酸化膜にプラズマによるダメージが発生し、電荷保持特性および信頼性を大きく劣化させる[19]。高性能および高信頼性のメモリを作製する場合、トンネル酸化膜へダメージを与えずに均一な金属ナノドットの二次元配列を形成する事が重要な課題となる。

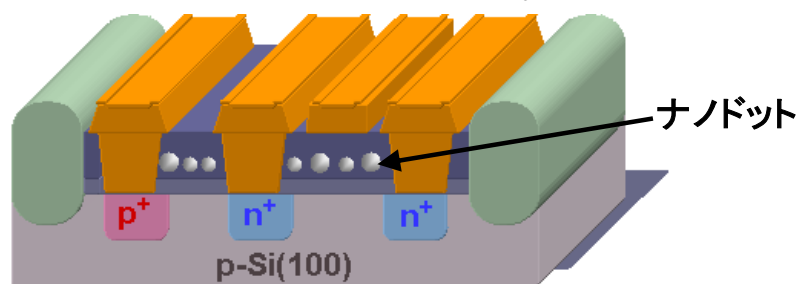


図1-8. ナノドット型フローティングゲートメモリ

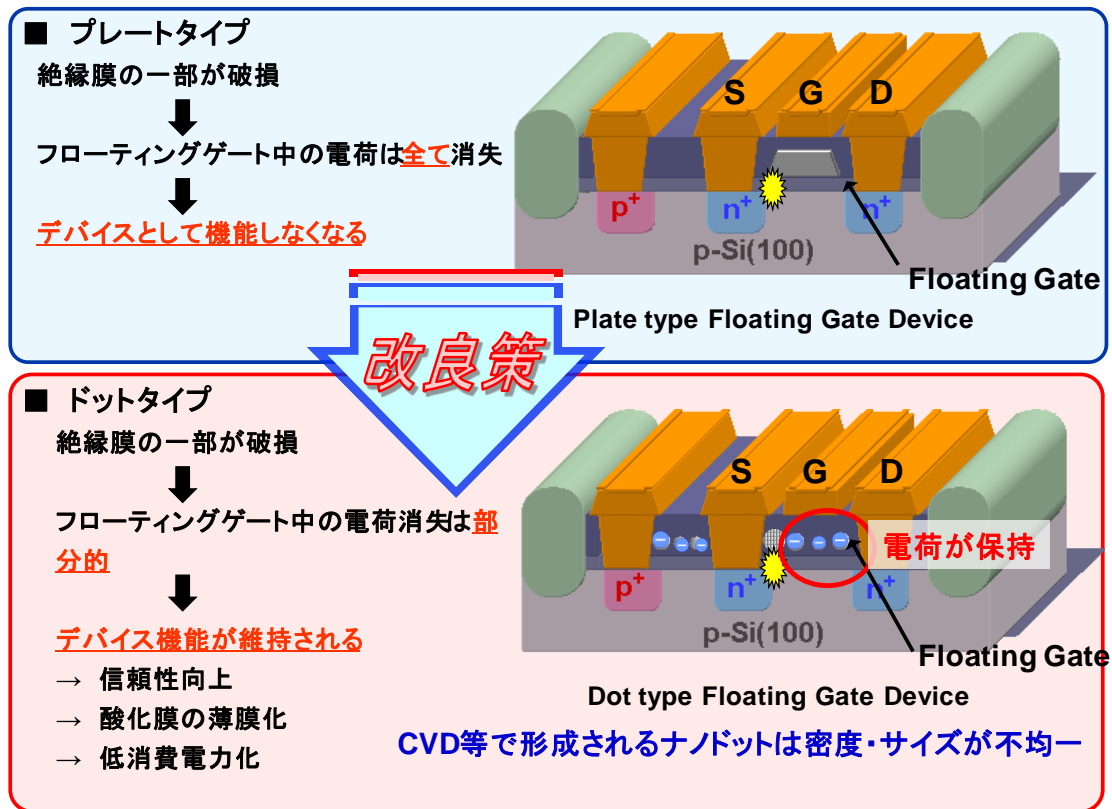


図 1-9. ナノドット型フローティングゲートメモリの特長

2. バイオナノプロセス

半導体デバイスは、光リソグラフィとエッチングを繰り返すことにより作製されているが、これらの方法を利用して半導体デバイスを作製する方法は『トップダウンプロセス』と呼ばれている。トップダウンプロセスはシリコンウェハーを微細に削ることにより半導体デバイスを作製する方法であり、現在の半導体デバイスプロセスの主流である。

半導体デバイスは3年で集積度が4倍になるという”ムーアの法則”に従って、微細化及び高集積化されており、特に近年では、半導体プロセスの最小加工寸法が10 nm代に突入しようとしている[20]。上記で述べたように、トップダウンプロセスでは光リソグラフィを利用しているが、光リソグラフィでは光の波長の3分の1が加工分解能の限界である。従って、それよりも微細な加工は原理的に不可能である。[21]。

そこで、最近では微細なナノ構造を組み合わせることにより半導体デバイスを作製する『ボトムアッププロセス』に注目が集まっており、研究が盛んに行われている。特にボトムアッププロセスの代表として、LSIの配線に使用されるナノワイヤに関する研究が多く行われており[22-24]、ナノワイヤのほかにも従来

のトップダウンプロセスのみでは不可能であったナノ構造の作製に関する研究が行われている[25-26]。ボトムアッププロセスの代表格であるプロセスとしてCVDが挙げられており、そのほかにもDNAを利用した方法[24-25]など様々なボトムアッププロセスが存在する。本研究ではボトムアッププロセスの一つとして、半導体デバイスとは全く異なる分野である、バイオテクノロジーを利用した半導体デバイスの作製方法、すなわち『バイオナノプロセス』に注目している [26-33]。バイオナノプロセスによる半導体デバイスの作製は、図1-10に示される様に、ボトムアッププロセス法とトップダウンプロセス法の融合を実現し、従来では作製不可能であった新たな機能を持つ半導体デバイスの作製に大きく貢献すると期待されている。現在までに、バイオナノプロセスを利用した、高性能メモリデバイスの作製や非晶質シリコン(Amorphous Silicon: a-Si)の低温結晶化に関する研究が行われている。それだけではなく、生体起源の分子認識機構を利用した化学センサーであるバイオセンサ、負の屈折率を持つメタマテリアル、機械要素部品 (センサー、アクチュエータ、電子回路など)を1つのSi基板上へ集積化したデバイスであるMEMS (Micro Electro Mechanical System) の作製を行う研究も盛んに行われている。



図 1-10. バイオナノプロセス

バイオナノプロセスにおいて、特に図1-11に示すフェリチンと呼ばれるタンパク質が[26]注目を集めている。フェリチンは生物界に広く存在する鉄保存用のタンパク質で、生体内の総鉄量の約27 %がフェリチン内に保存されている。1本のポリペプチド鎖から形成されるモノマーサブユニットが非共有結合で24 個集まった分子量約46万の球殻タンパク質である。フェリチンの直径は約 12 nm で通常のタンパク質に比べ高い熱安定性とpH 安定性を示す。この球殻タンパク質の中心には直径約7 nm の空洞が存在し、一部のサブユニット内にある酸化活性中心と呼ばれる場所で二価鉄イオンを酸化した後、空洞内の内側表面の負電荷領域で核形成を行って約4000個の鉄原子をフェリハイドライト ($5\text{Fe}_2\text{O}_3 \cdot 9\text{H}_2\text{O}$) 結晶の形で保持している。そして生体内の鉄が不足すると保持している鉄を取り崩し、鉄濃度のバランスを保っている。フェリチンの24 個のサブユニットには分子量がわずかに異なるL-chain サブユニットとH-chainサブユニットの2種類が存在している。(LはLight, HはHeavyを意味する) 鉄イオンの吸収はH-サブユニットだけが持つ酸化活性部位によって行われる。一方, L-サブユニットにはカドミウム結合部位と呼ばれる箇所が存在する。これはフェリチン—フェリチン間でカドミウムを塩橋とした結合を可能にする部位である。従って、カドミウム結合部位を利用することで、フェリチンタンパク質結晶を作製する事も可能である。

フェリチンはタンパク質の一種であるためDNAを基に作製されている。従って、フェリチン自体のサイズおよび構造にばらつきがほとんど存在しないので、内部に存在するフェリハイドライト結晶の大きさにばらつきがほとんどない[27-28]。また、フェリチンは鉄だけではなく空洞内にコバルト (Co), ニッケル (Ni)をはじめとする様々な無機金属、化合物半導体などをバイオナノドット (Bio Nano Dot: BND) として内包することができる[28-30]。さらにフェリチンは他のタンパク質と融合して新たなナノ構造を形成する自己組織化の機能を有しており、この自己組織化を利用して単電子トランジスタの構造を有するナノ構造も作製されている。[31] また、タンパク間およびタンパク-基板間の相互作用を利用した基板に対するフェリチンの高密度吸着[32] および選択配置も実現できる[33]。

実際の生体内から抽出したフェリチンを利用した場合、フェリチンのサブユニットが一様でないため、対称性が低い。そこで本研究では、L-chainのみのリコンビナントフェリチン(L-フェリチン)を利用した。L-フェリチンには、2回対称軸のすぐ近傍の表面に2価イオンと結合する2つの酸性アミノ酸残基が存在している。このアミノ酸をCd, Caなどで塩橋を作ることで、フェリチン同士を強く2回対称軸付近で回転させずに結合する事が出来る。ただし、この結合は通常3次元的に伸縮し3次元結晶となるが、何らかの方法で3次元方向の成長を抑制すれば、

2次元結晶を作製することが可能となる。

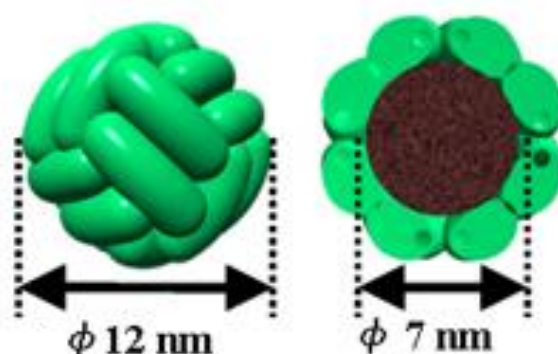


図 1-11. フェリチンの模式図 (左: 外部構造, 右: 断面構造)

3. 研究目的

現在提案されているナノドットの形成方法は、ナノドットの形成に大きな装置が必要となる上、形成されたナノドットのサイズおよび吸着密度が不均一であるという問題点が存在する。また、メモリ作製の観点から見ると、高温プロセスであるため、高性能および高信頼性のメモリをガラス基板およびプラスチック基板へ作製する事が困難である。そこで本研究ではフェリチンが持つ特長を利用して、トンネル酸化膜上へ均一なサイズの金属ナノドットで構成されたナノドットの二次元配列を形成した。また、実際にメモリの作製を行い、従来のフローティングゲートメモリよりも高性能および高信頼性であるナノドット型フローティングゲートメモリの実現を目指した。また、ナノドットの吸着密度を増加させるために、フェリチンを積層化させる手法である Bio Layer-By-Layer (Bio-LBL)法を利用して電荷保持層であるナノドット層の積層構造を形成した。さらにBio-LBL法によって形成された積層ナノドットが埋め込まれたフローティングゲートメモリを作製し、メモリの特性向上を試みた。

4. 本研究の位置付けおよび特長

情報化社会の発展に伴い、我々が扱う情報の種類が多様化し、また情報自体の容量も増大している。そのため、情報を蓄積するメモリも大容量でなければならない。また、書き込んだ情報は最低でも10年保持されなければならない。書込および消去を10万回繰り返しても特性が変化しないメモリ特性も要求される。そこで、低電圧動作、高信頼性および高集積化が可能なフローティングゲートメモリの実現が求められる。

これらの要求に答えるため、現在までにフェリチンを利用したフローティングゲートメモリの研究が行われている。特に、フェリチンを利用して形成されたCoおよびFeを電荷保持層としたナノドット型フローティングゲートメモリはメ

メモリ特性が確認されており、タンパク質を利用する事によりフローティングゲートメモリが作製可能であると実証されている。

しかし、フェリチンを利用して作製されたナノドット型フローティングゲートメモリの場合、フェリチン内部に内包された鉄酸化物やコバルト酸化物ナノドットをゲート酸化膜中に埋め込み、水素雰囲気中での還元処理によって金属ナノドットを形成する。従って、還元処理というプロセスが1つ増える上に、還元処理が650 °Cで行われるため、フェリチンを利用したナノドットの形成の最大の特長であるナノドットの低温形成という利点を活かさないという欠点がある。また、プロセス温度も高温になるため、ナノドット型フローティングゲートメモリを作製できる基板に限られる。メモリ特性の観点から見ると、高性能および低電圧動作は実現されているものの、電荷保持特性が不十分であるという課題がある。

本研究では、従来のフェリチンを利用したナノドットの形成において、水素雰囲気中での高温還元処理を必要とせずに、ゲート酸化膜に金属ナノドットを埋め込む手法を初めて提案した。この手法により、作製プロセスの低温化および簡略化を実現する事ができるため、Si基板だけではなく、ガラス基板やプラスチック基板上へも高性能のフローティングゲートメモリを形成する事が可能になると期待される。また低温でナノドットを形成できるため、ゲート酸化膜に高温プロセスを利用できない高誘電率薄膜 (High-k膜)を利用する事が可能となり、より高性能および高信頼性のメモリを実現できる。メモリ性能の観点から見ると、完全に金属のナノドットが形成されているため、高性能、低電圧動作だけではなく電荷保持特性が良好であるなど高信頼性のメモリも実現できると期待される。

一方、電荷保持層であるナノドットの吸着密度が増加すれば、電荷保持層に注入される電荷が増加し、メモリの高性能および高信頼性を実現できる。しかし、フェリチンを利用した場合、ナノドットの理論最大吸着密度が $8.0 \times 10^{11} \text{ cm}^{-2}$ が限界であり、この値以上の吸着密度を実現する事ができない。そこで、ナノドット層を積層させる事で吸着密度を増加できるが、通常の方法ではナノドットの積層構造を形成するのに時間を要する。そこで本研究ではタンパクが持つバイオミネラリゼーションを利用する事で、積層ナノドットを形成する手法を提案した。この方法を利用する事で、積層ナノドットを短時間で簡単に形成できる。また、積層ナノドットを電荷保持層とする事で、ナノドットの吸着密度が増加し、メモリの高性能および高信頼性が実現できると期待される。

以上に述べた様に、本研究で提案されたナノドット型フローティングゲートメモリの作製手法を利用する事で、高性能および高信頼性のメモリを作製できる。さらに、様々な基板上へメモリ素子を形成できるため、本手法を利用する事で

電子機器の信頼性向上にも大きく貢献する事ができる。

5. 論文の構成

本論文は図1-12に示される様に、研究概要を含めて、5章で構成される。

1. 第2章では、ナノドットの低温作製およびメモリ作製プロセスの簡略化を目的に、Ptナノドットを利用したナノドット型フローティングゲートメモリの作製および評価に関して述べる。

3. 第3章では、ディスプレイのメモリ素子への応用を目的に、ガラス基板上への高性能および高信頼性のメモリ作製および評価に関して述べる。

4. 第4章では、メモリの高性能化および高信頼性を目的に、ナノドット吸着密度の増加について述べる。Bio-LBL法を利用した、ナノドットの積層化によって、ナノドットの吸着密度を増加させる。また、この方法を利用して、ナノドットが積層された積層ナノドット型フローティングゲートメモリの作製および評価を行ったので、その結果について述べる。

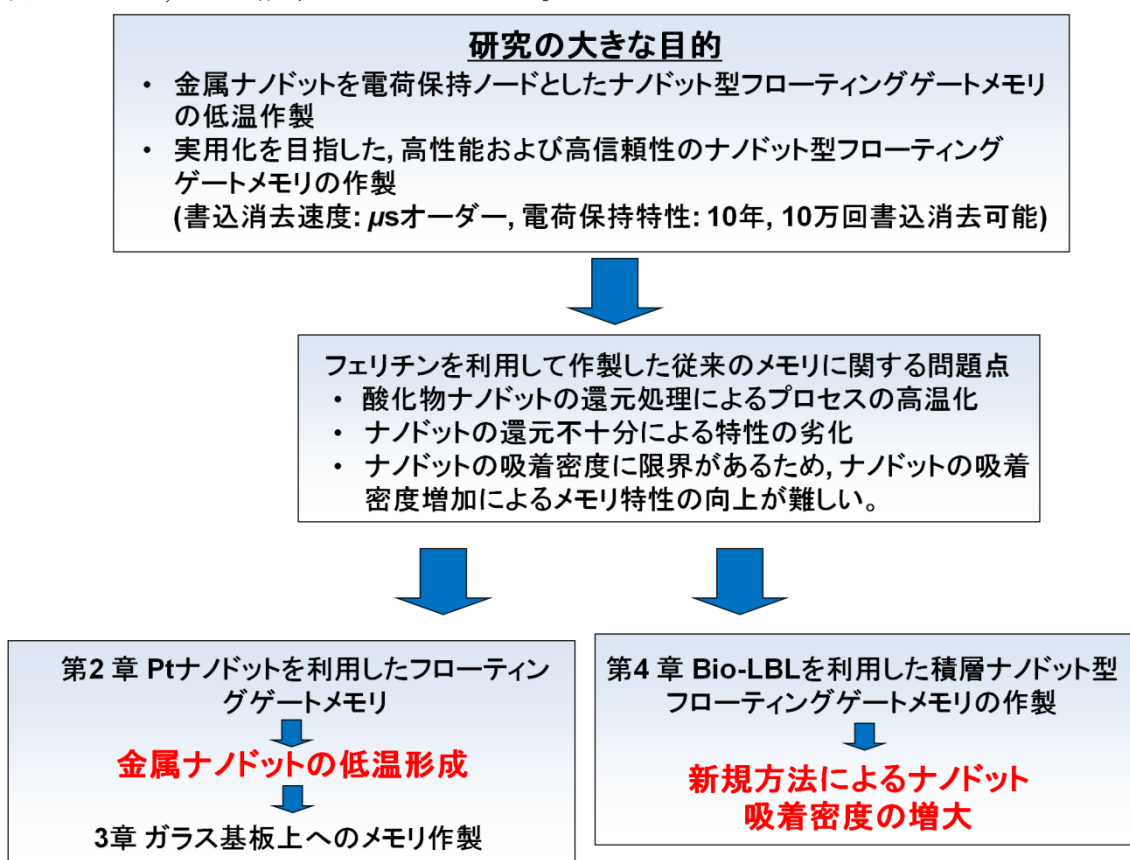


図 1-12. 本研究における論文構成

6. 参考文献

- [1] 角南英夫, “半導体メモリ”, コロナ社 (2008).
- [2] 小柳光正, “次世代半導体メモリの最新技術”, シーエムシー出版 (2009)
- [3] S. M. Joe, J. H. Yi, S. K. Park, H. Shin, B. G. Park, Y. J. Park, and J. H. Lee, IEEE Trans. Electron Devices. **58** (2011) pp.67.
- [4] R. Bez, Microelectron. Eng. **80** (2005) pp.249.
- [5] 東芝レビュー, **64** (2009) pp.56.
- [6] J. Lee, M. Jo, D. Seong, J. Shin, H. Hwang, Microelectron. Eng. **88** (2011) pp.1113.
- [7] K. Tsukamoto, T. Murata, T. Fukumura, F. Ohta, T. Yoshitake, S. Shimizu, Y. Ikeda, K. Asai, M. Shimizu, and O. Tsuchiya, Jpn. J. Appl. Phys. **46** (2007) pp.2184.
- [8] T. Hatanaka, R. Yajima, M. Takahashi, S. Sakai, and K. Takeuchi, Jpn. J. Appl. Phys. **49** (2010) pp.04DD08.
- [9] S. Tiwari, F. Rana, H. Hanafi, A. Hartstein, E. F. Crabbe, and K. Chan, Appl. Phys. Lett. **68** (1995) pp.1377.
- [10] P. Panchaipetch, K. Ichikawa, Y. Uraoka, T. Fuyuki, E. Takahashi, T. Hayashi, and K. Ogata, Jpn. J. Appl. Phys. **45** (2006) pp.3997.
- [11] A. Kohno, H. Murakami, M. Ikeda, S. Miyazaki, and M. Hirose, Jpn. J. Appl. Phys. **40** (2001) pp.L721.
- [12] K. Bang, S. Kim, J. Kwak, and K. S. Lim, Jpn. J. Appl. Phys. **45** (2006) pp.L508.
- [13] Z. Liu, C. Lee, V. Narayanan, G. Pei, and E. C. Kan, IEEE Trans. Electron Devices, **49** (2002) pp.1606.
- [14] C. Wang, J. Wu, Y. Chiou, C. Chang, and T. Wu, Appl. Phys. Lett. **91** (2007) pp.202110.
- [15] Z. Tan, S. K. Samanta, W. J. Yoo, and S. Lee, Appl. Phys. Lett. **86** (2005) 013107.
- [16] H. Choi, B. Choi, T. Kim, S. Jung, M. Chang, T. Lee, and H. Hwang, Nanotechnol. **19** (2008) pp.305704.
- [17] C. Liu, C. Cheng, S. Huang, J. Jeng, S. Shiau, B. Dai, Appl. Phys. Lett. **91** (2007) pp.042107
- [18] J. Y. Yang, J. H. Kim, W. J. Choi, Y. H. Do, C. O. Kim, and J. P. Hong, J. Appl. Phys. **100** (2006) pp.066102.
- [19] K. Ichikawa, P. Panchaipetch, H. Yano, T. Hatayama, Y. Uraoka, and T. Fuyuki, J. Korean. Phys. Soc. **49** (2006) pp.569.
- [20] ITRS日本語版 リソグラフィ (2009)
- [21] 溝口計, “応用物理” **70** (2001) pp.161.
- [22] H. T. Ng, J. Han, T. Yamada, P. Nguyen, Y. P. Chen, and M. Meyyappan, Nano

- Lett. **4** (2004) pp.1247.
- [23] P. Nguyen, H. T. Ng, T. Yamada, M. K. Smith, J. Li, J. Han, and M. Meyyappan, Nano Lett. **4** (2004) pp.651.
- [24] R. M. Stoltenberg, and A. T. Woolley, Biomed. Microdevices **6** (2004) pp.105.
- [25] R. Barshir, Superlattices and Microstructures. **29** (2001) pp.1.
- [26] I. Yamashita, Thin Solid Films. **393** (2001) pp.12.
- [27] 岩堀健治, 村岡雅弘, 山下一郎, “「タンパク質無機材料ナノ粒子の作製とバイオナノプロセスへの応用」 金属ナノ粒子の合成・調整・コントロール技術と最適応用” 情報技術協会 (2004) pp.399.
- [28] A. Miura, R. Tsukamoto, S. Yoshii, I. Yamashita, Y. Uraoka, and T. Fuyuki, Nanotechnol. **19** (2008) pp.255201.
- [29] K. Iwahori, and I. Yamashita, J. Cluster. Sci. **18** (2007) pp.358.
- [30] R. Tsukamoto, K. Iwahori, M. Muraoka, and I. Yamashita, Bull. Chem. Soc. Jpn. **78** (2005) pp. 2075
- [31] M. Okuda, K. Iwahori, I. Yamashita, and H. Yoshimura, Biotechnol. Bioeng. **84** (2003) pp.187.
- [32] K. Sugimoto, S. Kanamaru, K. Iwasaki, F. Arisaka, and I. Yamashita, Angew. Chem. Int. Ed. **45** (2006) pp.2725.
- [33] S. Kumagai, S. Yoshii, K. Yamada, N. Matsukawa, I. Fujiwara, K. Iwahori, and I. Yamashita, Appl. Phys. Lett. **88** (2006) pp.153103.

第2章

Pt ナノドットを利用したフローティングゲートメモリの作製および評価

1. はじめに

ナノドット型フローティングゲートメモリの場合、ナノドットのサイズや密度にばらつきが存在するとメモリ特性も不均一になるため、ナノドットの大きさやナノドットの吸着密度をコントロールする事は非常に重要である。第1章で述べた様に、ナノドット型フローティングゲートメモリの電荷保持層となるナノドットの形成には、プラズマ CVD や熱凝集が利用されているが、これらの方法の場合、形成されるナノドットのサイズや密度にばらつきが発生するという問題が存在する。またこれらの方法は高温プロセスであるため、メモリを作製できる基板が限定される上、プロセスによるトンネル酸化膜へのダメージも問題となる[1-5]。

近年ではフェリチンを利用してナノドットを形成し、ナノドットを内包したフェリチンをトンネル酸化膜上へ配列する事でナノドットの二次元配列を形成する方法が提案されている。この技術を利用して、鉄(Fe)およびコバルト(Co)ナノドットの二次元配列を電荷保持層としたナノドット型フローティングゲートメモリの作製が行われている[6-8]。

フェリチンを利用して Fe および Co ナノドットを形成する場合、三酸化鉄($\alpha\text{-Fe}_2\text{O}_3$) や四酸化三コバルト(Co_3O_4)といった酸化物の形でフェリチン内部に形成される[6, 9]。 $\alpha\text{-Fe}_2\text{O}_3$ は絶縁体であり Co_3O_4 は半導体であるためエネルギーギャップが大きく、これらのナノドットを電荷保持層とした場合、エネルギーバンドの構造上、高性能および高信頼性を持つメモリを作製する事は困難である[7]。従って、高性能および高信頼性を持つメモリを作製するためには、還元処理によって、酸化膜中に埋め込まれた Fe_2O_3 や Co_3O_4 ナノドットを純粋な Fe および Co に還元する必要がある。

Kwon らは高圧水素雰囲気中での熱処理によるナノドットの還元手法を提案し、この熱処理により完全な金属に還元されていることを確認している[10]。一方、彦野らはナノドットが埋め込まれた MOS 構造にアンモニアプラズマを施す事でナノドットを還元する手法を提案している[11]。しかし、これらの方法は非常に危険なプロセスであり、複雑で大型の装置を要する上、メモリ作製プロセスが1つ増える。一方 MOS デバイスを作製する際に、電極と Si 基板間のコンタ

クト形成および Si/SiO₂ 界面の改善を行うために、MOS 構造を形成した後に水素雰囲気中で熱処理を行うが、この熱処理時にナノドットの還元を同時に行う手法も提案されている[7, 12]。しかし、この熱処理は一般的に 450°C と低温で行うため、ナノドットが完全に金属に還元されない。そこで水素雰囲気中での還元処理を行わずに、MOS 構造の形成プロセスの中で金属に還元できるナノドットを利用すれば、低温でナノドットを形成できる。

本研究では水素雰囲気中での還元処理を行わずに金属ナノドットを形成できる無機物として、硫化プラチナ(PtS)に注目した。この章では PtS を内包したフェリチンを利用して Pt を電荷保持層としたナノドット型フローティングゲートメモリの作製を行い、そのメモリ特性を評価したのでその結果について述べる。

2. アポフェリチンへの PtS 導入と精製

2-1. アポフェリチンのバッファー置換

フェリチンの内部に無機物のナノドットが存在しないフェリチンをアポフェリチン(apo-Fer)と呼び、通常 50 mM のトリスヒドロキシメチルアミノメタン(Tris) バッファー中に保存されているが、Tris バッファーが 1 μM 程度残留していると、ナノドットの形成が阻害されてナノドット形成率が減少する。従って、バッファーで置換する必要がある。図 2-1 にバッファー置換の手順を示す。

1. セントリプレップ (YM-50) を利用して、apo-Fer のバッファー置換を行った。セントリプレップに apo-Fer 10 ml とバッファー溶液である 10 mM-HEPES (pH.8.0)溶液を 5 ml 混合して 15 ml となる様に調整し、3000 rpm の条件で遠心を 10 min 行った。

2. バッファー置換後、Lowry 法により、apo-Fer の濃度測定を行った。

2-2. PtS ナノドットの合成

1. 300 ml ビーカーに超純水、200 mM リン酸バッファー緩衝液、apo-Fer 溶液と順番に加え、スターラーで攪拌した。

2. 100 mM テトラクロロ白金酸カリウム溶液と 130 mM チオ尿素溶液の混合溶液 8 ml を 15 ml ファルコンチューブ中に入れ、上下に数回攪拌した。

3. 混合溶液を素早く 1. のビーカーに加えた。

4. スターラーを止めて常温で 3 日静置させた。

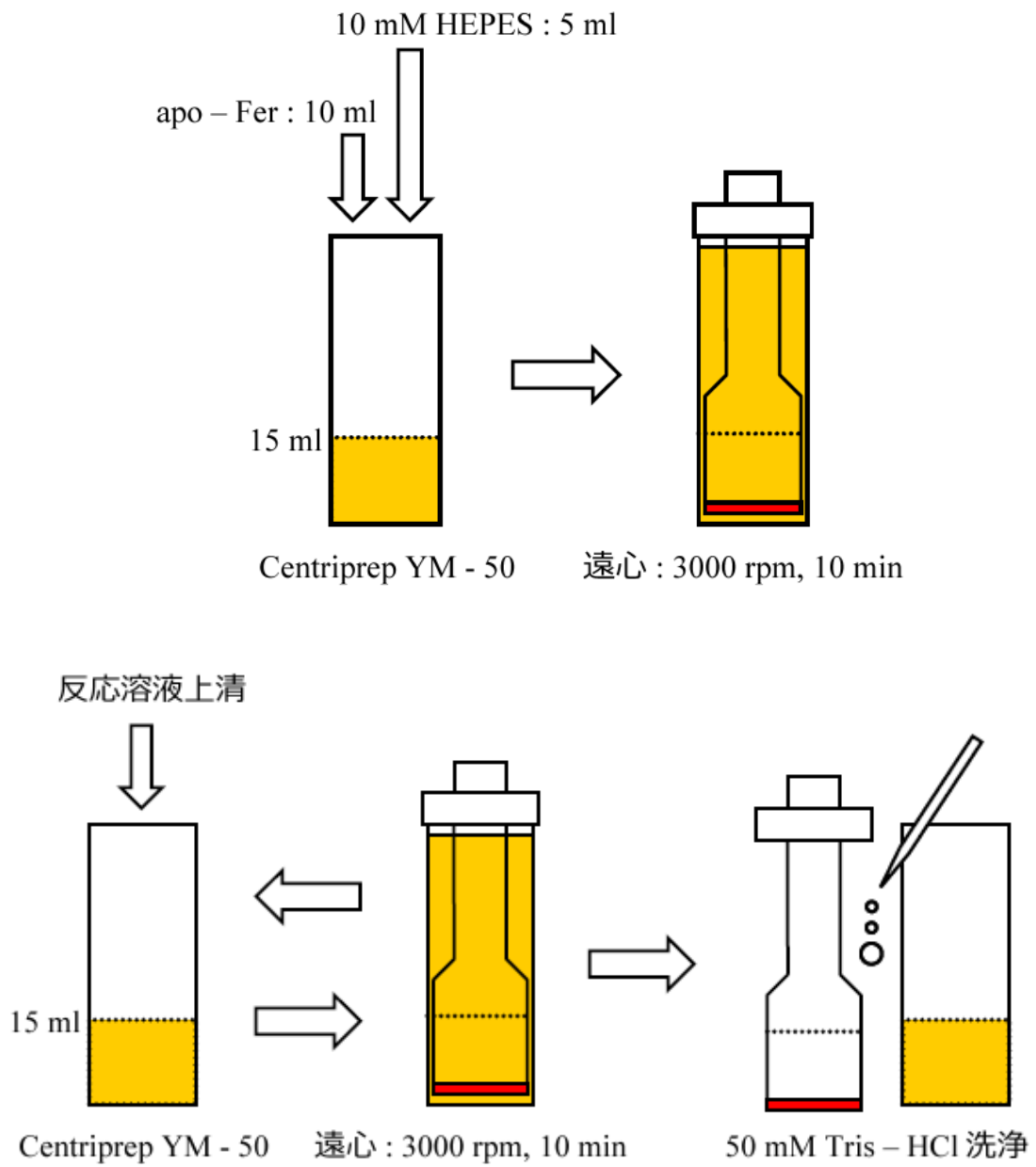


図 2-1. バッファー置換

2-3. バルクの沈殿除去

コニカルチューブ (Falcon 50 ml) の中に溶液を入れ、遠心分離を行った。この時、コニカルチューブの側面に反応しきれなかった余分な物質が付着した。

1. 2-2 で合成した溶液 40 ml を沈殿物が入らないように注意しながらチューブに移し、1000 rpm, 4°C の条件で遠心を 10 min 行った。この操作を 3 回行った。

2. 遠心後の溶液を、0.22 μ l のフィルタ (Millipore Millex-GV Cat. No. SLGV033RS) に通した後、限外濾過ユニットによる濃縮を行った。

2-4. 限外濾過ユニットによる濃縮

1. 限外濾過ユニット (Centriprep YM-50 50000 MWCO, Millipore) を利用し、3000 rpm 4°C の条件下で遠心を 10 min 行った。

2. 遠心の際に発生した濾液を取り除いた後、反応溶液上清を加え、1. と同じ条件で遠心を行った。以後、反応溶液上清が 8 ml に濃縮されるまで遠心を繰り返した。

3. 濃度の高い反応溶液をエッペンチューブに回収した後、限外濾過ユニットを 50 mM Tris-HCl により洗浄を行い、限外濾過ユニットに付着した反応溶液を 1 ml ずつ分取した。この時、側壁に存在する反応溶液を回収する際には、泡立てないように注意し、回収した溶液が 8 ml 程度になるようにした。

2-5. ゲル濾過によるフェリチン単量体(モノマー)の採取

金属ナノドット導入直後のフェリチン溶液には単量体フェリチン(モノマー)と多量体フェリチンが混在している。本研究で使用するフェリチンは単量体フェリチンであるため、ゲル濾過法(カラムクロマトグラフィー)を利用して、フェリチン単量体の採取を行った。

ゲル濾過の様子を図 2-2 に示す。ゲル粒子は網目構造であり、ゲル粒子とタンパク質の立体障害により、大きい分子はカラム内で移動できる有効体積が小さく直ちに溶出する。一方、小さい分子は立体障害が少なくブラウン運動により網目構造の奥まで自由に寄り道しながら溶出することになり遅れて溶出する。網目のサイズによって多くの種類があり、目的とするタンパクの分子量に応じて選択する。

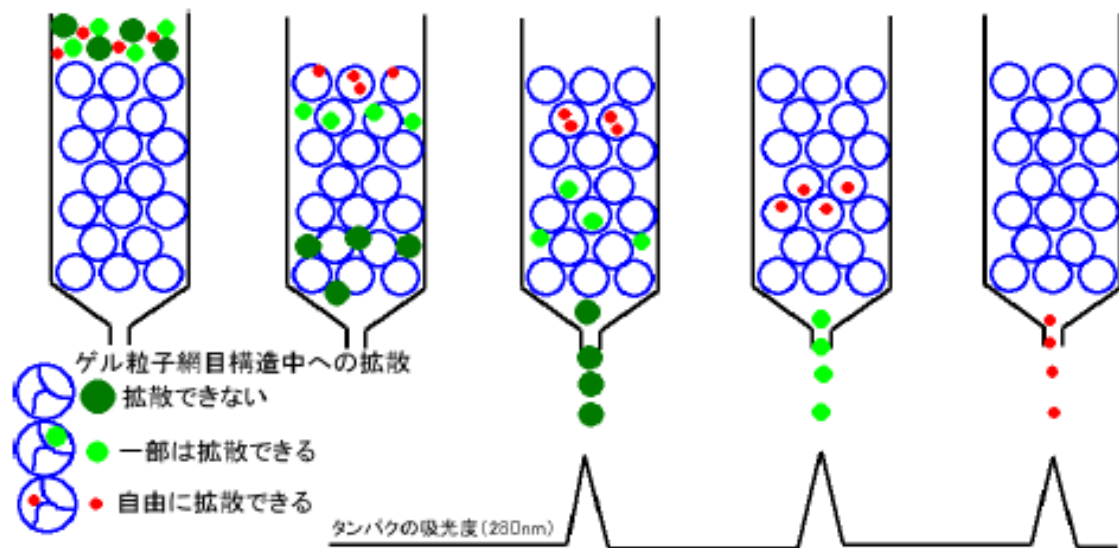


図 2-2. ゲル濾過クロマトグラフィー

2-6. 密度勾配遠心によるフェリチンとアポフェリチンの分離

遠心管中にあらかじめ、上部から下部へ密度が大きくなる密度勾配溶液を作製しておき、この密度勾配溶液の上に最も軽い密度の溶液を重層する。これを超遠心器で高速遠心すると、沈殿係数（分子の比重、形、分子量）の大きい物ほど速く沈降し、遠心管中で分子の重さの順にバンド状に分子が並ぶ。よく使用されるのはショ糖によるショ糖密度勾配遠心法であり、本研究でもこの方法を利用してナノドットが完全に形成されたフェリチンを抽出している。図 2-3 に密度勾配遠心によるフェリチンの分離手順を示す。

1. 下記の溶液を形成した。
 - Glycerol 60 (wt/v)% 溶液 (Glycerol : 60 g / 20 mM Tris-HCl (pH 8.0))
 - Glycerol 30 (wt/v)% 溶液 (Glycerol : 30 g / 20 mM Tris-HCl (pH 8.0))
 - Glycerol 15 (wt/v)% 溶液 (Glycerol : 15 g / 20 mM Tris-HCl (pH 8.0))
2. フェリチン溶液の濃度が 5.0 mg/ml 以上の場合は、50 mM-Tris で 5.0 mg/ml 以下に調製した。
3. 界面でそれぞれが分離している事を確認しながら、図 2-3 に示すサンプルを作製した。
4. 作製したサンプルを 21000 rpm の条件で超遠心を 20 h 行った。

5. 超遠心後、チューブ底に穴を開け、エッペンチューブに 1 ml ずつ分取した。
6. 分光光度計を利用して、タンパク質に由来する 280 nm と金属のピークに由来する 400 nm の吸光度の比が 0.6 以上の溶液のみ回収した。
7. 限外濾過ユニットを利用して遠心を繰り返し、Glycerol を 50 mM Tris-HCl (pH 8.0) に置換した。この時、Glycerol は分子量が小さいので、 10^9 倍以上に希釈した。
8. 滅菌を行い、タンパク定量および分注した。

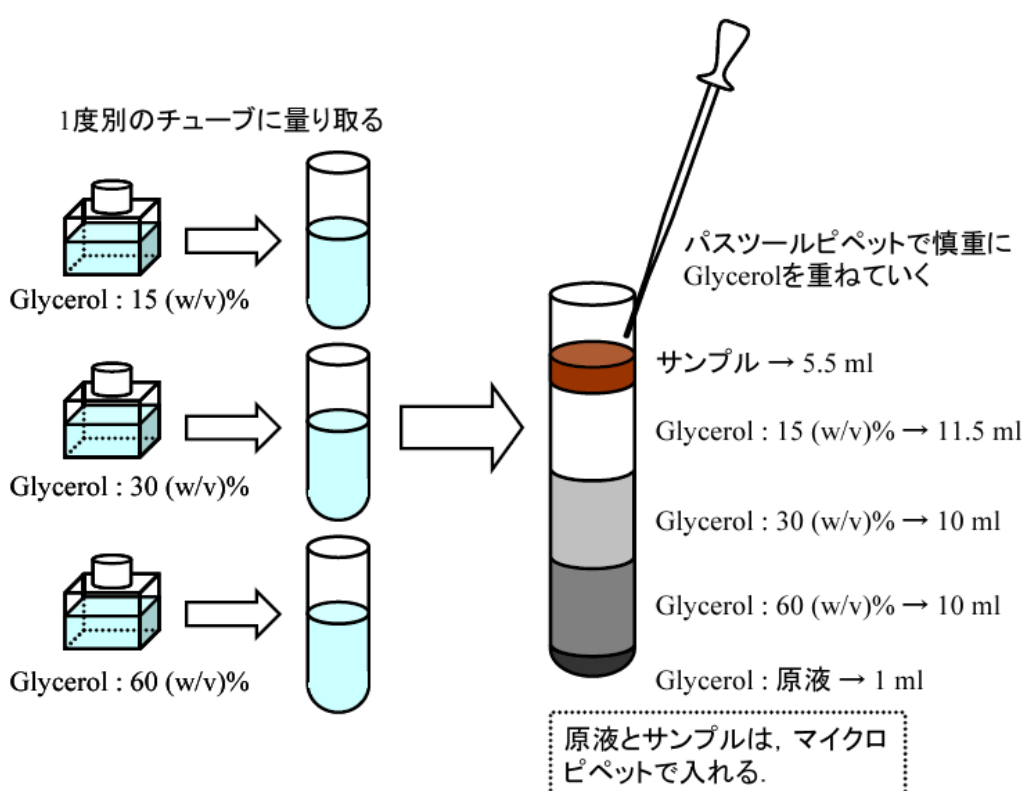


図 2-3. 密度勾配遠心法

3. Pt ナノドットが埋め込まれた MOS キャパシタの特性

実際に PtS を内包したフェリチンをトンネル酸化膜上に吸着させて電荷保持層となる Pt ナノドット層を形成した。Pt ナノドット層形成後は、ゲート酸化膜を Pt ナノドット層上に堆積し、Pt ナノドットが埋め込まれた MOS キャパシタを作製した。始めに、ナノドットがトンネル酸化膜上にどの程度吸着しているかを走査電子顕微鏡(Scanning Electron Microscopy : SEM)で観察した。その後、電子デバイスに有害なタンパク質が除去されているかを X 線二次電子分光法(X-ray Photoelectron Spectroscopy : XPS)により確認した。その後、実際に MOS キャパシ

タを作製し、電気特性を測定した。

3-1. 作製プロセス

MOS キャパシタの作製プロセスを図 2-4 に示す。

1. 3 nm-SiO₂ 付き p 型 Si (100)基板を SPM 洗浄した後、オゾン雰囲気中で SiO₂ 表面上に紫外線照射処理 (UV オゾン処理)を施した。この 3 nm-SiO₂ はメモリのトンネル酸化膜に相当する。

2. シャーレに洗浄した Si 基板と 3-aminopropyltriethoxysilane (APTES) の入ったシャーレを置き、大きなシャーレを密封して 1day 放置した。この操作を通じて、APTES を SiO₂ 表面に吸着させた。

3. APTES 吸着後、基板を脱水エタノールで 3 回洗浄し、110 °C のホットプレートで 3 min 焼成した。

4. 25 mM の 2-(N-morpholino) ethane sulfonic acid (MES) および Tris 溶液を含んだ 0.5 mg/ml PtS 内包フェリチンを SiO₂ 表面上に 15 μ l 滴下し、10 min 放置した。この操作を通じて、PtS 内包フェリチンを SiO₂ に吸着させた。フェリチン吸着後、サンプルを純水で洗浄する事で余分なフェリチン溶液を除去した。洗浄後は 4000 rpm の条件で遠心を 10 min 行い、サンプルを乾燥させた。

5. 115 °C の条件で UV オゾン処理を 1 h 行い、フェリチンタンパクおよび APTES を除去した。

6. コントロール酸化膜として、プラズマ CVD を利用して 20 nm-SiO₂ をナノドット層の上に堆積させた。堆積条件として、成膜温度は 300 °C, ガス圧力は 80 Pa, RF 電源の電力は 150 W, 堆積時間は 1 min である。

7. ゲート電極として 30 nm-Ti をゲート酸化膜上に堆積し、その後連続して 20 nm-Pt を堆積し、直径 100 μ m の Ti / Pt 電極を形成した。電極の形成には電子線蒸着装置(EB 蒸着装置)およびメタルマスクを使用した。電極蒸着後、電極表面にフォトレジストを滴下し、スピンドクターを利用して、3000 rpm 回転でスピンドクターを 15 s 行い、電極表面にフォトレジストを塗布した。フォトレジスト塗布後、120°C のホットプレートで 3 min 焼成してフォトレジストによる表面保護膜を形成した。

8. 表面保護膜形成後、サンプルを BHF 溶液(HF : 4.7 %, NH₄F : 36.1 %, pH 5.9)中に 5 min 浸漬させて、サンプル裏面の自然酸化膜を除去した。自然酸化膜除去後は速やかにアセトンで表面保護膜であるレジストを除去した。その後、EB 蒸着装置を利用して真空中でサンプル裏面に Al 電極を蒸着した。

9. 400°C の窒素雰囲気中で Post Metallization Annealing (PMA) 処理を 30 min 行い、Al 電極と Si 基板間のコンタクトを形成した。

10. 作製した MOS キャパシタの高周波容量—電圧特性 (C-V 特性) を測定した。C-V 特性の測定には LCR メータ (Agilent : 4284A)を利用した。

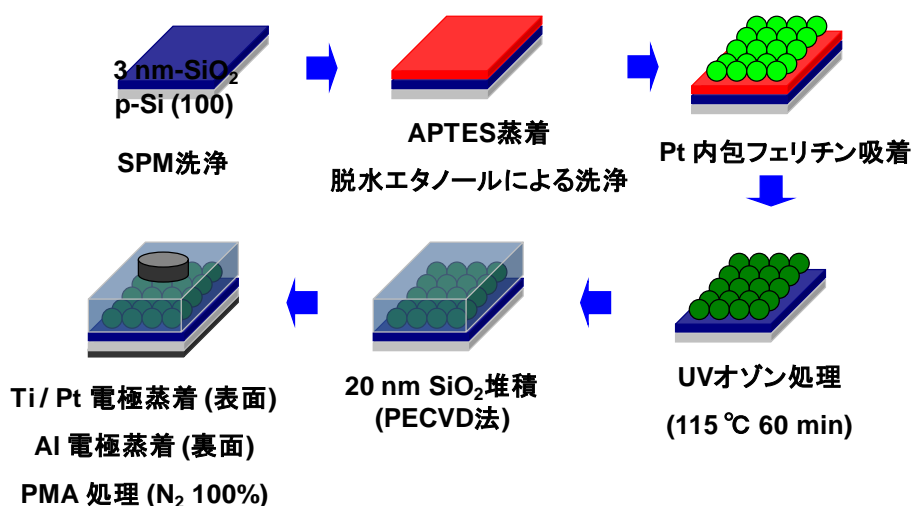


図 2-4. Pt ナノドットが埋め込まれた MOS キャパシタの作製プロセス

3-2 PtS 内包フェリチンを利用したナノドット層の形成

図 2-5 に SiO₂ 上に吸着した Pt ナノドットの SEM 画像、図 2-6 に Pt ナノドットの吸着密度分布を示す。観察された SEM 画像から Pt ナノドットの吸着密度は平均 $4.4 \times 10^{11} \text{ cm}^{-2}$ であることが確認された。ナノドットが凝集していると、1つのナノドットとなり、ナノドットの吸着密度が減少するため、ナノドットは凝集せず互いに孤立している方が良い。フェリチンを利用した Pt ナノドットの形成に関して、Pt ナノドットは凝集や多層化しておらず完全に独立した Pt ナノドットが形成されていた。また、図 2-6 から、Pt ナノドットの吸着密度が $4.2 \times 10^{11} \text{ cm}^{-2}$ から $4.8 \times 10^{11} \text{ cm}^{-2}$ の間に存在しており、Pt ナノドットの吸着密度にばらつきがほとんど発生していないことが確認された。

フェリチンが SiO₂ に吸着する理由として 2 つ考えられる。1 つはフェリチンと APTES 間に働く吸引力によるものである。フェリチンは等電点が pH 5.0 であるため、中性の溶液である純水 (pH 7.0) 中に存在している場合、表面が負に帯電

している。一方 SiO_2 も等電点が $\text{pH}2.0$ であるため、大気中 ($\text{pH}7.0$) では表面が負に帯電している。従って、フェリチンと SiO_2 間にクーロン反発力が働くため、純水中に存在しているフェリチンは通常 SiO_2 に吸着しにくい。実際はフェリチンの吸着を完全に阻害できるほどクーロン反発力は大きくないため、いくつかのフェリチンは吸着する。一方, APTES は等電点が $\text{pH}8.5$ であるため、通常は正に帯電している。従って、フェリチンと APTES 間にはクーロン吸引力が働くため、フェリチンは APTES 上に吸着する[13]。

もう 1 つの要因は、フェリチン溶液を調整する際に混入させる MES 溶液および Tris 溶液によるものである。通常 $\text{pH}7.0$ のフェリチン溶液を利用しているが、 $\text{pH}7.0$ の場合、フェリチン表面は負に帯電しているため、フェリチン間にクーロン反発力が存在している。従って吸着密度は減少するが、MES および Tris をフェリチン溶液中に混入させて溶液中のイオン強度を大きくすると、電気二重層の厚さを決めるデバイ長が減少するため、フェリチン間のクーロン反発力が抑制され、多数のフェリチンが反発し合う事なく基板上に接近して吸着できる様になる[14]。

以上 2 つの理由により、通常 SiO_2 に吸着しにくいフェリチンを吸着させる事ができたため、本研究では、フェリチンを利用する事で電荷保持ノードとなる Pt ナノドット層を SiO_2 に形成する事ができた。

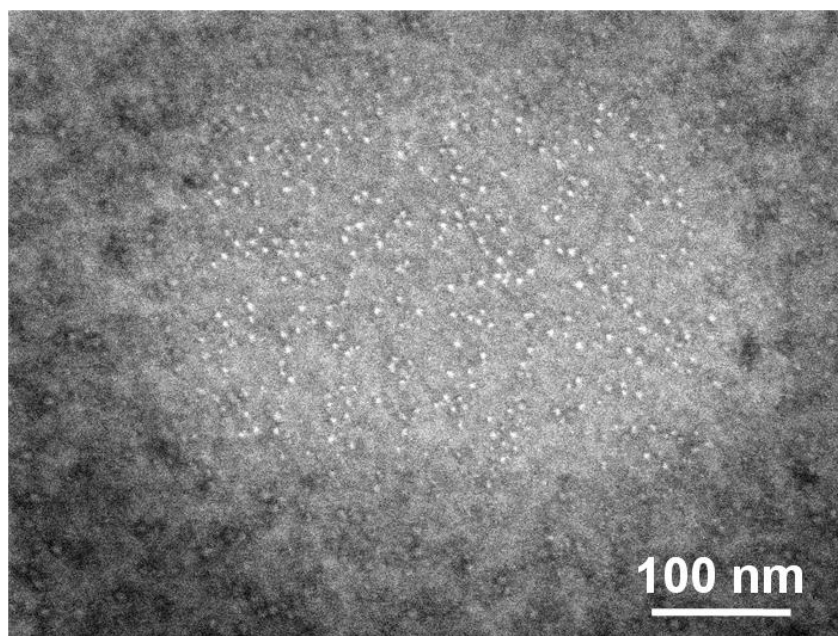


図 2-5. SiO_2 上に吸着した Pt ナノドットの SEM 像

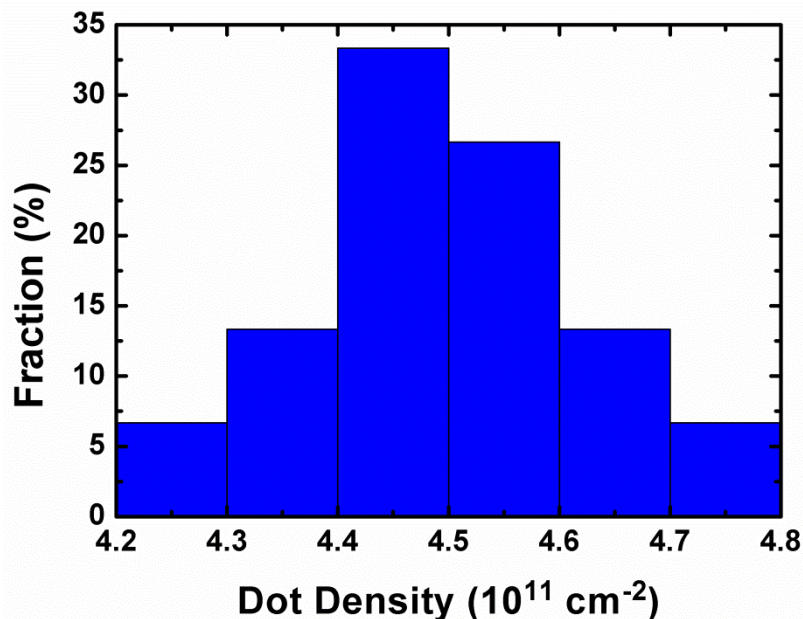


図 2-6. Pt ナノドット吸着密度の分布

3-3 UV オゾン処理によるタンパク除去

実際の半導体デバイスプロセスにおいて、タンパク質や APTES などの有機物は、電子デバイスにとって有害であるため完全に除去する必要がある。本研究では UV オゾン処理によって有機物を除去している。

UV オゾン処理の基本原理は、酸素を含む雰囲気ガス中に UV 照射で生成された酸素ラジカル(O_3 や原子状酸素など)が、UV 光で切断された有機化合物の分子結合箇所に直ちに酸化反応して CO_2 , H_2O , O_2 などが生成され、これらが表面から揮発して除去されるというものである。UV オゾン処理は有機物汚染に対しては有効なドライ洗浄法であるが、無機物汚染に対しては効果的でないためウェット洗浄と組み合わせて使用されるのが一般的である。

従って、UV オゾン処理はタンパク質および APTES の除去に非常に有効であると考えられ、本研究では実際に、タンパク質および APTES が UV オゾン処理によって完全に除去されている事を XPS で確認した。タンパク質および APTES の有無は、有機物の基本構成となる C 1s および N 1s のピークを測定して確認した。C 1s および N 1s の XPS スペクトルを図 2-7 に示す。図 2-7 (a)は C 1s のピーク、図 2-7 (b)は N 1s のピークを示している。図 2-7 (a)において、285-288 eV のピークおよび 288-289 eV のピークはそれぞれ、C と N の結合により発生するピークおよび Carbonate のピークを示しており、共にタンパク質および APTES に由来するピークである。一方、図 2-7 (b)において 399-401 eV に発生しているピークは有機物由来のピークである。従って、UV オゾン処理前ではタンパク質および

APTES に由来する大きなピークが発生しているが、UV オゾン処理後ではタンパク質および APTES に由来するピークが完全消滅しており、UV オゾン処理によってタンパク質および APTES が完全に除去されている事が確認された。

UV 光は大きなエネルギーを持つので、タンパク質および APTES 中の C および N の結合が UV 光によって切断される。その後、C および N が酸素およびオゾンで完全に酸化され、タンパク質および APTES が揮発している事が考えられる。この事から UV オゾン処理によりタンパク質および APTES が完全に除去されている事が確認された。

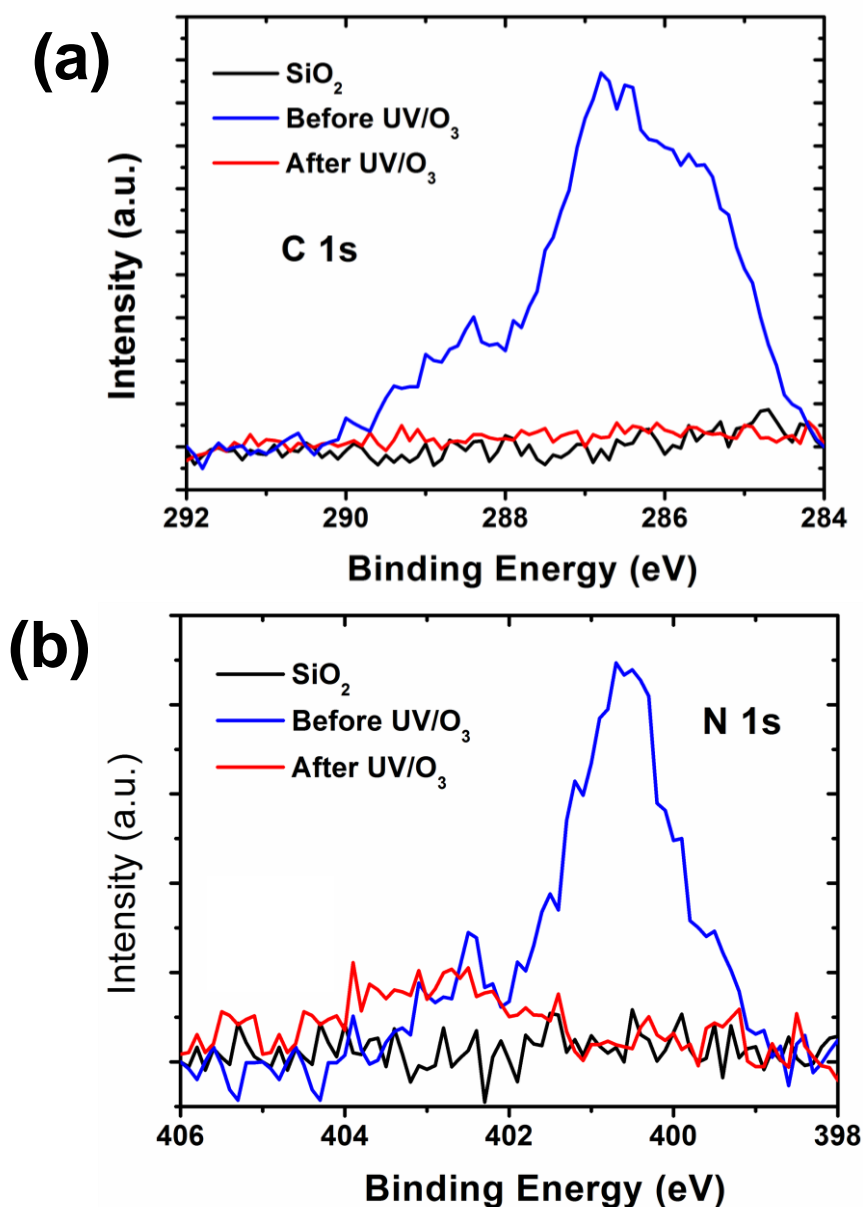
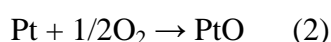
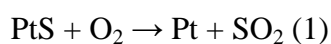


図 2-7. UV オゾン処理前後の XPS スペクトル (a) C 1s (b) N 1s

3-4 UV オゾン処理による PtS ナノドットの還元

次に、フェリチンに内包されている PtS ナノドットが UV オゾン処理によってどのように変化しているかを XPS により観測した。

図 2-8 の赤線は UV オゾン処理後の Pt4f を示すスペクトルである。UV オゾン処理前では 73 eV および 76.5 eV にピークが存在する Pt4f スペクトルが観測された。これは Pt または Pt-S 結合に由来するスペクトルであり、UV オゾン処理前はフェリチンに内包されているナノドットは PtS であることを示している。一方、UV オゾン処理後は赤線で示される様な、76 eV および 79.8 eV にピークを持つ Pt4f の XPS スペクトルが観測されており、青線の Pt4f スペクトルに比べて約 3 eV 高エネルギー側にシフトしていることが確認された。このシフトは Pt の酸化によるシフトであり、スペクトルのシフトから、UV オゾン処理によって PtS から S が脱離し、酸化プラチナ (PtO) に酸化されたと考えられる。以下に PtS から PtO に酸化される過程の化学反応式を示す。



(1)の反応によって、PtS から SO₂ という形で S が抜け Pt が生成されるが、UV オゾン処理中に、O₃ の強力な酸化作用より(2)の反応が進行し、Pt ナノドットが酸化されたと考えられる。

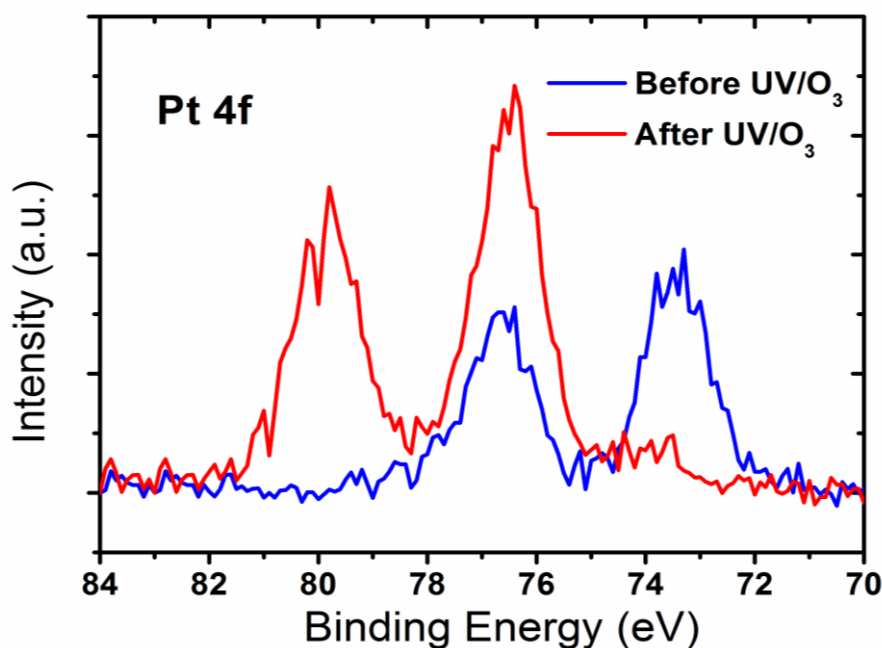


図 2-8. UV オゾン処理前後の XPS スペクトル (Pt 4f)

3-5. Pt ナノドットが埋め込まれた MOS 構造の評価

図 2-9 は Pt ナノドットが埋め込まれた MOS 構造の断面透過型電子顕微鏡 (Transmission Electron Microscopy: TEM) 像である。SiO₂ 中に埋め込まれている Pt ナノドットに格子縞が現れている事が確認された。この格子縞は SiO₂ が Pt ナノドット上に堆積された際に発生したと考えられる。また、図 2-10 のエネルギー分散型 X 線分光法 (Energy Dispersive X-ray spectroscopy : EDX) の結果から PtS における S のピークは完全に消失しており、Pt の M_α, L_α, および L_β のピークが明確に観測されている事から、MOS 構造を形成した際に S の存在しない金属 Pt が酸化膜で形成されている事が確認された。図 2-11 に MOS 構造の電子エネルギー損失分光法 (Electron Energy-Loss Spectroscopy : EELS) マッピングの像を示す。EELS の測定結果からも、S および O のピークが消滅しており、PtS が Pt に変化している事が示唆される。以上の結果から、プラズマ CVD を利用して SiO₂ を PtO の二次元配列上に堆積することで、純粋な Pt が埋め込まれた MOS 構造が形成可能である事が確認された。

Sakurai らは PtO に関するギブスの自由エネルギーと温度の関係を示している [15]。このギブスの自由エネルギーと温度の関係を表したグラフをエリンガムダイアグラムと呼び、ギブスの自由エネルギーと温度の関係を示している直線を酸化反応直線と呼ぶ。立石は Sakurai らが提案した PtO の酸化反応直線に関して、SiO₂ の堆積条件である 300 °C, 80 Pa においては、直線ギブスの自由エネルギーが増加する方向、つまりグラフの上方へ移動する事を確認している [16]。従って、ゲート酸化膜である SiO₂ の酸化反応直線と 300 °C, 80 Pa における PtO の酸化反応直線の関係は図 2-12 に示される様になる [15-17]。図 2-12 から SiO₂ の酸化反応直線は PtO の酸化反応直線に比べてはるかに下方に存在する。酸化反応直線は、直線が下方に存在するほど、その物質はより安定で還元されにくく、直線が上方に存在するほどその物質はより不安定で還元されやすい事を表している。従ってゲート酸化膜が SiO₂ の場合、SiO₂ の酸化反応直線より上に存在する全ての酸化物を熱処理によって還元する事ができる。

松村はこの理論を利用して、a-Si 中に埋め込まれた Fe₂O₃ を 800 °C の窒素雰囲気中での熱処理によって金属 Fe に還元している [18]。この場合、エリンガムダイアグラムから、Fe₂O₃ よりも SiO₂ の方が安定しているために、a-Si による Fe₂O₃ 中の酸素の引き抜きが行われる。つまり、Fe₂O₃ において Fe 原子と結合していた O 原子が結合相手を Si に変えることによって Fe₂O₃ が Fe に還元される。還元反応が進むと、Fe₂O₃ の周囲に存在する a-Si が非常に安定な SiO₂ に変化するため、還元反応が弱まり、完全な Fe₂O₃ を完全な金属 Fe に還元するためには大きなエネルギーが必要となる。

一方、PtO の場合、図 2-12 から PtO の酸化反応直線は SiO₂ に比べて遙か上に存

在するため、PtO は SiO_2 に比べて非常に不安定で還元しやすい。従って、周囲が非常に安定な SiO_2 の場合でも、a-Si に埋め込まれた Fe_2O_3 の還元プロセスと同様、低エネルギーで PtO の O が SiO_2 に引き抜かれ、Pt に還元したと考えられる。以上の事からプラズマ CVD で SiO_2 を堆積する時に、PtO が Pt に還元されたと考えられる。また、図 2-9 から図 2-12 までの一連の結果から、還元された Pt が再び酸化される Pt の再酸化は起こっていない事が確認された。

また図 2-9 の断面 TEM 像から、Pt ナノドットの大きさは約 3 ナノメートルであり、Pt ナノドットの最小サイズは 2.8 nm、最大サイズは 3.6 nm と多少のばらつきが存在する。これはフェリチンを利用して PtS を形成した際に、Pt と S の割合に多少のばらつきが発生するため、最終的な Pt ナノドットの大きさにばらつきが発生したと考えられる。S の割合が大きければナノドットのサイズが小さくなり、S の割合が小さければナノドットのサイズが大きくなる。

以上の結果から、PtS 内包フェリチンを利用した場合、MOS 構造形成の過程で還元処理を行わずに、純粋な金属状態の Pt ナノドットを形成する事ができる。また、ナノドット形成において、最終的には PECVD による SiO_2 の堆積温度である 300°C で金属ナノドットが形成できる事が確認された。

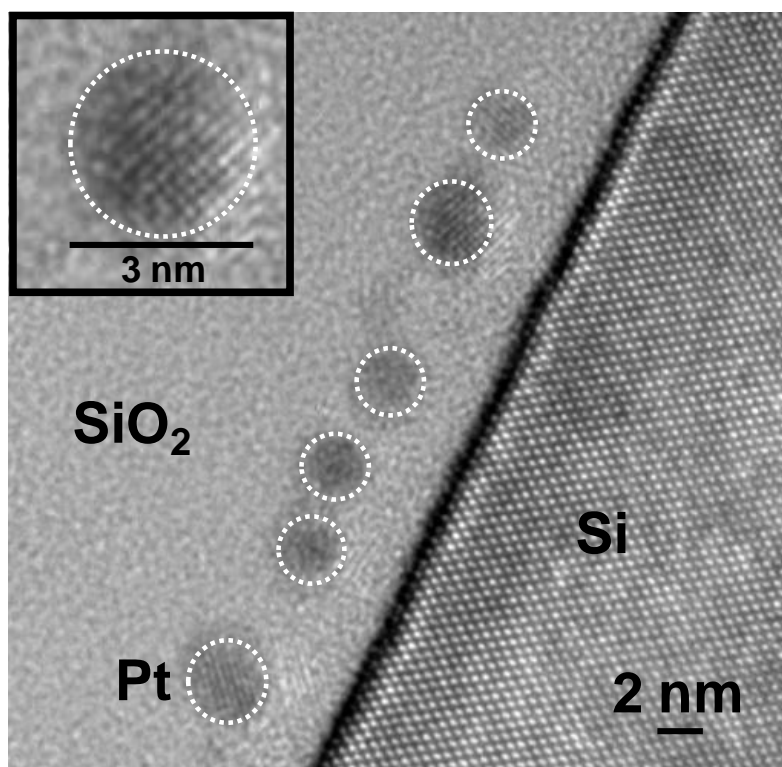


図 2-9. Pt ナノドットが埋め込まれた MOS 構造の断面 TEM 像

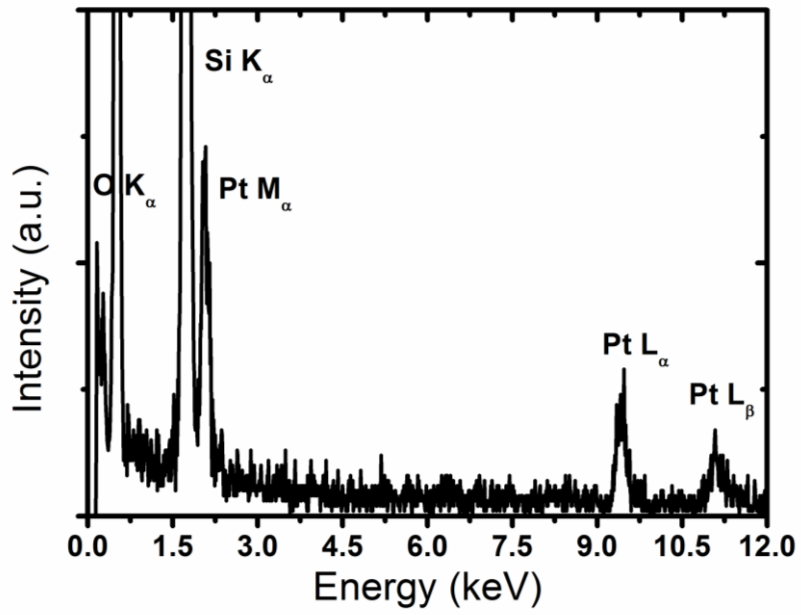


図 2-10. Pt ナノドットの EDX スペクトル

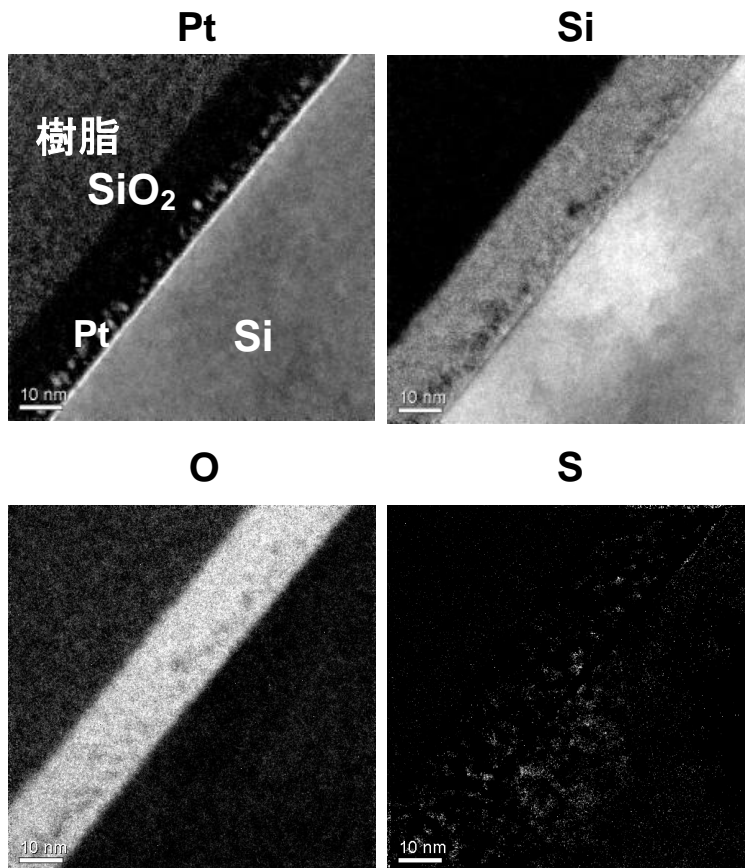


図 2-11. MOS 構造の EELS スペクトル

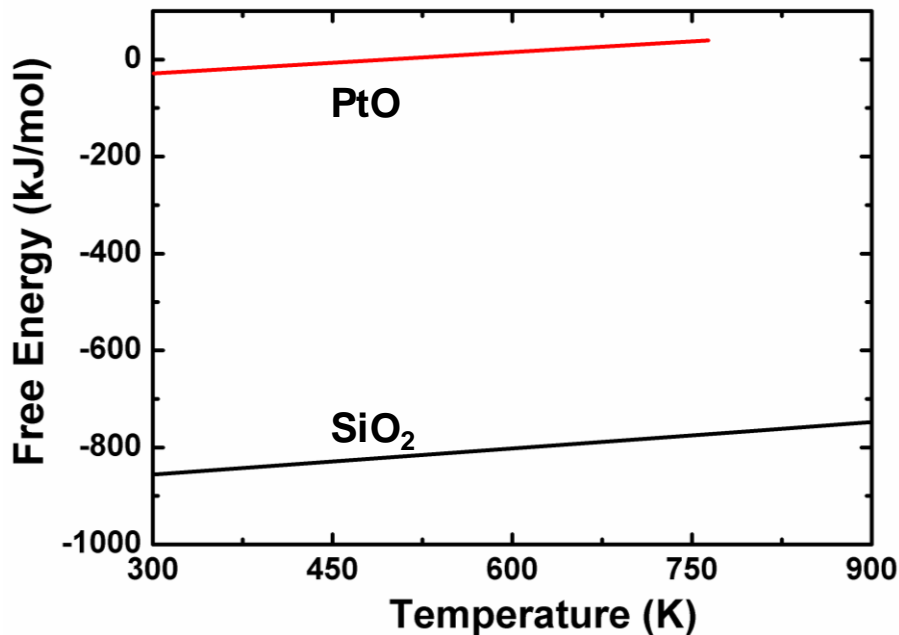


図 2-12. PtO および SiO₂ のエリンガムダイアグラム

3-6. 特性評価

作製した MOS 構造の断面を TEM によって評価し、金属 Pt ナノドットが埋め込まれていることを確認した後、実際に MOS キャパシタの電気特性を測定した。

図 2-13 にナノドット型フローティングゲート MOS キャパシタの $C-V$ 特性を示す。測定は高周波 (1MHz) で行い、最初に印加電圧を 0 V から負電圧方向に掃引し Si を蓄積状態を形成した後、折り返し印加電圧を正電圧方向へ掃引する事によって Si を反転状態に変化させた。最後に印加電圧を負電圧方向へ掃引させて再び Si を蓄積状態に戻して $C-V$ 特性を測定した。

図 2-14 は Pt ナノドットが存在しない MOS キャパシタの $C-V$ 特性である。Pt ナノドットが存在しない場合、印加電圧を正電圧方向に掃引した場合に発生する $C-V$ カーブと印加電圧を負電圧方向に掃引した場合に発生する $C-V$ カーブはほとんど重なりヒステリシスは発生していない。しかし、図 2-13 に示すように Pt ナノドットがゲート酸化膜中に存在する場合、印加電圧を正電圧方向に掃引した場合に発生する $C-V$ カーブと印加電圧を負電圧方向に掃引した場合に発生する $C-V$ カーブが重ならずヒステリシスが発生している事が確認された。

これは、酸化膜中にトラップが存在する MOS キャパシタと同様の動作原理である。酸化膜中にトラップが存在している場合、Si 表面に存在している電子は高電界によって酸化膜中に存在するトラップに注入されることになる。注入された電子はトラップに捕獲されるので、酸化膜の負電荷として働く様になる。この時に正電圧を印加した場合、トラップされた負電荷によって発生した負電圧の影

響によって、ゲート酸化膜に印加される電圧はゲート電極に印加された電圧よりも小さい値となる。従って、理想的な MOS キャパシタよりも反転状態に移行するために必要な電圧が大きくなる。以上の事から、電子がトラップ電荷に捕獲された場合、 $C-V$ 曲線が理想的な $C-V$ 曲線よりも正電圧方向にシフトする[19]。この事は正孔がゲート酸化膜にトラップされた場合でも全く同じ事が言える。フローティングゲートメモリの場合、電子が酸化膜トラップではなく、フローティングゲートに注入されるため、ゲート酸化膜中に電荷トラップが存在する MOS デバイスと全く同様のヒステリシスが存在する特性が観測される。

図 2-15 に Pt ナノドットが埋め込まれた MOS キャパシタにおける $C-V$ 特性の周波数依存性を示す。周波数を 1 MHz から 1 kHz まで変化させて $C-V$ 特性を測定し、 $C-V$ 特性の変化を測定した。測定した結果、 $C-V$ 特性の変化はほとんど観測されなかった。通常、測定周波数に追従できる電荷が存在すると、容量値や $C-V$ カーブの形が変形するが、このメモリの $C-V$ 特性は周波数によって変化していないため、メモリ特性に影響させるほどの電荷が存在しないと言える[7]。

ナノドットが埋め込まれた MOS キャパシタの場合、ゲート電極に正電圧を印加した際にナノドットに電子が注入され、 $C-V$ カーブが正電圧方向にシフトする。一方ゲート電極に負電圧を印加した際にナノドットに正孔が注入され、 $C-V$ カーブが負電圧方向にシフトする。以上の原理で $C-V$ カーブにヒステリシスが発生するが、図 2-14 からナノドットが存在しない場合には $C-V$ カーブにヒステリシスが発生していないため、このヒステリシスはゲート酸化膜中に埋め込まれた Pt ナノドットにより発生したものであると考えられる。

図 2-16 および図 2-17 にヒステリシス幅 (メモリウィンドウ幅) の電圧依存性を示す。図 2-16 は電圧方向別のメモリウィンドウ幅の電圧依存性を表したグラフであり、図 2-17 はトータルのメモリウィンドウ幅の電圧依存性を表したグラフである。今回は全く同じ作製プロセスで作製した Co_3O_4 ナノドットが埋め込まれた MOS キャパシタを作製し、メモリウィンドウ幅の電圧依存性を比較した。Pt ナノドットが埋め込まれた MOS キャパシタのメモリウィンドウ幅は、 Co_3O_4 ナノドットが埋め込まれた MOS キャパシタのメモリウィンドウ幅よりも大きい事が確認された。Pt はプロセスの途中で完全に金属の Pt ナノドットが形成されているが、 Co_3O_4 ナノドットの場合、還元処理が行われていない。従って、注入された電荷量が減少したためであると考えられる。

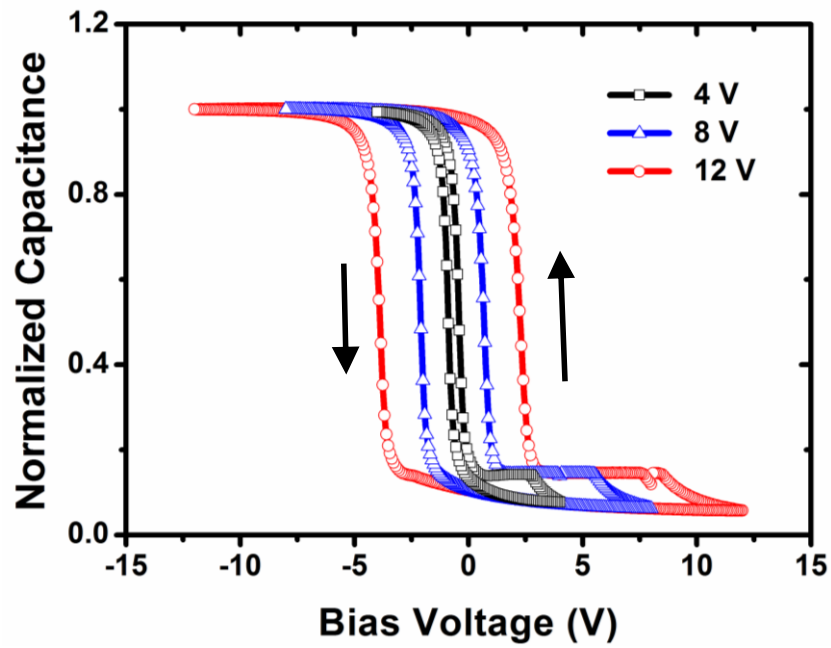


図 2-13. Pt ナノドットが埋め込まれた MOS キャパシタの C - V 特性

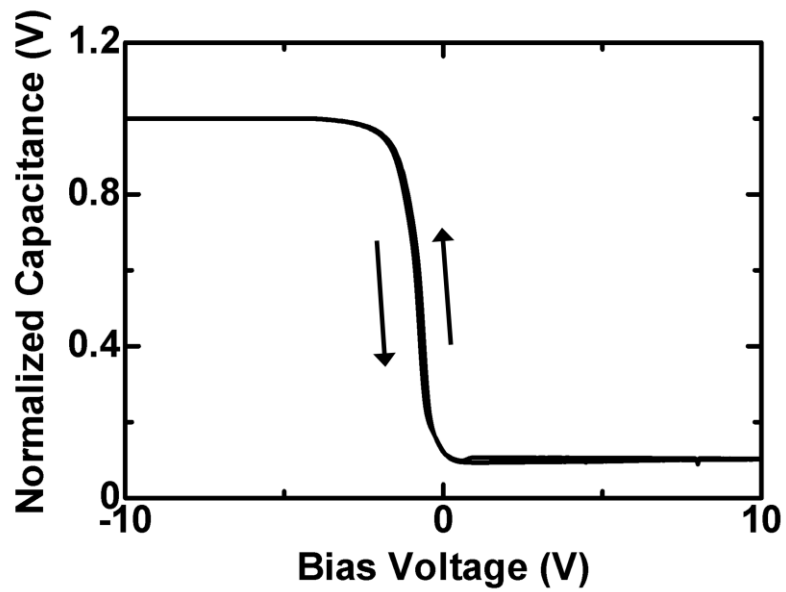


図 2-14. Pt ナノドットが埋め込まれていない MOS キャパシタの C - V 特性

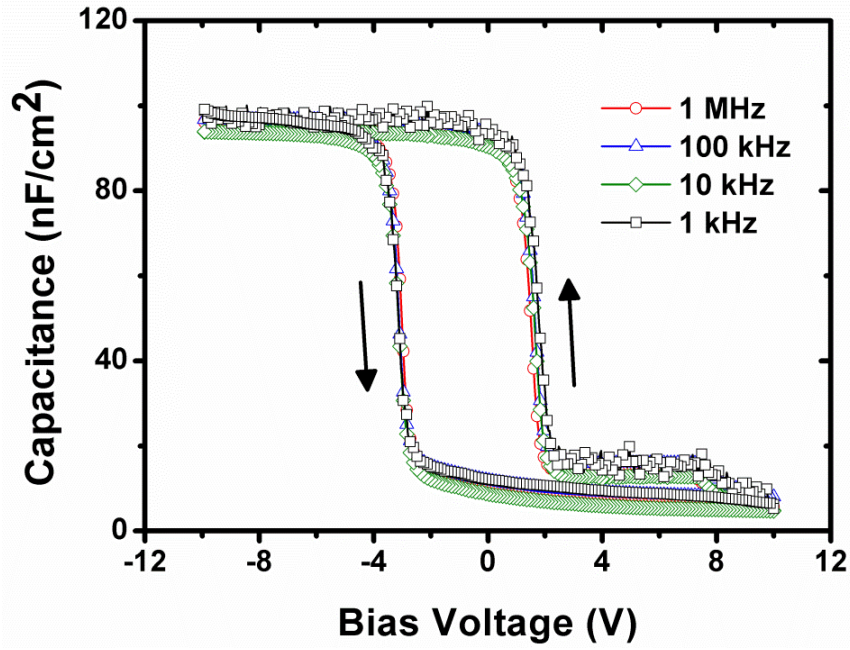


図 2-15. Pt ナノドットが埋め込まれた MOS キャパシタの周波数依存性

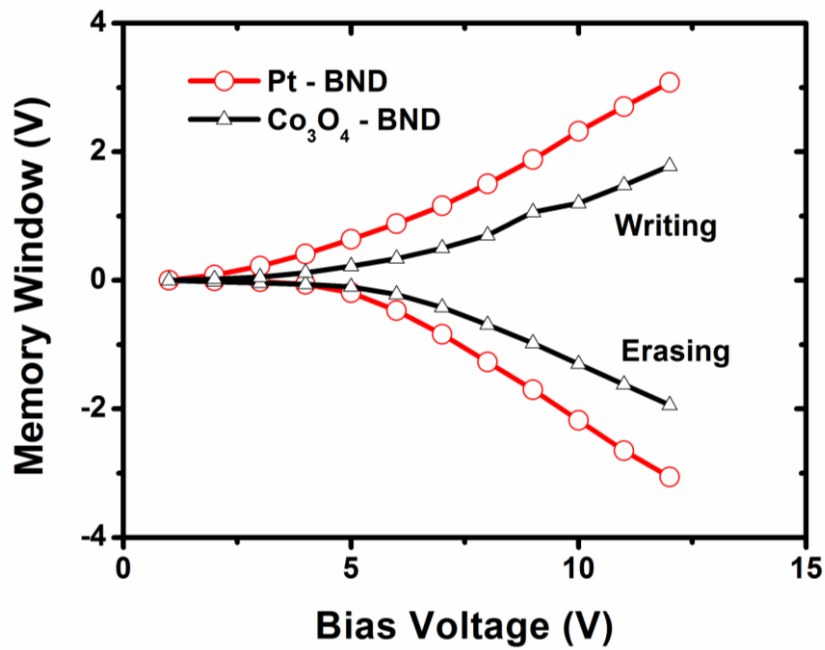


図 2-16. メモリウィンドウ幅の電圧依存性 (電圧方向別)

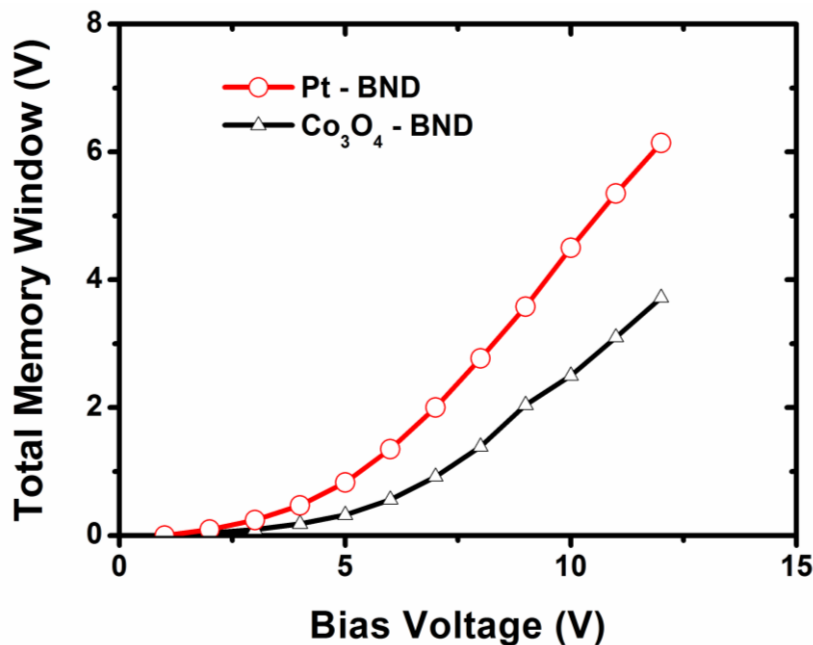


図 2-17. メモリウィンドウ幅の電圧依存性 (トータル)

4. Pt ナノドット型フローティングゲートのメモリ特性

Pt ナノドット層が埋め込まれたナノドット型フローティングメモリを作製し、電圧-電流特性、メモリウィンドウ幅の電圧依存性、書込/消去特性、電荷保持特性および信頼性評価の測定を行った。

4-1 作製プロセス

図 2-18 に Pt ナノドットが埋め込まれたメモリの作製プロセスを示す。

1. イオン注入された熱酸化膜付き n 型 MOSFET 用 Si (100)基板の熱酸化膜を希釈フッ酸 (0.5% HF)で除去した後, Si 基板の表面を SPM 洗浄した。その後, 急速熱酸化によりトンネル酸化膜となる 3 nm-SiO₂ を Si 基板表面上に形成した。
2. SiO₂ 表面に APTES を吸着させた後, 脱水エタノールで 3 回洗浄し, 110°C のホットプレートで 3 min 焼成した。
3. 25 mM の MES および Tris が含まれた 0.5 mg/ml PtS 内包フェリチン溶液を SiO₂ 表面上に 30 μl 滴下し, 10 min 放置する事で, PtS 内包フェリチンを SiO₂ に吸着させた。フェリチン吸着後, 余分な溶液は純水で洗浄し除去した。洗浄後は 4000 rpm の条件で遠心を 10 min 行い, サンプルを乾燥させた。

4. 115 °C の条件で UV オゾン処理を 1 h 行い、フェリチンタンパクおよび APTES を除去した。
5. コントロール酸化膜として、プラズマ CVD で 20 nm-SiO₂ をナノドット層の上に堆積した。堆積条件として、成膜温度は 300 °C、ガス圧力は 80 Pa および RF 電源の電力は 150 W で堆積時間は 1 min である。
6. ゲート酸化膜表面にフォトレジストを滴下し、3000 rpm の条件でスピncコート を 15 s 行いフォトレジストを塗布した。フォトレジスト塗布後、120°C のホットプレートで 3 min 焼成し、フォトレジストによる表面保護膜を形成した。その後、ソースおよびドレイン領域にコンタクトホールを形成するために、フォトリソグラフィによってコンタクトホールのパターンを形成した。
7. サンプルを BHF に 1 min 浸漬させ、ソースおよびドレイン領域にコンタクトホールを形成した。コンタクトホール形成後、再びスピncコーターを利用してゲート酸化膜表面上にフォトレジストを塗布し、フォトリソグラフィにより電極パターンを形成した後、直ちに EB 蒸着により 30 nm-Ti および 20 nm-Pt をゲート酸化膜上に堆積した。金属蒸着後、リフトオフによって余分な金属を除去し、電極パターンを形成した。
8. 作製したサンプルを 400°C の窒素雰囲気中で PMA 処理を 30 min 行い、ソースおよびドレインの Ti 電極と Si 基板間のコンタクトを形成した。
9. 半導体パラメーターを利用して、作製したメモリのメモリ特性を測定した。

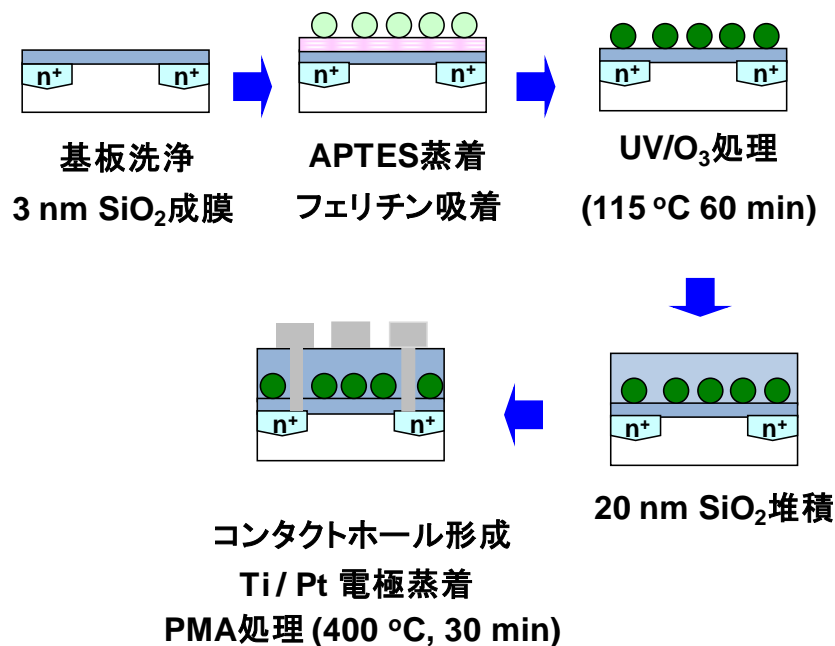


図 2-18. Pt ナノドットが埋め込まれたメモリの作製プロセス

4-2. 特性評価

図 2-19 にナノドットが埋め込まれていない MOSFET のドレイン電流-ゲート電圧特性 (I_D - V_G 特性) を示す。今回測定した MOSFET のゲート幅およびゲート長はそれぞれ、 $5 \mu\text{m}$ および $2 \mu\text{m}$ である。このグラフから I_D - V_G カーブに 0.3 V 程度のヒステリシスが存在している事が確認された。このヒステリシスは酸化膜中のトラップ電荷に由来するものであると考えられるが、メモリ特性に影響を与えるものではない。また、この特性から移動度および S 値はそれぞれ、 $159 \text{ cm}^2/\text{V}\cdot\text{s}$ 、 0.16 V/decade となった。一方、作製した MOSFET に関して、図 2-20 から良好なドレイン電流-ドレイン電圧特性 (I_D - V_D 特性) が確認され、今回のプロセスによって作製された MOSFET はメモリ素子に対して十分に利用可能である事を確認した。

図 2-21 に作製したナノドット型フローティングゲートメモリの I_D - V_G 特性を示す。フローティングゲートメモリの場合も MOS キャパシタと同様に、大きなヒステリシスを持つ I_D - V_G 特性が観測された。このヒステリシスも MOS キャパシタと同様、電荷が Pt ナノドット中に注入される事で発生する。次に作製したメモリのメモリウィンドウ幅の電圧依存性を測定し、測定した結果を図 2-22 および図 2-23 に示す。図 2-22 は電圧方向別のメモリウィンドウ幅で、図 2-23 はトータルメモリウィンドウ幅である。フローティングゲートメモリに関しても Pt ナノドットが埋め込まれた場合と Co_3O_4 が埋め込まれた場合とを比較した。これは、メモリを作製する過程で金属へ還元されるナノドットと金属へ還元されないナノドットが埋め込まれたメモリの特性を比較するためである。比較し

た結果, Pt ナノドットが埋め込まれたメモリのメモリウィンドウは Co_3O_4 が埋め込まれた場合に比べて拡大していることが確認された。

次に, 作製したメモリの書込および消去特性を測定した。書込特性の測定に関して, 始めに -8 V の電圧を 100 ms 印加してナノドット中に存在している電子を全て放出 (消去) した後, $I_D\text{-}V_G$ 特性を測定した。その後, $+10\text{ V}$ の電圧を $1\text{ }\mu\text{s}$ 印加して電子を注入 (書込) し, $I_D\text{-}V_G$ 特性を測定した。そして消去後の $I_D\text{-}V_G$ 特性のしきい値電圧と書込後の $I_D\text{-}V_G$ 特性のしきい値電圧の差(シフト量)を観測した。その後, 同様に電圧印加時間が $10\text{ }\mu\text{s}$, $100\text{ }\mu\text{s}$, 1 ms , 10 ms , 100 ms におけるしきい値電圧の差を測定して電圧印加時間としきい値電圧のシフト量との関係を観測した。消去特性も同様の方法で測定した。消去特性の場合, 始めに $+10\text{ V}$ の電圧を 100 ms 印加してナノドット中に存在している正孔を全て放出 (書込) した後, $I_D\text{-}V_G$ 特性を測定した。その後, -8 V の電圧を $1\text{ }\mu\text{s}$ 印加して正孔を注入 (消去) し, $I_D\text{-}V_G$ 特性を測定した。そして書込後の $I_D\text{-}V_G$ 特性のしきい値電圧と消去後の $I_D\text{-}V_G$ 特性のしきい値電圧のシフト量を観測した。その後, 同様に電圧印加時間が $10\text{ }\mu\text{s}$, $100\text{ }\mu\text{s}$, 1 ms , 10 ms , 100 ms におけるしきい値電圧のシフト量を測定して電圧印加時間としきい値電圧のシフト量との関係を観測した。しきい値電圧のシフトが飽和した時点での印加電圧時間を, 書込および消去に必要な時間と定義した。図 2-24 に作製したメモリの書込および消去特性を示す。書込に関しては Pt ナノドットの場合, 書き込み電圧 $+10\text{ V}$, パルス幅 $1\text{ }\mu\text{s}$ の条件でしきい値電圧のシフトが飽和しており, しきい値電圧のシフト量も非常に大きい事が確認された。消去に関しては, しきい値電圧のシフトが飽和しておらず, しきい値電圧のシフト量も Co_3O_4 ナノドットが埋め込まれたメモリよりも小さい事が確認された。

図 2-25 に電荷保持特性の測定結果を示す。電子に関する電荷保持特性の測定は以下の様にして行った。始めに -8 V のパルス電圧を 100 ms 印加してナノドット中に最初から存在している電子を全て放出した後, $+10\text{ V}$ のパルス電圧を 100 ms 印加して電子を注入した。その後, ゲート電極に $+2\text{ V}$ の電圧を連続的に印加しながら電流の変化を観察し, 電子における電荷保持特性を測定した。また正孔に関する電荷保持特性も同様の方法で行った。始めに $+10\text{ V}$ のパルス電圧を 100 ms 印加して正孔を全て放出した後, -8 V のパルス電圧を 100 ms 印加して正孔を注入した。その後, ゲート電極に $+2\text{ V}$ の電圧を連続的に印加しながらドレイン電流の変化を観察し, 正孔における電荷保持特性を測定した。電荷保持特性の測定は 10^4 s まで行い, 測定した結果から予測直線を引き, 10 年後のしきい値電圧を予測した。この方法は一般的な手法であり, 様々なフローティングゲートメモリの研究で採用されている[20-24]。 Co_3O_4 ナノドットの場合, 10^6 s 程度で完全に電子および正孔が放出されると考えられ, 期待される 10 年の電荷保持能力を持

たない。しかし Pt ナノドットの場合、電荷を注入してから 10 年経過してもヒステリシス幅が観測され、10 年の電荷保持能力を有すると予測された。この事から Pt ナノドットを電荷保持ノードにする事で、良好な電荷保持特性を有するメモリを作製できる事が確認された。電荷保持特性の違いは後の節で詳細に述べるが、ナノドットのバンド構造の違いによるものである。

次に信頼性評価の試験を行った。書込電圧は+10 V、消去電圧は-8 V であり、始めに+10 V および-8 V のパルス電圧を交互に 1 回印加し、その後 I_D - V_G 特性を測定した。その後、電圧の印加のサイクルを 10^1 回、 10^2 回、 10^3 回、 10^4 回および 10^5 回と増加させて同様に I_D - V_G 特性を測定した。測定した結果を図 2-26 に示す。図 2-26 から Co_3O_4 ナノドットの場合、書込および消去のサイクルが 10^3 回を超えると、 I_D - V_G 特性が正電圧方向にシフトし、 10^5 回書込および消去を繰り返すと、メモリウィンドウ幅が減少している事が確認された。しかし、Pt ナノドットの場合、しきい値電圧が書込および消去の繰り返しによってほとんど変化しておらず、作製されたメモリが非常に高信頼性である事が確認された。

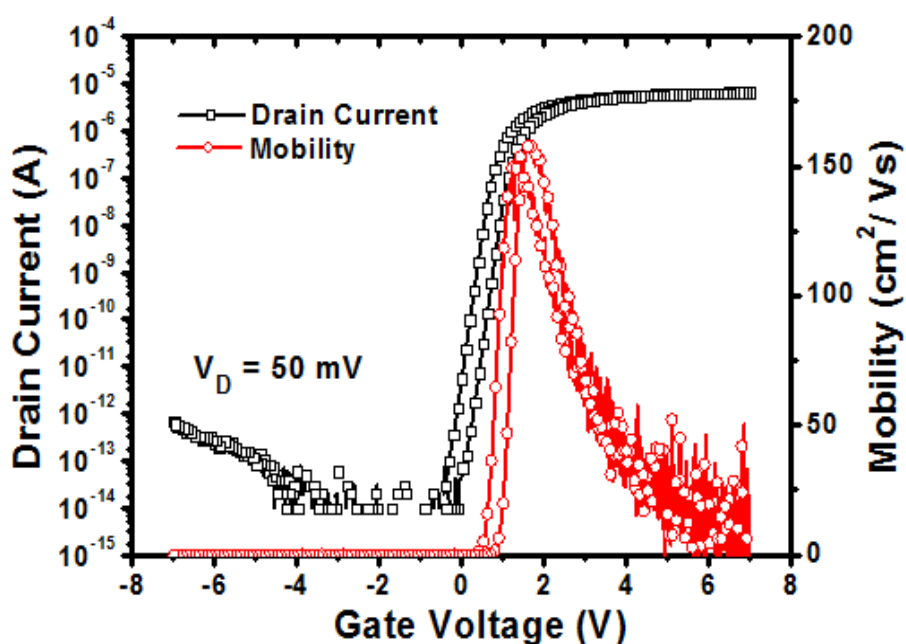


図 2-19. Pt ナノドットが埋め込まれていない MOSFET の I_D - V_G 特性

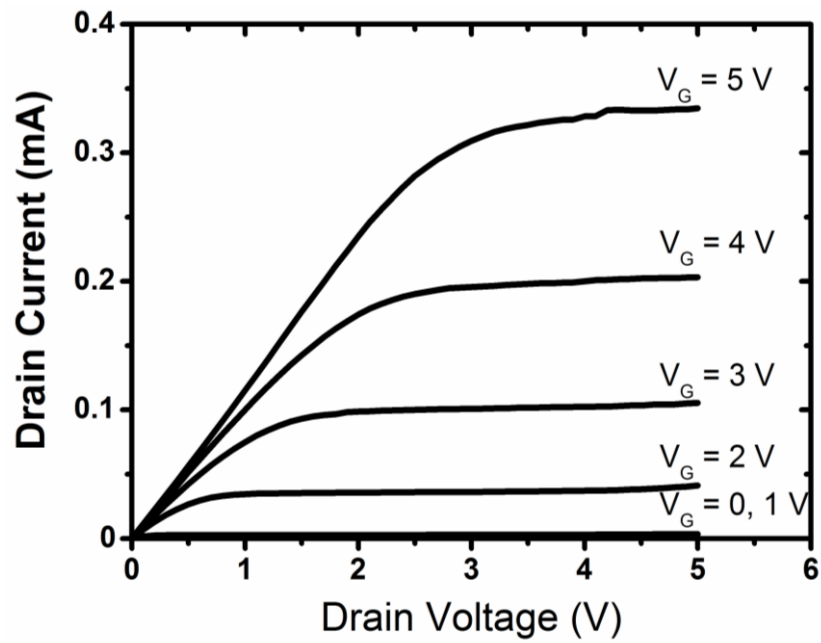


図 2-20. Pt ナノドットが埋め込まれていない MOSFET の I_D - V_D 特性

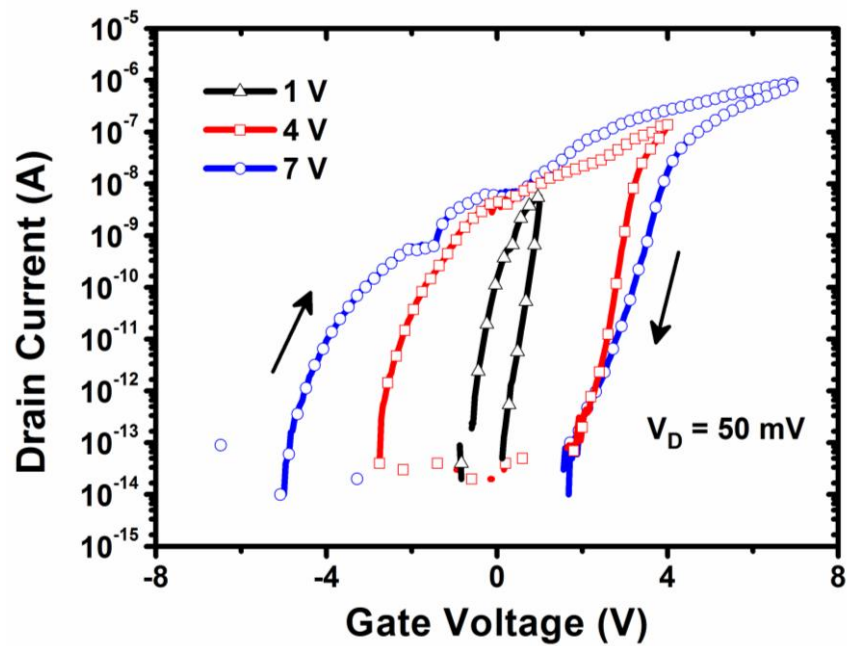


図 2-21. Pt ナノドットが埋め込まれたメモリの I_D - V_G 特性

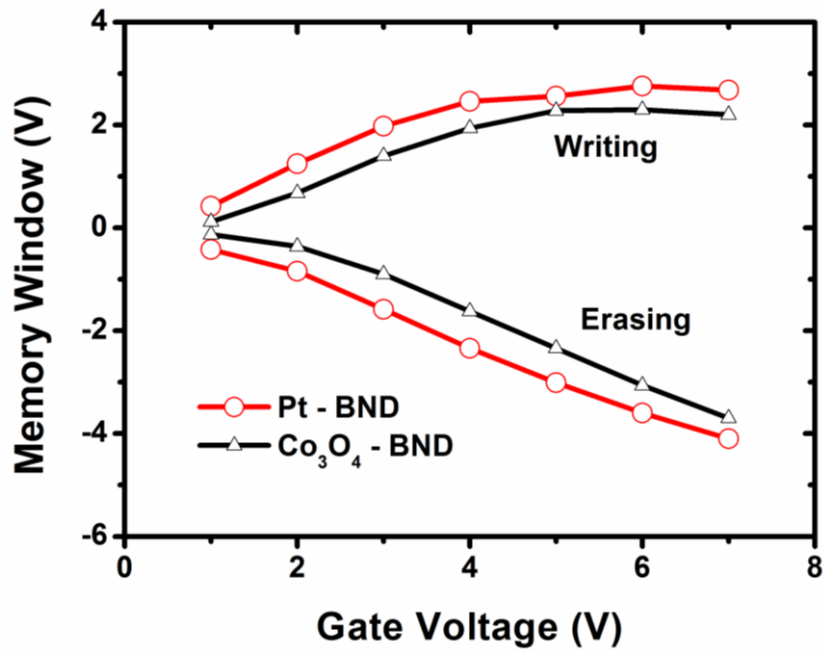


図 2-22. メモリウィンドウ幅の電圧依存性 (電圧方向別)

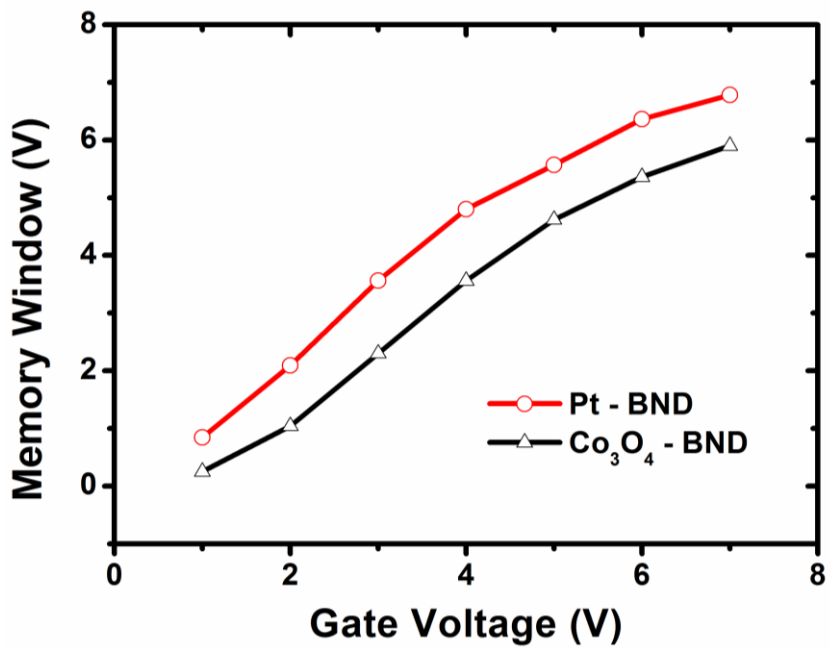


図 2-23. メモリウィンドウ幅の電圧依存性 (トータル)

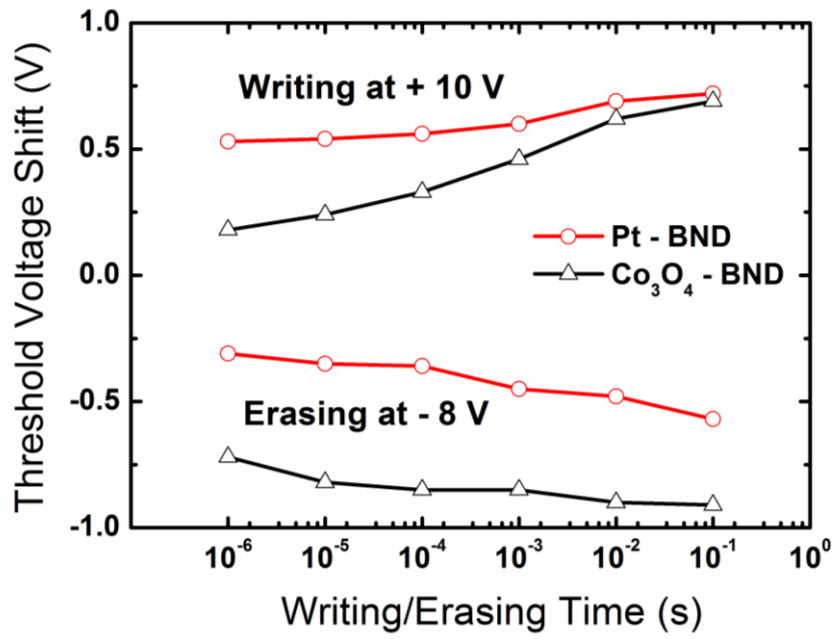


図 2-24. 書込/消去特性

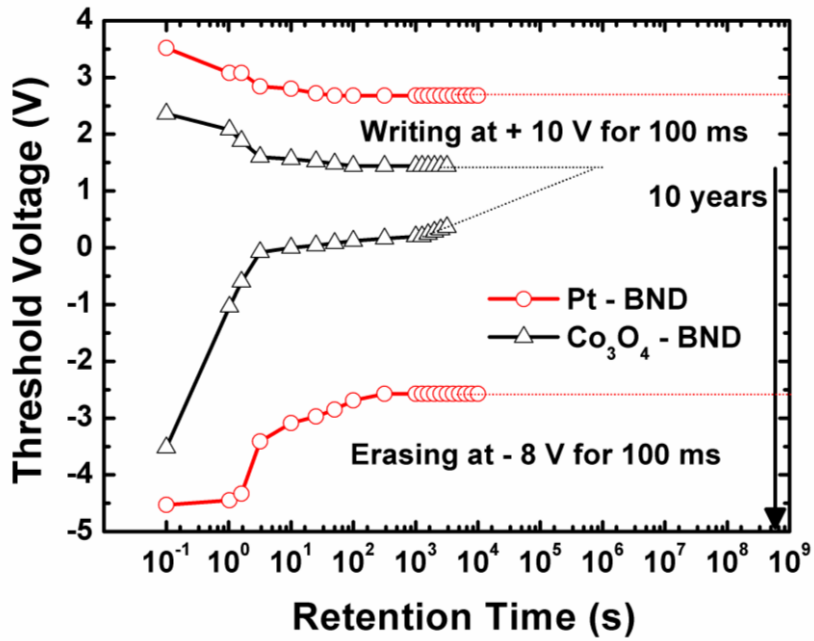


図 2-25. 電荷保持特性

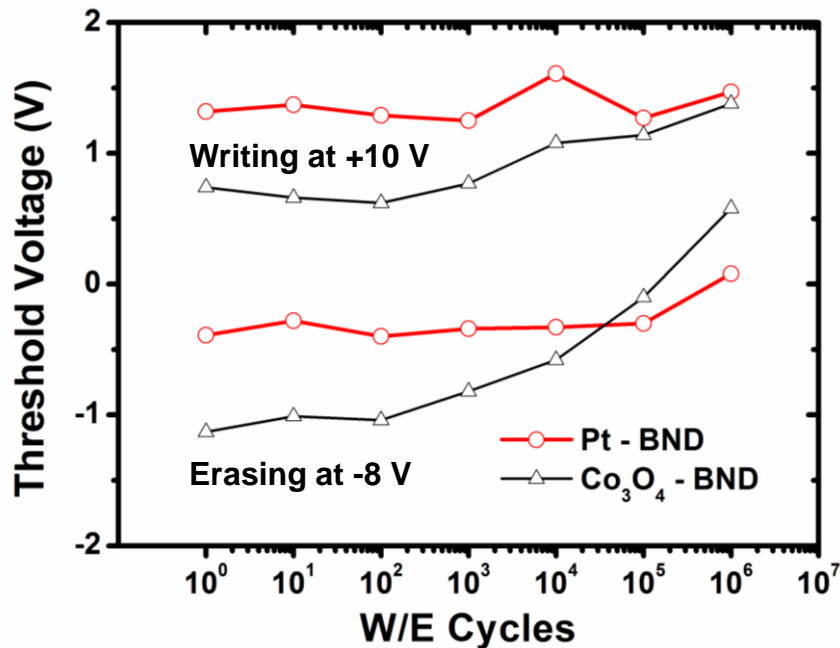


図 2-26. 信頼性評価

5. ナノドット型フローティングゲートメモリに関する考察

3 節および 4 節で示した様に、Pt ナノドットを電荷保持ノードとする事で、高性能および高信頼性のナノドット型フローティングゲートメモリを作製できる事を実証した。この節では Pt ナノドットが埋め込まれたメモリの特性に関する考察を、エネルギーバンド図 (バンド図) を利用して行う。今回作製した 2 種類のメモリは、同じ条件でゲート酸化膜を形成しているため、酸化膜の膜質の違いによる、メモリ特性の違いは無い。

図 2-27 に Pt ナノドットを電荷保持ノードとしたナノドット型フローティングゲートメモリのバンド図、図 2-28 に Co₃O₄ を電荷保持ノードとしたナノドット型フローティングゲートメモリのバンド図をそれぞれ示す。図 2-27 および図 2-28 において、(a)は熱平衡状態でのバンド図および(b)は電圧印加時のバンド図の変化を示している。熱平衡状態では、図 2-27(a)および図 2-28(a)の様に、全てのフェルミレベルが一致する様にバンド図が変化する[25-26]。Co₃O₄ は半導体である事が田中らの研究によって報告されているため、図 2-28 (a)に示される様なバンド図となる。一方、Pt は仕事関数 5.6 eV の金属であるため、図 2-27 (a)に示される様なバンド図となる[27]。図 2-27 (b)から、Pt ナノドットにおいて、印加電圧が負の場合($V \ll 0$)の場合、Si は蓄積状態となり、正孔が直接トンネリングによって Pt ナノドットへ注入される。正孔が Pt ナノドットへ注入された際に、Pt ナノドットのフェルミレベルが下降する。その後、印加電圧を正電圧方向へ徐々に掃引させ、0 V 付近 ($V=0$)になった場合でも、Pt ナノドット中には正孔が保持されたままとなる。印加電圧をさらに正電圧方向へ掃引していくと($V \gg 0$)、Si が

反転状態となり、電子が直接トンネリングによって Pt ナノドット中に注入される。この際、Pt ナノドットのフェルミレベルが上昇する。その後、印加電圧を負電圧方向へ徐々に掃引させ、 $V=0$ になった場合でも、Pt ナノドット中に電子が保持される。 Co_3O_4 がナノドットの場合でも、図 2-28(b)に示される様に、同様の原理でナノドット中への電子および正孔の注入が行われる。

図 2-28(a)から、 Co_3O_4 ナノドットの場合、 Co_3O_4 の価電子帯が Si の価電子帯よりも下にあり、 Co_3O_4 の導電帯が Si の導電帯よりも上に存在する。従って、 Co_3O_4 のバンドギャップが Si のバンドギャップを挟むような形になるため、Si の価電子帯および導電帯側から見ると、電荷が注入する際に障壁が発生する。障壁を乗り越えて電荷を注入させるためにはある程度の電圧が必要となるため、電荷注入に必要な電圧が大きくなる。一方、Pt ナノドットの場合、図 2-27(a)に示される様に、電子および正孔の注入に対する障壁が Co_3O_4 よりも小さいため、同じ電圧範囲でのスイープで Co_3O_4 に比べてより多くの電子および正孔が Pt ナノドットに注入され、それに伴いメモリウィンドウ幅が拡大したと考えられる。

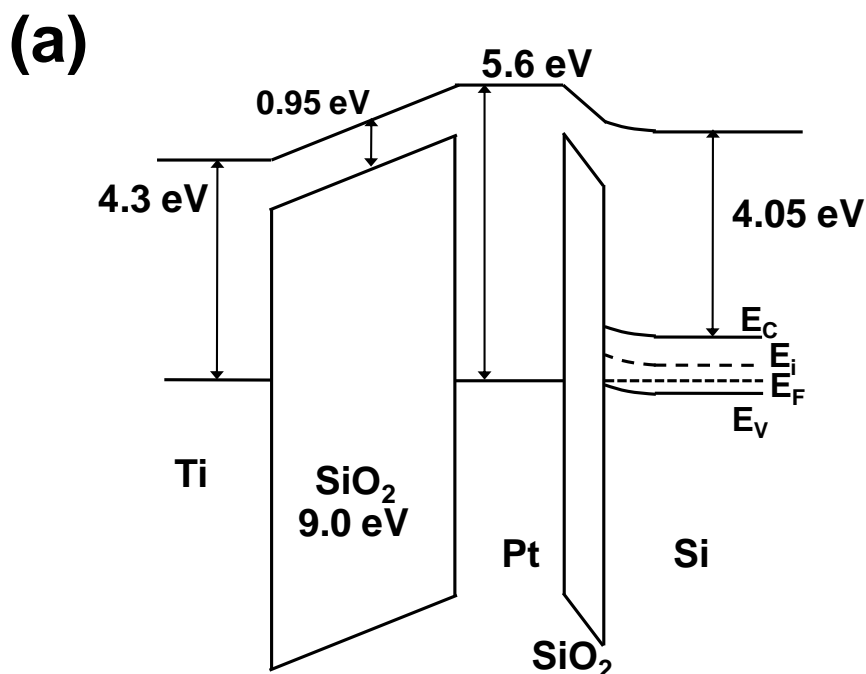
書込/消去特性に関して、図 2-27 (a)に示される様に、Pt ナノドットでは障壁がなく電子が入りやすい構造をしているため、書込時間が $1 \mu\text{s}$ という短い時間でも、しきい値電圧のシフト量が大きくほとんど飽和する。一方、 Co_3O_4 がナノドットの場合、図 2-28 (a)に示される様に Co_3O_4 の導電帯の方が Si の導電帯よりも高い位置に存在しているため、電子の注入に対する障壁が発生する。従って、 $1 \mu\text{s}$ という短い書込時間では電子がそれほど注入されず、しきい値電圧のシフトはあまり観測されない。しかし、書込時間が長くなるにつれてしきい値電圧が増大しているのは、 Co_3O_4 ナノドット中に電荷トラップが存在しており、その電荷トラップに電子が注入されたためであると考えられる。また消去特性に関して、Pt ナノドットの場合、しきい値電圧のシフトが飽和しておらず、シフト量も Co_3O_4 ナノドットに比べて小さい。これは、ナノドットとして、化学的に非常に安定な金属 Pt を利用しているため、Pt/SiO₂間の界面による影響はほとんど存在せず、電荷は Pt ナノドット中にのみ注入される。一方 Co_3O_4 ナノドットの場合、 Co_3O_4 の価電子帯に正孔が注入されるだけでなく、 Co_3O_4 が持つトラップ電荷や $\text{Co}_3\text{O}_4/\text{SiO}_2$ 間に存在する界面準位に正孔がトラップされたため、 Co_3O_4 ナノドット層に注入される正孔が増加し、正孔の注入によるしきい値電圧のシフトが Pt ナノドットに比べて大きくなったと考えられる。

続いて電荷保持特性に関する考察を行う。Pt ナノドットの場合、電子が Pt ナノドットに注入された後、印加電圧を 0 V にすると、図 2-27(b)の(4) $V_G=0$ の状態になる。この時、Pt の仕事関数が非常に大きく、Pt のフェルミエネルギーが Si の導電帯よりも下の位置に存在しているため、電子が非常に深い井戸型ポテンシャルが形成される。従って、Pt ナノドット中に注入された電子は、Si やゲート電

極へバックトンネリングしにくくなり良好な電子の保持特性を実現できる。正孔に関しては、Pt のフェルミエネルギーが Si の価電子帯よりも下の位置に存在しているため、バンド図から考えると、注入された正孔はバックトンネリングにより Si 側へ抜けやすいバンド構造になっているが、本研究では良好な電荷保持特性は維持されているため、Pt ナノドットを利用する事で、良好な電荷保持特性が確認された。一方 Co_3O_4 ナノドットの場合、 Co_3O_4 ナノドット中に電子が注入された後、印加電圧を 0 V にすると、図 2-28(b)の(4) $V_G=0$ の状態になる。 Co_3O_4 の導電帯が Si の導電帯よりも高い位置にあり、 Co_3O_4 の価電子帯は Si の価電子帯よりも低い位置に存在しているため、 Co_3O_4 中に注入された電子および正孔は Si 基板へバックトンネリングしやすい。また Co_3O_4 ナノドットの場合、電子や正孔が Co_3O_4 の導電帯や価電子帯にだけでなく、 Co_3O_4 中に存在するトラップ電荷や $\text{Co}_3\text{O}_4 / \text{SiO}_2$ 間に存在する界面準位に注入される。トラップや界面準位の深さは比較的浅いため、捕獲された電子や正孔はすぐに放出されてしまう。また、 Co_3O_4 のトラップや $\text{Co}_3\text{O}_4 / \text{SiO}_2$ 間に存在する界面準位を介した trap-assisted tunneling の様なトンネリング機構で、注入された電子や正孔が Si 基板中へバックトンネリングすると考えられる。以上の結果から Pt ナノドットの方が Co_3O_4 ナノドットの場合よりも良好な電荷保持特性が得られると考えられる。

信頼性に関しても同様の事が考えられる。フローティングゲートメモリはゲート電極に高電圧を印加して、トンネリングによって絶縁膜で隔離されたフローティングゲートに電荷を無理矢理注入する。消去の際にも、高電圧をゲート電極に印加し、フローティングゲート中の電荷を無理矢理放出する。従って、書込および消去を繰り返すうちに、 SiO_2 の Si-Si, Si-O および Si-H の結合が切断され、原子が結合していない未結合手 (ダングリングボンド) が発生する[28]。ダングリングボンドはトラップとして、電荷を捕獲する働きをする。従って、書込および消去を繰り返して行くと、酸化膜中にトラップによって捕獲された電荷が増加し、 I_D - V_G 特性が正電圧方向もしくは負電圧方向にシフトする。特に消去を目的とした正孔の注入は電子の注入よりもトラップや界面準位の劣化を引き起こしやすい。Pt ナノドットの場合、Pt ナノドットが金属であるため、信頼性の劣化は書込消去による SiO_2 中のトラップの増加やトンネル酸化膜である SiO_2 と Si 間の界面の劣化により発生する。しかし、本研究で形成しているトンネル酸化膜は急速熱酸化により形成している酸化膜であるため、界面状態は良好であると考えられる。また、コントロール酸化膜である SiO_2 は PECVD で成膜されているが、成膜条件は最適な条件に設定されており、良質な SiO_2 が成膜されている。従って、書込および消去を 10^5 回繰り返しても SiO_2 の膜質および SiO_2 / Si 間の界面準位の性質が維持されており、結果としてメモリの高信頼性が達成されていると考えられる。一方、 Co_3O_4 ナノドットが電荷保持ノードの場合、しきい値電圧が

正電圧方向にシフトしている事が観測されたが、これは書込および消去によってゲート酸化膜である SiO_2 や SiO_2/Si 間の界面だけではなく、 Co_3O_4 ナノドット中のトラップの増加および $\text{Co}_3\text{O}_4/\text{SiO}_2$ 間の界面が劣化し、多くの正電荷トラップが発生したと考えられる。また、書込および消去の繰り返しによって酸化膜中に電荷トラップが発生するため、ナノドット中に注入された電荷が、トラップ電荷を介して Si 中へバックトンネリングしやすくなる。従って、 Co_3O_4 ナノドットの場合、発生したトラップ電荷によって、電荷がバックトンネリングしやすくなり、電荷保持特性が劣化すると考えられる。一方、 Pt ナノドットの場合、しきい値電圧のシフトおよびヒステリシス幅の減少が小さいため、トラップ電荷の量が少なく電荷保持特性がほとんど変化しないと考えられる。



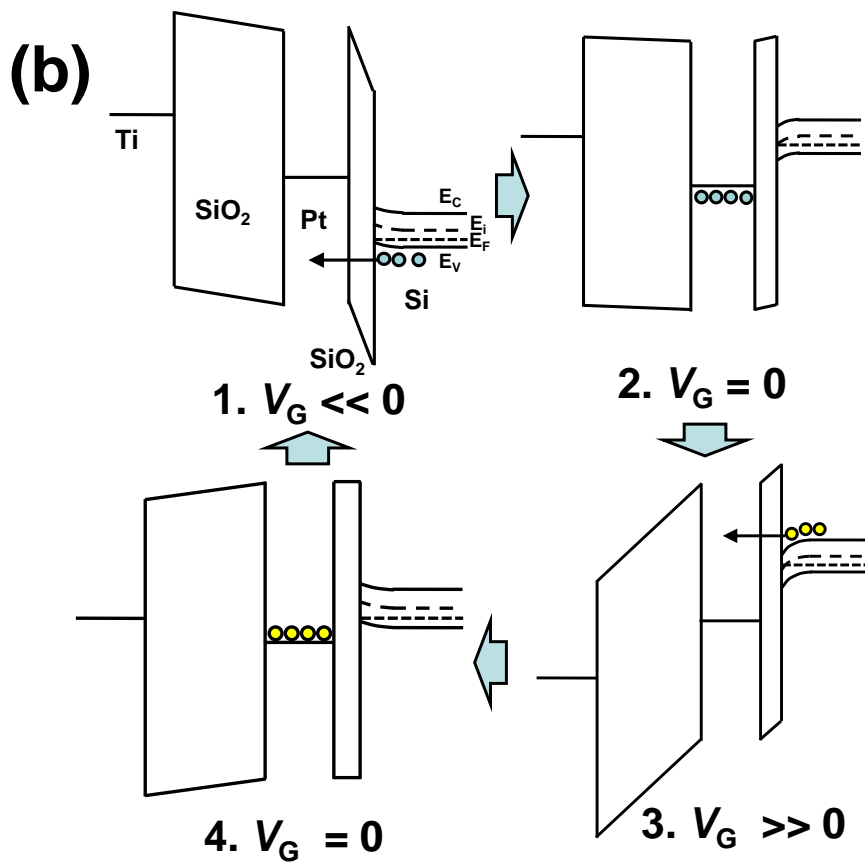
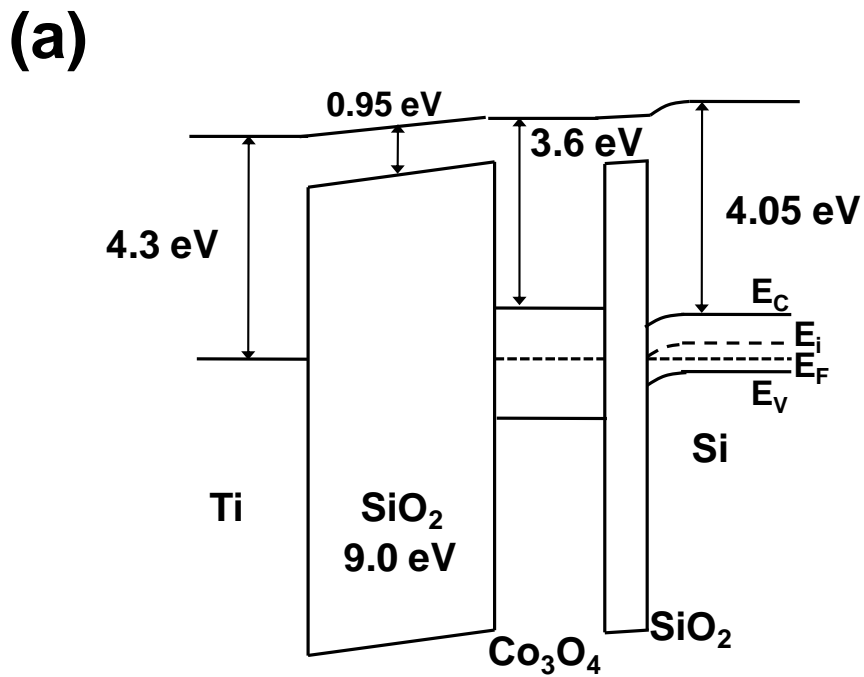


図 2-27. Pt ナノドット型メモリのエネルギーバンド図

(a) 熱平衡状態のエネルギーバンド図, (b) 電圧印加時のエネルギーバンド図の変化



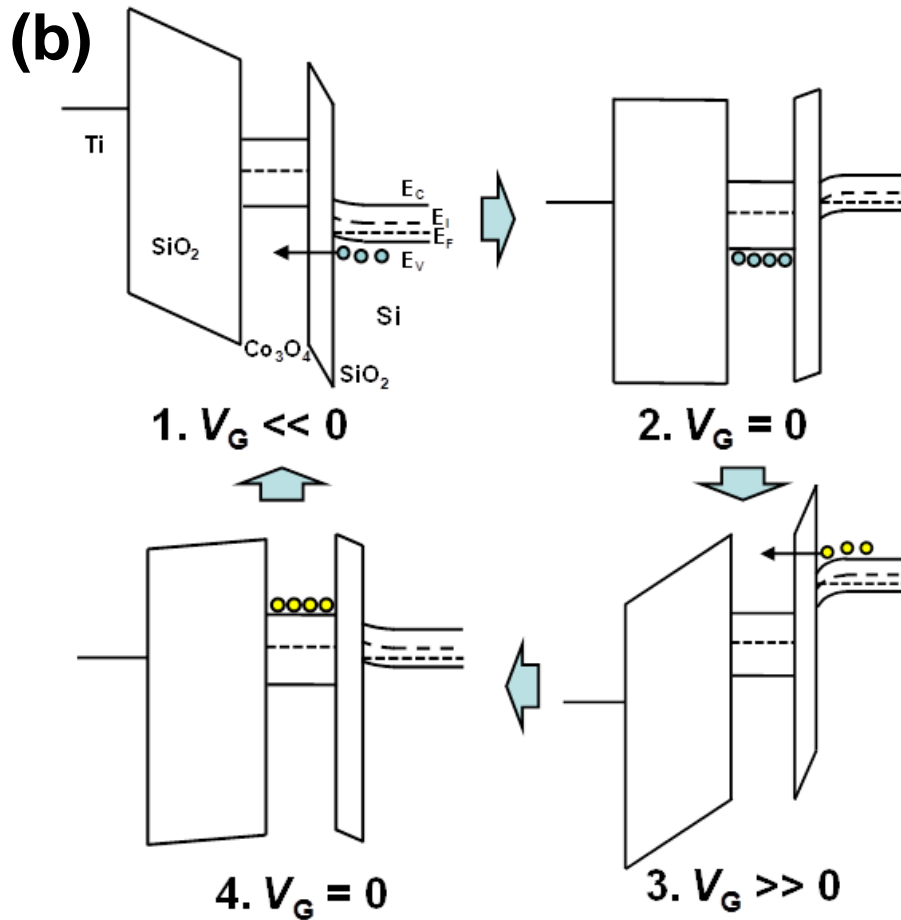


図 2-28. Co_3O_4 ナノドット型メモリのエネルギーバンド図

(a) 熱平衡状態のエネルギーバンド図, (b) 電圧印加時のエネルギーバンド図の変化

6. 高圧重水処理を利用したナノドット型フローティングゲートメモリの特性向上

5 節までにフェリチンを利用して作製された Pt ナノドットが埋め込まれたフローティングゲートメモリは良好なメモリ特性を持つ事を確認した。さらなるメモリ特性の向上にはゲート酸化膜の膜質向上, すなわちゲート酸化膜中のトラップ電荷や SiO_2 / Si 間の界面準位密度の低減が必要である。ゲート酸化膜中のトラップは, フローティングゲート中に保持されている電荷の流出経路となるので, ゲート酸化膜中のトラップを減少させる事で電荷の流出を抑制し, メモリの信頼性向上につながる。本節ではゲート酸化膜の膜質向上の手法として高圧水蒸気処理に注目し, 高圧水蒸気処理をメモリに施す事で, メモリ特性がさらに向上する事を述べる。

高圧水蒸気処理の概要図を図 2-29 に示す。容器中に純水を入れ, 容器を密閉する。容器を密閉後に一定の温度まで加熱すると, 容器中の純水が蒸発して水蒸気が発生する。この時, 高圧の水蒸気雰囲気中で酸化膜を再酸化する事で Si-O

結合のネットワークが大幅に改善し、高温形成の熱酸化膜と同様の良好な酸化膜に改質できる。さらに酸化膜中の酸素欠損により発生していた Si ダングリングボンドを終端して固定電荷や酸化膜トラップを減少させる効果や、水蒸気から発生した水素の働きにより、SiO₂ / Si 界面準位密度を低減できる効果が期待されている。この手法はガスを使用せず超純水のみを使用した手法であるため、非常に安全で簡単に操作を行う事ができるという利点を持つ[29-31]。

通常の高圧水蒸気処理の場合、純水を使用するため SiO₂ / Si 界面でのダングリングボンドは水素で終端される。しかし、Si-H の結合はそれほど強固ではなく、ストレスが印加された際に、高エネルギーを持つ電荷がゲート酸化膜中に注入される過程で簡単に Si-H の結合を切断してしまい、H は大気中に拡散してしまう。最終的には SiO₂ や SiO₂ / Si 界面に再びダングリングボンドが発生し、固定電荷やトラップ電荷の増加および SiO₂ / Si 界面準位の劣化が発生する。以上の点から、高圧水蒸気処理によりゲート酸化膜の膜質は向上するものの、ストレス印加には弱いために、ストレスに強いゲート酸化膜を形成するための手法が必要となる[32-34]。

そこで、重水素を利用した SiO₂ の膜質改善手法が提案されている。重水素は水素の同位体であり、水素の 2 倍の質量を持つ。従って、Si と結合して、非常に強固な Si-D 結合を形成する。Si-D 結合を切断するためには非常に大きなエネルギーが必要となり、仮に Si-D 結合が切断されても D は大気中に拡散せず、再び Si と再結合するため、非常に電圧ストレスに強い酸化膜が形成され、酸化膜の膜質が向上する[35,36]。本研究では、重水 (D₂O) を使用した高圧水蒸気処理、すなわち高圧重水処理によってゲート酸化膜となる SiO₂ の膜質改善を行った。重水は 2 つの重水素 (D) と O が結合して形成されているため、高圧条件下での重水処理を行う事で、ゲート酸化膜中に似存在するトラップ電荷や界面準位に D が取り込まれて膜質が向上する。従って、酸化膜のトラップ電荷や界面準位密度が低減するため、メモリ特性が改善すると期待される。Pt ナノドットが埋め込まれたフローティングゲートメモリに関して、高圧重水処理を施したメモリと高圧重水処理を施していないメモリの特性を比較した。高圧重水処理は Pt ナノドットを埋め込んだ MOS 構造を形成した後、0.5 MPa、260 °C の条件下で 1 h 行った。

図 2-30 に高圧重水処理を施したメモリの I_D-V_G 特性を示す。ゲート電圧が最大 7 V の時の I_D-V_G 特性を測定した。両方共 I_D-V_G カーブにヒステリシスが発生している事が確認されている。特に高圧重水処理を施したメモリに関して、I_D-V_G カーブに発生したヒステリシスの大きさが小さくなっているが、駆動電流が増加している。これは高圧重水処理により、酸化膜中のトラップが減少し、SiO₂ / Si 界面が改善されたためであると考えられる。

図 2-31 および図 2-32 にメモリウィンドウ幅の電圧依存性を示す。ゲート電圧

が 7 V までは高圧重水処理を施していないメモリのメモリウィンドウ幅の方が大きいですが、ゲート電圧が 8 V 以上になると高圧重水処理を施していないメモリのメモリウィンドウ幅が急激に減少していることが確認された。図 2-31 から特に負電圧方向のメモリウィンドウ幅の減少が大きい事が確認された。一方、高圧重水処理を施したメモリのメモリウィンドウはゲート電極が 8 V 以上印加した場合でも、メモリウィンドウは増加している事が確認された。

次に、メモリの歩留まりについて測定した。図 2-33 に、1 枚の基板上に作製された複数個のメモリの I_D - V_G 特性を示す。1 枚の基板上には様々な大きさのメモリが作製されているため、メモリの大きさの違いによるドレイン電流の違いが観測されている。また、図 2-34 にメモリウィンドウ幅の累積度数分布を示すが、67 % のメモリのメモリウィンドウ幅が 5 V から 6 V になる事が確認された。メモリウィンドウ幅のばらつきが発生しているが、ナノドットの吸着密度を増大する事で、1 つのメモリに存在するナノドットの数にばらつきが小さくなり、メモリウィンドウ幅のばらつきが減少すると考えられる。

図 2-35 に書込および消去特性を示す。高圧重水処理を施したメモリは、書込および消去時間が 100 μ s と非常に短い時間であるだけでなく、書込および消去のための電圧を印加した時に大きなしきい値電圧のシフトを示した。次に電荷保持特性を図 2-36 に示す。高圧重水処理を施していないメモリに関しては、高圧重水処理後を施したメモリの電荷保持特性は高圧水蒸気処理を施していないメモリよりも良好である事を確認した。これは高圧重水処理を施す事で、酸化膜中の流出経路の原因となるトラップ電荷や界面準位を減少させる事ができ、より高信頼性のゲート酸化膜が形成されたためであると考えられる [29-36]。図 2-37 は高圧重水処理を施したメモリの信頼性評価の結果を表したグラフである。信頼性の測定は 4-2 で記載している方法で行った。図 2-37 から高圧重水処理を施しているメモリの信頼性が高い事が確認された。これは高圧重水処理を施す事でストレスに強いゲート酸化膜に変化し、書込および消去を繰り返した際にもトラップ電荷の増加が小さくなり、最終的に信頼性が向上したと考えられる。

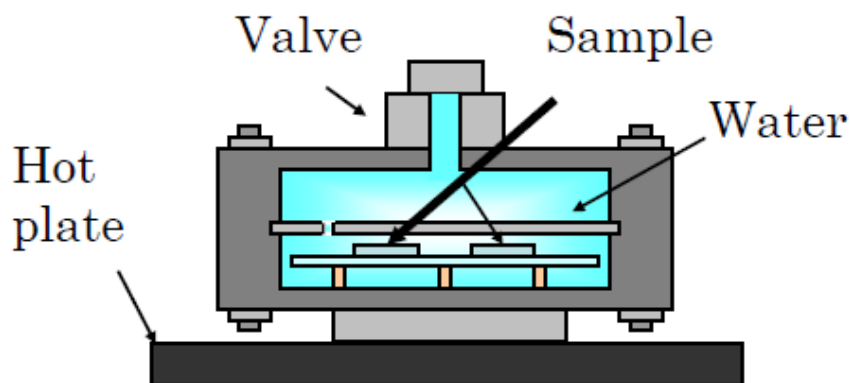


図 2-29. 高圧水蒸気処理装置

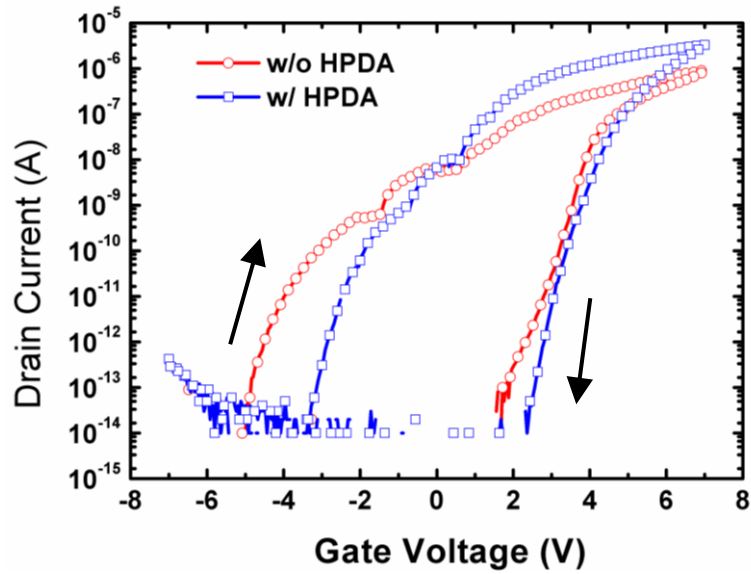


図 2-30. Pt ナノドットが埋め込まれた MOSFET の I_D - V_G 特性 (高圧重水処理前後)

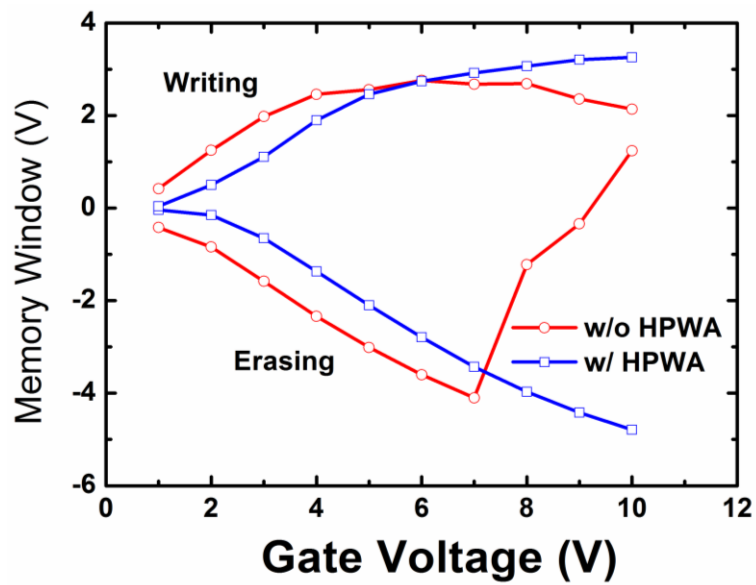


図 2-31. 高圧重水処理前後のメモリウィンドウ幅 (電圧方向別)

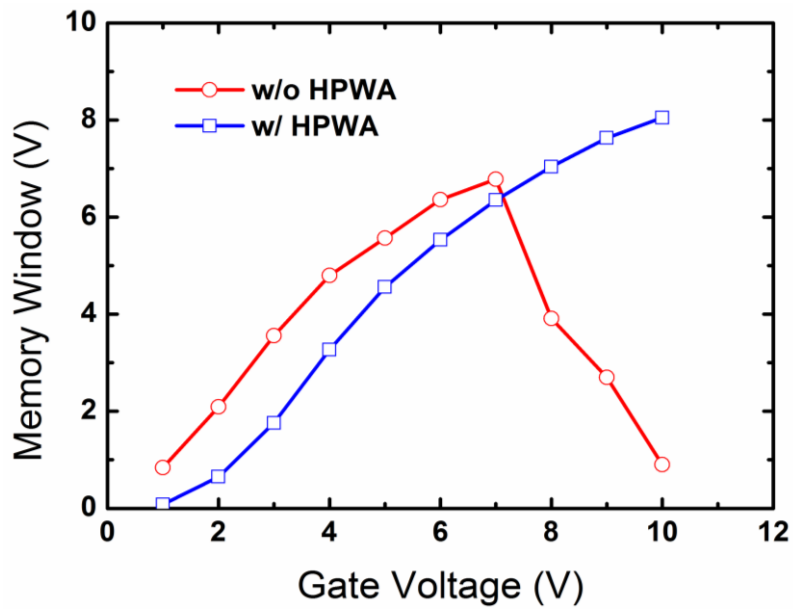


図 2-32. 高圧重水処理前後のメモリウィンドウ幅 (トータル)

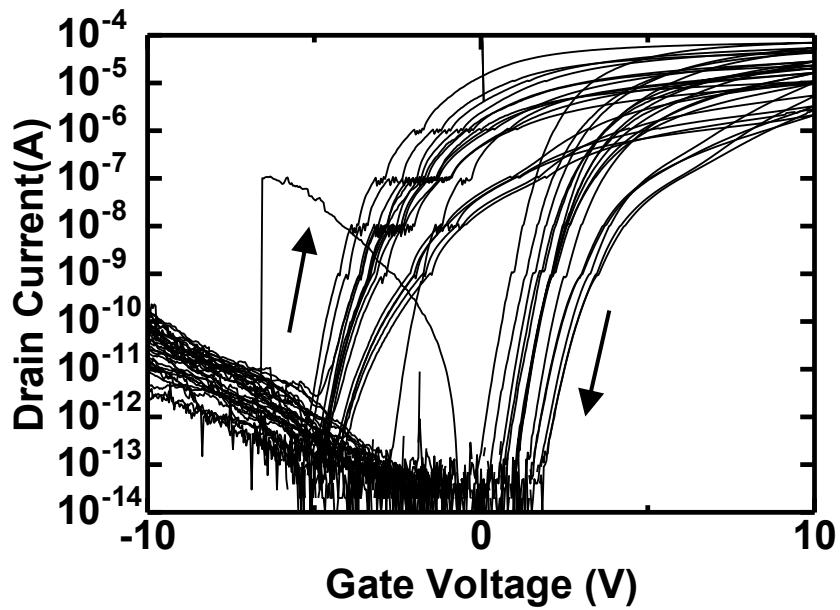


図 2-33. 作製したメモリの I_D - V_G 特性 (複数個)

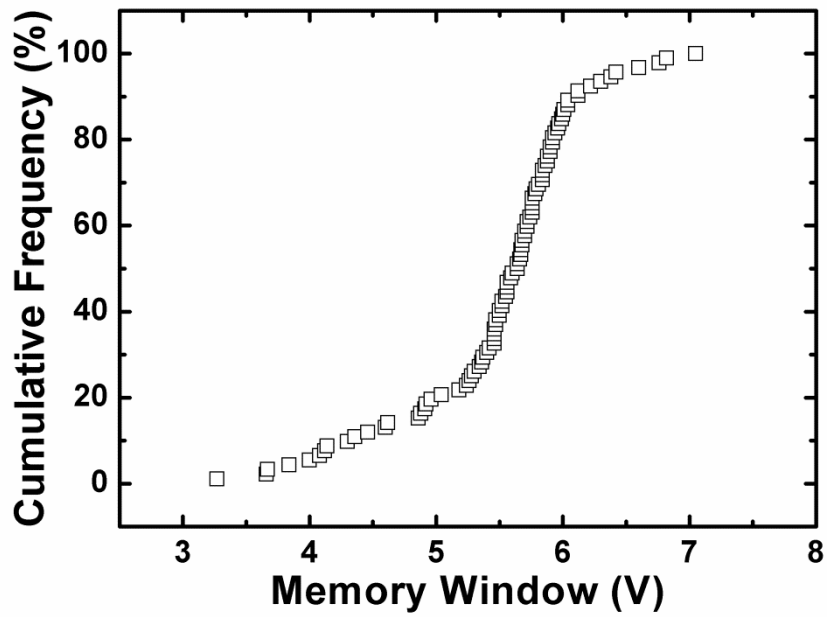


図 2-34. メモリウィンドウ幅の累積度数分布

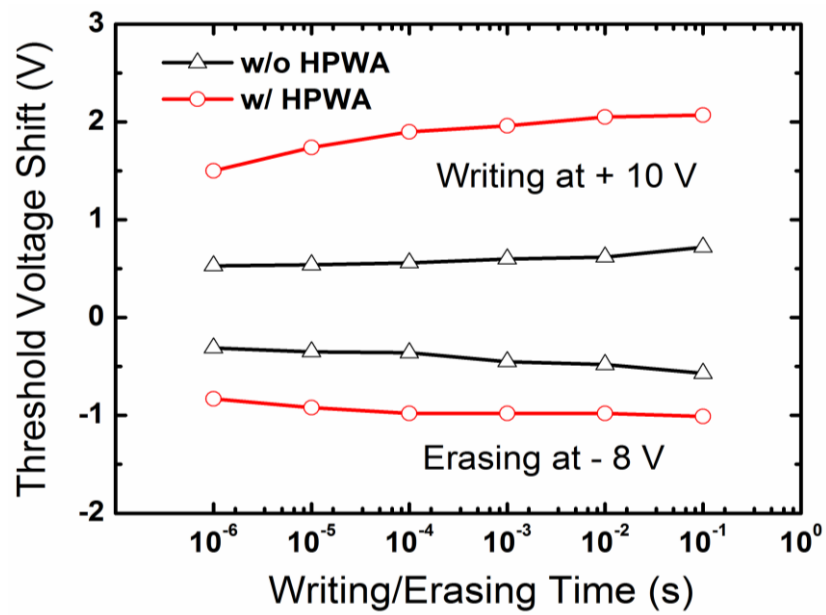


図 2-35. 書込/消去特性 (高压重水処理前後)

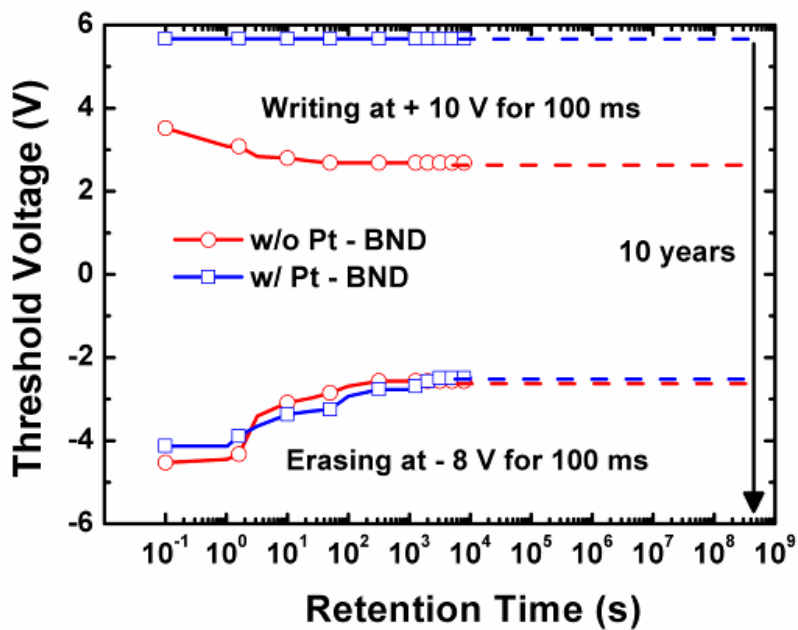


図 2-36. 電荷保持特性 (高压重水処理前後)

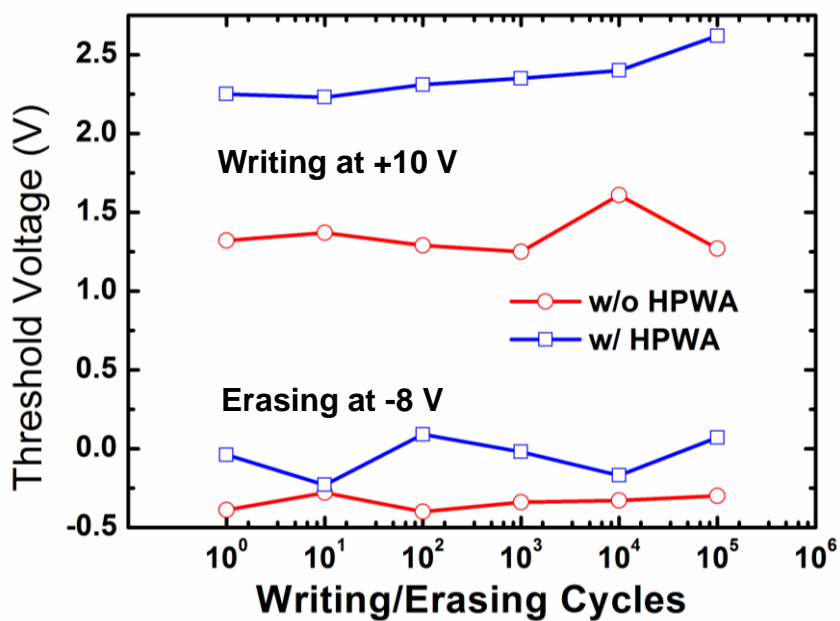


図 2-37. 信頼性評価 (高压重水処理前後)

7. まとめ

PtS を内包したフェリチンを利用して Pt ナノドットが埋め込まれたナノドット型フローティングゲートメモリの作製を初めて行った。その結果、現在までに作製されてきた Fe および Co が埋め込まれたナノドット型フローティングゲートメモリに比べて、還元処理が不要であるためナノドットを低温で簡単に形成できる事が確認された。完全な金属ナノドットを形成できるため、今までに形成されたメモリに比べて高性能および高信頼性のメモリを作製する事ができた。

また、高圧重水処理装置を施すことにより、さらなる高性能および高信頼性のメモリを作製することができた。

8. 参考文献

- [1] P. K. Singh, R. Hofmann, K. K. Singh, N. Krishna, and S. Mahapatra, *IEEE Trans. Electron Devices*. **56** (2009) pp.2065.
- [2] P. Panchaipetchi, K. Ichikawa, Y. Uraoka, T. Fuyuki, A. Tomyo, E. Takahashi, and T. Takahashi, *J. Vac. Sci. Technol. B*. **24** (2005) pp.1271.
- [3] J. Dufourcq, S. Bodnar, G. Gay, D. Lafond, P. Mur, G. Molas, J. P. Neto, L. Vandroux, L. Jodin, F. Gustavo, and Th. Baron, *Appl. Phys. Lett.* **92** (2008) pp.073102.
- [4] Ch. Sargentis, K. Giannakopoulos, A. Travlos, and D. Tsamakidis, *Surf. Sci.* **601** (2007) pp.2859.
- [5] D. -W. Kim, T. Kim, and S. K. Banerjee, *IEEE Trans. Electron Devices*. **50** (2003) pp.1823.
- [6] I. Yamashita, *Thin Solid Films* **393** (2001) pp.12.
- [7] A. Miura, Y. Uraoka, T. Fuyuki, S. Yoshii, and I. Yamashita, *J. Appl. Phys.* **103** (2008) pp. 074503.
- [8] K. Ichikawa, Y. Uraoka, P. Panchaipetch, H. Yano, T. Hatayama, T. Fuyuki, and I. Yamashita, *Jpn. J. Appl. Phys.* **46** (2007) pp.L804.
- [9] R. Tsukamoto, K. Iwahori, M. Muraoka, and I. Yamashita, *Bull. Chem. Soc. Jpn*, **78** (2005) pp.2075.
- [10] M. Kwon, H. Choi, M. Chang, M. Jo, S. Jung, and H. Hwang, *Appl. Phys. Lett.* **90** (2007) pp.193512.
- [11] T. Hikono, Y. Uraoka, T. Fuyuki, S. Yoshii, I. Yamashita, and M. Takeguchi, *Surf. Sci.* **600** (2006) pp.2817.
- [12] K. Yamada, S. Yoshii, S. Kumagai, A. Miura, Y. Uraoka, T. Fuyuki, and I. Yamashita, *Jpn. J. Appl. Phys.* **45** (2006) pp.8946.
- [13] Z. Wu, H. Xiang, T. Kim, M. S. Chun, and K. Lee, *J. Colloid. Interface. Sci.* **304** (2006) pp. 119.

- [14] 本学 梅田朋季 修士学位論文 (2008).
- [15] H. Sakurai, T. Yamaguchi, N. Hiura, K. Yoneshima, H. Kimura, and O. Tamura, *Jpn. J. Appl. Phys.* **10** (2008) pp.8071.
- [16] 本学 立石卓也 修士学位論文 (2009).
- [17]http://thequantumcasino.org/tutorial/ellingham_diagrams.php?section=tutorial&article=16.
- [18] 本学 松村貴志 修士学位論文 (2006).
- [19] 岸野正剛, “半導体デバイスの物理 (第9刷)” 丸善株式会社 (2009).
- [20] J. C. Bea, Y. H. Song, K. W. Lee, G. H. Lee, T. Tanaka, and M. Koyanagi, *Semiconductor Science and Technology*, **24** No. 8 (2009) pp.085013.
- [21] A. Miura, R. Tsukamoto, S. Yoshii, I. Yamashita, Y. Uraoka, and T. Fuyuki, *Nanotechnology* **19** (2008) pp.255201.
- [22] K. Ichikawa, M. Fujii, Y. Uraoka, P. Panchaipetch, H. Yano, T. Hatayama, and T. Fuyuki, *J. Korean. Phys. Soc.*, **54** No. 1 (2009) pp.554.
- [23] Y. Liu, S. Dey, S. Tang, D. Q. Kelly, J. Sarkar, and S. K. Banerjee, *IEEE Trans. Electron. Devices.*, **53** No. 10 (2006) pp.2598.
- [24] Y. H. Song, J. C. Bea, T. Tanaka, and M. Koyanagi, *Jpn. J. Appl. Phys.* **49** No. 7 (2010) pp. 074201.
- [25] S. M. Sze, and Kwok K. NG, “Physics of Semiconductor Devices Third Edition”, WILEY-INTERSCIENCE (2006).
- [26] C. Y. Chang, and S. M. Sze, “ULSI DEVICES”, WILEY-INTERSCIENCE (2000).
- [27] 本学 田中亮太 修士学位論文 (2007).
- [28] 河東田隆, “半導体評価技術” (1997).
- [29] T. Sameshima, K. Sakamoto, and M. Satoh, *Thin Solid Films* **335** (1998) pp.138.
- [30] T. Sameshima, and M. Satoh, *Jpn. J. Appl. Phys. Part 2* **36** (1997) pp.L687.
- [31] K. Sakamoto, and T. Sameshima, *Jpn. J. Appl. Phys. Part 1* **39** (2000) pp.2492.
- [32] J. W. Lyding, K. Hess, and I. C. Kizilyalli, *Appl. Phys. Lett.* **68** (1996) pp.2526.
- [33] I. C. Kizilyalli, J. W. Lyding, and K. Hess, *IEEE Electron Device Lett.* **18** (1997) pp. 81.
- [34] 三谷祐一郎, 佐竹秀喜, *東芝レビュー* **57** (2002) pp.31.
- [35] M. Jo, M. Chang, H. Park, and H. Hwang, *Jpn. J. Appl. Phys.* **46** (2007) pp.L531.
- [36] M. Chang, M. Hasan, S. Jung, H. Park, M. Jo, H. Choi, and H. Hwang, *Appl. Phys. Lett.* **91** (2007) pp.192111.

第3章 poly-Si を利用したガラス基板上へのナノドット型

フローティングゲートメモリの作製および評価

1. はじめに

いつでもどこでも情報を取得できる社会、「ユビキタス社会」の実現に向けて様々な研究が行われている。そのユビキタス社会の実現に向けて現在注目を集めているのが平面薄型ディスプレイ (Flat Panel Display: FPD) を始めとしたディスプレイ素子である。

近年では、スイッチング素子であるトランジスタの高性能化に伴い、従来のディスプレイのように画素や周辺駆動回路だけではなく、演算回路や記憶回路など様々な機能を持つ情報端末が一枚の一枚のパネル上に搭載された高性能システムオンパネル (System On Panel: SOP) の実現も期待されている。図 3-1(a) に第一世代の SOP を示しているが、第一世代は表示画面のみがパネル上に搭載されており、コントローラー、CPU、メモリなどの主要な周辺駆動回路は外部接続されている。その後改良が加えられ、図 3-1(b) の様な表示画面の他にデータドライバおよびゲートドライバが 1 枚のパネル上に搭載された第二世代の SOP が提案された。さらに、図 3-1(c) の様な表示画面および周辺駆動回路全てが 1 枚のパネル上に搭載された第三世代の SOP が出現した。現在ではパネルではなく、図 3-1(d) の様なポリエチレンテレフタレート (Polyethylene Terephthalate: PET), ポリカーボネイト (Polycarbonate) など、フレキシブルなプラスチック基板上へ表示画面および周辺駆動回路が搭載された第四世代の SOP, すなわちフレキシブルディスプレイや電子ペーパーの実現に向けて盛んに研究が行われている。

フラットパネルディスプレイの中でも重要な役割を担っているのが薄膜トランジスタ (Thin Film Transistor: TFT) である。TFT は MOSFET と同様、MOS 構造を基本とする半導体デバイスであるが、MOSFET とは違い、厚さが $0.5\mu\text{m}$ 程度と大変薄いので、薄膜ディスプレイを駆動する電子回路を作製する場合に便利である。従って、TFT は FPD において非常に重要な役割を担い、盛んに研究開発が行われている。

しかし、FPD はディスプレイの他に駆動回路、インターフェースおよびメモリ素子で構成されている。画素のスイッチング素子である a-Si TFT および駆動回路として期待される多結晶シリコン TFT (poly-Si TFT) に関しては盛んに研究が行われているが、FPD に対応したメモリ素子についての研究はそれほど行われていない。特に FPD のメモリ素子として大容量のメモリ素子を実現するには現状フラッシュメモリ、特に図 3-2 に示される様なナノドット型フローティングゲートメモリで構成されているフラッシュメモリが高性能および高信頼性の観点

から非常に期待されている。しかし、ガラス基板の上に高性能のナノドット型フローティングゲートメモリを作製するためには、良質な poly-Si 薄膜の上に金属ナノドットを電荷保持層としたメモリを作製する必要がある。そこで、本研究では第2章で提案された PtS 内包フェリチンを利用して、タンパク質を利用して結晶化された poly-Si 上にナノドット型フローティングゲートメモリの作製を行う事を研究目的とする。

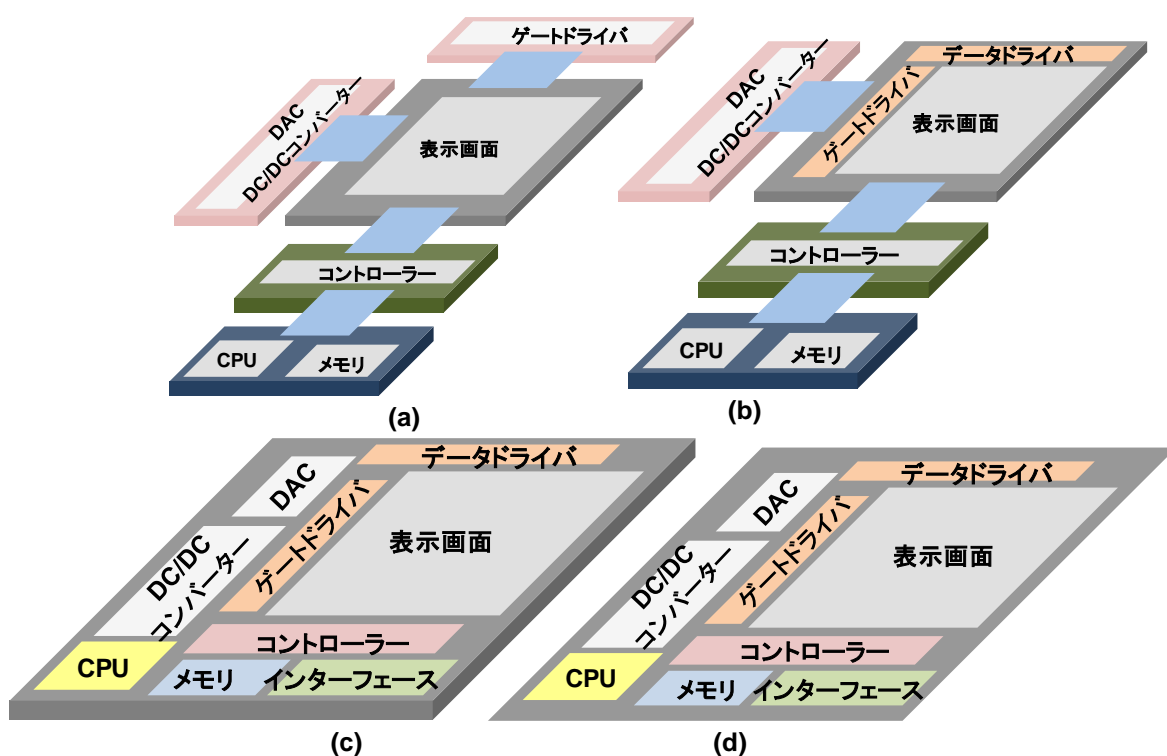


図 3-1. システムオンパネル

(a) 第一世代, (b) 第二世代, (c) 第三世代, (d) 第四世代

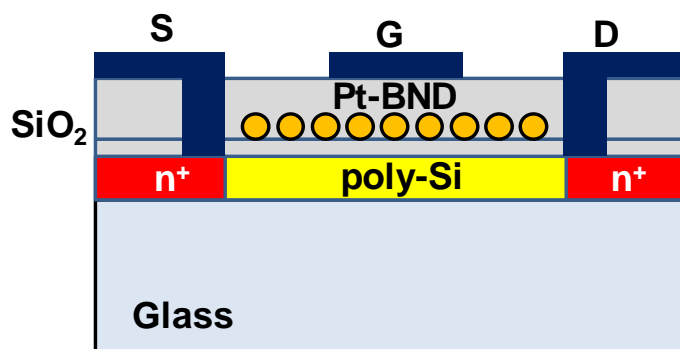


図 3-2. TFT 型フローティングゲートメモリ

1-1. 薄膜トランジスタ (Thin-Film Transistor: TFT)

TFT はソース、ドレイン、ゲートの三つの金属電極端子が存在する。MOSFETと同様、ソースはゼロ電位、ドレインには必要な電圧（ドレイン電圧）を印加する。ソースおよびドレイン電極は不純物をドーピングした低抵抗の半導体領域に接触している。低抵抗半導体領域に挟まれた領域は不純物をドーピングしていない半導体領域であり、チャネル領域と呼ぶ。チャネル領域は絶縁膜で覆われており、その上にゲート電極が存在する。ゲート電圧によって、チャネル領域の電子量が増加し、ソースドレイン間に流れる電流が増加する。基本動作は MOSFET と同様であるが、poly-Si 基板とドーピング層の間で寄生容量が発生しない。

TFT には図 3-3 に示す様に、2 種類の構造が存在する。図 3-3(a)は絶縁体基板上に半導体、酸化膜、金属の順番で積層されている TFT 構造であり、この構造はトップゲート型構造と呼ばれている。この構造は poly-Si によく使用されている。また、図 3-3(b)は絶縁体基板上に金属、酸化膜、半導体の順番で積層されている TFT 構造であり、この構造はボトムゲート型構造と呼ばれている。この構造は現在、a-Si や酸化物半導体において最もよく使用される構造である。TFT は制限のない大きく安価な絶縁基板上で大規模の素子アレイができる。また絶縁基板上では個々の素子が容易に絶縁分離できるため、回路設計の制限が緩和される事が大きな利点である。また、a-Si の移動度は $1 \text{ cm}^2/\text{V}\cdot\text{s}$ であるが、人の視覚速度に比べて十分に速いので液晶ディスプレイでは画素のスイッチング素子として使用されている。今日では poly-Si をチャネル層とした poly-Si TFT が FPD 用に盛んに開発されている。poly-Si TFT の特長として、1)自己整合 (セルフアライン) 構造が取れるため、形状の縮小や寄生容量の低減がより可能となり、駆動速度をより速くできる、2)a-Si TFT よりも電界効果移動度が 2 けた程度高いため、電流駆動能力が大きい、3)正孔移動速度が大きいため CMOS 論理回路などが組める事などが挙げられる。これらの特長により、画面の高開口率化、低消費電力化、高解像度化および駆動回路を含む集積化した周辺回路の内蔵化が期待でき、軽量、小型および低コストのディスプレイが可能となった。さらに、poly-Si TFT は液晶表示以外にも有機エレクトロルミネセンス (organic electro luminescence: OEL) を用いたディスプレイの駆動素子への適用が検討されている。

poly-Si TFT にはプロセス温度や使用基板によって、表 3-1 の様に大きく 4 種類に分別される。a-Si をチャネル層として利用した a-Si TFT, poly-Si TFT の中でもプロセス温度が $600 \text{ }^\circ\text{C}$ 以下の TFT は Low-temperature poly-Si TFT (LTPS-TFT)、 $800 \text{ }^\circ\text{C}$ 以上の TFT は High-temperature poly-Si TFT (HTPS-TFT) と呼ばれる。また、Si ウェハ上に形成され移動度が単結晶 Si と同等のものは c-Si TFT と呼ばれている。表 3-1 に各 TFT の特徴を比較した表を示す[1]。

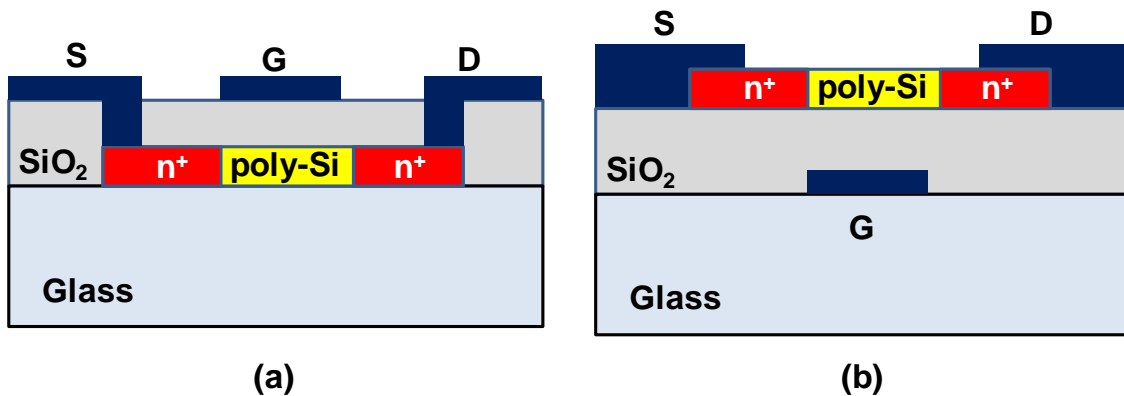


図 3-3. 薄膜トランジスタ

表 3-1. 各種 TFT の特性一覧

	a-Si TFT	LTPS-TFT	HTPS-TFT	c-Si TFT
移動度 [cm ² /V・s]	0.3~1.0	10~600	10~150	300~600
構造	n-ch	n-ch, p-ch, CMOS	n-ch, p-ch, CMOS	n-ch, p-ch, CMOS
基板の種類	無アルカリガラス	無アルカリガラス	石英	Siウエハ
透明性	透明	透明	透明	不透明
基板サイズ[m]	一辺0.5~2	一辺0.4~1	0.15~0.3径	0.15~0.3径
プロセス温度[°C]	100~350	100~600	800~1000	800~1000
コスト	低い	中	高い	高い
長所	<ul style="list-style-type: none"> •低価格 •大面積パネル •様々なサイズのデバイスに対応 •直視型ディスプレイ 	<ul style="list-style-type: none"> •Si LSIの一部代替(スキヤナ, DAC, メモリ) •様々なサイズのデバイスに対応 •インテリジェントディスプレイ可能 •直視型ディスプレイ 	<ul style="list-style-type: none"> •高精細ディスプレイ •投射型ディスプレイ 	<ul style="list-style-type: none"> •高駆動能力と超微細加工を生かし, 高速プロセッサ, 大面積メモリ •投射型ディスプレイ
短所	<ul style="list-style-type: none"> •画素スイッチング用のみ 	<ul style="list-style-type: none"> •プロセスコストがやや高い 	<ul style="list-style-type: none"> •プロセスコストが高い •大面積デバイス困難 	<ul style="list-style-type: none"> •透過型デバイス不可 •大面積デバイス困難

1-2. a-Si の結晶化手法

高性能のメモリ素子を作製するには、メモリ素子の半導体層として poly-Si を利用する必要があるが、poly-Si を形成するためには、a-Si を何らかの方法で結晶化させなければならない。高結晶性の poly-Si 膜をガラスなどの非晶質基板上に低温で直接成膜する方法も存在するがプロセスが容易ではないので、a-Si 膜を低温形成した後、これを結晶化させる技術が多用される。結晶化の方法には図 3-4 に示されるエキシマレーザーの様にレーザーを利用して a-Si 結晶化させる方法と固相結晶成長法 (Solid Phase Crystallization: SPC) や金属誘起横方向結晶成長法 (Metal Induced Lateral Crystallization: MILC) の様に熱処理によって a-Si を結晶化させる方法がある[2]。レーザーを利用した結晶化は大面積化が可能であるが、ランニングコストが増大する問題がある。また、配管を交換するたびにレーザー照射条件が微妙に変化するという操作性の困難さも問題である。poly-Si の観点から見ると、レーザーによる結晶化では poly-Si 表面 (特に結晶粒界) 上に 10 nm~20 nm 大きなラフネスが観測される[3, 4]。フローティングゲートメモリの場合、メモリ構造の厚さは約 25 nm 程度であるため、レーザー結晶化によって発生した結晶粒界によって盛り上がっている部分に電界集中が発生し、メモリ特性の性能、信頼性および特性のばらつきに大きく影響を与える。またレーザー結晶化を行うために、水素を a-Si 中から取り除く脱水素処理を行う必要があるが、この熱処理によって素子作製プロセスが 1 つ増える事やレーザーの操作が非常に難しく、高度な操作技術が必要であるという点も素子作製上の問題点である[1]。

一方、熱処理による結晶化手法の 1 つとして、SPC が挙げられる。a-Si 膜を熱処理炉内で長時間加熱することにより、a-Si 内で結晶核が生成され、結晶核から結晶成長が進行する。SPC はこの結晶核の生成および結晶核からの結晶成長によって、固相状態のまま Si-Si 結合の再結合を促す事で、a-Si を非晶質から結晶へ変化し結晶化させる手法である。SPC は一般的に 600 °C, 24 時間の熱処理によって行われ、作製した TFT の移動度は約 $20 \text{ cm}^2/\text{V}\cdot\text{s}$ 程度である[5, 6]。

また、前駆体 a-Si に金属を導入した状態で熱処理を行うことにより、SPC より低温で結晶化させる手法を、金属誘起結晶法(Metal Induced Crystallization: MIC) という[7, 8]。金属-Si 界面から金属が Si 側へ格子間拡散することによって、Si の化学結合状態が共有結合から金属結合的に変化する。これが低温結晶化を誘起すると考えられている。MIC に用いられる金属としては様々な種類が提案されているが、その中でも低温(~400 °C)でシリサイド化する事と、立方晶で格子定数が Si に近い事から、結晶化の触媒として Ni が一般的に利用されている。Ni がシリサイド化し、ニッケルシリサイド(NiSi₂)結晶の片方が c-Si に、もう片方が a-Si に接した状態で a-Si 側に移動しつつ後方に c-Si を形成している。Ni の化学ポテンシャルは NiSi₂/c-Si 界面に比較して NiSi₂/a-Si 界面のほうが低い事、a-Si に

比べて c-Si の化学ポテンシャルが低い事が結晶化の駆動力となる。NiSi₂ 中の Ni は a-Si 側へ移動しシリサイドを形成，シリサイドの後方には poly-Si が成長していく。poly-Si は格子不整合が最も小さい NiSi₂{111}面からエピタキシャル成長によって Si 結晶化が進行する。a-Si の SPC が 600 °C 前後の温度を要するのに対して，Ni を用いた MIC により結晶化温度は 500 °C まで低減できる。導入する金属量の増加と共に結晶化温度が低下する反面，Ni と直接接触した領域は結晶欠陥および残留 Ni が多く TFT 応用に適さない。そこで，図 3-5 に示される様な，MIC 領域から横方向に結晶した領域を TFT チャネルとして利用する MILC が有効である[9, 10]。

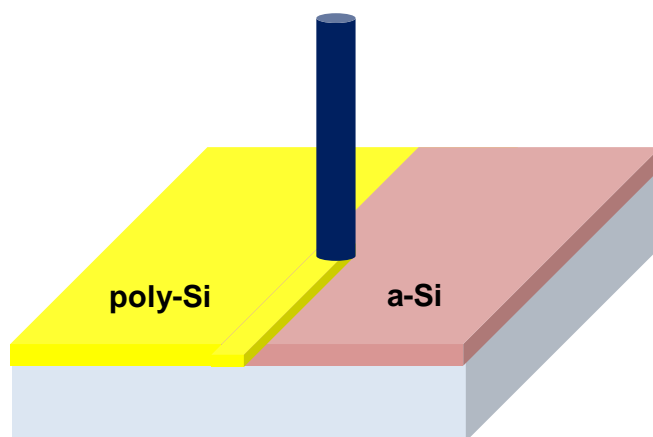


図 3-4. エキシマレーザーを利用した a-Si 結晶化

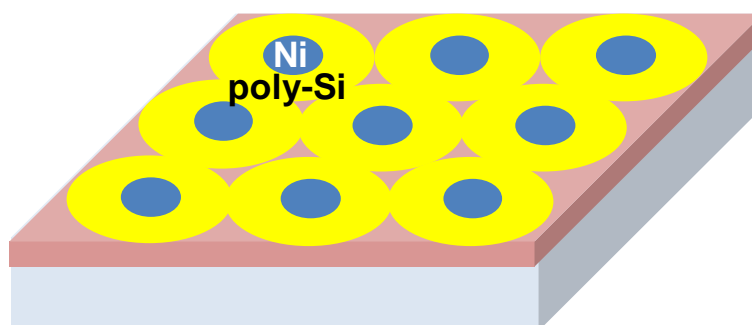


図 3-5. 金属誘起横方向成長法 (MILC)

1-3. フェリチンを利用した a-Si の結晶化

MILC の中でも，poly-Si 中に存在する残留 Ni を減らすために，NiO を内包したフェリチンを利用した MILC が提案されており，この方法は Bio-nano crystallization (BNC)と呼ばれている[11-14]。BNC は図 3-6 に示す様に，NiO を内包したフェリチンを利用して a-Si 上に NiO の結晶核を形成し，熱処理によって結晶核を起点として a-Si を結晶化させる手法である。BNC の特長は表 3-2 に示す様に大きく 3 つ挙げられる。第一に NiO 内包フェリチンを含んだ溶液を a-Si

上へ滴下する事で、a-Si 膜上へ結晶核を形成するため、ウェットプロセスになる。MIC や MILC 法において、Ni パターンは一般的にスパッタ法や EB 蒸着法などの真空プロセスを利用して a-Si 上に形成するため、Ni パターンの形成に時間を要する。一方 BNC の場合、フェリチンを含んだ溶液を滴下した後にフェリチンタンパクを除去するだけで結晶核を形成できるため、プロセス時間の短縮およびコストの期待が削減できる。第二に、フェリチン溶液の濃度を調整する事で、a-Si 膜上への結晶核の吸着密度を制御できる。最後に、7 nm というナノサイズのドットを利用するため、従来の MIC および MILC 法と比較して結晶化後の膜中に残存する金属不純物の低減が期待される。先行研究から、NiO を内包したフェリチンを利用する事で大粒径および高品質の Si 結晶を形成され、残留 Ni の濃度も非常に少ない事が確認されている[11, 12]。

一方、熱処理の方法に関しても新たな方法が提案されている。従来では 550 °C で 24 h 熱処理を行う事で a-Si を結晶化させる方法が一般的であるが、740 °C で 13 s の急速熱処理 (Rapid thermal annealing: RTA) を 3 回行う事で、a-Si の結晶化時間が大幅に短縮している事が立証されている[13, 14]。

また、表 3-2 に示される様に BNC により形成された poly-Si はラフネスが非常に少なく、フローティングゲートメモリの膜厚に対して影響が少ないと期待される[12,13]。さらに、レーザーに比べて大粒径の poly-Si 結晶が形成されているため、特性の向上も期待される。

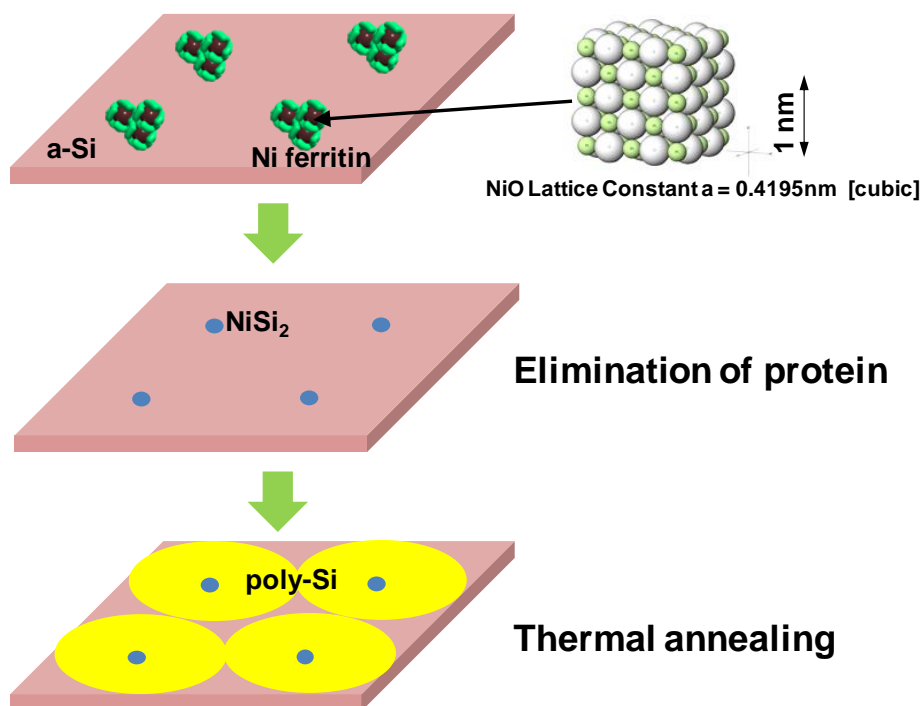


図 3-6. Ni 内包フェリチン利用した a-Si 結晶化 (BNC)

表 3-2. 結晶化手法の比較

	レーザー結晶化	BNC
成長過程	熔融成長	固相成長
脱水素処理	必要	不必要
製造コスト	高い	低い
結晶化時間	数百ナノ秒	数十時間 数分 (RTA)
粒径	~0.5 μm	~8 μm (RTA) 約20 μm (24 hアニール)
ラフネス	10~20 nm	0.2 nm (24 hアニール) 1 nm (RTA)

2. TFT 型フローティングゲートメモリ

2-1. 作製プロセス

図 3-7 に TFT 型フローティングゲートメモリの作製プロセスを示す。本研究で作製されるメモリの poly-Si には粒径の大きさやラフネスの観点から、NiO を内包したフェリチンを利用して結晶化された poly-Si を利用する。特に結晶化のプロセスに関しては、プロセス時間を大きく短縮できる RTA を利用する方法を採用した。フローティングゲートメモリは石英ガラス基板上へ作製を行った。フローティングゲートに利用する金属ナノドットは、フェリチンを利用して低温で容易に形成できる Pt ナノドットを利用した。

1. 50 nm a-Si 付ガラス基板をアセトンおよびメタノールで超音波洗浄を行った後、115°C、酸素流量 0.5 L/min の条件で UV オゾン処理を 10 min 行い、a-Si 表面の光洗浄および親水化を行った。
2. 0.5 mg/ml NiO 内包フェリチン溶液を a-Si 上に滴下し、10 min 放置する事でフェリチンを a-Si 上に吸着させた。
3. 1.と同様の条件で UV オゾン処理を 40 min 行い、タンパク質を除去して a-Si 上に NiO の結晶核を形成した。
4. 740 °C の条件で 13 s の RTA を 3 回行い、a-Si を結晶化させた。この温度は、数秒程度であればガラスの歪みが抑制できると報告されている温度である [15]。
5. フォトリソグラフィで poly-Si パターンを形成し、誘導結合型反応性イオンエ

ッシングを利用して、poly-Si アイランドを形成した。

6. イオン注入を行うために、プラズマ CVD によって poly-Si 上に保護膜となる SiO₂ を 100 nm 堆積した。その後、ソースおよびドレイン領域となる部分に対して選択的にイオン注入を行うために、フォトリソグラフィで SiO₂ 上にゲート領域を形成し、ゲート領域に 100 nm の Ti 薄膜を EB 蒸着によって堆積した。

7. $1.2 \times 10^{15} \text{ cm}^{-2}$ の リン(P)イオンをソースおよびドレイン領域に注入した。(イオン注入は東レリサーチセンターに依頼した[16]。)

8. イオン注入後、希釈フッ酸処理によって表面の Ti 薄膜および SiO₂ を完全に除去した。その後、550 °C の条件下で熱処理を 9 h 行いイオン注入されたソースおよびドレイン領域を活性化させた。

9. トンネル酸化膜の形成を行った。素子の低温形成を目指しているため、トンネル酸化膜となる SiO₂ はプラズマ CVD によって堆積した。3 nm という薄膜をプラズマ CVD で堆積するのは困難であるため、始めに 10 nm-SiO₂ をプラズマ CVD で堆積した後、希釈フッ酸 (55 %-HF : H₂O = 1 : 300) 処理によって、10 nm-SiO₂ を 3 nm までエッチングし、トンネル酸化膜を形成した。

10. トンネル酸化膜上に APTES を吸着させた後、0.5 mg/ml の PtS 内包フェリチン溶液を APTES 上に滴下して 10 min 放置した。その後、余分な PtS 内包フェリチン溶液は純水で洗い落とし、基板をスピンドーターによって乾燥させた。

11. 1.と同様の条件で UV オゾン処理を 1 h 行い、タンパク質を除去した。

12. コントロール酸化膜としてプラズマ CVD で 20 nm-SiO₂ を PtO ナノドット上へ堆積した。堆積条件は 1 章の Pt ナノドット埋込型フローティングゲートメモリの作製の時と同じ条件である。

13. コンタクトホールを形成した後、電極として Ti/Pt 電極を形成した。

14. 400 °C の窒素雰囲気中で PMA 処理を行った。

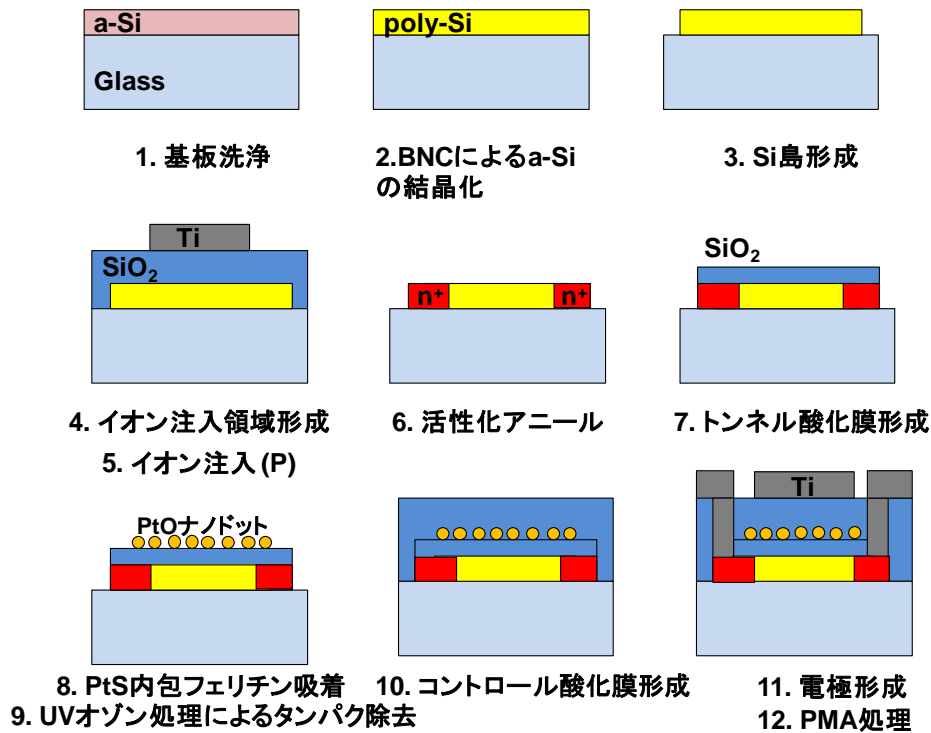


図 3-7. TFT 型フローティングゲートメモリ作製プロセス

2-2. 特性評価

始めにレーザー顕微鏡でメモリの半導体チャンネル層となる poly-Si の表面状態を観察した。poly-Si のレーザー顕微鏡像を図 3-8 に示す。また、図 3-9 の結晶粒径系分布から poly-Si の平均粒径は $4.3 \mu\text{m}$ 、最小粒径が $2.6 \mu\text{m}$ 、最大粒径が $8.3 \mu\text{m}$ である事が確認された。同時に、分散および標準偏差はそれぞれ、 $1.2 \mu\text{m}^2$ および $1.1 \mu\text{m}$ と小さいことが確認された。本研究で作製する TFT のゲート幅およびゲート長はそれぞれ $5 \mu\text{m}$ および $3 \mu\text{m}$ であるため、poly-Si 粒径の上に TFT を作製する場合、TFT のチャンネル層としては十分な大きさの粒径である。また、poly-Si 内に粒径が発生しても、TFT の大きさに対して十分に大きいため、チャンネル内に結晶粒界が存在したとしても、1つのチャンネルに存在する粒界の数が少なくなるため、良好なメモリ特性が得られると考えられる。

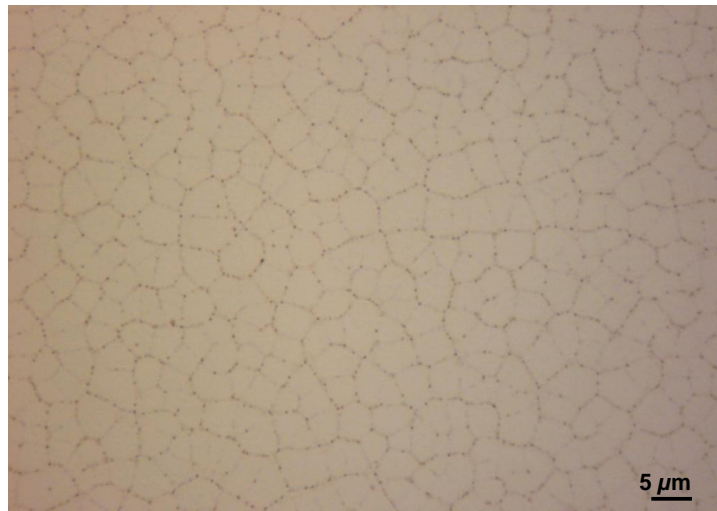


図 3-8. フェリチンを利用して結晶化した poly-Si の顕微鏡像

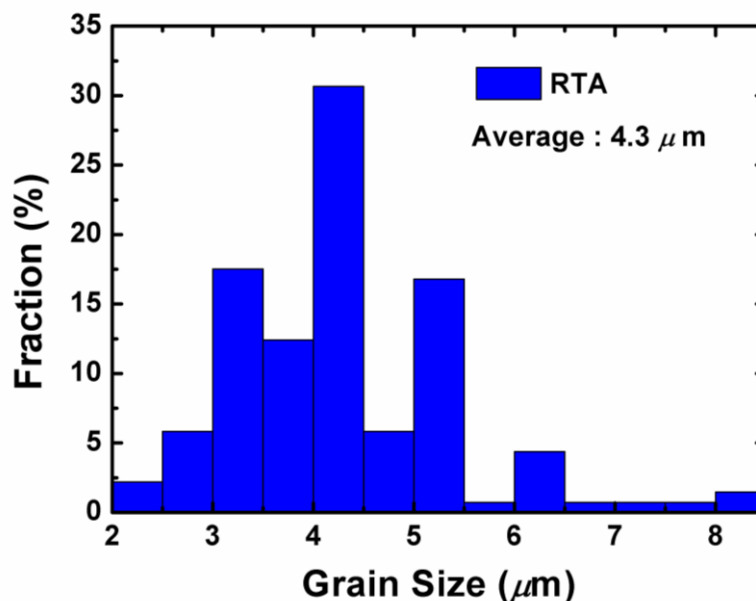


図 3-9. poly-Si の結晶粒径分布

次にプラズマ CVD で形成された SiO₂ トンネル酸化膜上に吸着した Pt ナノドットの SEM 画像を図 3-10 に示す。プラズマ CVD で形成された SiO₂ の場合でも熱酸化膜と同様, Pt ナノドットが吸着している事が確認された。ナノドットの吸着密度は $5.0 \times 10^{11} \text{ cm}^{-2}$ であり, ナノドットは互いに分離している事が確認された。

ナノドットが埋め込まれていない TFT の I_D - V_G 特性を図 3-11 に, I_D - V_D 特性を図 3-12 にそれぞれ示す。TFT のゲート幅は $5 \mu\text{m}$, ゲート長は $3 \mu\text{m}$ であり, この大きさは本研究で作製できる最小の TFT である。また, ドレイン電圧 V_D は 50 mV で測定している。図 3-11 から, 作製した TFT はゲート電圧を 10 V 印加して

もヒステリシスが存在しない TFT である事が確認された。この時のしきい値電圧は 2.3 V, 移動度は $40 \text{ cm}^2/\text{V}\cdot\text{s}$, S 値は 0.5 V/decade であった。図 3-13 にナノドットが埋め込まれた TFT の I_D - V_G 特性を示す。第 2 章で述べた Pt ナノドットが埋め込まれたフローティングゲートメモリと同様, ヒステリシスが存在する I_D - V_G 特性が確認された。このヒステリシスは第 2 章で述べた様に, Pt ナノドット中に電子および正孔が注入される事によって発生するため, 作製した TFT はメモリ特性を有している事が確認された。メモリウィンドウ幅とゲート電圧の関係を示したグラフを図 3-14 および図 3-15 に示す。図 3-14 はメモリウィンドウ幅を電圧方向別に表し, 図 3-15 はトータルのメモリウィンドウ幅を表している。図 3-14 および図 3-15 からゲート電圧が大きくなるにつれて, メモリウィンドウ幅が拡大している事が確認された。図 3-15 からゲート電圧が 4 V 以上になると, 正電圧方向および負電圧方向に対するメモリウィンドウ幅がほぼ飽和している事が確認された。この事から, ゲート電圧が 4 V の時点で, Pt ナノドットに注入される電子および正孔の量がほぼ飽和していると考えられる。また, 7 V で負電圧方向に対するメモリウィンドウ幅が増加しているが, 正電圧方向に対するメモリウィンドウ幅が減少しているため, 単に I_D - V_G 特性が負電圧方向に移動しただけで, メモリウィンドウ幅や Pt ナノドットに注入される電荷量は, ほとんど増加していないと考えられる。

図 3-16 に作製したメモリの書込および消去特性を示す。ゲート電圧は図 3-15 で最大のメモリウィンドウ幅が得られた 7 V と, この電圧よりも小さいゲート電圧 6 V である。ゲート電圧が増加すると, 書込および消去速度が早くなり, しきい値電圧のシフト量も増加している事が確認された。ゲート電圧が 7 V の場合, 書き込み速度は $100 \mu\text{s}$, 消去速度 $100 \mu\text{s}$ である事が確認された。

図 3-17 に作製したメモリの電荷保持特性を示す。測定方法は第 2 章で述べた方法と全く同じ方法で行った。書込は +7 V で 100 ms, 消去は -7 V で 100 ms 行った。電荷注入直後のメモリウィンドウ幅は 1.8 V であるが, 10^4 s 後には 0.5 V まで減少した。また, この電荷保持特性から, 注入された電荷は $2 \times 10^6 \text{ s}$ 保持される事が予測された。この値は従来のフェリチンを利用したフローティングゲートメモリに比べて大幅に改善されており, プラズマ CVD で形成されたトンネル酸化膜でも十分にメモリに応用できる事が確認された。

図 3-18 に作製したメモリの信頼性を示す。評価の方法は第 2 章で述べた方法と全く同じである。書込パルスは +7 V で 10 ms, 消去は -7 V で 10 ms である。図 3-18 から書込および消去を繰り返すにつれて, しきい値電圧が正電圧方向にシフトしている事が確認された。書込および消去を繰り返す事によって, ゲート酸化膜中に負のトラップ電荷が発生したと考えられる。しかし, しきい値電圧のシフト量は 10^5 回繰り返しても 0.4 V と小さい。またメモリウィンドウ幅も, 書込

および消去前は 2.2 V であるが, 10^5 回書込および消去を繰り返した後は 2.0 V であり, ほとんど変化していない。以上の結果から, 本研究で作製したメモリは信頼性が高い事が確認された。

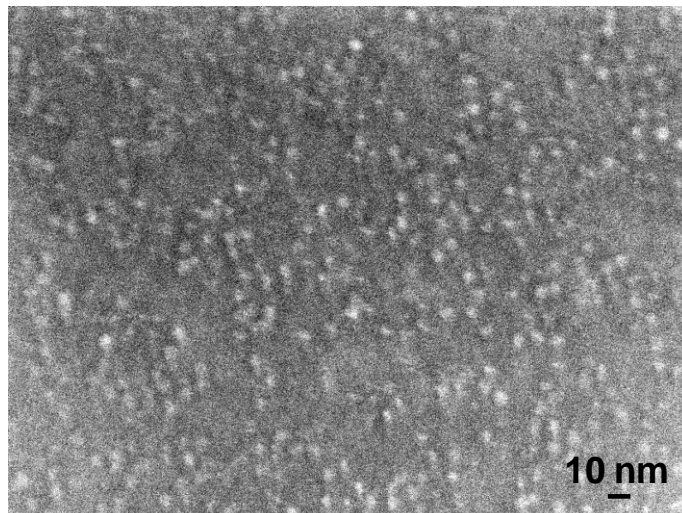


図 3-10. SiO₂ 上に吸着した Pt ナノドットの SEM 像

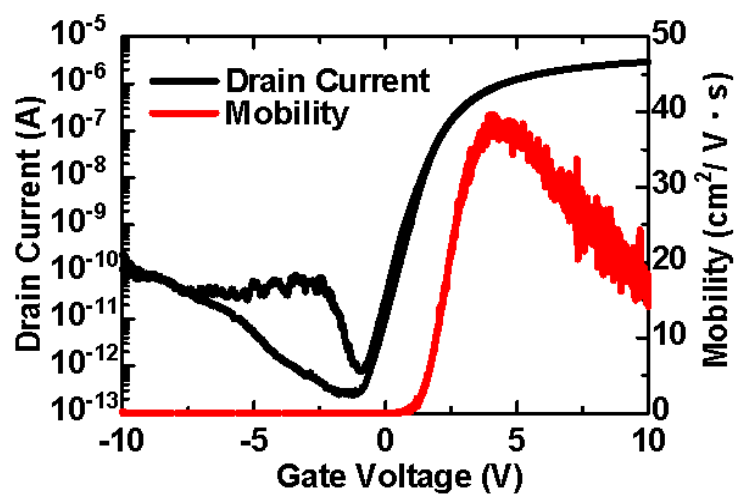


図 3-11. Pt ナノドットが埋め込まれていない TFT の I_D - V_G 特性

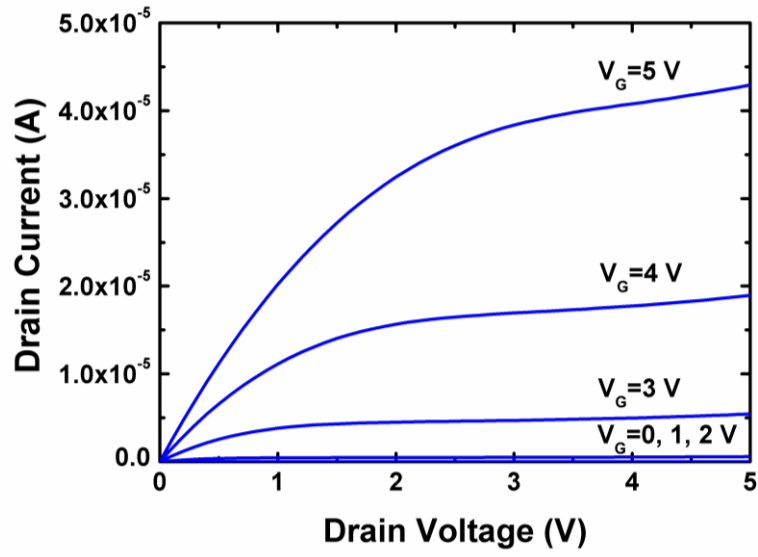


図 3-12. Pt ナノドットが埋め込まれていない TFT の I_D - V_D 特性

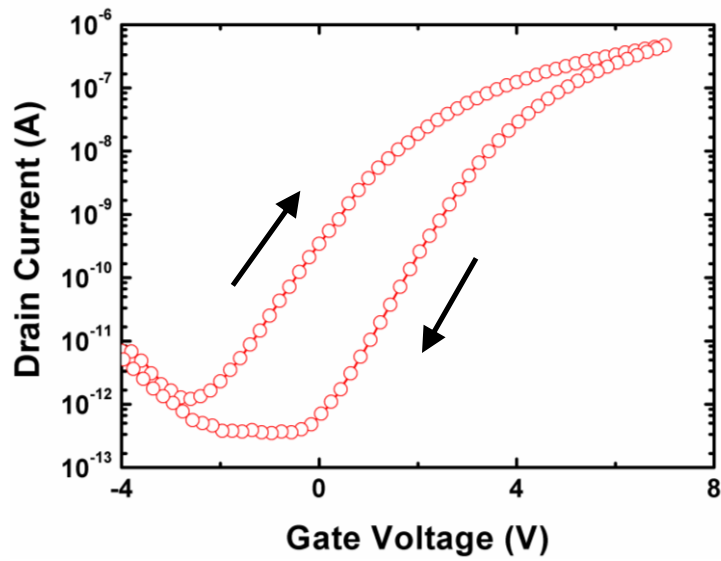


図 3-13. TFT 型フローティングゲートメモリの I_D - V_G 特性

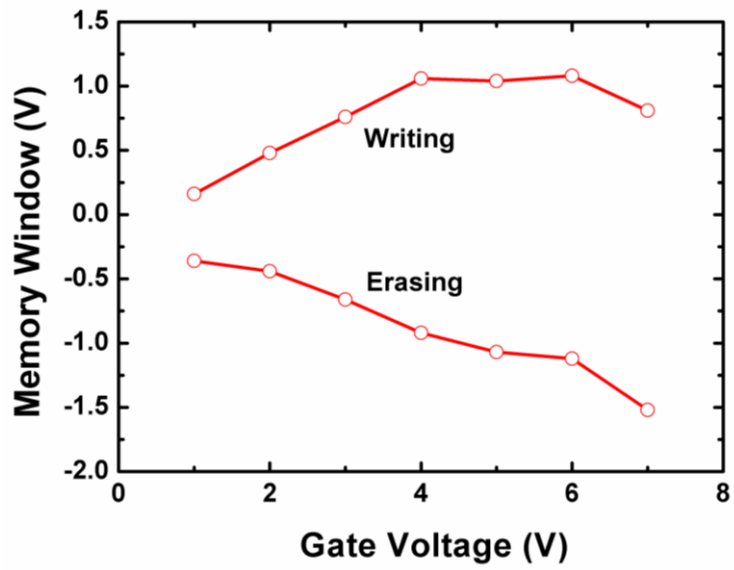


図 3-14.メモリウィンドウ幅の電圧依存性 (電圧方向別)

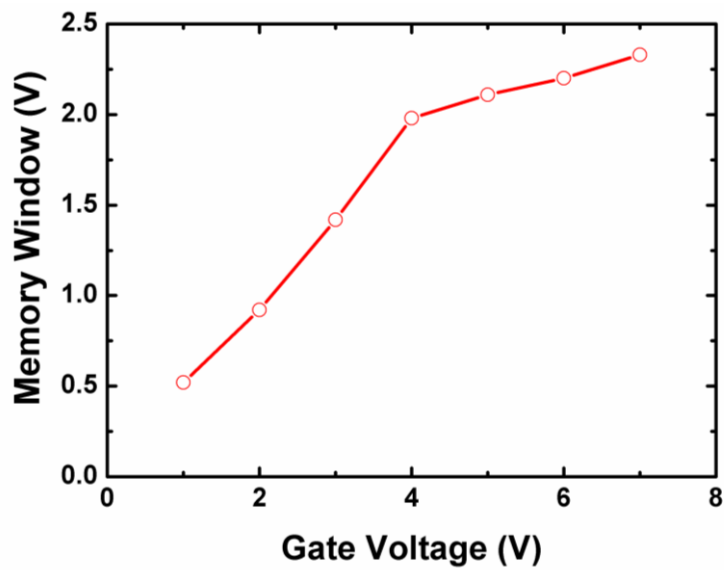


図 3-15.メモリウィンドウ幅の電圧依存性 (トータル)

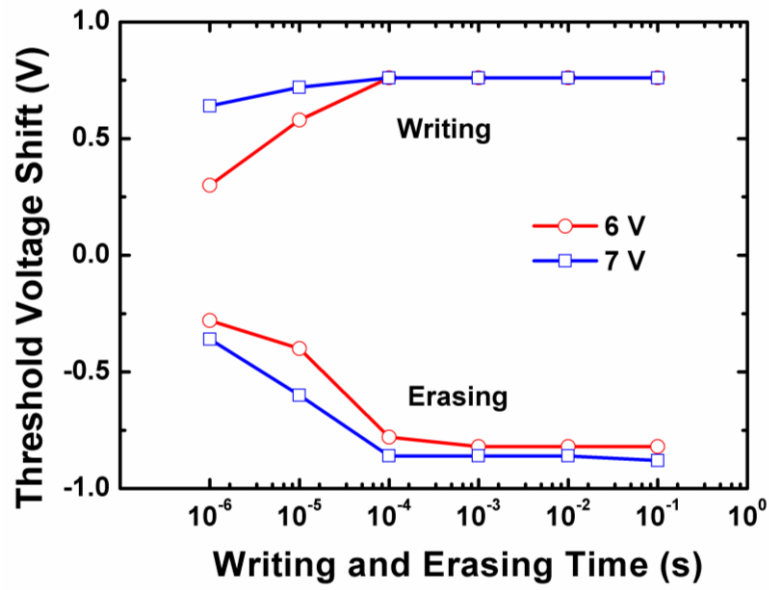


图 3-16. 書込/消去特性

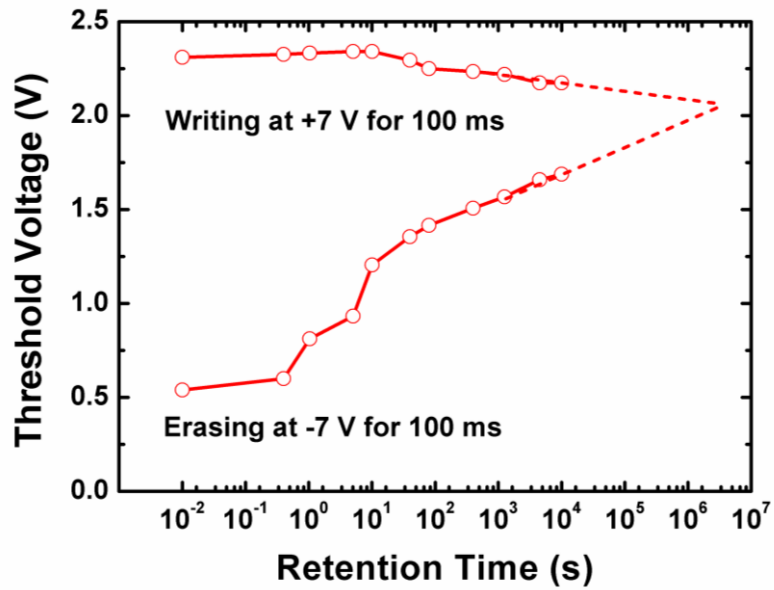


图 3-17. 電荷保持特性

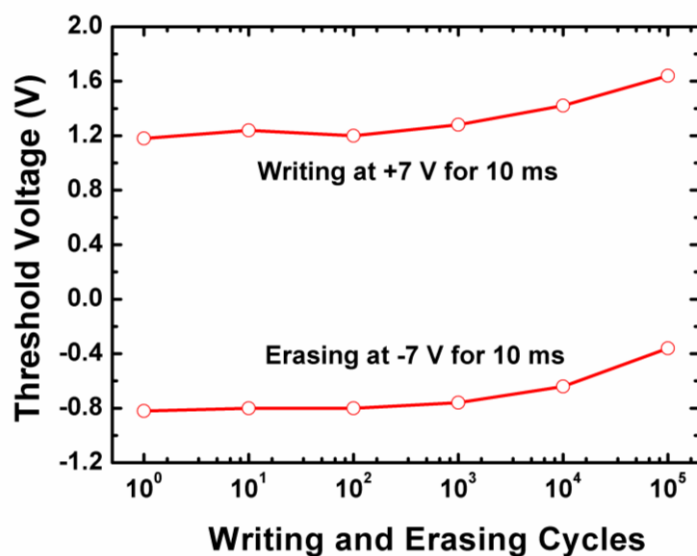


図 3-18.信頼性評価

上記で述べたメモリ特性から、今回作製した TFT 型フローティングゲートメモリは以前に作製された TFT 型フローティングゲートメモリよりも低電圧駆動、高速動作および高信頼性である事が確認された。先行研究の TFT 型フローティングゲートメモリは書込および消去電圧がそれぞれ, +11 V および -7 V で書込および消去時間が 1 ms であった。また電荷保持特性は約 4500 s と、電荷保持特性が良好ではないメモリであった[17]。しかし、本研究で作製したメモリの書込および消去電圧はそれぞれ, +7 V および -7 V と書込電圧が小さくなった上に、書込および消去時間が 100 μ s と提案されているメモリの 1/10 になった。一方、電荷保持特性は約 4500 s に対して 2×10^6 s と大幅に向上された。以上の結果から先行研究のフェリチンを利用した TFT 型フローティングゲートメモリよりも高性能および高信頼性のメモリを実現する事ができた。

性能向上の要因として、Pt ナノドットをフローティングゲートに利用した事と半導体層に BNC 法で結晶化された poly-Si を利用した事が挙げられる。Pt ナノドットをフローティングゲートに利用する事によってメモリ特性が向上する理由は既に第 1 章で述べている。

また、メモリ特性が向上した理由として考えられるのが、poly-Si によるものであると考えられる。先行研究の TFT 型フローティングゲートメモリは SPC により結晶化された poly-Si が利用されていた。SPC の場合、結晶粒径が非常に小さく、1つの Si アイランド中に多数の結晶粒界が存在する。TFT の場合、半導体層を移動する電子が poly-Si 中に存在する捕獲準位に捕獲される事で、チャンネル層を通じてソース電極からドレイン電極に到達する電子の量が減少し、電気特性が劣化する[18]。メモリ特性の観点から見ると、電荷はナノドットに注入される

前に半導体層に存在する捕獲準位にトラップされる。特に結晶粒界が多くなると捕獲準位が増えるため、捕獲準位にトラップされる電子が多くなる。その結果、ナノドット中に注入される電荷量が減少するため、メモリウィンドウ幅の減少につながる。また、一定の電荷量をナノドット中に注入したい場合、捕獲準位に捕獲される電荷量も考慮して、多くの電荷を半導体表面へ誘起しなければならないため、書込および消去に必要な電圧が増加するだけでなく書込および消去時間も増加する。

しかし、BNCを利用して結晶化された poly-Si を半導体層として利用した場合、5 μm と SPC に比べてはるかに大きな粒径の結晶を得る事ができた。1つの Si アイランド中に存在する結晶粒界は SPC に比べてはるかに少ないため、poly-Si 中に存在する捕獲準位の量が減少したと考えられる。従って、捕獲準位に捕獲される電荷量は SPC に比べて大きく減少し、ナノドット中に注入される電荷量が増加する。また、一定の電荷量をナノドット中に注入したい場合、捕獲準位が少ないため、低電圧で多くの電荷をナノドット中に注入できたと考えられる。

以上の理由によって、BNCを利用して結晶化された poly-Si を利用する事で、メモリウィンドウ幅の増加、書込および消去電圧の低電圧化および書込および消去時間の減少が可能になったと考えられる。

3. まとめ

本研究では初めてフェリチンを利用して、ガラス基板上にナノドット型フローティングゲートメモリを作製した。RTA を利用した BNC で結晶化された poly-Si および Pt ナノドットを利用する事で、先行研究のフェリチンを利用した TFT 型ナノドットフローティングゲートメモリよりも高性能および高信頼性のメモリを実現した。この方法を応用すれば、ガラスだけではなくプラスチック基板上にもフローティングゲートメモリを作製する事ができ、高性能フレキシブルディスプレイの実現に大きく貢献すると期待される。

4. 参考文献

- [1] 鶴飼育弘, “薄膜トランジスタ技術の全て”, 工業調査会 (2007)
- [2] T. Sameshima, and S. Usui, J. Appl. Phys. **70** (1991) pp.1281.
- [3] Y. Sugawara, Y. Uraoka, H. Yano, T. Hatayama, T. Fuyuki, and A. Mimura, Jpn. J. Appl. Phys. **46** (2007) pp.L164.
- [4] Y. Kawamura, K. Yamasaki, T. Yamashita, Y. Sugawara, Y. Uraoka, and M. Kimura, J. Korean. Phys. Soc. **56** (2010) pp.1456.
- [5] T. W. Little, K. Tanaka, H. Koike, T. Nakazawa, I. Yudasaka, and H. Ohshima, Jpn. J. Appl. Phys. **30** (1991) pp.3724.

- [6] A. Yin, and S. J. Fonash, IEEE Electron Device Lett. **15** (1994) pp.502.
- [7] R. C. Cammarata, C. V. Thomson, C. Hayzelden, and K. N. Tu, J. Mater. Res. **5** (1990) pp.2133.
- [8] C. Hayzelden and J. L. Batstone, J. Appl. Phys. **73** (1993) pp.8279
- [9] S. Y. Yoon, S. J. Park, K. H. Kim, J. Jang, and C. O. Kim, J. Appl. Phys. **87** (2000) pp.609.
- [10] J. Jang, S. J. Park, K. H. Kim, B. R. Cho, W. K. Kwak, and S. Y. Yoon, J. Appl. Phys. **88** (2000) pp.609
- [11] 本学 桐村浩哉 博士学位論文 (2005)
- [12] 本学 南条泰弘 修士学位論文 (2007)
- [13] 本学 越知誠弘 修士学位論文 (2008)
- [14] K. Yamasaki, M. Ochi, Y. Sugawara, I. Yamashita, and Y. Uraoka, J. Korean. Phys. Soc. **56** (2010) pp.842.
- [15] S. Jurichich, T. J. King, K. Saraswat, and J. Mehlhaff, Jpn. J. Appl. Phys. Part 2. **33** (1994) pp.L1139-L1141.
- [16] 本学 菅原祐太 博士学位論文 (2009)
- [17] K. Ichikawa, M. Fujii, Y. Uraoka, P. Panchaietch, H. Yano, T. Hatayama, and T. Fuyuki, J. Korean. Phys. Soc **54** (2009) pp. 554-557.
- [18] 薄膜材料デバイス研究会, “薄膜トランジスタ”, コロナ社 (2008)

第4章

Bio-LBL法を利用した積層ナノドット型フローティングゲートメモリの作製および評価

1. はじめに

ナノドット型フローティングゲートメモリにおいて、ナノドットの吸着密度を増大すると、注入される電荷の量が増大し、高性能および高信頼性のメモリを実現する事ができるため、ナノドットの吸着密度を増大させる事は非常に重要である。フェリチンを利用したナノドットの吸着密度はフェリチンの吸着密度に依存する。フェリチンは最密充填に吸着させた際の理論限界密度が $8.0 \times 10^{11} \text{ cm}^{-2}$ であるため、フェリチンを利用してナノドット層を形成する場合、この値以上の吸着密度を実現する事は不可能である[1,2]。この値以上の吸着密度を実現するためには、ナノドット層を積層させる事で吸着密度を増大させる必要がある。

ナノドット層を積層させる事で、ナノドットの吸着密度が増加し、ナノドット層に注入される電荷量が増大すると期待される。またナノドットを積層させる事で注入された電荷がバックトンネリングしにくい構造を形成する事ができるため、電荷保持特性および信頼性の向上が期待される。

本研究ではナノドット層を積層させる方法として、図4-1に示すBio-LBL法と呼ばれるフェリチンの積層化手法を利用する[3-5]。Bio-LBL法はTitanium-Binding Ferritin (TBF) と呼ばれる特殊なフェリチンを使用して、フェリチンの積層構造を形成する手法である。TBFはチタン(Ti)、銀(Ag)およびシリコン(Si)にのみ吸着するペプチド、Titanium-Binding Peptide (TBP)をフェリチンに提示したものである[3-5]。

本研究ではBio-LBL法を利用して電荷保持層を積層ナノドット構造とした積層ナノドット型フローティングゲートメモリの作製を行い、電荷注入量の増大およびメモリの電荷保持特性の改善を研究目的とした。

2. Bio-LBL法

2-1. ファージディスプレイ法

TBPはファージディスプレイという手法で取得されており、ファージディスプレイの取得過程を図4-2に示す。始めにランダムなアミノ酸配列を提示したM13ファージライブラリをTiに吸着させる。遠心によって上清にあるTiに吸着しないファージを除去した後、Tiに吸着したファージを強酸条件にさらし、Tiから解離させて回収する。回収したファージを大腸菌に感染させると、感染した大腸菌が分裂を繰り返すため、Tiに吸着するファージが増殖する。その後、大腸菌からフ

ファージを取り出し、再びTiに吸着させる。上記のTiへのファージ吸着、回収および大腸菌への感染、増幅を繰り返す事によって、ファージ集団は次第にTiへの親和性が高いファージを多く含む集団になる[6]。

芝らはこの操作によって、Tiに対して特異的に吸着するTBP-1を取得した。配列は、NH₂-Arg-Lys-Leu-Pro-Asp-Ala-Pro-Gly-Met-His-Thr-Trp-COOHと親水性の側鎖を持つアミノ酸残基が多い。ここで、Argはアルギニン (R), Lysはリシン (K), Leuはロイシン (L), Proはプロリン(P), Aspはアスパラギン酸 (D), Alaはアラニン (A)である。芝らはさらに、アラニンスキヤニングと呼ばれる方法によって、TBP-1のチタン結合には上記の配列の中でも特に、前半6アミノ酸残基(NH₂-R-K-L-P-D-A-COOH) が結合に必要な最小配列である事を明らかにしている[7]。

TBPは図4-3に示す様に、R-K-L-P-D-Aの6つのアミノ残基で形成されている。これら6つのアミノ残基の内、RおよびKは正の電荷を持ち、Dは負の電荷を持つ。Tiなど特定の材料への結合にはR、PおよびDが大きく関与していると提案されている。TBFが含まれた溶液がTi表面に滴下されると-Ti-O⁻および-Ti-OH₂⁺が発生するが、-Ti-O⁻は負の電荷を持ち-Ti-OH₂⁺は正の電荷を持つ。一方、TBPの吸着機構に関して、PがRおよびDをTi表面に向ける様にTBPの構造を曲げている。従って、Rが-Ti-O⁻に吸着しDが-Ti-OH₂⁺に吸着する事で、TBFがTiに吸着する [8]。またTBFは自発的にSiO₂などの無機物を構成するバイオミネラリゼーションという能力を持つ[9-11]。これはペプチドのKが関与していると報告されているが、SiO₂形成の詳細なメカニズムに関しては現在明らかになっていない[9, 10]。

2-2. Bio-LBL法

特定材料への吸着能力とバイオミネラリゼーションを利用する事により、TBFとSiO₂の積層構造を形成する事ができる[11]。従って、TBF内部にナノドットを形成しておけば、タンパク質を除去した際にナノドットとSiO₂の積層構造が形成され、図4-1に示すようなナノドット層が積層された構造(積層ナノドット)がゲート酸化膜中に埋め込まれた積層ナノドット型フローティングゲートメモリを作製できる。

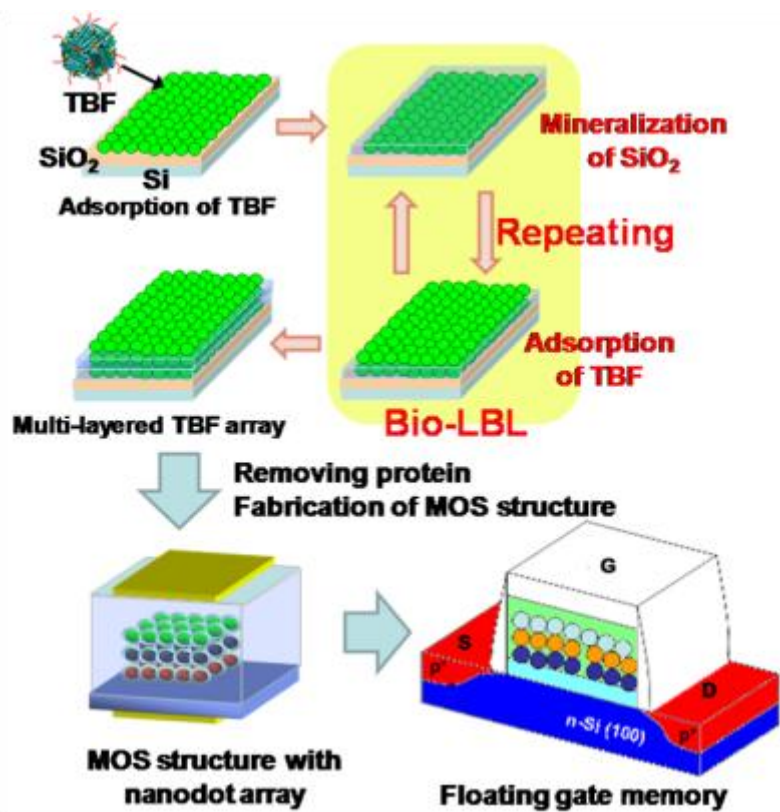


図 4-1. Bio-LBL 法を利用した積層ナノドット型フローティングゲートメモリの作製プロセス

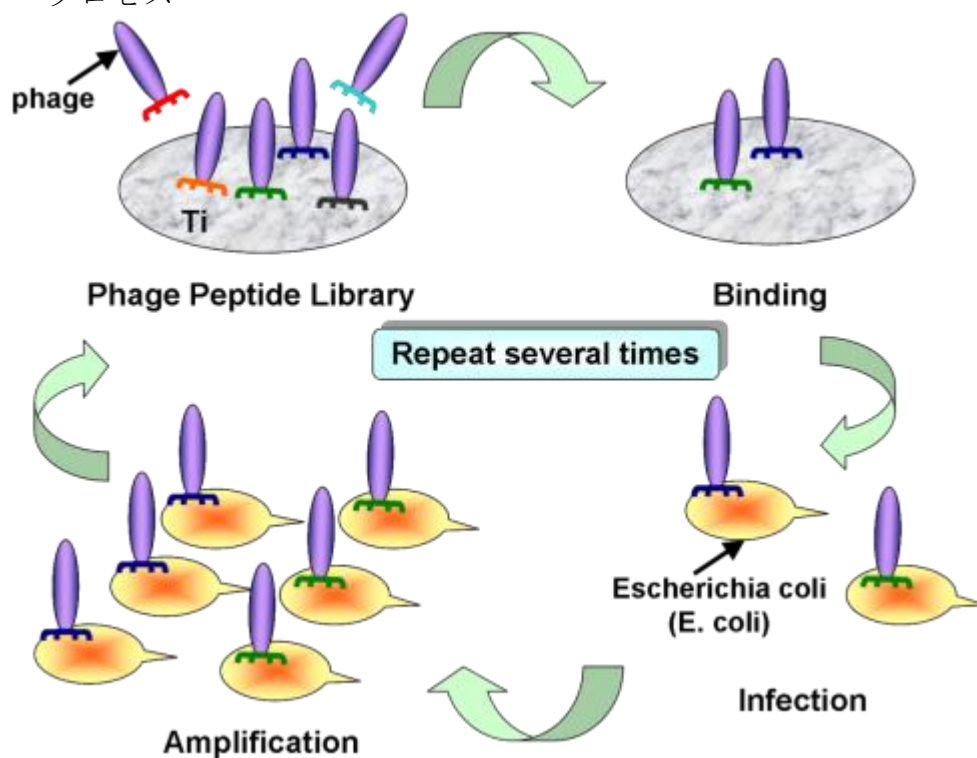


図 4-2. ファージディスプレイ法による TBP の取得方法

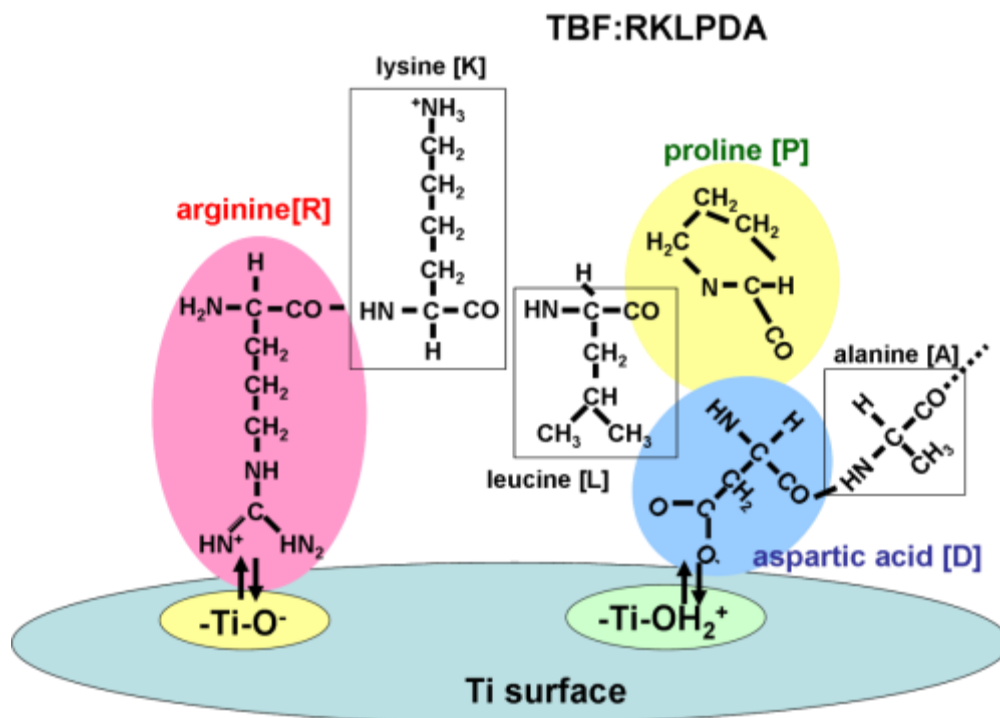


図 4-3. TBF の吸着機構

積層ナノドット層を形成するためのBio-LBL法を図4-4に示す。

1. 3 nm熱酸化膜付きp-Si (100) 基板を115°Cの条件でUVオゾン処理10 min行った後、基板上へ濃度0.5 mg/mlのTBF溶液を滴下し、TBFを熱酸化膜上へ吸着させた。
2. サンプルを50 mM Tris-HCl (pH. 8.0)で2回洗浄した後、1 mM HClとTetramethoxysilane (TMOS) の混合溶液中に浸漬させた。この時、TBFのバイオミネラリゼーション能力によって、TBF表面に中間層となる極薄のSiO₂膜が形成された。
3. サンプルを再び50 mM Tris-HClで2回洗浄した後、再び0.5 mg/mlのTBF溶液を中間層へ滴下し、TBFを中間層へ吸着させた。
4. 2および3の操作を繰り返すことにより、TBF層および極薄のSiO₂を交互に積層させた。

5. 最後に4000 rpmの遠心を1 min行い, 余分な水分を除去した。

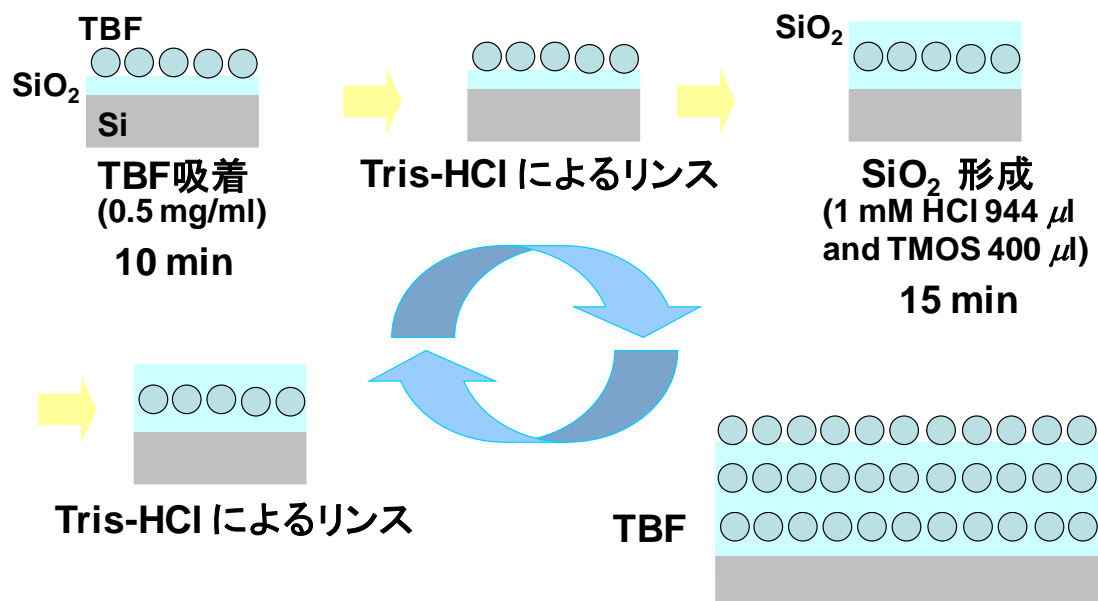


図 4-4. Bio-LBL 法のプロセス

3. SiO₂ に対するナノドットの吸着評価

SiO₂上に吸着した, FeおよびCoナノドットのSEM画像をそれぞれ図4-5および図4-6に示す。まず, SiO₂の表面状態によってナノドットの吸着密度が変化するかを調べた。UVオゾン処理を施していないSiO₂上に吸着したCoナノドットおよびFeナノドットのSEM画像を, それぞれ図4-5(b)および図4-6(b)に示す。本研究では500°Cの窒素雰囲気中で熱処理を1 h行う事で, タンパク質を除去した。図4-5(a)および図4-6(a)からFeおよびCoナノドットの吸着密度はそれぞれ, $7.6 \times 10^{11} \text{ cm}^{-2}$ および $7.7 \times 10^{11} \text{ cm}^{-2}$ であった。これらの値は共に理論最大吸着密度である $8.0 \times 10^{11} \text{ cm}^{-2}$ とほぼ同等の吸着密度であり, TBFを利用する事で, SiO₂上に高密度のナノドット配列を形成できる事が確認された。また, 各々のナノドットは完全に隔離されており, フローティングゲートメモリの電荷保持ノードとして十分に利用可能である事が確認された。Feナノドットの場合, 図4-5(b)に示す様にUVオゾン処理を施していないSiO₂に対しては吸着密度が減少する。一方, Coナノドットの場合, 図4-6(b)に示す様にUVオゾン処理の有無に関わらず, ナノドットの吸着密度は変化しない。フェリチンに内包されている無機物がFeナノドットの場合, $5\text{Fe}_2\text{O}_3 \cdot 9\text{H}_2\text{O}$ と水和物であるのに対して, Coナノドットの場合 Co_3O_4 と完全に酸化物である。この無機物の状態の違いが, 吸着密度に影響を与えていると考えられる。このUVオゾン処理の有無によって吸着密度が変化する事は, ナノドットを積層させる順番を決定する際に非常に重要なことである。Coナノドットの場合, UVオゾン処理の有無に関わらず, SiO₂表面に対して高密度に吸着され

ている事が確認されたため、バイオミネラリゼーションによって形成されたSiO₂中間層上にも高密度のナノドット層を形成できると考えられ、高密度の積層ナノドット構造を形成できると考えられる。そこで、1種類の金属ナノドット層が積層された積層ナノドット型フローティングゲートメモリを作製する場合にはCoナノドットを利用した。

通常フェリチンを利用してナノドット層を形成する場合、タンパク質の除去はUVオゾン処理で行う。図4-7に1hのUVオゾン処理によってタンパク質を除去した後のFeナノドットおよびCoナノドットの状態をそれぞれ図4-7(a)および図4-7(b)に示す。Feナノドットの場合、ナノドット同士が完全に凝集している事が確認された。またCoナノドットの場合、ナノドットの吸着密度が熱処理によってタンパク質を除去した場合に比べて、Coナノドットが凝集し、見かけの吸着密度が減少している事が図4-7(b)から確認された。UVオゾン処理によってナノドットが凝集する現象は、フェリチンより一回り小さいリステリアフェリチンに関して、山田らが確認している。山田らによると、UVオゾン処理の場合、タンパク質除去の際に熱処理に比べて大きなエネルギーが発生するため、タンパク質除去中にナノドットが大きく動き、隣に存在するナノドットとの間で凝集したと報告している[12]。TBFを利用したナノドット形成の場合、通常フェリチンの場合よりも高密度に吸着するため、UVオゾン処理中にナノドットが動いた際に、隣のナノドットと簡単に凝集すると考えられる。従って、TBFを利用したナノドット形成の場合、UVオゾン処理によるタンパク質の除去を試みると、図4-7の様にナノドットが凝集したと考えられる。以上の結果から、窒素雰囲気中での熱処理によってタンパク質を除去する事で、ナノドットの凝集が発生していない高密度のナノドット層を形成できた。

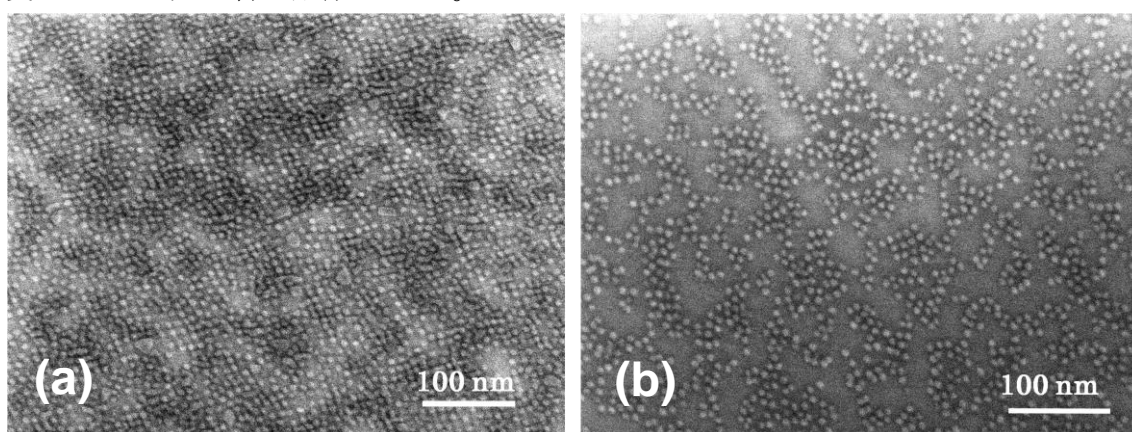


図 4-5. SiO₂に吸着した Fe ナノドットの SEM 像
SiO₂に対する UV オゾン処理 (a) あり (b) なし

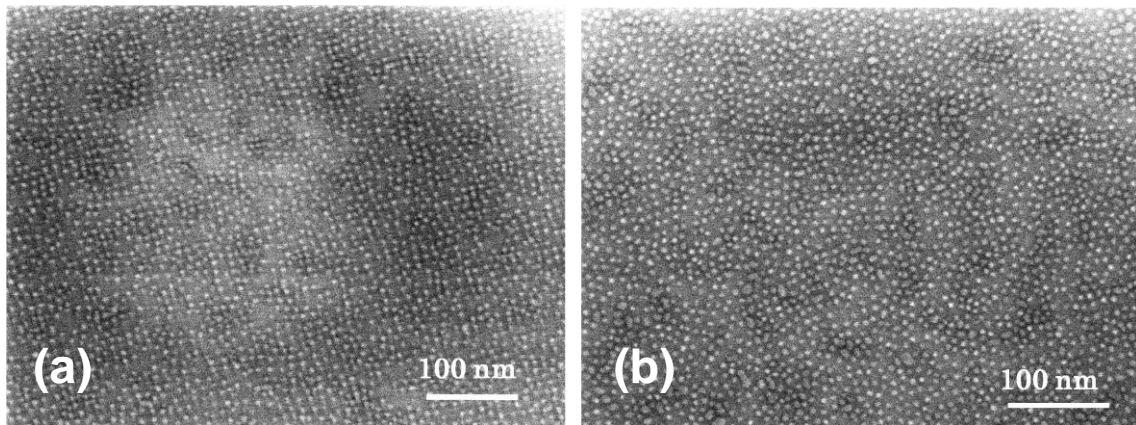


図 4-6. SiO₂に吸着した Co ナノドットの SEM 像
SiO₂に対する UV オゾン処理 (a) あり (b) なし

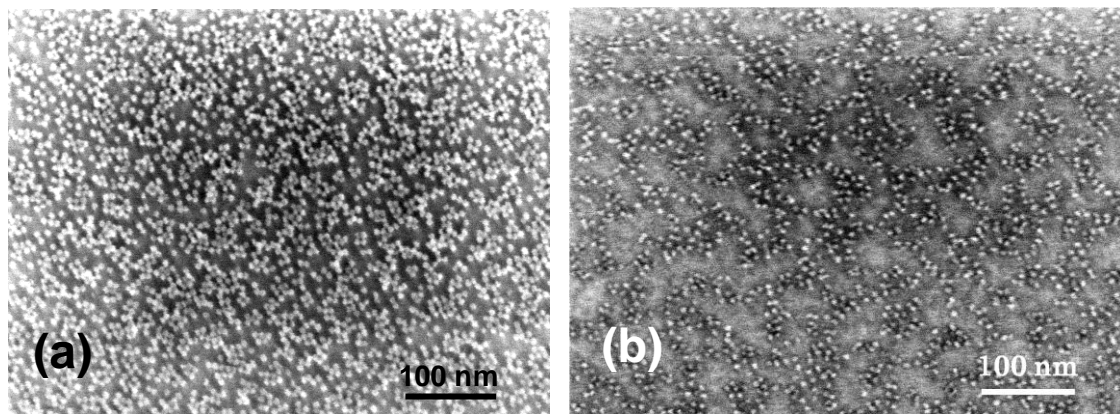


図 4-7. UV オゾン処理によるタンパク除去で形成したナノドット
(a) Fe ナノドット (b) Co ナノドット

4. 水素雰囲気中での熱処理によるナノドットの還元

第3章まではPtナノドットを使用したフローティングゲートメモリの作製を行った。PtS内包フェリチンを利用したメモリ作製の場合、MOS構造の形成過程で簡単にPtに還元されるため、還元処理が不要であった。しかし、Bio-LBL法を利用したフローティングゲートメモリの作製においてTBFはPtSを内包する事ができないため、Ptナノドット層を積層させたメモリは作製できない。従って、メモリを作製する際には、TBFが内包できるFeおよびCoを使用した。しかし、FeおよびCoナノドットはそれぞれ、フェリチン内部に $5\text{Fe}_2\text{O}_3 \cdot 9\text{H}_2\text{O}$ および Co_3O_4 という酸化物の形で内包されているため、これらの酸化物を水素雰囲気中での熱処理によって還元して金属Feおよび金属Coを形成する必要がある。

水素4%雰囲気中でのRTAによって Co_3O_4 をCoに還元する方法が提案されているが[13]、本研究では水素100%で熱処理を行う事で Fe_2O_3 および Co_3O_4 をそれぞれFeおよびCoに還元する事を試みた。還元処理は650°Cの水素雰囲気中で1h行っ

た。サンプルは図4-8に示す様に、3 nm熱酸化膜付きp-Si (100)上にナノドットを形成し、その上にプラズマCVDによって3 nm-SiO₂を堆積したナノドット埋込型MOS構造を形成した。ナノドットの還元状態はXPSで測定した。図4-9(a)および図4-9(b)は、それぞれFeおよびCoナノドットの還元状態を表したXPSスペクトルである。比較として、従来の還元方法である800 °C、水素4 %雰囲気での熱処理を10 min行い、この還元処理によるFeおよびCoナノドットの還元状態も合わせて図4-9 (a)および図4-9 (b)に示す。

金属FeおよびCoを示すXPSピークはそれぞれ707eV、778 eVであるが、還元処理前はこれらの結合エネルギーにピークは見られていない[13]。800 °C、4 %の水素雰囲気中で熱処理を行った場合、CoのXPSピークが778 eV側にシフトしていることが確認された。これは水素雰囲気中での熱処理によって、Co₃O₄ナノドットの一部がCoに還元された事によりシフトしていると考えられる。一方、Feに関して、800 °C、4%の水素雰囲気中での還元処理を行った場合、還元処理前と同様のピークが観測されており、還元処理が全く行われていない事が確認された。

続いて水素100 %で還元処理を行った場合、FeのXPSスペクトルに関して707 eVにピークが確認された。またCoのXPSスペクトルに関して778 eVにピークが観測された。Feに関しては712 eV付近にブロードなピークが現れているため、完全に還元されているとは言えないが、ナノドットの中心を金属Feとして考慮できる程度に還元されている事が確認された[14]。Coに関しては778 eVにのみピークが観測されているため、完全にCoに還元されている事が確認された。

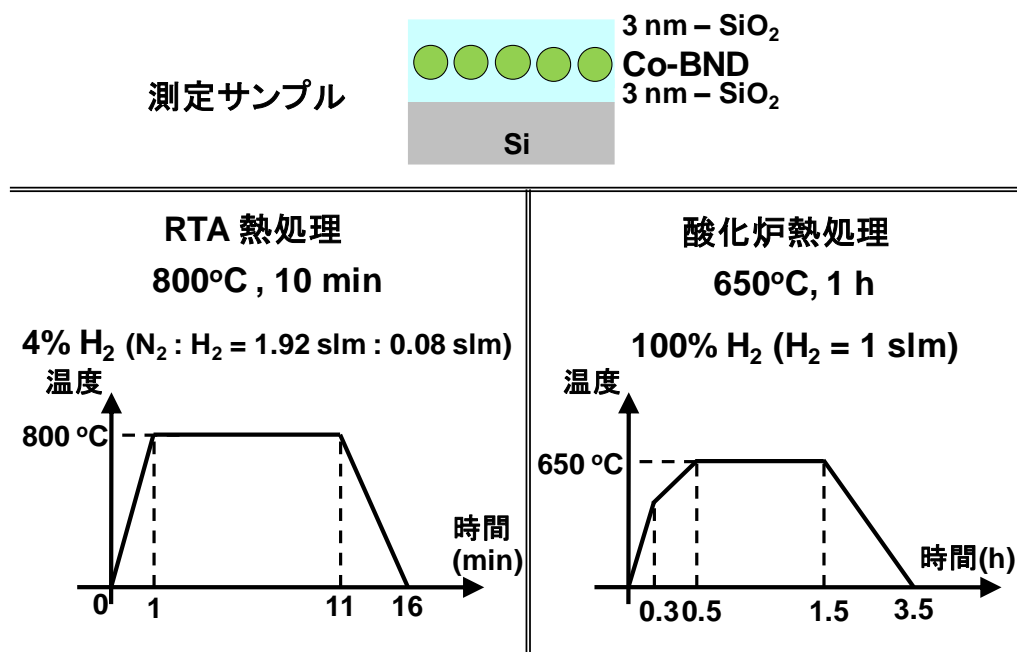


図 4-8. 還元処理の条件および測定サンプルの断面構造

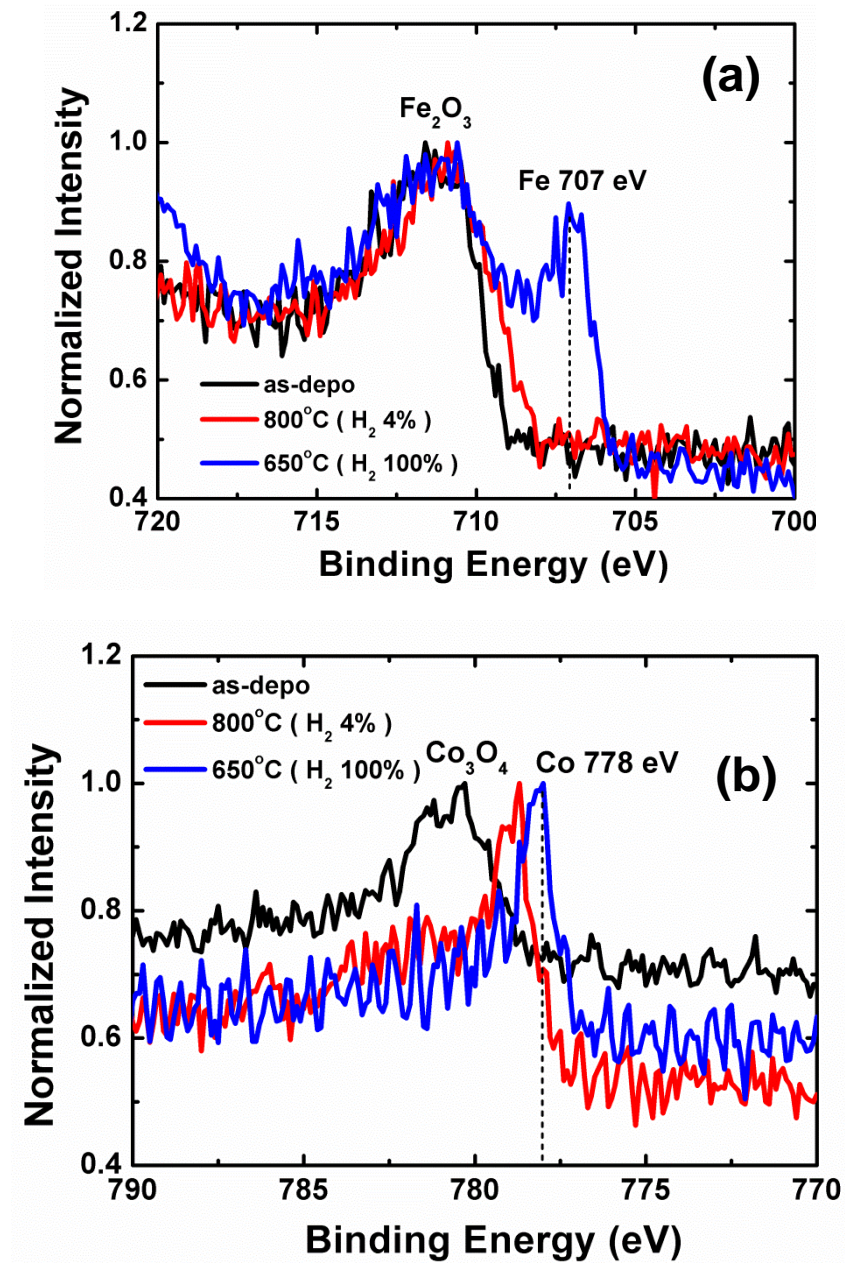


図 4-9. 還元処理後の XPS スペクトル(a) Fe 2p (b) Co 2p

5. 積層 Co ナノドット型フローティングゲートメモリの特性評価

5-1. 作製プロセス

MOSキャパシタおよびMOSFETの作製プロセスは第1章で述べた方法とほぼ同じであるが、 Fe_2O_3 および Co_3O_4 を還元しなければならないため、還元処理をプロセスに加えた。MOSキャパシタの作製プロセスを図4-10に、MOSFETの作製プロセスを図4-11に示す。

1. 3 nm熱酸化膜付p-Si (100) 基板の上に、ナノドット層が内包されたTBFの積層構造をBio-LBL法で形成した。
2. サンプルを500°Cの窒素雰囲気中で熱処理を行い、フェリチンタンパクを除去した。
3. コントロール酸化膜として、20 nm- SiO_2 をプラズマCVDによって堆積した。
4. Fe_2O_3 および Co_3O_4 ナノドットをそれぞれ金属FeおよびCoナノドットに還元するために650°Cの条件で水素アニール処理を1 h行った。
5. サンプルに260°C, 0.5 MPaの条件で高压重水処理を1 h行い、 SiO_2 ゲート酸化膜の膜質を改善した。
6. ゲート電極としてTi電極を形成した。
7. 400°Cの還元雰囲気中 ($\text{N}_2 : \text{H}_2 = 9 : 1$) でPMA処理を1 h行った。

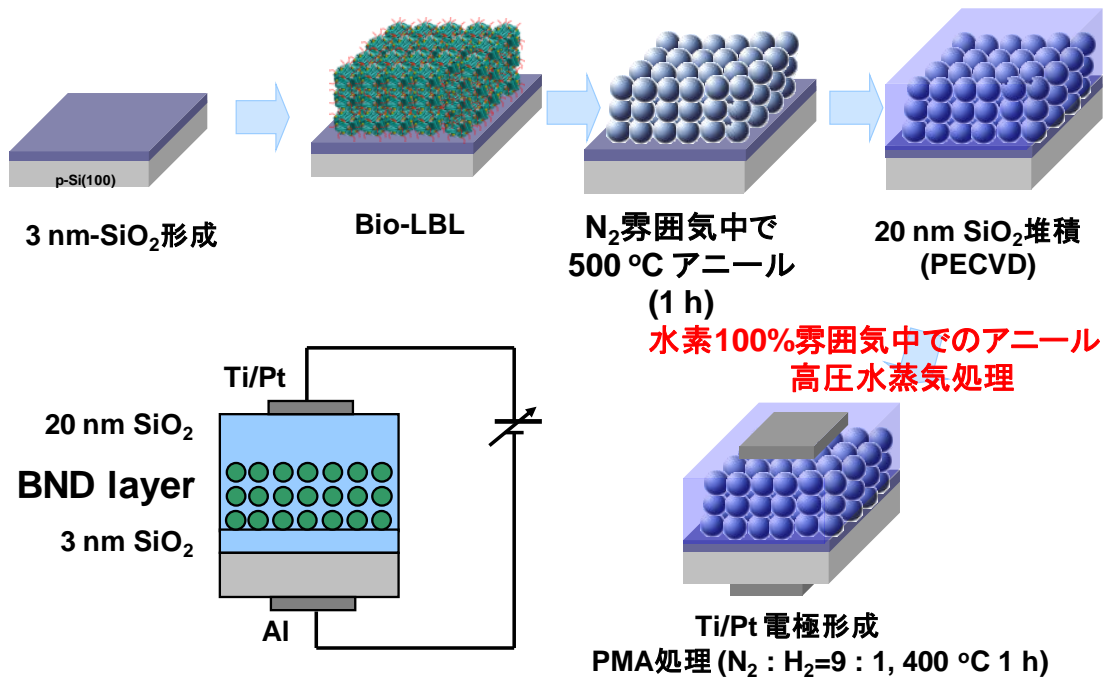


図 4-10. 積層ナノドットが埋め込まれた MOS キャパシタの作製プロセス

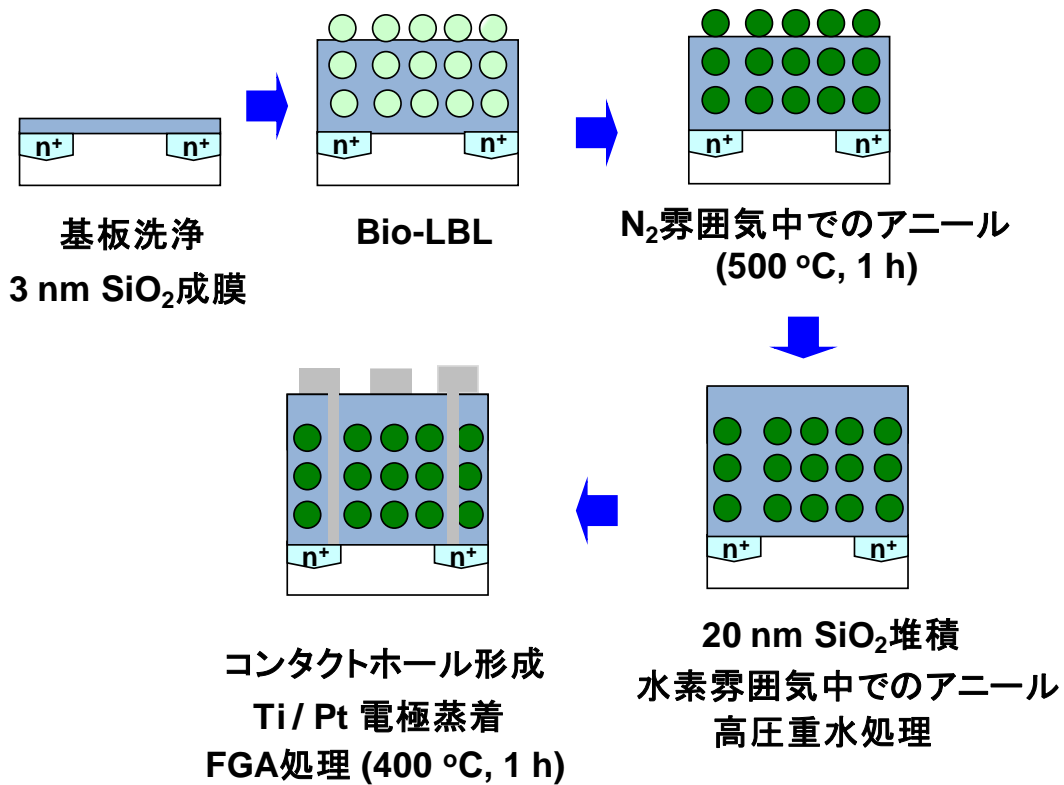


図 4-11. 積層ナノドット型フローティングゲートメモリの作製プロセス

5-2. 積層ナノドットが埋め込まれた MOS 構造の評価

積層Coナノドットが埋め込まれたMOS構造の断面TEM像を図4-12に示す。図4-12から3層に積層されたCoナノドット層がゲート酸化膜中に埋め込まれている事が確認された。また、この断面図からEELSマッピングを測定し、元素分析を行った。その結果を図4-13に示す。図4-13から、タンパクに起因するCおよびNのピークが確認されなかった。この事から熱処理によってフェリチンタンパク質が完全に除去されている事が確認された。また、Coナノドット層間に存在するSiO₂の膜厚は1.5 nmである事が確認された。

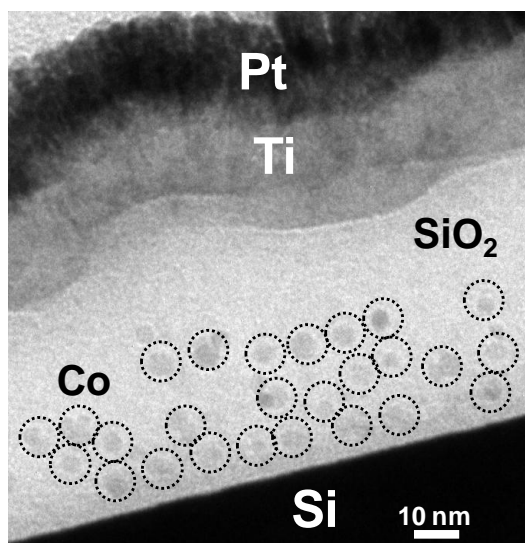


図 4-12. 積層 Co ナノドットが埋め込まれた MOS 構造の断面 TEM 像

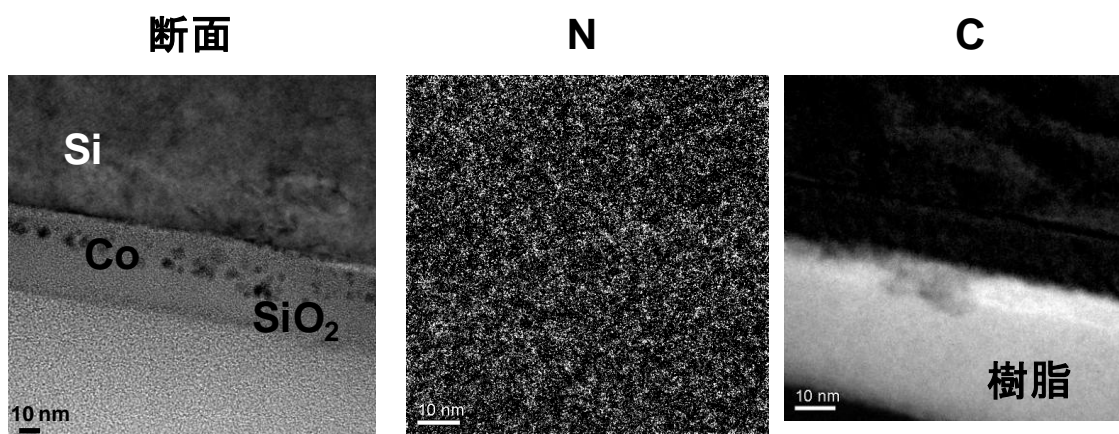


図 4-13. 断面 TEM 像の EELS マッピング

5-3. 積層 Co ナノドットが埋め込まれた MOS キャパシタの C-V 特性

Bio-LBL 法によって、形成された積層 Co ナノドットを電荷保持層としたフローティングゲートメモリを作製し、メモリ特性を測定した。始めに、積層 Co ナノドットが埋め込まれた MOS キャパシタを作製し、C-V 特性を測定した。測定は第 1 章で説明した方法と全く同じ測定方法で行った。作製した MOS キャパシタの C-V 特性を図 4-14 に示す。Co ナノドット層が埋め込まれている MOS キャパシタの場合、ヒステリシスの存在する C-V 特性が観測された。このヒステリシスは第 2 章で説明した通り、電子および正孔が Co ナノドットに注入された際に発生したと考えられる。Co ナノドット中に電子が注入されると、C-V 特性は正電圧方向へシフトする。一方、Co ナノドット中に正孔が注入されると、C-V 特性は負電圧方向へシフトする。この様にして、ヒステリシスを持つ C-V 特性が発生する。この結果から、作製した MOS キャパシタはメモリ特性を有する事が確認された。

また、ナノドット層が増加するごとにメモリウィンドウ幅が増加している事が確認された。メモリウィンドウ幅と印加電圧の関係を図 4-15 および図 4-16 に示す。図 4-15 は電圧方向別のメモリウィンドウ幅、図 4-16 はトータルのメモリウィンドウ幅を示す。図 4-15 および図 4-16 から、ナノドット層が増加するごとにメモリウィンドウ幅が増加していることが確認された。これはナノドット層を増加するごとに、電荷保持ノードとなる Co ナノドットの吸着密度が増大するため、ナノドット層に注入される電荷量が増大したためだと考えられる。また、トンネル酸化膜および Co ナノドット層の間に存在する、バイオミネラリゼーションによって形成された SiO₂ が非常に薄い。従って、2 層目の Co ナノドット層もしくは 3 層目の Co ナノドット層がチャネルから遠くても、電荷がナノドット層の間に存在する SiO₂ を直接トンネリングするため、2 層目もしくは 3 層目のナノドット層にも簡単に電荷が注入され、メモリウィンドウ幅が拡大したと考えられる。

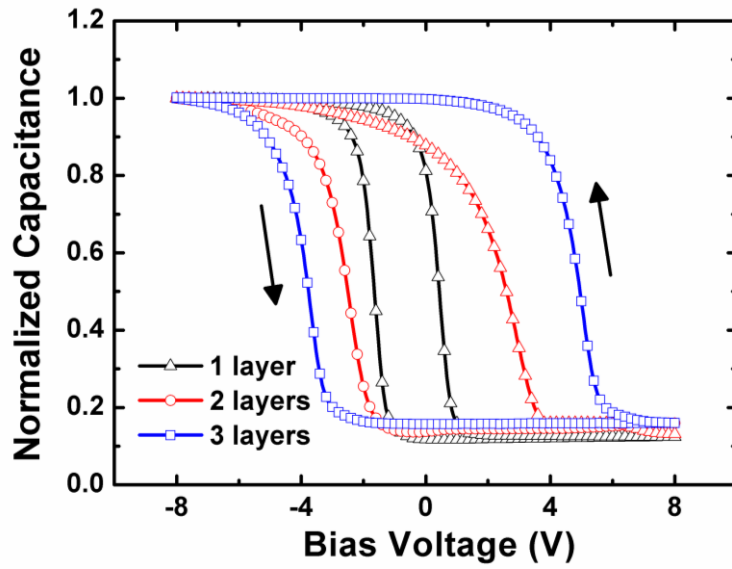


図 4-14. 積層 Co ナノドット層が埋め込まれた MOS キャパシタの C - V 特性

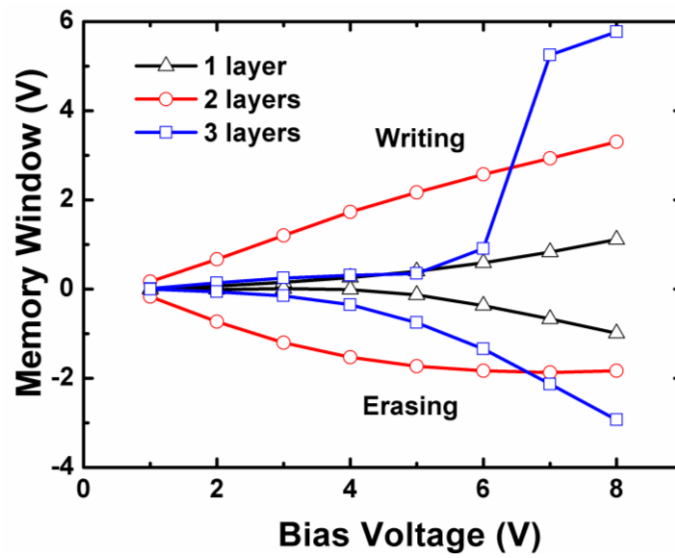


図 4-15. メモリウィンドウ幅の電圧依存性 (電圧方向別)

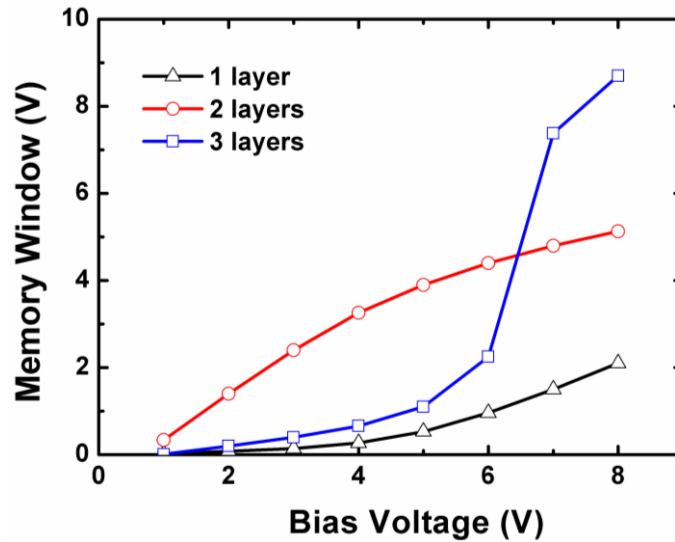


図 4-16. メモリウィンドウ幅の電圧依存性 (トータル)

5-4. 積層 Co ナノドット型フローティングゲートメモリのメモリ特性

続いて積層 Co ナノドットが埋め込まれたフローティングゲートメモリを作製し、メモリ特性を測定した。メモリ特性の測定方法は第 1 章と全く同じ方法で行った。図 4-17 に Co ナノドット層が埋め込まれていない MOSFET の I_D - V_G 特性を示す。Co ナノドット層が埋め込まれていない場合、MOS キャパシタと同様、ヒステリシスの存在しない良好な I_D - V_G 特性が観測された。この時のしきい値電圧、移動度および S 値はそれぞれ、 -0.9 V, 311 cm²/V•s, および 0.16 V/decade である。図 4-18 は作製した MOSFET の I_D - V_D 特性を示す。図 4-18 から良好な I_D - V_D 特性が確認された。図 4-19 に積層 Co ナノドットが埋め込まれたフローティングゲートメモリの I_D - V_G 特性を示す。MOS キャパシタと同様、電子および正孔の注入によるヒステリシスが観測され、メモリ特性を有する事が確認された。また、Co ナノドット層が積層されるごとにヒステリシス幅が増大している事が確認された。図 4-20 および図 4-21 にメモリウィンドウ幅とゲート電圧の関係を示す。図 4-20 は電圧方向別のメモリウィンドウ幅を示しており、図 4-21 はトータルのメモリウィンドウ幅を示す。図 4-20 および図 4-21 から MOS キャパシタ同様、Co ナノドット層が積層されるごとにメモリウィンドウが増大していることが確認された。この理由は、MOS キャパシタの場合と同様、ナノドットを積層させる事でトンネル酸化膜上に形成された Co ナノドット層の吸着密度が増加しただけではなく、トンネル酸化膜および Co ナノドット層間に存在する SiO₂ が薄膜であるため、電荷が直接トンネリングによって、積層 Co ナノドット中へ簡単に注入されたためであると考えられる。図 4-22 に 3 層の Co ナノドット層が埋め込まれたメモリの電圧-時間特性を示す。Si ナノドットが積層されたナノドット型フ

ローテイングゲートメモリの場合、 I_D - V_G 特性でクーロンブロッケードに由来するステップが発生すると報告されている[15]。しかし、今回作製したメモリでは、ステップが確認されなかった。これは電圧を印加した際に、クーロンブロッケードによる電荷注入の制限が発生せず、大量の電荷がナノドット中に注入されたためであると考えられる。図 4-23 に、1 枚の基板上に作製された、複数個の 2 層 Co ナノドット層が埋め込まれたメモリの I_D - V_G 特性、図 4-24 に 2 層 Co ナノドット層が埋め込まれたメモリウィンドウ幅の累積度数分布を示す。図 4-23 から、正電圧方向のメモリウィンドウ幅のばらつきは小さく、負電圧方向のメモリウィンドウ幅のばらつきが大きい事が確認された。また、図 4-24 に示される、2 層積層ナノドット型メモリのメモリウィンドウ幅における累積度数分布から、68 % のメモリのメモリウィンドウ幅が 2.5 V から 3.5 V の間にある事を示した。メモリウィンドウ幅が小さいメモリや大きいメモリも確認されたが、これは、Bio-LBL の過程で積層ナノドット構造が部分的に崩れたり、TBF が必要以上に集まってしまい、Co ナノドット層が 1 層の部分や 4 層の部分が発生したためであると考えられる。

続いて、書込電圧および消去電圧をそれぞれ +5 V、-5 V とし、書込消去特性を測定した。図 4-25 の測定結果から、しきい値電圧のシフトが書込の場合 100 μ s、消去の場合 1 ms で飽和していることが確認された。この事から書込時間および消去時間は 100 μ s および 1 ms となる。また、Co ナノドット層を積層させるごとにしきい値電圧のシフト量が増加している事が確認された。これは、Co ナノドット層を積層させる事で、電圧を印加した際に Co ナノドット層に注入される電荷量が増加するため、しきい値電圧のシフト量が増加したと考えられる。負電圧方向のしきい値電圧のシフト量にあまり変化が見られない要因の 1 つとして、Co のフェルミレベルと Si の価電子帯がほぼ同じ位置に存在しており、注入された正孔がバックトンネリングしたためであると考えられる。

図 4-26 に作製したメモリの電荷保持特性を示す。書込電圧および消去電圧はそれぞれ +5V および -5V であり、印加時間は 100 ms である。Co ナノドットが 1 層の場合、電荷を注入してから 100 s 後に、正電圧方向のしきい値電圧と負電圧方向のしきい値電圧の差 (ヒステリシス幅) が 0 V となり、電荷保持特性が非常に悪い事が確認された。一方、Co ナノドットが 2 層および 3 層の場合、電荷を注入してから 10 年経過しても、大きなヒステリシス幅が確認されており、電荷保持特性が向上している事が確認された。以上の事から、Co ナノドット層が 1 層の場合、電荷を 10 年保持できないため、電荷保持特性が非常に悪いが、Co ナノドット層を 2 層、3 層と積層させる事により、電荷を 10 年保持できる良好な電荷保持特性を持つメモリを実現した。

最後に、書込および消去電圧をそれぞれ +5 V および -5 V、電圧印加時間を 10

ms として、信頼性評価を行った。書込および消去のサイクルは最大 10^5 回である。図 4-27 にメモリの信頼性を示す。Co ナノドット層が 1 層の場合、 10^5 回書込および消去を行った後、しきい値電圧が 0.5 V 負電圧方向に変化している。一方、Co ナノドットが 2 層および 3 層の場合、しきい値電圧がほとんど変化しておらず、非常に信頼性の高いメモリを実現する事ができた。

作製したメモリに関して、熱平衡状態でのバンド図を図 4-28 に示す。Co ナノドットは水素 100% 雰囲気中での熱処理によって金属 Co に還元されているため、仕事関数 5.0 eV の金属である [16, 17]。図 4-29 は電子および正孔注入時のバンド図である。トンネル酸化膜厚は 3 nm と薄いため、電子および正孔は直接トンネリングによって 1 層目の Co ナノドット層へ注入される。その後、1 層目の Co ナノドット層に保持されている電子および正孔は、 SiO_2 を直接トンネリングすることによって 2 層目の Co ナノドット層へ注入される。そして、同じ様にして電子および正孔は 3 層目の Co ナノドット層へ注入される。従って、1 層目の Co ナノドット層だけではなく 2 層目、3 層目の Co ナノドットにも電子および正孔が注入されるため、Co ナノドット層に注入される電荷量が増大し、Co ナノドット層を積層させるごとに大きなメモリウィンドウ幅が得られると考えられる。電荷保持特性について、図 4-28 から Co ナノドットのフェルミエネルギーは Si の価電子帯とほぼ同じ位置に配置されている。電子の観点から見ると、Co ナノドットのフェルミエネルギーと Si の導電帯の間に井戸型ポテンシャルが発生するため、一度 Co ナノドット中に注入された電子は Si 基板へバックトンネリングしにくい。従って、電子の保持特性は Co ナノドットの層数に関わらず非常に良好である。一方、図 4-28 から正孔の保持特性に関して、Co ナノドットのフェルミエネルギーと Si の価電子帯がほぼ同じ位置に存在するため、Co ナノドットに注入された正孔は、トンネル酸化膜をトンネリングして Si 基板へ流出する。今回作製したメモリのトンネル酸化膜厚は 3 nm と薄いため、直接トンネリングによって簡単に Si 基板へ流出すると思われる。Co ナノドット層が 1 層の場合は、トンネル酸化膜が薄いため、正孔が簡単に Si 基板へ流出する。しかし、2 層、3 層と Co ナノドットが積層されるにつれて、2 層目の Co ナノドット層に注入された正孔が Si 基板に流出せずに 2 層目もしくは 1 層目の Co ナノドット層でとどまり、Co ナノドットに注入された正孔が Co ナノドット層内に保持される。従って、Co ナノドット層を積層させることによって電荷保持特性が改善され、注入された電荷が 10 年保持されると考えられる。

以上の結果から、Co ナノドット層を Bio-LBL 法によって積層する事で、メモリウィンドウ幅の拡大および書込 / 消去電圧の低電圧化を実現した。また、Co ナノドット層を積層させる事で、ナノドット層に注入された電荷のバックトンネリングを防止できるため、電荷保持特性を大幅に向上でき、10 年保持される高

信頼性のメモリを作製できた。

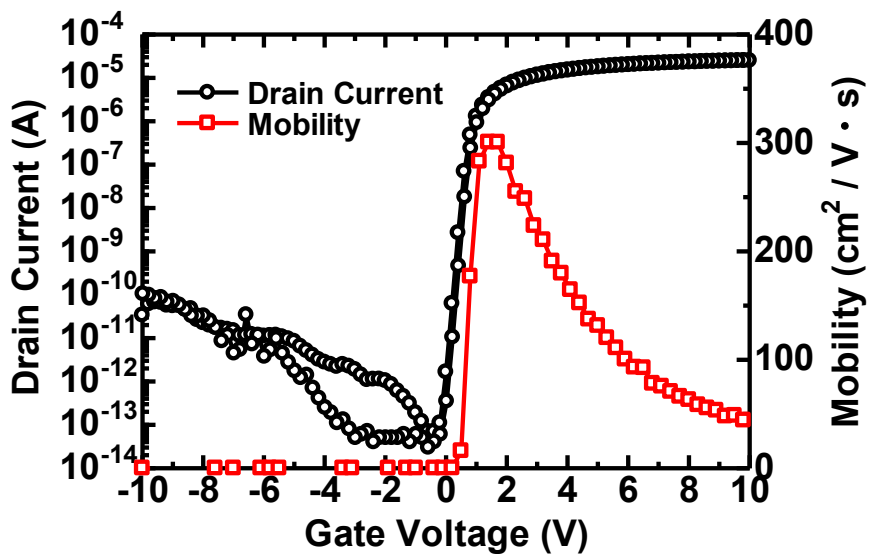


図 4-17. Co ナノドットが埋め込まれていない MOSFET の I_D - V_G 特性

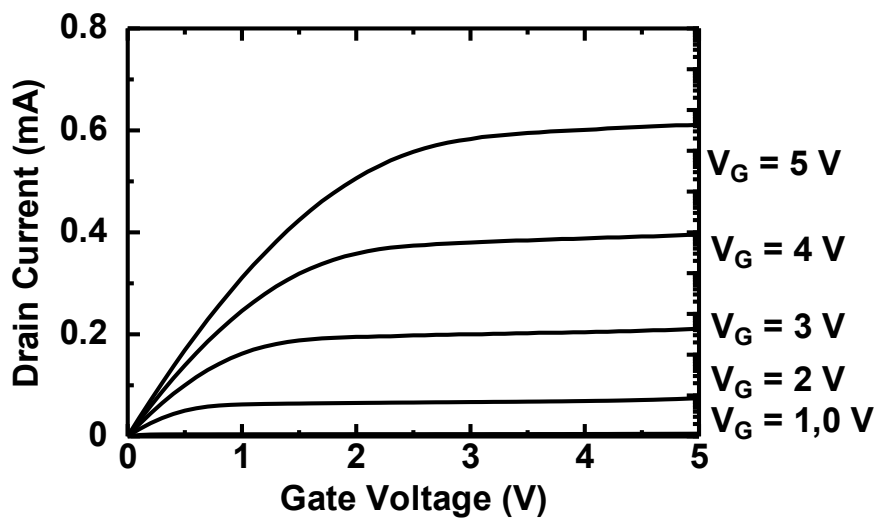


図 4-18. Co ナノドットが埋め込まれていない MOSFET の I_D - V_D 特性

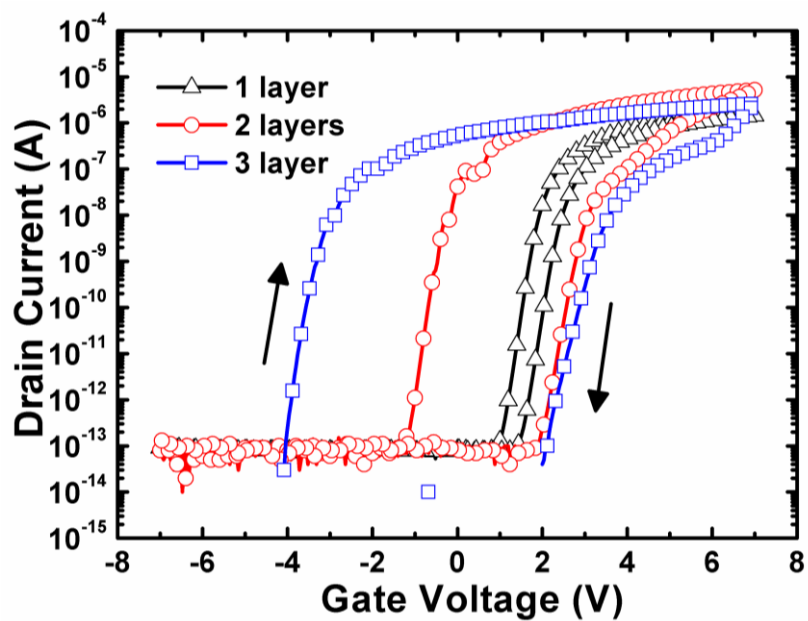


図 4-19. 作製したメモリの I_D - V_G 特性

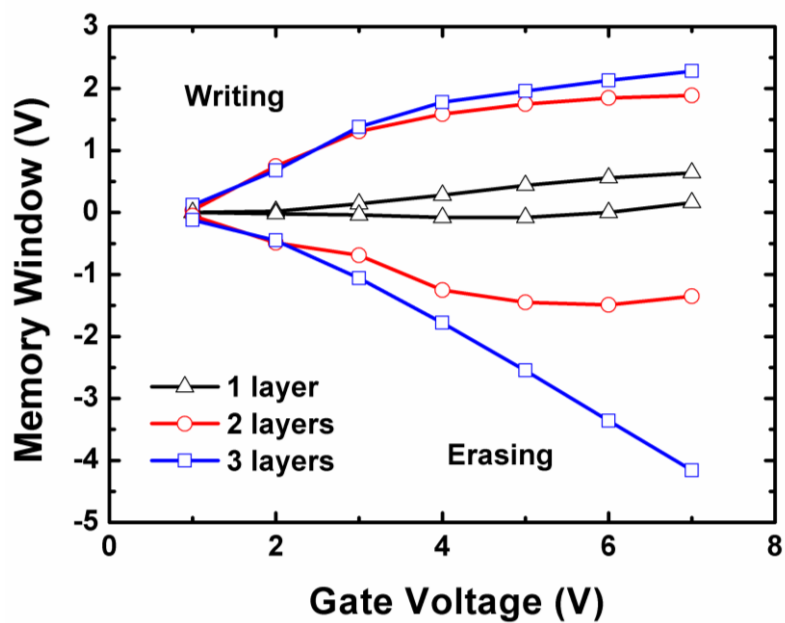


図 4-20. メモリウィンドウ幅の電圧依存性 (電圧方向別)

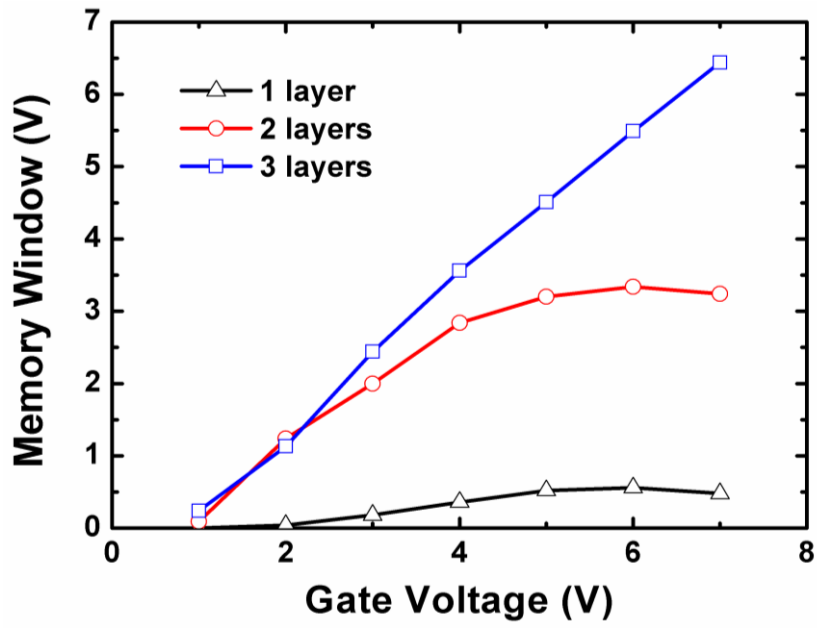


図 4-21. メモリウィンドウ幅の電圧依存性 (トータル)

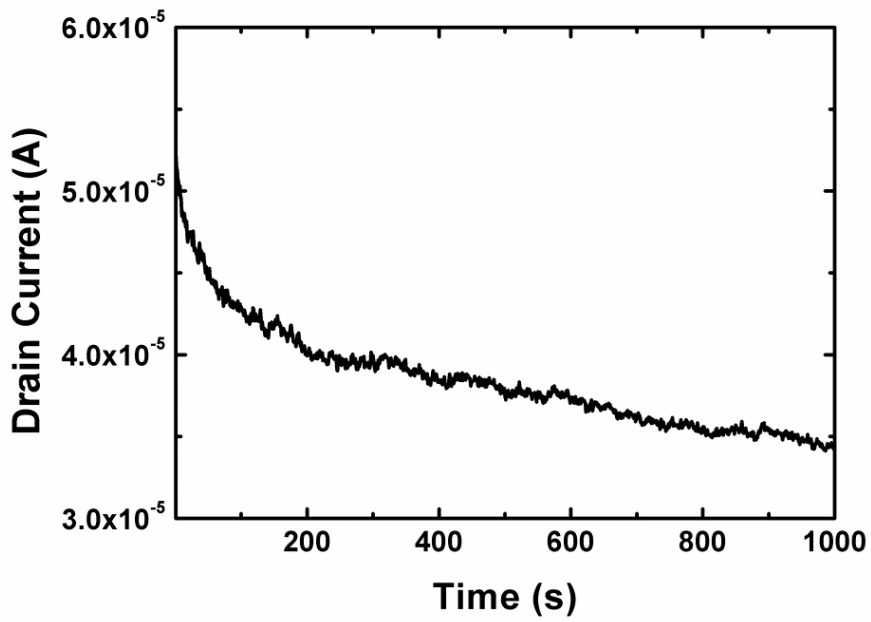


図 4-22. 3層 Co ナノドットが埋め込まれたメモリの電圧-時間特性

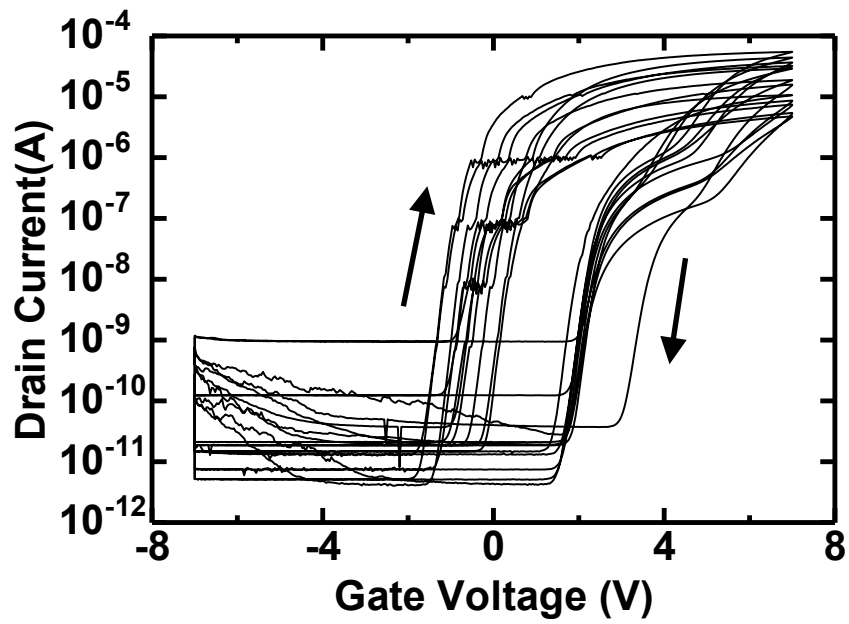


図 4-23. 2層 Co ナノドット型メモリの I_D - V_G 特性 (複数個)

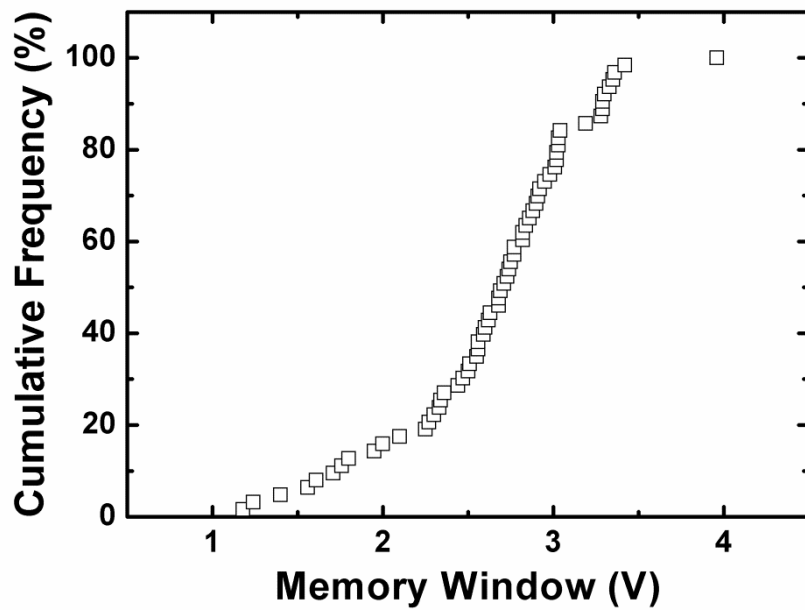


図 4-24. 2層 Co ナノドット型メモリにおける, メモリウィンドウ幅の累積度数分布

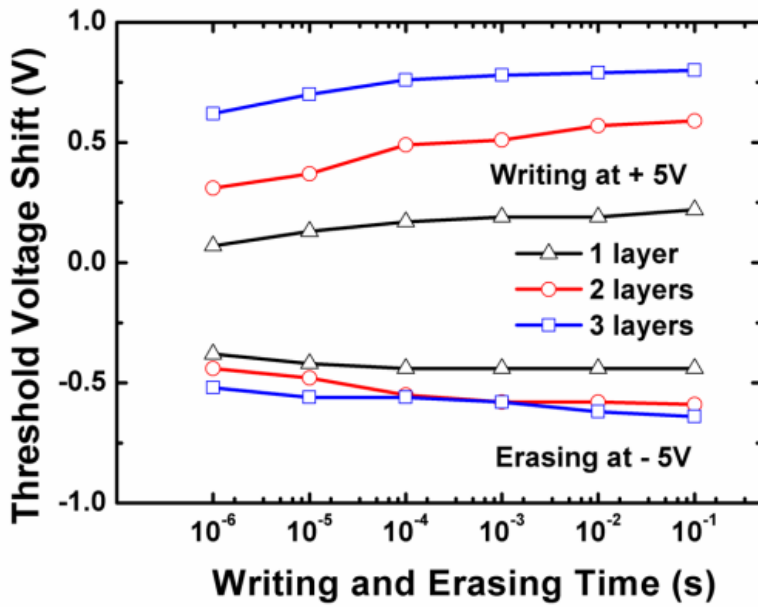


図 4-25. 書込 / 消去特性

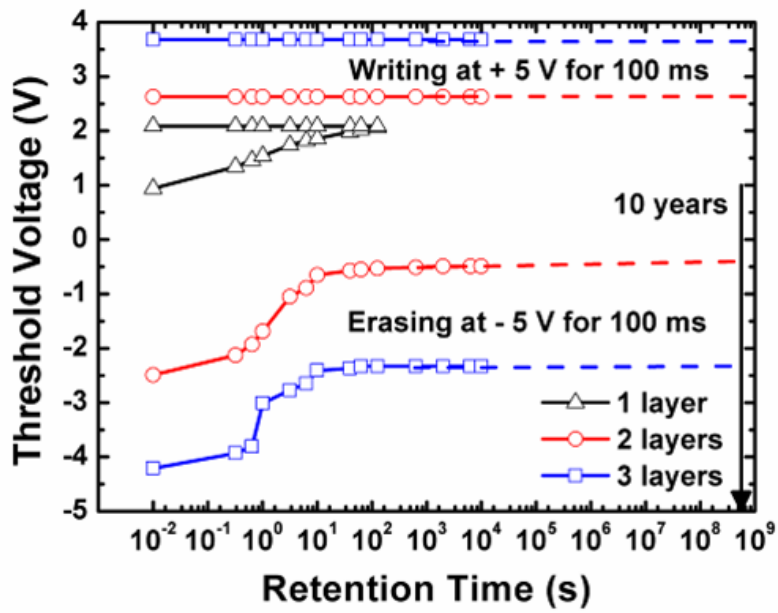


図 4-26. 電荷保持特性

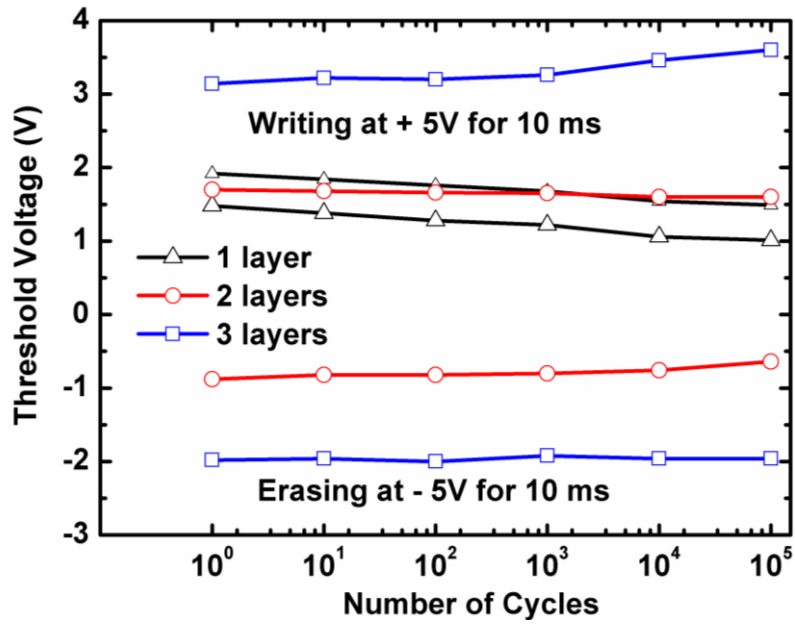


図 4-27. 信頼性評価

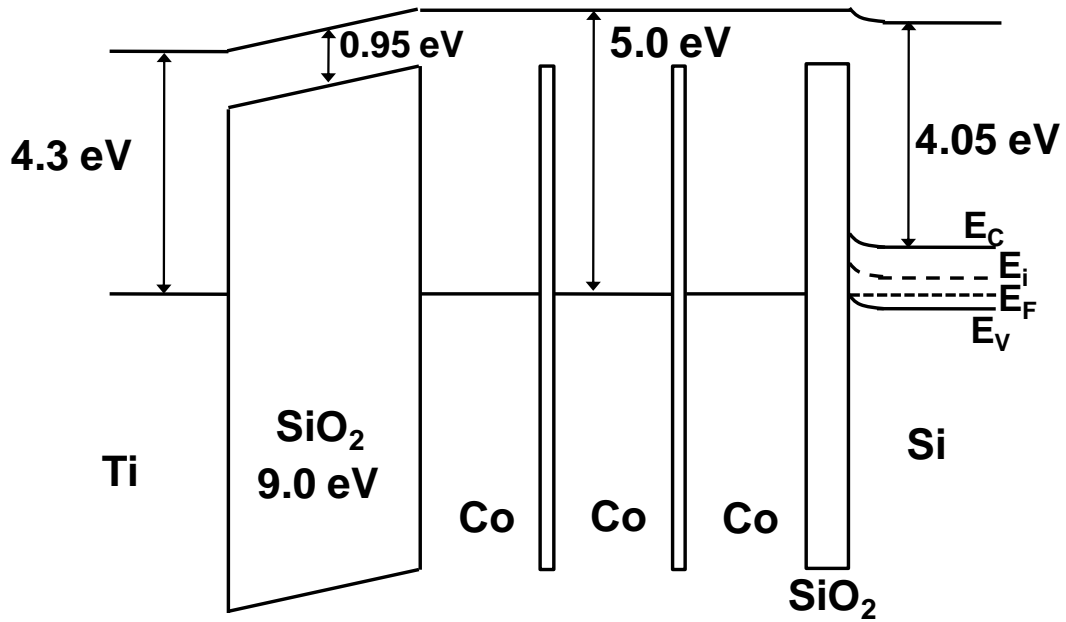


図 4-28. 作製したメモリのバンド図

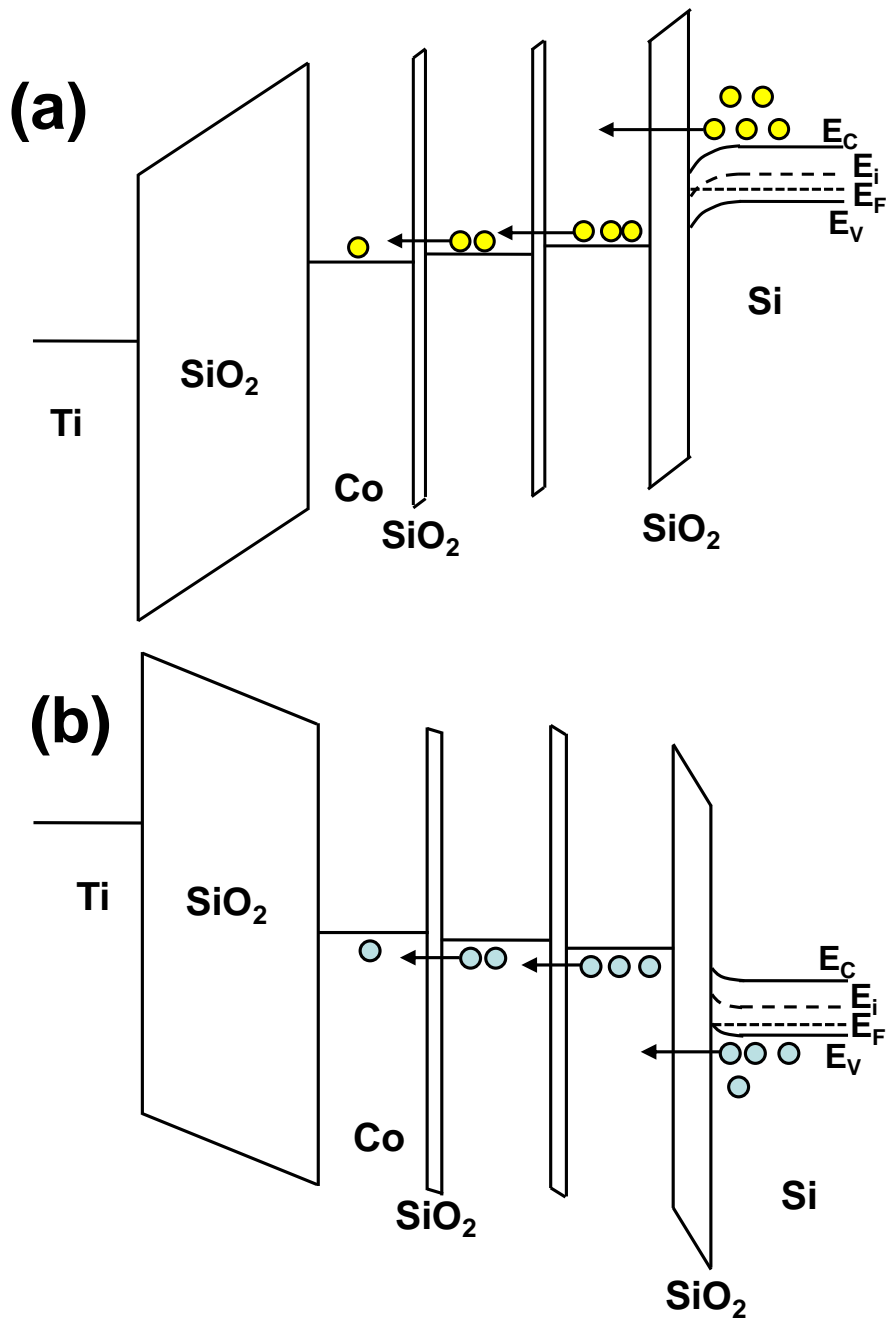


図 4-29. (a)電子および(b)正孔の注入機構

6. 異種金属積層ナノドット型フローティングゲートメモリの特性評価

次に、2種類の金属ナノドットが積層された積層ナノドット型フローティングゲートメモリの作製を行った。2層目のCoナノドットに注入された電子がSi基板中へ流出するのを防ぐために、1層目がFeナノドット、2層目がCoナノドットであるFe/Coナノドット層を電荷保持層としたメモリを作製した。参考として2層Coナノドット(Co/Co)が電荷保持層であるのフローティングゲートメモリと比

較した。

図 4-30 に Fe/Co ナノドット層および Co/Co ナノドット層が埋め込まれたフローティングゲートメモリの I_D - V_G 特性を示す。ナノドット層に対する電荷の注入によるヒステリシスが観測された。図 4-31 および図 4-32 にメモリウィンドウ幅の電圧依存性を示す。図 4-31 は電圧方向別のメモリウィンドウ幅、図 4-32 はトータルのメモリウィンドウ幅を示す。図 4-31 および図 4-32 から Fe/Co ナノドット層が埋め込まれたメモリのメモリウィンドウ幅が大きい事が確認された。

作製したメモリの書込 / 消去特性を図 4-33 に示す。しきい値電圧のシフト量に関して、Fe/Co ナノドット層の方が大きい事が確認された。しかし、消去速度が 10 ms と電荷保持層が Co/Co であるメモリに比べて遅くなっていることが確認された。図 4-34 に異種金属ナノドット層が埋め込まれたメモリの電荷保持特性のグラフを示す。両方のメモリにおいて、注入された電荷が 10 年保持されおり、良好な電荷保持特性が確認された。しかし、10 年後のヒステリシス幅を予測すると、Fe/Co ナノドット層よりも Co/Co ナノドット層の方が、ヒステリシス幅が大きい事が確認された。図 4-35 に信頼性評価試験の結果を示す。書込電圧および消去電圧はそれぞれ+5V および-5V であり、印加時間は 10 ms である。図 4-35 から全てのメモリにおいて、信頼性が非常に高く、ナノドットの種類は信頼性に影響しないことが確認された。

Fe/Co ナノドット層が埋め込まれたメモリに関して、熱平衡状態でのバンド図を図 4-36 に示す。図 4-9 (a)から、Fe は完全に還元されておらず Fe_2O_3 のピークが観測されたため、Fe ナノドットは内部が Fe で外部が Fe_2O_3 である事が推測される。従って Fe ナノドットのバンド図は、両端が Fe_2O_3 (真空準位: 4.78 eV, バンドギャップ: 2.2 eV) であるバンド図となる[14]。電荷注入の観点から見ると、Fe/Co ナノドット層の場合、1 層目が Fe であるため、Si の導電体と Fe ナノドットの仕事関数差が Co の場合よりも小さく、注入された電子の一部が Si 基板へバックトンネリングしていると考えられる。その結果、1 層目の Fe ナノドット層に注入される電子量が減少し、正電圧方向のメモリウィンドウ幅が減少すると考えられる。正孔注入の場合、Fe のフェルミエネルギーより Co のフェルミエネルギーの方が下方に存在する上、Fe の両端に Fe_2O_3 のエネルギー障壁が存在するため、通常、正孔は注入されにくいと考えられる。しかし、実験結果から、正孔注入によって発生するメモリウィンドウ幅が Co/Co ナノドットの場合よりも大きい事が確認された。これは、 Fe_2O_3 中に電荷トラップが存在し、電荷トラップを介したトンネリングによって、多くの正孔が容易に Co ナノドット中に注入されたと考えられる。

続いて、電荷保持特性に関して考察を行う。図 4-34 の電荷保持特性から、Co/Co ナノドット層が埋め込まれたメモリは 10^4 s 以降、メモリウィンドウ幅がほとんど変化していないのに対して、Fe/Co ナノドット層が埋め込まれたメモリの

場合、 10^4 s から 10 年の間にメモリウィンドウ幅が減少すると予測された。特に、電子の保持特性が良好であるのに対して、正孔の保持特性がそれほど良好でない事が確認された。Fe/Co ナノドットが埋め込まれたメモリの場合、Fe ナノドットと Co ナノドットのフェルミエネルギー差および Fe_2O_3 が形成する障壁によって、注入された正孔は Si 基板側へバックトンネリングしにくい構造となっている。しかし、作製した Fe/Co ナノドット層が埋め込まれたメモリの場合、Co ナノドット層および Fe ナノドット層に注入された正孔が Fe_2O_3 中に存在する電荷トラップおよび $\text{Fe}_2\text{O}_3 / \text{SiO}_2$ 間に存在する界面準位を介したトンネリングによって Si 基板へバックトンネリングし、正孔に対する電荷保持特性が良好ではなかったと考えられる。しかし、電荷を注入してから 10 年経過してもヒステリシス幅が現れる事が予測されるため、電荷保持特性が良好であると言える。

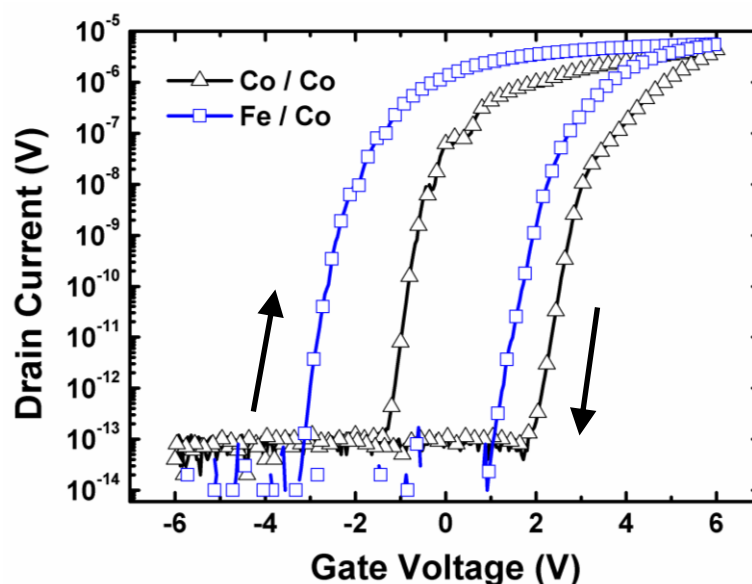


図 4-30. 異種金属ナノドット層が埋め込まれたメモリの I_D - V_G 特性

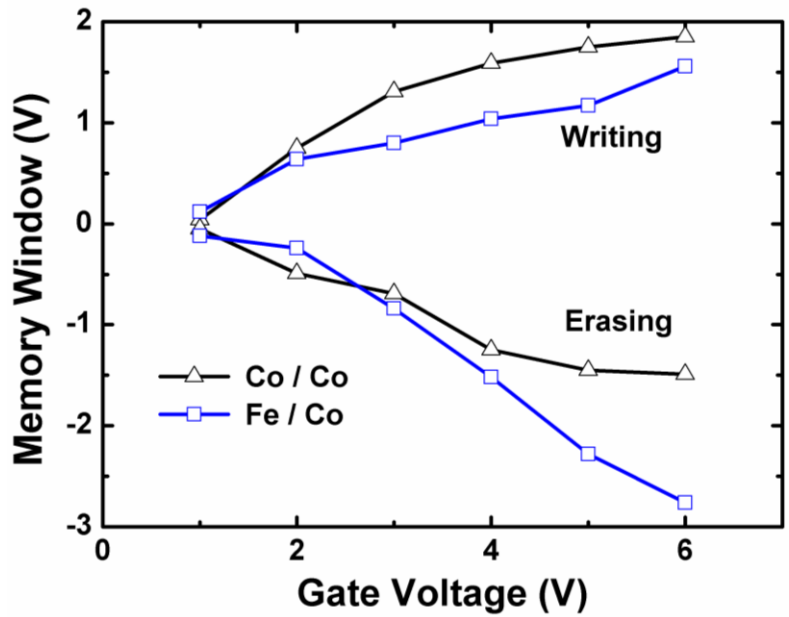


図 4-31. 異種金属ナノドット層が埋め込まれたメモリのメモリウィンドウ幅

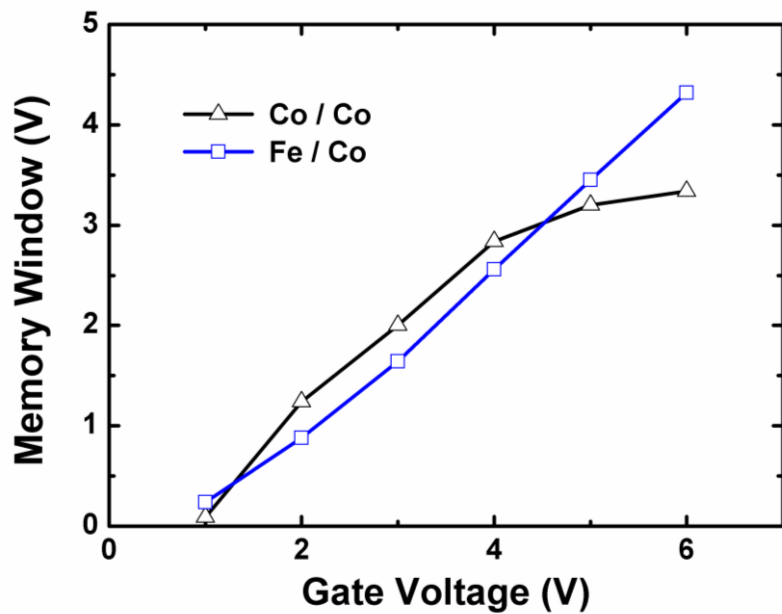


図 4-32. 異種金属ナノドット層が埋め込まれたメモリのメモリウィンドウ幅 (トータル)

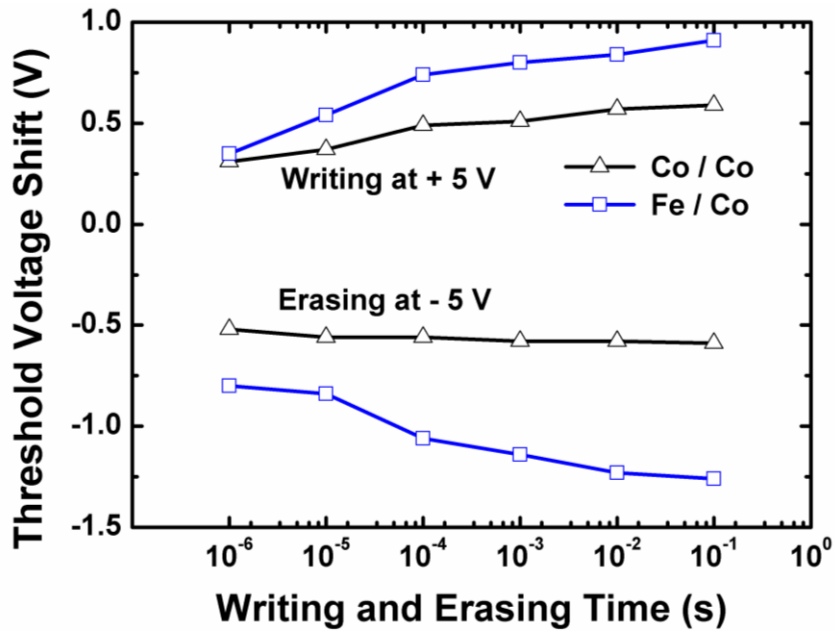


図 4-33. 異種金属ナノドット層が埋め込まれたメモリの書込 / 消去特性

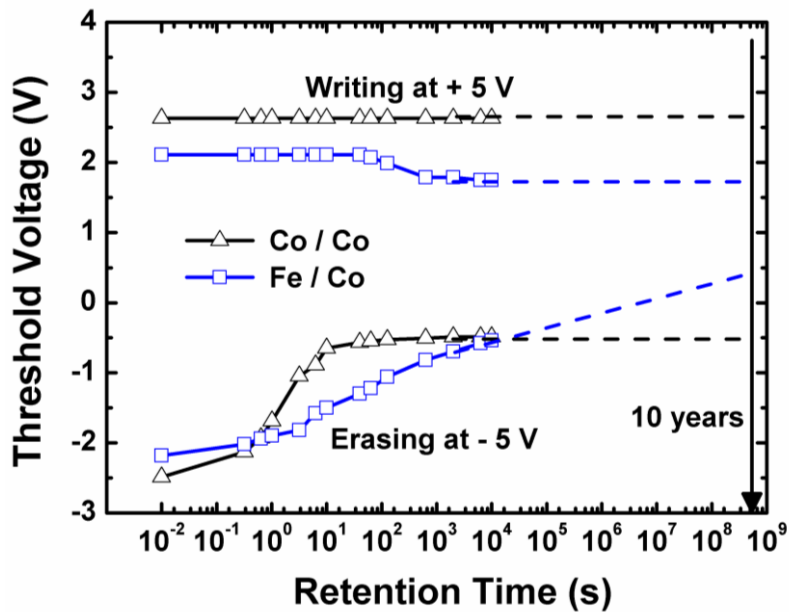


図 4-34. 異種金属ナノドット層が埋め込まれたメモリの電荷保持特性

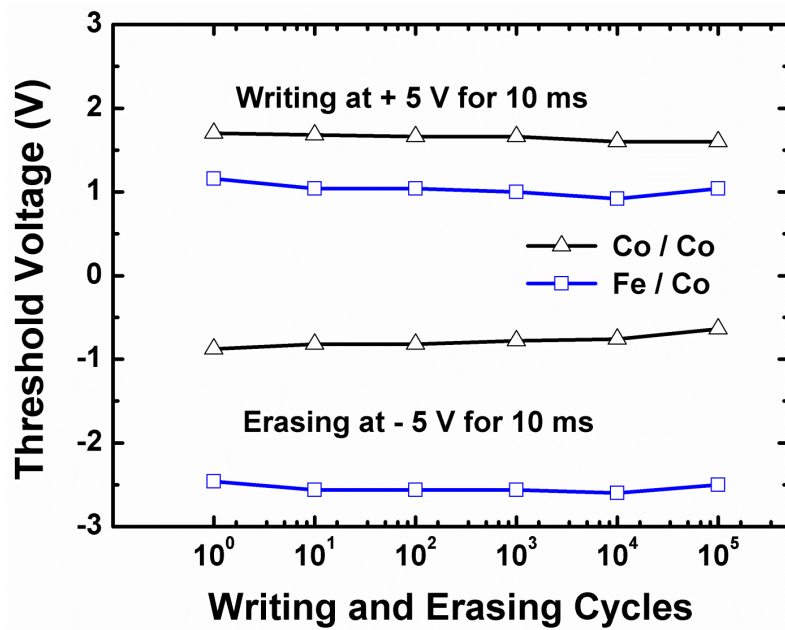


図 4-35. 異種金属ナノドット層が埋め込まれたメモリの信頼性

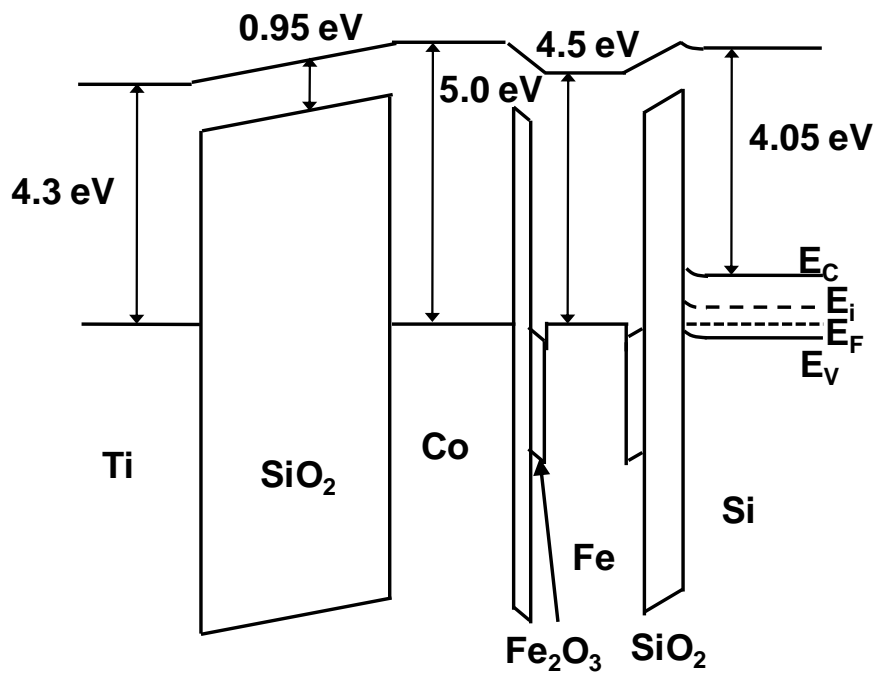


図 4-36. 異種金属ナノドット層が埋め込まれたメモリのバンド図

7. まとめ

Bio-LBL 法を利用してナノドットの積層構造が埋め込まれたナノドット型フローティングゲートメモリを初めて作製した。ナノドットの積層構造を形成した際に、Co ナノドットを内包した TBF を利用することで、高密度のナノドット層が積層されていることを確認した。また、タンパク質の除去方法を UV オゾン処理から窒素雰囲気中での熱処理に変更することで、凝集の発生していない Co ナノドット層を形成することができた。メモリ特性を測定した結果、単層ナノドット層が埋め込まれたメモリよりもメモリ特性が向上していることが確認された。また、TBF に内包されるナノドットの種類を変えることで、異種金属ナノドット層が積層された構造が埋め込まれたメモリを作製し、金属の仕事関数の違いやナノドットの還元状態の違いによってメモリ特性が変化していることが確認された。従って、積層するナノドットの種類や、積層の順序を制御することで、メモリウィンドウや電荷保持特性を制御することができると期待される。

8. 参考文献

- [1] T. Hikono, Y. Uraoka, T. Fuyuki, and I. Yamashita, *Jpn. J. Appl. Phys.* **42** (2003) pp.L398.
- [2] K. Yamada, S. Yoshii, S. Kumagai, I. Fujiwara, K. Nishio, M. Okuda, N. Matsukawa, and I. Yamashita, *Jpn. J. Appl. Phys.* **45** (2006) pp.4259.
- [3] T. Hayashi, K. Sano, K. Shiba, Y. Kumashiro, K. Iwahori, I. Yamashita, and M. Hara, *Nano. Lett.* **6** (2006) pp.515.
- [4] K. Sano, K. Ajima, K. Iwahori, M. Yudasaka, S. Iijima, I. Yamashita, and K. Shiba, *small.* **1** (2005) pp.826.
- [5] I. Yamashita, H. Kirimura, M. Okuda, K. Nishio, K. Sano, K. Shiba, T. Hayashi, M. Hara, and Y. Mishima, *small.* **2** (2006) pp.1148.
- [6] 佐野健一, 芝清隆, *BIO INDUSTRY* **22** (2005) pp.33
- [7] 佐野健一, 芝清隆, *まてりあ* **44** (2005) pp.799.
- [8] K. Sano, and K. Shiba, *J. Am. Chem. Soc.* **125** (2003) pp.14234.
- [9] M. R. Knecht, and D. W. Wright, *Chem. Commun.* (2003) pp.3038.
- [10] K. Sano, H. Sasaki, and K. Shiba, *Langmuir.* **21** (2005) pp.3090.
- [11] K. Sano, H. Sasaki, and K. Shiba, *J. Am. Chem. Soc.* **128** (2006) pp.1717.
- [12] K. Yamada, S. Yoshii, S. Kumagai, A. Miura, Y. Uraoka, T. Fuyuki, and I. Yamashita, *Jpn. J. Appl. Phys.* **45** (2006) pp.8946.
- [13] J. F. Moulder, W. F. Stickle, P. E. Sobol, K. D. Bomben, “Handbook of X-ray Photoelectron Spectroscopy”, Physical Electronics. Inc. (1992) pp.80-83.
- [14] 松村貴志 本学修士学位論文 (2006)

- [15] 宮崎誠一, 表面技術 **56** No. 12 (2005) pp. 868-874
- [16] Y. Tojo, A. Miura, Y. Uraoka, T. Fuyuki, and I. Yamashita, Jpn. J. Appl. Phys. **48** (2009) pp.04C190.
- [17] A. Miura, Y. Uraoka, T. Fuyuki, S. Yoshii, and I. Yamashita, J. Appl. Phys. **103** (2008) pp.074503.

第5章

総論および今後の課題

本研究では、高性能および高信頼性のナノドット型フローティングゲートメモリの作製を目的に、PtS内包フェリチンを利用したPtナノドット型フローティングゲートメモリの作製およびBio-LBL法を利用した積層ナノドット型フローティングゲートメモリの作製を行った。

1. 本論文の主要結果

1. 第2章では、PtS内包フェリチンを利用する事で、水素雰囲気中での還元処理を行わずに、MOS構造の形成過程で金属Ptナノドットの形成が可能である事を実証した。また、Ptナノドットの形成温度は300°Cであり、この温度は、熱凝集やCVDを利用したナノドットの形成手法よりも、はるかに低温である事が確認された。また、還元処理が不要であるため、現在までに提案されている、フェリチンを利用して作製されたFeもしくはCoナノドットが埋め込まれたメモリと比べても、はるかに低温でナノドットが形成されている事が確認された。酸化膜にダメージを与えずに300°Cという低温でナノドットを一から簡単に形成する手法は、本研究が初であり、この手法を応用すれば、400°C以上で簡単に結晶化する高誘電率薄膜をゲート酸化膜に応用でき、さらなるメモリの高性能化および高信頼性化が実現できる。また、高性能フレキシブルディスプレイに対応したTFT型メモリの低温作製など、ナノドット型フローティングゲートメモリを様々な基板上へ作製できると期待される。金属Ptナノドットを利用したフローティングゲートメモリを作製し、メモリ特性を測定した結果、FeもしくはCoナノドットを利用して作製されたナノドット型フローティングゲートメモリよりも低電圧駆動および高信頼性である事が実証された。また、重水を利用した高圧水蒸気処理によって、メモリ特性が大幅に向上する事を実証した。

2. 第3章では、poly-Si薄膜を半導体層としたナノドット型フローティングゲートメモリをガラス基板上に作製した。poly-Si薄膜を半導体層とする場合、poly-Siの結晶粒径が重要になるが、Ni内包フェリチンを利用した結晶化手法 (BNC) によってメモリ作製に十分な大きさのpoly-Si結晶を得る事ができた。また、BNCによって結晶化されたpoly-Si薄膜およびPtナノドットを利用する事で、先行研究で提案されたメモリよりも低電圧駆動および高性能のメモリをガラス基板上に作製できた。

3. 第4章では、ナノドット型フローティングゲートメモリの高性能化および高信頼化を目的として、電荷保持層であるナノドット層が積層化された積層ナノドット型フローティングゲートメモリの作製を行った。ナノドットの積層構造を形成する場合、真空蒸着を利用して、トンネル酸化膜上に金属薄膜およびSiO₂を交互に繰り返し成膜した後、熱凝集によって積層ナノドットを形成するため、非常に手間がかかる。しかし本研究の場合、フェリチンの吸着およびTMOS溶液への浸漬を繰り返すだけで複雑なナノドットの積層構造を簡単に形成した。溶液を利用したプロセスでナノドットの積層構造を形成したのは本研究が初である。また、Coナノドット層間に存在するSiO₂中間層が非常に薄いため、ナノドット層間での電荷のトンネリングも低電圧で簡単に発生する。その結果、大きなメモリウィンドウ幅を持ち、電荷保持特性が非常に良好な高性能および高信頼性の作製する事ができた。

一連の研究成果から、新たな素材および新たなナノドット層の形成手法を利用する事で、低電圧駆動および高信頼性であるメモリが作製可能であることを実証した。

本研究で作製したナノドット型フローティングゲートメモリは、駆動電圧が最大10 Vであり、これは従来のフローティングゲートメモリの駆動電圧の半分である。また、書込および消去速度は従来のメモリよりも高速であることが確認された。電荷保持特性に関して、ほぼ全てのメモリで10年以上であり、10⁵回書込および消去を繰り返してもメモリ特性はほとんど変化しないことが確認された。

以上の結果から、本研究で新たに提案されたメモリは実際のフラッシュメモリとして十分に利用できるメモリであることが実証された。表5-1に作製したメモリの特性一覧を示す。

表 5-1. 作製したメモリの特性一覧

	従来	Ptナノドット	TFT型	積層型(Co3層)
駆動電圧	20 V	10 V	7 V	5 V
書込時間	300 μs	100 μs	100 μs	100 μs
消去時間	1 ms	100 μs	100 μs	1 ms
電荷保持特性	10年	10年以上	2 × 10 ⁶ s	10年以上
書込消去回数	10万回	10万回以上	10万回以上	10万回以上

2. 今後の課題

今後の研究課題として、バイオテクノロジーの観点からメモリの高性能および高信頼性を実現するために必要な課題を以下に述べる。

1. リステリアフェリチンを利用したフローティングゲートメモリの作製

ナノドット型フローティングゲートメモリにおいて、ナノドットの密度を増加させると、電荷保持ノードが増大するため、電荷注入量が増大し、高性能化が実現できる。また、流出する電荷量が相対的に小さくなるためメモリの高信頼性化も実現できる。

現在使用しているフェリチンは直径12 nmであるため、フェリチンの最大吸着密度が $8.0 \times 10^{11} \text{ cm}^{-2}$ となり、吸着密度の増加は不可能である。そこで、フェリチンよりも一回り小さい直径4.5 nmの空洞を持つ直径9.4 nmの球殻状タンパク質であるリステリアフェリチンを利用する事とする。リステリアフェリチンを利用する事で、ナノドットの最大吸着密度が増加し、メモリの高性能化および高信頼性化を実現できる可能性がある。

2. リステリアフェリチンおよびTBFを利用した硫化物ナノドットの形成

FeおよびCo粒子を利用してナノドット層を形成する場合、高温での還元処理が必要となる。そこで、リステリアフェリチンやTBFを利用してPtSやAuSなど硫化物のナノドットを形成できれば、還元処理が不要で微細なナノドットが形成できると期待される。また、PtSナノドットを内包したTBF層をBio-LBLによって積層できれば、Ptナノドット層の積層構造を低温で形成できると期待される。

3. Siに対して強力に結合するペプチドを付着したフェリチンの形成

本研究のBio-LBL法において、Tiに対して特異的に吸着するTBFを利用したが、TBFはSiに対する結合力が非常に小さい。Bio-LBLはウェットプロセスであるため、洗浄および溶液への浸漬を繰り返す過程で一部のTBFが脱離する可能性がある。従って、積層構造が部分的に崩壊し、理想的な積層構造を形成する事が困難であった。

そこで、Siに対して結合力が大きい、Si認識ペプチドが表面に存在するフェリチンを形成し、そのフェリチン内部に金属ナノドットを形成すれば、Bio-LBLの過程でフェリチンが脱離せずに、理想的な積層構造を形成できると期待される。

4. 新規手法による積層ナノドットの形成

今回は、溶液への浸漬を繰り返してナノドットの積層構造を形成したが、少量の溶液で、より簡単にナノドットの積層構造を形成するためには、溶液の浸漬を繰り返す処理ではなく、他の手法が求められる。そこで、インクジェット法

などの手法を応用してBio-LBLを行えば、より少量の溶液で簡単にナノドットの積層構造を形成できると期待される。

TBFが乾燥するとTBFのバイオミネラリゼーション能力が失われるので、インクジェット法などの手法でBio-LBL法を行うためには、TBF溶液を基板一面に均一に吹き付ける」、「バッファー溶液を吹きつける事でTBFが脱離しない、かつバッファー溶液を吹きつける事で、余分なTBF溶液を除去し、高密度のTBF二次元配列を形成できる」、「TMOS溶液とHClの混合溶液をTBF表面に対して均一に塗布する事ができる」という条件が求められる。

付録

1. クーロンブロッケードに関する考察

ナノドット型フローティングゲートメモリに関して、Si 基板と金属ナノドット間の電子のトンネリングについて考察を行う。図 2-34 はトンネル接合の一例である。この接合容量を C とすると、接合に電圧を加えたことにより、電子 1 個がこの接合をトンネリングした場合、接合の両端には $\pm e$ の電荷が蓄積される事になり、接合は

$$E_c = \frac{e^2}{2C} \quad (1.1)$$

の帯電エネルギーを持つ。従って、電子が金属 1 から金属 2 へトンネリングした後、金属 1 のフェルミ準位に比べて金属 2 のフェルミ準位が E_c だけ高くなる。

ここで、熱エネルギー kT (k : ボルツマン定数, T : 絶対温度) が E_c に比べて極めて小さく ($kT \ll E_c$), その影響を無視できるとした時、金属 1 から金属 2 への電子の輸送方法はトンネリングのみとなる。ここで、トンネリングがエネルギーの散逸を全く伴わない弾性的なものであると仮定すると、トンネリングに伴う系のエネルギー変化 ΔE は金属 1 のフェルミ準位と金属 2 のフェルミ準位の差

$$\Delta E = E_c - eV \quad (1.2)$$

により表される。ここで、 $\Delta E > 0$, すなわち電子のトンネリングによる系のエネルギーが上昇することはない。従って $\Delta E < 0$ の条件を満たす場合のみ電子 1 個がトンネリングする。これを満たす印加電圧 V の条件は、

$$V > \frac{e}{2C} \quad (1.3)$$

であり、図 1 に示す様に印加電圧がこの条件を満たした時に初めて電子が流れ、電流が発生する。電子 1 個の帯電エネルギーにより電子のトンネリングが離散的になる現象をクーロンブロッケード、クーロンブロッケードが発生する時の電圧をクーロンブロッケード電圧という [1]。ナノメートルサイズの構造であればクーロンブロッケードが発生する可能性は十分にあり、本研究でも数ナノメートルサイズの金属ナノドットを利用しているため、クーロンブロッケードが発生する事は十分に考えられる。そこで、本研究で作製したメモリにクーロンブロッケードが発生しているかを調べた。

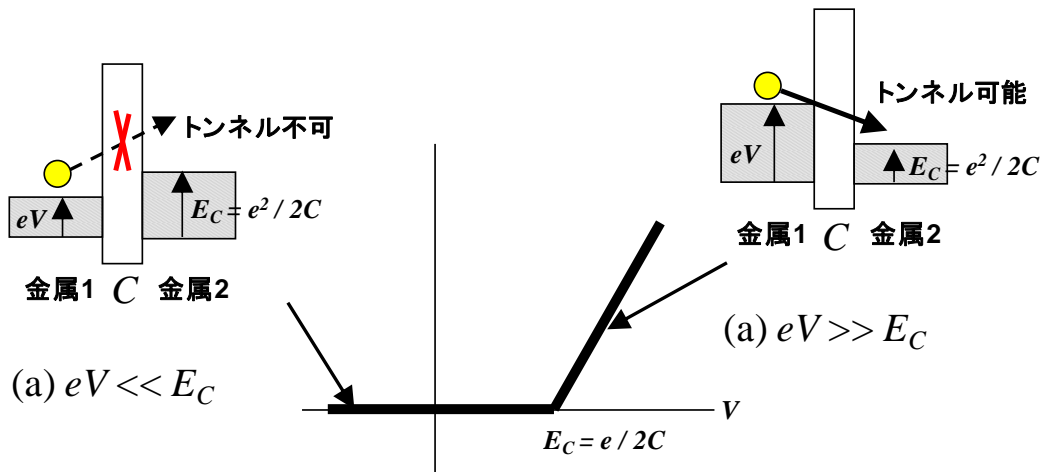


図 1. クーロンブロッケード

クーロンブロッケードは電子 1 個がトンネリングする事によって、エネルギー障壁が発生し、次の電子のトンネリングを阻害する。仮にナノドット型フローティングゲートメモリでクーロンブロッケードが発生した場合、1 個のナノドット中に注入される電子は 1 個に限定され、エネルギー障壁によって 2 個以上の電子の注入は発生しない。従って、電子 1 個の注入によるヒステリシスが発生するだけである。

そこで、図 2-22 のグラフからナノドット中に注入される電子の個数および 1 個のナノドット中に電子が 1 個注入された際に発生するメモリウィンドウ幅の算出を行った。ナノドットの密度とメモリウィンドウ幅の関係 ΔV_{FB} は式(1.4)で表される[1]。

$$\Delta V_{FB} = \frac{nqd_{dot}}{\epsilon_{ox}} \left(t_{ctrl} + \frac{1}{2} D_{dot} \right) \quad (1.4)$$

ここで、 n は 1 個のナノドットに注入された電子の個数、 q は電荷量、 d_{dot} はナノドットの吸着密度、 ϵ_{ox} はゲート酸化膜の誘電率、 t_{ctrl} はコントロール酸化膜の膜厚、 D_{dot} はナノドットの直径を示す。今回は Pt ナノドットを内包したナノドット型フローティングゲートメモリにおけるメモリウィンドウ幅とゲート電圧の関係を示した図 2-22 から、Pt ナノドット 1 個に注入される電子の個数を計算した。1 個に注入される電子の個数は式(1.4)を式(1.5)に変形できる。

$$n = \frac{\epsilon_{ox}}{qd_{dot} \left(t_{ctrl} + \frac{1}{2} D_{dot} \right)} \Delta V_{FB} \quad (1.5)$$

ここで、 q は 1.6×10^{-19} (C)、 d_{dot} は図 2-5 から 4.4×10^{11} (cm^{-2})、 ϵ_{ox} は $3.9 \times 8.85 \times 10^{-14} =$

3.45×10^{-13} (F/cm), t_{ctrl} は 20×10^{-7} (cm), D_{dot} は図 2-8 の断面 TEM 像から 3×10^{-7} (cm) であり, これらの値を式(1.5)に代入すると,

$$n = 2.3 \Delta V_{FB} \quad (1.6)$$

となる。式(1.6)および図 2-22 から, Pt ナノドット 1 個に約 6 個の電子が注入されていることが確認された。仮にクーロンブロッケードが発生している場合, ナノドットに注入される電子は 1 個に制限されるが, 今回の考察からナノドットには 2 個以上の電子が注入されているため, クーロンブロッケードは発生していないと考えられる。

次に, 積層ナノドット型メモリのナノドットとして使用した Co ナノドットに関してもクーロンブロッケードが発生しているか確認した。Co ナノドットの場合, Co および Co_3O_4 の比誘電率は報告されていないが, CoO の比誘電率が 13 である事が確認されている[2]。この値を利用すれば, Co ナノドットにおいてクーロンブロッケードが発生する温度もしくは室温でクーロンブロッケードを発生させるために必要なナノドットの大きさを算出できる。Co ナノドットが CoO であると仮定した際に, Co ナノドットの静電容量は,

$$C = 4\pi\epsilon_0\epsilon_{\text{CoO}}r = 4\pi \times 8.85 \times 10^{-12} \times 13 \times 3.5 \times 10^{-9} = 5.1 \times 10^{-18} [F] \quad (1.7)$$

となる。従って, 今回作製したメモリで, クーロンブロッケードを発生させるために必要な温度は,

$$T \ll \frac{e^2}{2Ck} = \frac{(1.6 \times 10^{-19})^2}{2 \times 5.1 \times 10^{-18} \times 1.38 \times 10^{-23}} = 182 [K] = -91 [^\circ C] \quad (1.8)$$

となる。理論上, 182 K よりもはるかに低温でクーロンブロッケードが発生する。しかし実際は電磁場環境効果により, 実際の動作限界温度は理論値の 1/10 となるので, クーロンブロッケードを実際に観測したい場合は 18.2 K 以下の条件下で測定を行う必要がある。[3] また, 室温でクーロンブロッケードが発生するナノドットの半径は,

$$\begin{aligned} r \ll \frac{e^2}{8\pi\epsilon_0\epsilon_r kT} &= \frac{(1.6 \times 10^{-19})^2}{8\pi \times 8.85 \times 10^{-12} \times 13 \times 1.38 \times 10^{-23}} \quad (1.9) \\ &= 2.1 \times 10^{-12} [m] = 2.1 [nm] \end{aligned}$$

となり, ナノドットの大きさが 4.2 nm よりもはるかに小さければ, 室温でクー

ロンブロッケードが発生する。今回利用したフェリチンの大きさは 6 nm であるため、室温でクーロンブロッケードは発生しないと考えられる。また、フェリチンよりも小さいリステリアフェリチンを利用して形成された Co ナノドットでも大きさが 4.5 nm であるため、クーロンブロッケードは発生しないと考えられる。

クーロンブロッケードが発生すると、1個あたりのナノドット中に注入される電子数が1個に制限されてしまい、メモリウィンドウ幅を拡大できない。従って、メモリの高性能化を実現する場合、クーロンブロッケードは発生しない方がよい。今回作製したメモリの場合、クーロンブロッケードが発生していないので、ナノドット1個あたりに2個以上の電子が注入されている。従って、大きなメモリウィンドウ幅を実現でき、メモリの高性能化および高信頼性化が実現できたと考えられる。

また、メモリウィンドウ幅の観点から考えると、クーロンブロッケードが発生する場合、電子の注入によって発生するメモリウィンドウ幅は 0.5 V である。今回の場合、電子の注入によるメモリウィンドウ幅は約 2.6 V であるため、クーロンブロッケードは発生せず、 Pt ナノドット1個に対して複数個の電子が注入されていると考えられる。以上の計算結果から、本研究で作製したフローティングゲートメモリに対して、クーロンブロッケードは発生していないと考えられる。

2. 電子のドット間トンネリングに関する考察

ナノドット中に存在する電子が隣接するナノドットへトンネリングするかどうかをシュレディンガー方程式によって確認した。シュレディンガー方程式を利用して波動関数 ϕ のしみ出し距離を計算することで、電子が隣接するナノドットへトンネリングを検討した。

山田はリステリアフェリチンを利用したナノドット型フローティングゲートメモリにおいて、この方法で電子の隣接するナノドットへのトンネリングに関する考察を行っている[4]。考察に利用した有限の井戸型ポテンシャルを図 2-35 に示す。 Pt ナノドット中に注入された電子は図 2 に示す有限深さの井戸型ポテンシャル V_0 、すなわち式(2.7)の中に閉じ込められており、 Pt ナノドットが創り出す井戸型ポテンシャルの最下層 ($E=0$) に存在していると仮定する。

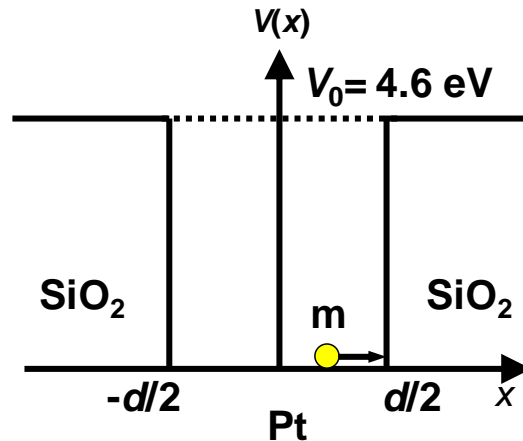


図 2. Pt ナノドットの 1 次元井戸型ポテンシャル中に閉じ込められた電子

$$V(x) = \begin{cases} 0 & (|x| \leq d/2) \\ V_0 = 4.6 & (|x| > d/2) \end{cases} \quad (2.1)$$

この事から, $E=0$ と仮定する。時間を含まないシュレディンガー方程式は

$$V(x) = \begin{cases} \frac{d^2\Phi}{dx^2} = -\frac{2mE}{\hbar^2} \Phi & (|x| \leq d/2) \\ \frac{d^2\Phi}{dx^2} = -\frac{2m(V_0 - E)}{\hbar^2} \Phi & (|x| > d/2) \end{cases} \quad (2.2)$$

$$\frac{d^2\Phi}{dx^2} = -\frac{2m(V_0 - E)}{\hbar^2} \Phi \quad (|x| > d/2) \quad (2.3)$$

と表される。ここで,

$$\begin{cases} \alpha = \sqrt{2mE} / \hbar & (2.4) \\ \beta = \sqrt{2m(V_0 - E)} / \hbar & (2.5) \end{cases}$$

と定義すると, 式(2.2)の一般解は,

$$\Phi = A \sin \alpha x + B \cos \alpha x \quad (2.6)$$

となる。ここで, m は電子の質量, $\hbar = h/2\pi$ (h : プランク定数)を示している。式(2.3)の一般解は $\Phi = C \exp(-\beta x) + D \exp(\beta x)$ で表されるが, $\beta > 0$ なので, $\Phi(\pm\infty) = 0$ を満たすには,

$$\begin{cases} \Phi = C \exp(-\beta x) & (x > d/2) \end{cases} \quad (2.7)$$

$$\begin{cases} \Phi = D \exp(\beta x) & (x < -d/2) \end{cases} \quad (2.8)$$

の形でなければならない。ポテンシャル $V(x)$ は、境界 $x = \pm d/2$ で不連続ではあるが、値が有限であるから、波動関数 $\Phi(x)$ は 1 次の微分係数 $d\Phi(x)/dx$ と共に有限かつ連続でなければならない。すなわち $x = d/2$ で式(2.6)および式(2.7)より、

$$\begin{cases} A \sin(\alpha d / 2) + B \cos(\alpha d / 2) = C \exp(-\beta d / 2) & (2.9) \end{cases}$$

$$\begin{cases} \alpha A \cos(\alpha d / 2) - \alpha B \sin(\alpha d / 2) = -\beta C \exp(-\beta d / 2) & (2.10) \end{cases}$$

$x = -d/2$ での連続条件は、式(2.6)および式(2.8)より

$$\begin{cases} -A \sin(\alpha d / 2) + B \cos(\alpha d / 2) = D \exp(-\beta d / 2) & (2.11) \end{cases}$$

$$\begin{cases} \alpha A \cos(\alpha d / 2) + \alpha B \sin(\alpha d / 2) = \beta D \exp(-\beta d / 2) & (2.12) \end{cases}$$

式(2.9)から式(2.12)より波動関数は、 $\beta = \alpha \tan(\alpha d/2)$ の時、

$$\Phi(x) = \begin{cases} C \exp(-\beta x) & (x > d/2) & (2.13 \text{ a}) \\ B \cos \alpha x & (-d/2 \leq x \leq d/2) & (2.13 \text{ b}) \\ C \exp(\beta x) & (x < -d/2) & (2.13 \text{ c}) \end{cases}$$

$\beta = -\alpha \cot(\alpha d/2)$ の時、

$$\Phi(x) = \begin{cases} C \exp(-\beta x) & (x > d/2) & (2.14 \text{ a}) \\ A \sin \alpha x & (-d/2 \leq x \leq d/2) & (2.14 \text{ b}) \\ C \exp(\beta x) & (x < -d/2) & (2.14 \text{ c}) \end{cases}$$

で与えられる。今回は電子が x 軸方向に対して正方向に進行すると考え、式(2.13a)を利用して波動関数 $\Phi(x)$ の SiO_2 に対する電子のしみ出し距離を計算した。ここで、 $m = 9.1 \times 10^{-31} \text{ kg}$ 、 $h = 6.6 \times 10^{-34} \text{ J}\cdot\text{s}$ として計算し、波動関数が $1/e$ となる距離を電子のしみ出し距離として計算した。 SiO_2 の領域は $x > d/2$ に相当する。従って、式(2.13a)の波動関数が $1/e$ になる距離を計算すればよい。今回は $C = 1$ として計算した。式(2.13a)より

$$\begin{aligned}\frac{1}{e} &= \exp(-\beta x) \\ \beta x &= 1 \\ x &= \frac{1}{\beta}\end{aligned}\tag{2.15}$$

となる。式(2.11)および式(2.25)より、

$$\begin{aligned}x &= \frac{\hbar}{\sqrt{2m(V_0 - E)}} = \frac{6.6 \times 10^{-34}}{2\pi\sqrt{2 \times 9.1 \times 10^{-31} \times 4.6 \times 1.6 \times 10^{-19}}} \\ &= 0.09 \times 10^{-9} (m) = 0.09 (nm)\end{aligned}\tag{2.16}$$

従って、波動関数が $1/e$ になる距離は 0.09 nm となった。外殻タンパク質の厚みが約 5 nm 存在するため、フェリチン同士が接触すると、基板上に配置されたナノドット間には約 5 nm の間隔が存在する。従って、プラズマ CVD によって SiO_2 コントロール酸化膜を堆積した際に、ナノドット間には SiO_2 による障壁が最低でも 5 nm は存在する。以上の結果から、本研究でのナノドットの配置ではナノドット中に存在する電子が隣接するナノドット中へトンネリングしないという事が確認された。電子が横方向にトンネリングすると、隣接するナノドットに電荷の流出経路が存在している場合、横方向へトンネリングした後、流出経路を通じて電子の流出が発生するため電荷保持特性が劣化する。今回作製したメモリの場合、電子の横方向へのトンネリングが発生しないので、電子がナノドット中に留まる確率が高くなり、高信頼性のメモリを実現する事ができたと考えられる。

- [1] 春山純志, “単一電子トンネリング概論-量子力学とナノテクノロジー-”, コロナ社 (2002)
- [2] 本学 田中亮太 修士学位論文 (2007)
- [3] 岩渕修一, 長岡洋介, “パリティ物理学コース メゾスコピック系の物理”, 丸善株式会社 (1998)
- [4] 本学 山田聖人 博士学位論文 (2008)

研究業績

1. 学術論文

1. K. Ohara, Y. Uraoka, T. Fuyuki, I. Yamashita, T. Yaegashi, M. Moniwa, and M. Yoshimaru, “Floating Gate Memory Based on Ferritin Nanodots with High-k Gate Dielectrics”, *Jpn. J. Appl. Phys.*, **48**, No. 4, 04C153 (2009).

2. K. Ohara, I. Yamashita, T. Yaegashi, M. Moniwa, M. Yoshimaru, and Y. Uraoka, “Floating Gate Memory with Biomineralized Nanodots Embedded in High-k Gate Dielectric”, *Appl. Phys. Express.*, **2**, No. 9, 095001 (2009).

3. K. Ohara, I. Yamashita, and Y. Uraoka, “TFT-type Flash Memory with Biomineralized Nanodots on SOI Substrate”, *Jpn. J. Appl. Phys.*, **49**, No. 4, 04DJ05 (2010).

4. K. Ohara, Y. Tojo, I. Yamashita, T. Yaegashi, M. Moniwa, M. Yoshimaru, and Y. Uraoka, “Floating Gate Memory with Biomineralized Nanodots Embedded in HfO₂”, *IEEE Trans. Nanotechnol.*, **10**, No. 3, 576-581 (2011).

5. K. Ohara, B. Zheng, M. Uenuma, Y. Ishikawa, K. Shiba, I. Yamashita, Y. Uraoka, “Three-Dimensional Nanodot-Type Floating Gate Memory Fabricated by Bio-Layer-by-Layer Method”, *Appl. Phys. Express.*, **4**, 085004 (2011).

2. 国際学会発表

1. K. Ohara, A. Miura, Y. Uraoka, T. Fuyuki, I. Yamashita, T. Yaegashi, S. Kawabata, and M. Yoshimaru, “Floating gate memory devices based on ferritin nanodots on high-k gate dielectrics”, The 2008 International Meeting for Future of Electron Devices, Kansai (IMFEDK), Osaka University, March 2008.

2. K. Ohara, Y. Uraoka, T. Fuyuki, I. Yamashita, T. Yaegashi, M. Moniwa, and M. Yoshimaru, “Floating gate memory based on ferritin nanodots with high-k gate dielectrics”, 2008 International Conference on Solid State Devices and Materials (SSDM 2008), Tsukuba International Congress Center, September 2008.

3. K. Ohara, Y. Uraoka, T. Fuyuki, I. Yamashita, T. Yaegashi, M. Moniwa, and M. Yoshimaru, “Floating Gate Memory Based on Ferritin Nanodots with High-k Gate

Dielectrics”, 2009 International Thin Film Transistor Conference (ITC’09), Ecole Polytechnique (France), March 2009.

4. K. Ohara, Y. Uraoka, T. Fuyuki, I. Yamashita, T. Yaegashi, M. Moniwa, and M. Yoshimaru, “Floating Gate Memory Devices Based on Ferritin Nanodots on High-k Gate Dielectrics”, The 2009 International Meeting for Future of Electron Devices, Kansai (IMFEDK 2009), May 2009

5. K. Ohara, Y. Uraoka, T. Fuyuki, I. Yamashita, T. Yaegashi, M. Moniwa, and M. Yoshimaru, “Floating Gate Memory Based on Ferritin Nanodots with High-k Gate Dielectrics”, 2009 Silicon Nanoelectronics Workshop (SNW 2009), June 2009

6. K. Ohara, I. Yamashita, and Y. Uraoka, “TFT-type Flash Memory with Biomineralized Nanodots on SOI Substrate”, 2009 International Conference on Solid State Devices and Materials (SSDM 2009), October 2009

7. S. Jung, K. Ohara, Y. Uraoka, T. Fuyuki, I. Yamashita, and H. Hwang, “Thermally Robust Nanocrystal Memory with Co Bio-nanodot Self-assembled Monolayer as a Charge Trap Medium on Ultrathin LaAlO₃ Layer”, 2009 International Conference on Solid State Devices and Materials (SSDM 2009), October 2009

8. K. Ohara, I. Yamashita, and Y. Uraoka, “Floating Gate Memory Based on Ferritin Nanodots with High-k Gate Dielectrics”, International Symposium on Advanced Nanostructures and Nano-Devices (ISANN), December 2009

9. K. Ohara, B. Zheng, M. Uenuma, I. Yamashita, and Y. Uraoka, “Three Dimensional Floating Gate Memory with Multi-layered Nanodot Array Formed by Bio-LBL”, 2010 International Conference on Solid State Devices and Materials (SSDM 2010), September 2010

10. K. Ohara, B. Zheng, M. Uenuma, I. Yamashita, and Y. Uraoka, “Three Dimensional Floating Gate Memory with Multi-layered Nanodot Array Formed by Bio-LBL”, International Symposium on Advanced Nanostructures and Nano-Devices (ISANN), December 2011

3. 国内学会発表

1. 小原孝介, 浦岡行治, 冬木隆, 矢野裕司, 畑山智亮, 山下一郎, “High-k 材料を用いた自己組織化ナノドットメモリ”, 特定領域研究「ポストスケール」第3回全体会議, 2007年12月
2. 小原孝介, 浦岡行治, 冬木隆, 山下一郎, 八重樫利武, 川端清司, 吉丸正樹, “High-k 膜を利用したバイオ系ドットフローティングゲートメモリ”, 第55回応用物理学会学術講演会, 2008年3月
3. 小原孝介, 浦岡行治, 冬木隆, 山下一郎, 八重樫利武, 茂庭昌弘, 吉丸正樹, “High-k 膜を利用したバイオ系ドット型フローティングゲートメモリ”, 電子情報通信学会 シリコン材料デバイス研究会 (SDM), 2008年6月
4. 小原孝介, 浦岡行治, 冬木隆, 山下一郎, 八重樫利武, 茂庭昌弘, 吉丸正樹, “High-k 膜を利用したバイオナノドットフローティングゲートメモリ”, STARC フォーラム/シンポジウム, 2008年7月
5. 小原孝介, 浦岡行治, 冬木隆, 山下一郎, 八重樫利武, 茂庭昌弘, 吉丸正樹, “High-k 膜を利用したバイオナノドットフローティングゲートメモリ”, 特定領域研究「ポストスケール」第4回全体会議, 2008年8月
6. 小原孝介, 浦岡行治, 冬木隆, 山下一郎, 八重樫利武, 茂庭昌弘, 吉丸正樹, “High-k 膜を利用したバイオ系ナノドット型フローティングゲートメモリ”, 第69回応用物理学会学術講演会, 2008年9月
7. 小原孝介, 浦岡行治, 冬木隆, 山下一郎, 八重樫利武, 茂庭昌弘, 吉丸正樹, “High-k 膜を利用したバイオ系ドット型フローティングゲートメモリ”, 薄膜材料デバイス研究会, 2008年10月
8. 小原孝介, 浦岡行治, 冬木隆, 山下一郎, 八重樫利武, 茂庭昌弘, 吉丸正樹, “High-k 膜を利用したバイオナノドットフローティングゲートメモリ”, 特定領域研究「ポストスケール」第3回成果報告会, 2009年1月
9. 小原孝介, 浦岡行治, 冬木隆, 山下一郎, 八重樫利武, 茂庭昌弘, 吉丸正樹, “High-k 膜を利用したバイオ系ナノドット型フローティングゲートメモリ”, 電子情報通信学会 シリコン材料デバイス研究会 (SDM), 2009年6月

10. 小原孝介, 山下一郎, 浦岡行治, “SOI 基板上へのナノドット型 TFT フラッシュメモリの作製”, 第 70 回応用物理学会学術講演会, 2009 年 10 月
11. 小原孝介, 鄭彬, 上沼睦典, 石河泰明, 山下一郎, 浦岡行治, “Bio-LBL 法を利用した 3 次元メモリデバイスの作製”, 第 71 回応用物理学会学術講演会, 2010 年 9 月
12. 小原孝介, “Floating Gate Memory Based on Ferritin Nanodots with High-k Gate Dielectrics”, 第 10 回関西コロキウム電子デバイスワークショップ, 2010 年 11 月 (招待講演)
13. 小原孝介, 鄭彬, 上沼睦典, 石河泰明, 山下一郎, 浦岡行治, “Bio-LBL 法を利用した積層ナノドット型フローティングゲートメモリの作製”, 第 72 回応用物理学会学術講演会, 2011 年 8 月

4. 研究助成金

1. 小原孝介, “生体超分子を用いた三次元メモリデバイスの研究”, 平成 20 年度「魅力ある大学院教育」イニシアティブ「物質科学の先端融合領域を担う研究者の育成」, 50 万円, 2009 年 1 月
2. 小原孝介, “生体超分子を用いた三次元メモリデバイスの作製”, 平成 21 年度「魅力ある大学院教育」イニシアティブ「物質科学の先端融合領域を担う研究者の育成」, 20 万円, 2009 年 10 月
3. 小原孝介, “生体超分子を用いた 3 次元メモリデバイスの研究”, 平成 21 年度奈良先端科学技術大学院大学 支援財団 (教育研究助成活動), 80 万円, 2009 年 4 月
4. 小原孝介, 平成 21 年度 奈良先端科学技術大学院大学 支援財団 (海外派遣支援事業), 18 万円, 2009 年 11 月
5. 小原孝介, “生体超分子を利用した 3 次元メモリデバイスの作製および評価”, 日本学術振興会特別研究員 (DC2), 140 万円, 2010 年 4 月 - 2012 年 3 月

謝辞

本研究は多くの方々の御指導、御助言、御協力のもとで行われました。文末ではありますが皆様に感謝の辞を述べさせていただきます。

浦岡行治教授には、本研究の機会を与えて頂き、また研究を進めるに当たり、昼夜を問わず熱心な御指導および御助言を頂きました。深く感謝致します。

石河泰明准教授には、報告会などを通じて研究に対する様々な御指導および御助言を頂きました。深く感謝致します。

上沼睦典特任助教には、断面 TEM 用の資料作製に関する指導から博士論文の校正まで研究全体に渡り、様々な御指導および御助言を頂きました。深く感謝致します。

鄭彬特任助教には、Bio-LBL 法の御指導だけではなく、バイオの観点から研究に関する様々な御指導および御助言を頂きました。深く感謝致します。

堀田昌宏助教および西田貴司助教には、異なる研究グループでありながらも、研究に関して様々な御指導および御助言を頂きました。深く感謝致します。

副指導教員である超高速フォトンクス研究室の河口仁司教授およびスーパーバイザーであるバイオミメティック科学研究室の池田篤志准教授には、異なる研究室でありながら多くの有益な御指導および御助言を頂きました。深く感謝致します。

微細素子科学研究室の冬木隆教授には、博士前期課程時代には主指導教員として、博士後期課程時代にはスーパーバイザーとして、研究に関する多くの有益な御指導および御助言を頂きました。深く感謝致します。

メゾスコピック科学研究室の山下一郎教授には、バイオナノプロセスという新しい分野の研究に関する御指導および御助言を頂きました。深く感謝致します。

微細素子科学研究室の矢野裕司助教には、異なる研究室でありながら、実験装置に関しての御指導および御協力を頂きました。深く感謝致します。

技術職員の藤田咲子氏には、TEM を利用した試料の断面観察を行って頂いただけではなく、TEM に関する様々な御助言を頂きました。深く感謝致します。

がん研究所の芝清隆博士には、戦略的創造研究推進事業(CREST)の研究報告会を通じて、Bio-LBL 法に関する様々な御助言および御協力を頂きました。深く感謝致します。

半導体理工学研究センター(STARC)の八重樫利武氏、茂庭昌弘氏および吉丸正樹氏には、共同研究を通じて、研究に関する様々な御指導を頂きました。深く感謝致します。

本研究室バイオナノプロセスグループの東條陽介氏、柿原康弘氏、分銅衡介氏、上武央季氏および番貴彦氏、本研究室を卒業された今澤孝則氏、川野健太郎氏および布施和志氏、微細素子科学研究室を卒業された越知誠弘氏、梅田朋季氏および入船裕行

氏には同じ研究グループのメンバーとして、研究活動において非常に多くの有益な御助言および御協力を頂きました。また、研究活動以外でも様々な御協力を頂き、最後まで充実した研究活動を進めることができました。特に、越知誠弘氏および梅田朋季氏には、研究を進めるために必要な実験装置の使用方法から素子の作製および評価方法まで、非常に丁寧に御指導頂きました。深く感謝致します。

メゾスコピック科学研究室を卒業された立石卓也氏には、Pt ナノドットに関する様々な御助言を頂きました。深く感謝致します。

微細素子科学研究室の岡本尚文研究員には、研究を行うために必要なタンパク質の精製を行って頂いただけではなく、タンパク質に関する様々な御助言を頂きました。深く感謝致します。

微細素子科学研究室を卒業された岡本大博士には半導体素子に関する多くの有益な御助言や御指導を頂いただけではなく、博士後期課程の学生として研究に対する心構えなど様々な面で御指導を頂きました。深く感謝致します。

微細素子科学研究室を卒業された菅原祐太博士および伊藤宏樹氏には、TFT に関する多くの御助言を頂きました。伊藤宏樹氏には TFT の作製方法に関する御指導および御助言を頂きました。また、菅原祐太博士には TFT に関する御助言だけではなく、研究以外の様々な面でも御指導頂きました。深く感謝致します。

微細素子科学研究室を卒業された、高橋優博士、大鐘章義博士および岩崎吉記博士には、異なる研究グループでありながらも、研究活動における多くの有益な御助言や御指導だけではなく、研究に対する心構えに関しても御指導頂きました。深く感謝致します。

最後に本研究を進めるに当たって様々な面でお世話になりました本研究室の藤井茉美氏、微細素子科学研究室の瀬瀬英典氏および平田憲司氏、微細素子科学研究室を卒業された大城ゆき氏、機能物性科学研究室を卒業された山下毅彦氏、そして情報機能素子科学研究室、微細素子科学研究室およびメゾスコピック科学研究室の学生および研究員の方々には、研究活動は勿論、研究活動以外の面でも様々な協力を頂きました。皆様に深く感謝致します。

最後に生活面において肉体的、精神的に自分を支えてくれた家族に深く感謝致します。