

博士学位論文

シリコンカーバイドの絶縁ゲート型
電界効果トランジスタに対する
アンモニアプラズマ前処理と界面電子物性評価

2010年3月

奈良先端科学技術大学院大学
物質創成科学研究科 物質創成科学専攻

岩崎 吉記

目次

第1章	序論	
1.1	はじめに	1
1.2	シリコンカーバイド(SiC)とは	2
1.3	SiC-絶縁ゲート型電界効果トランジスタ (SiC-MOSFET) の現状	3
1.4	窒化および水素化処理について	5
1.5	研究の位置づけと特徴	6
1.6	本論文の構成	7
1章	参考文献	17
第2章	NH ₃ プラズマ照射による SiC 表面改質と 4H-SiC MOS キャパシタの特性	
2.1	はじめに	19
2.2	MOS キャパシタの作製	19
2.3	MOS キャパシタの電気的特性	21
2.3.1	測定開始電圧依存性を有する MOS キャパシタの容量-電圧特性	21
2.3.2	容量-電圧測定による界面準位密度評価	21
2.3.3	NH ₃ プラズマ前処理した MOS キャパシタの界面準位密度評価	23
2.3.4	電流-電圧測定による絶縁破壊電界の評価	25
2.4	内部光電子放出法を用いた光学的特性の評価	26
2.5	堆積後アニールの効果	27
2.6	X線光電子分光法による NH ₃ プラズマ照射効果の評価	28
2.6.1	試料の作製と表面組成の解析	28
2.6.2	ドライ酸化膜/SiC 界面における酸化機構	31
2.7	まとめ	31
2章	参考文献	51
第3章	ゲート絶縁膜に SiON を用いた 4H-SiC MIS キャパシタの特性	
3.1	はじめに	53
3.2	MIS キャパシタ特性の成膜温度に対する依存性	53
3.2.1	MIS キャパシタの作製	53
3.2.2	MIS キャパシタの評価	54
3.3	MIS キャパシタの電気的特性	54
3.3.1	MIS キャパシタの作製	55
3.3.2	容量-電圧測定による界面準位密度評価	55
3.3.3	電流-電圧測定による絶縁性評価	56
3.4	堆積後アニールの効果	56

3.5	まとめ	57
3	章 参考文献	69
第4	章 NH ₃ プラズマ前処理を行った4H-SiC MISFETの特性	
4.1	はじめに	70
4.2	NH ₃ プラズマ前処理を行ったMISFETの作製	70
4.3	MISFETの電気的特性評価	71
4.3.1	ドレイン電流-ドレイン電圧特性	71
4.3.2	ドレイン電流-ゲート電圧特性	72
4.4	まとめ	75
4	章 参考文献	92
第5	章 結論	
5.1	本論文の主要結果	93
5.2	今後の課題と指針	94
	謝辞	96
付録A	IPE装置の構成・予備実験とその結果	98
付録B	IPE装置の制御プログラム	101
付録C	しきい値電圧について	102
付録D	電界効果移動度について	103
	研究業績	104

第1章 序論

1.1 はじめに

今から 60 年ほど前、1947 年に当時から世界最大レベルの研究所として知られていたベル研の Shockley、Brattain、Bardeen らにより接触型トランジスタが発明された[1.1]。この発明は 20 世紀最大の発明のひとつとして数えられ、現代の生活を支えている最も根源的なものであると考えられている。その後、半導体技術は数々の発明によって急速な進歩を遂げる。その中でも大きな発明として、金属-酸化膜-半導体電界効果トランジスタ(metal-oxide-semiconductor field-effect transistors : MOSFETs)が挙げられる。MOSFETs の出現により、電子回路の小型軽量化が急速に進むことになる。このような科学技術の発展により社会生活は豊かになり、それに伴って我々が消費するエネルギー量は増加の一途をたどっている。現在の日本においてエネルギーを電力として利用する割合(電力化率)は 40%程度であるが[1.2]、電気エネルギーの至便性・経済性・環境性を考えると、今後もその需要は増加することが予想される。また、中国など新興工業国のエネルギー需要の増加に伴う CO₂ 排出量の増加や石油資源の枯渇等のため、エネルギー問題や環境問題は深刻化している。よって地球環境保全の観点から、エネルギーの節減と利用の高効率化が強く求められている。このため、風力発電や太陽光発電の様なクリーンで持続可能な新エネルギーの導入はもちろんのこと、得られた電気エネルギーを如何に効率的に利用するかという省エネへの取り組みが非常に重要であるといえる。この省エネで鍵となるのがパワーデバイスと呼ばれる電力変換素子である。パワーデバイスは、直流から交流への(または交流から直流への)変換や電圧および周波数の変換を行う素子であり、大容量(高耐圧・大電流)・低損失・高速動作という性能が求められるが、これらはトレードオフの関係にある。小容量から大容量に至る幅広い電力ニーズに答えるために、様々な種類のデバイスが目的に応じて利用され発展してきた。パワーデバイスの適用は発電時の電力変換に始まり、モーターの回転制御を要する新幹線や自動車、エアコンや冷蔵庫のようなインバータを搭載する家電製品まで広範に及ぶ。このことから分かる様に、通常発電された電力はそのまま使われず、パワーデバイスによって目的とする電圧、電流、周波数へと何度も変換されている。そのためパワーデバイスの通電損失、スイッチング損失を低減しデバイス性能を向上することが望まれる。

現在主流であるシリコン(Si)を用いたパワーデバイスは、微細加工の発展に伴い Si の物性値によって決まる性能限界に近づきつつあり、今後の飛躍的な発展は期待できない。そこで Si に代わる次世代パワーデバイス材料として優れた物性値を有するシリコンカーバイド(SiC : 炭化珪素)が注目されている。ここで図 1-1 に Si 及び SiC パワーデバイスの電力容量と動作周波数の関係を示す。実線で示されている範囲が現在の主流パワーデバイス材料である Si 素子の適用範囲であり、破線で示されている範囲が次世代のパワーデバイス材料と期待される SiC の適応範囲である。SiC パワーデ

バイスは Si パワーデバイスより広範囲をカバーしており、トレードオフの関係にある大容量・高速動作の関係を向上できることが分かる。SiC は Si の約 3 倍(~3 eV)のバンドギャップを有しており、絶縁破壊電界は Si の約 10 倍(~3 MV/cm)と高い。そのため同耐圧の Si デバイスに比べ逆バイアス印加時の空乏層幅は 1/10 と薄くでき、ドーピング濃度は 100 倍にできる。ここで図 1-2 に同耐圧の Si 及び SiC 片側階段接合デバイスの空乏層内の電界分布を示す。耐圧は図中の三角形の面積に相当する。SiC は絶縁破壊電界が大きいことから Si に比べ縦長の三角形を示す。この結果、SiC は Si よりキャリア走行層であるドリフト層を短くでき、キャリア密度も高いためデバイスのオン抵抗を 2 桁以上小さくできる。図 1-3 に SiC 素子を用いることにより、インバータにおいてどの程度の電力損失の低減が期待されるかを示す[1.3]。Si のみを用いて作製された素子に比べ、ダイオードを SiC 製のショットキー・バリア・ダイオード(SBD)に置き換えるだけで電力損失は 15~30%ほど、さらにトランジスタにも SiC を用いることにより 50%以下にまで低減されることが予想されている。またワイドギャップ半導体であるため、SiC の真性キャリア密度は 500 °C の高温においても 10^{13} cm^{-3} 程度と低く、高温領域でも安定した素子動作が可能である。さらに Si に比べ約 3 倍(~5 W/cmK)の熱伝導率であるため放熱性が良く、冷却装置の小型化(水冷から空冷化など)も可能であり、システムレベルで見ても SiC デバイスのインパクトは大きい。この様に、SiC を用いることで超低損失、小型、高温での動作が可能なパワーデバイスが実現できる。今後は、太陽電池の普及に伴う分散型電源の導入拡大、ガソリン自動車のハイブリッド化や電気自動車の本格的な導入が予測され、パワーデバイスはこれまで以上に様々な箇所で利用されることが予想される。よって高性能 SiC パワーデバイス実現による、省エネ効果の期待は大きい。

1.2 シリコンカーバイド(SiC)とは

SiC は Si と C が 1 対 1 に共有結合した IV-IV 族化合物半導体である。Si と C はともに IV 族原子であるからそれらの間の結合は基本的に共有結合であるが、C 原子が Si 原子より電気陰性度が大きいことから約 12% のイオン性を有する。原子間距離が小さく結合が強固であるため、常圧では液相が存在せず、約 2000°C~2200°C 以上の高温で昇華するという熱的安定性に加えて、化学的、機械的安定性を有する材料である。Si と C は六方最密充填構造または立方構造となる様に配列し、六方最密充填は c 軸方向に多数の積層構造を持つため、SiC には 200 種類以上の同一組成で異なる結晶構造をとるポリタイプ(結晶多形)が存在する。図 1-4 は、Si-C 結合を有する一組を 1 つの球 A として置き換え、模式的に SiC の積層構造を示している。図 1-5 に代表的なポリタイプであり応用上重要である 3C-、4H-、6H-SiC の積層順序の模式図を示す。この表記法の最初の数字は積層方向(c 軸方向)の 1 周期中に含まれる Si-C 結合の数を表し、続くアルファベットはそれぞれ C : 立方晶 (cubic)、H : 六方晶 (hexagonal)、R : 菱面晶 (rhombohedral)を意味する。ポリタイプの違いは、バンドギャップや電子移動度と

いった物性値の違いとなる。立方晶形は 3C のみで、これを β -SiC、その他をまとめて α -SiC と呼ぶ。また Si-C 単位層の Si が表面に現れる面を(0001)Si 面、C が表面に現れる面を(000 $\bar{1}$)C 面と呼ぶ。面方位により SiC の酸化速度は異なる。図 1-6 に六方晶 SiC の代表的な結晶面を示す。(0001)Si 面、(000 $\bar{1}$)C 面は c 軸に垂直な面で表裏の関係にあり、それぞれ Si-と C-のダングリングボンドが現れる面である。(11 $\bar{2}$ 0)面は Si 面、C 面に垂直で、この結晶面には結晶の積層構造が現れる。表 1-1 に SiC の各ポリタイプ及び Si、GaAs、GaN、ダイヤモンドの物性値を示す[1.4]。SiC は他のワイドギャップ半導体と同様に高い物性値を持ちつつ、他のワイドギャップ半導体と違い p、n 両伝導型の広範囲価電子制御が容易であること、Si と同様に熱酸化により良質な絶縁膜 (SiO₂) が形成できること、及び導電性あるいは半絶縁性ウェーハが市販されていることなどの利点を持ち合わせている。多数のポリタイプの中で最もデバイス応用に適したポリタイプと考えられているのが 4H-SiC である。その理由として、電子移動度、禁制帯幅や絶縁破壊電界が大きいこと、電気伝導の異方性が小さいこと、ドナーやアクセプタ準位が比較的浅いことなどが挙げられる。また 4H-SiC の c 軸に対して垂直方向の電子移動度は 6H-SiC の 2 倍程度であるが、電気伝導の異方性のため c 軸方向では 6H-SiC の 10 倍程度の大きな移動度を持つ。そのため、縦方向に大電流を流す構造が必要なパワーデバイスには 4H-SiC が最も有望である。

SiC は Si-C 結合距離が 0.189 nm と短く、熱的・化学的に安定であり、常圧において液相が存在しない。そのため溶液からの結晶成長が困難であり、良質な単結晶が得られなかったことから、長期にわたり大きな発展をしてこなかった。現在得られる SiC 単結晶は、改良レーリー法と呼ばれる昇華法で作られている[1.5]。Tairov 等によって開発されたこの方法は、2500 °C 以上の高温で SiC 原料を昇華させ、温度勾配のある不活性ガス雰囲気中で昇華ガスの輸送を制御し、低温部に設置された種結晶上に SiC を再結晶化することにより良質な単結晶を作製している。また Kuroda 等によって提案されたステップフロー成長は、基本結晶面である Si 面に対して数度のオフ角を設けたオフ角基板上に結晶成長させることで、基板の結晶構造を継承できる[1.6]。この方法によって異なるポリタイプが混入しない高品質なエピタキシャル成長が可能となった。更に近年、デバイス応用への大きな課題であるマイクロパイプと呼ばれる中空貫通欠陥のほとんど存在しない 4 インチ基板が提供されるようになった。近年まで、SiC 販売メーカーは Cree 一社の独占状態であり価格も同サイズの Si 基板と比べて数百倍程度と高価なものであった。よってコスト面から SiC の実デバイスへの応用は難しい状況だったが、現在では表 1-2 に示すように様々なメーカーが SiC 基板の開発・販売に乗り出し、SiC 基板の低価格化が進んでいる[1.7]。その結果、SiC の実デバイスである SiC-Schottky Barrier Diode (SiC-SBD)はすでいくつかのメーカーから市販されている。

1.3 SiC-絶縁ゲート型電界効果トランジスタ (SiC-MOSFET)

の現状

SiC は GaN 等の他のワイドギャップ半導体に比べ、pn 伝導制御を行い易い、エピ基板が市販されている、熱酸化法により Si と同様にシリコン酸化膜(SiO₂)を形成できるなどの利点が存在する。これらの利点から MOSFET が容易に作製できる。MOSFET は、電圧駆動であるためにゲート回路が簡単であり駆動が容易であること、オン電流が飽和特性を示すこと、安全動作領域が広く熱暴走しないこと、高速動作が可能であることなどの利点が挙げられる。さらに SiC-MOSFET は、Si-MOSFET では実現できなかった、高耐圧・高速動作領域での動作が可能である。しかしながら、現状の SiC-MOSFET は SiC の物性値から期待されている高い特性は得られていない。その最大の要因は、MOS 界面におけるチャンネル移動度が小さいためチャンネル部分での抵抗が大きくなり、SiC 本来の物性から期待される様な低いオン抵抗のデバイスが実現できていないためである。これは酸化膜/SiC の界面特性が悪く、界面準位と呼ばれる欠陥が Si に比べ 1 桁以上多く存在するためである。図 1-7 に酸化膜/SiC 界面付近に存在するトラップ分布を示す[1.8]。SiC のバンドギャップ中には起源の異なる数種類のトラップがあり、SiC の価電子帯側にはドナー型界面準位、伝導帯側には高密度のアクセプタ型界面準位が存在すると考えられている。界面準位の実態は未だ明らかでないが、Afanas'ev らによって提案されたカーボンクラスターモデルが有力な説である[1.9]。彼らは、高密度に存在する酸化膜/SiC 界面準位の主な要因が Si-や C-のダングリングボンドでなく、界面に残留した過剰カーボンの蓄積によるものと示した。これらのカーボンはグラファイトライクカーボンと sp^2 結合したカーボンクラスターを形成しており、グラファイトライクカーボンは SiC のバンドギャップ中に連続的な準位を形成するのに対し、 sp^2 結合したカーボンクラスターはバンドギャップ中の価電子帯側に準位を形成すると報告している。このモデルの模式図を図 1-8 に示す。界面準位はキャリアを捕獲し可動キャリアを減少させるだけでなく、捕獲電荷によるクーロン散乱を引き起こす原因ともなる。そのため界面準位を減少させデバイス特性を向上させるには、酸化膜/SiC 界面における残留カーボンの除去と残留カーボンに起因した欠陥の終端が重要である。また界面準位の他に酸化膜/SiC 界面近傍の酸化膜中に near-interface trap(NIT)と呼ばれるトラップがあることが示されている。これは酸化膜の本質的な欠陥で Si 上の酸化膜においても存在することが知られている。NIT は、酸化膜の伝導帯端から 2.77 eV 程度のエネルギーに位置しており、これは Si の伝導帯端よりは高いエネルギーであるため Si デバイスにおいて大きな問題となっていない。しかしこれは 4H-SiC の伝導帯端よりは少し低いエネルギーに位置することとなるため、禁制帯内に入りトラップとして働くため、 E_c 付近の高い界面準位密度(Interface state density : D_{it})の要因の一つと考えられている。

これまで良好な酸化膜/SiC 界面を形成し、高移動度 SiC MOSFET を実現するための多くの試みがなされてきた。SiC 基板の面方位や各種酸化法の工夫が代表的な取り組みである。面方位の違いは、酸化膜形成速度や作製したデバイス特性の違いとして現

れる。従来 4H-SiC MOSFET の開発はエピ成長技術の進んでいた Si 面が用いられていたが、結晶成長技術の発展に伴い C 面エピ基板も用いられるようになった。C 面は、Si 面に対して約 10 倍の酸化速度であること[1.10]や高いチャネル移動度が報告されている[1.11]ことから、DMOS 型デバイスに最適な面方位として期待されている。基本結晶面である Si 面や C 面以外に(11 $\bar{2}$ 0)面や(03 $\bar{3}$ 8)面も利用されており、200 cm²/Vs を超えるチャネル移動度を得られることが報告されている[1.12-13]。また Si と同様に SiC は熱酸化による酸化膜形成が可能で、一般的な酸化法としてドライ酸化やウェット酸化が挙げられる[1.14]。ドライ酸化は乾燥した酸素、ウェット酸化は水蒸気を含んだ酸素を高温状態に保たれた石英管内の SiC 上に送って酸化させる方法である。ウェット酸化の中でも石英管内に酸素と水素を送り、そこでの反応によって得られる水蒸気を用いる方法をパイロジェニック酸化という。4H-SiC の Si 面 MOSFET の反転層チャネル移動度は、研究初期において 10cm²/Vs 以下であったが、パイロジェニック再酸化（水分を含んだ雰囲気、酸化膜厚を増加させない程度の低温で再酸化）を行うことで MOS 界面特性が大幅に改善できることが報告された。このときチャネル移動度は H₂O 濃度とともに増加し、H₂O 濃度=50%で 50cm²/Vs 程度まで向上することが報告されている[1.4]。また C 面に対しては、パイロジェニック酸化と H₂アニールの組み合わせで、ドライ酸化に比べ伝導帯近傍の界面準位が減少し、110 cm²/Vs を超えるチャネル移動度を得られている[1.11]。一方、窒化処理は Si 面と C 面を問わず MOS 界面特性の改善に非常に有効であることが報告されている[1.15-16]。一酸化窒素(NO)や亜酸化窒素(N₂O)アニールを行った MOS キャパシタにおいて、水素を用いた処理以上に伝導帯近傍の界面準位密度が大幅に減少することが報告されている。しかし、これらの MOSFET 特性は、界面準位の減少から期待される程良いものでなく、MOS キャパシタ特性と MOSFET の移動度との相関は取れていない。この原因の一つとして、反転型 n チャネル MOSFET の界面準位の評価を MOSFET の基板と伝導型の異なる n 型 MOS キャパシタにて行っていることが考えられる。これは SiC がワイドギャップ半導体であるため、室温での少数キャリアの生成がほとんどなく反転層が形成されないためである。このように SiC MOSFET はまだ研究すべき点が多いといえるが、いくつかのメーカーでは表 1-3 に示すようにサンプルが出荷され、量産化への用意が整いつつある[1.7]。

1.4 窒化および水素化処理について

前節でも述べたように、NO や N₂O ガスを用いた窒化処理は界面準位の低減に非常に効果的である。例えば、これまでに N₂O 直接酸化で作製した C 面 MOS キャパシタの界面準位密度は、ウェット酸化が 10¹² cm⁻²eV⁻¹ 台前半の値であるのに対し 10¹¹ cm⁻²eV⁻¹ 台前半の値まで約 1 桁近く減少することが報告されている[1.15]。

窒化による界面準位低減のメカニズムを Jamet らは以下の 2 つの働きによると報告している。一つめに Si≡N の強い結合をつくることで、ダングリングボンドや歪んだ

結合に起因する界面準位を不活性化すること、次に酸化膜や酸化膜/SiC 界面のカーボンやカーボン化合物を除去することである[1.17]。また、Chung らは NO アニールによって、n 型 MOS キャパシタでは伝導帯側の界面準位が大幅に減少し、p 型 MOS キャパシタでは価電子帯側の界面準位がわずかに増加することを確認した[1.18]。このことから彼らは、窒素がカーボンクラスターを分解しサイズを小さくすることによって、バンドギャップの伝導帯近傍に存在していた界面準位が価電子帯近くに準位を変化させると考えている[1.19]。これまでの多くの研究成果から NO や N₂O ガスを用いた窒化処理が、界面準位密度の低減や酸化膜の信頼性の向上に効果的であることが明らかとなっている。またパイロジェニック酸化や H₂ アニールといった水素化処理の効果は Fukuda らによって説明されている。彼らは-H や-OH が界面準位を不活性化することにより界面準位密度の低減、しきい値電圧の減少、チャネル移動度の増加が起きたと考えている[1.11]。このとき、水素化による界面準位密度は $1 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 程度への減少であるが、移動度は $111 \text{ cm}^2/\text{Vs}$ と非常に高い値を示している。よって水素化による電子トラップ終端は、 $E_c - E = 0.2 - 0.6 \text{ eV}$ の界面準位密度以外のところで大きく現れることが示唆される。

表 1-4 に産業技術総合研究所が纏めた SiC MOS 特性の酸化膜処理プロセス依存性の現状について示す[1.20]。ドライ処理のチャネル移動度は面方位に関わらず低いですが、wet 処理によって C 面のチャネル移動度は大幅に改善されること、また窒化処理によって Si 面、C 面ともかなり改善されることが分かる。WET 処理、窒化処理したときの絶縁性は、ドライ処理と比べて Si 面では劣化しているが、C 面ではほとんど変わらない。また WET 処理、窒化処理したときの信頼性をドライ処理と比べると、Si 面と C 面の両方において破壊電荷量は改善されるが破壊時間は劣化する。これらに加えて、H₂ 処理はチャネル移動度及び SiC 熱酸化膜信頼性の向上に有効であることが報告されている。ただし H₂ 処理を行うとき、Si で一般的に使用される温度である 400°C 程度では効果がなく、800°C 以上の高温で行うことによりデバイス特性が向上することが報告されている[1.21-22]。

1.5 研究の位置づけと特徴

1.4 節で述べた通り、WET 処理は $E_c - E = 0.2 - 0.6 \text{ eV}$ の界面準位密度の減少は少ないがチャネル移動度が高い、そして絶縁性及び信頼性の点で窒化処理に及ばないという特徴がある。そして窒化処理したサンプルのチャネル移動度は WET 処理に及ばないが $E_c - E = 0.2 - 0.6 \text{ eV}$ の界面準位密度は大きく減少するという特徴がある。よって窒化と水素化の両方の長所を取り入れたプロセス、つまり窒化により $E_c - E = 0.2 - 0.6 \text{ eV}$ の界面準位密度を減少させ、水素化によりそれ以外のトラップを減少させるプロセスを開発することができれば、移動度が高く、絶縁性、信頼性も良好なデバイスが出来ると考えられる。本研究では、MOS 界面を窒化および水素化することにより両方の長所を取り入れたデバイスの作成、MOS 界面の特性向上を目標とする。

また、NO や N₂O を用いて窒化するとき界面への窒素導入量は限界があり、数パーセントといわれている[1.23-24]。界面に窒素が 2 パーセント程度導入されたとき、界面準位密度は $1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 前半まで減少し、移動度は 30 から 40 まで向上すると報告されている[1.25]。そこで、より多くの窒素を界面に導入することによる更なるデバイス特性の改善が期待されている[1.24]。本研究では、SiC 表面に Radio frequency (RF)容量結合型プラズマ Chemical vapor deposition (CVD)装置を用いて NH₃ プラズマを照射し直接窒化することでより多くの窒素を MOS 界面に導入することを試みた。このときプロセス温度が 300°C 程度でも水素は界面に導入され、窒化と水素化が同時に起こる。NH₃ プラズマ照射後、CVD 装置を用い続けて絶縁膜を堆積することが出来るため、NH₃ プラズマ照射と絶縁膜堆積を別々に行うときに比べコンタミネーションの影響などを減らすことが出来る特徴がある。

1.6 本論文の構成

本論文の構成は以下の通りである。

第 2 章

NH₃ プラズマ前処理を行った 4H-SiC MOS キャパシタの特性について調べた。このとき酸化膜トラップの影響を受けない *C-V* 特性測定法について考案し、Hi-Lo 法を用いて界面準位密度を算出し NH₃ プラズマ前処理の効果を調べた。また、内部光電効果法 (Internal photoemission spectroscopy : IPE) を用い、NH₃ プラズマ前処理を行うことによるバンドアライメントの変化を調べた。さらに、NH₃ プラズマ照射による SiC 表面改質について、X 線光電子分光法 (X-ray photoelectron spectroscopy : XPS) 測定を用いて調べた。

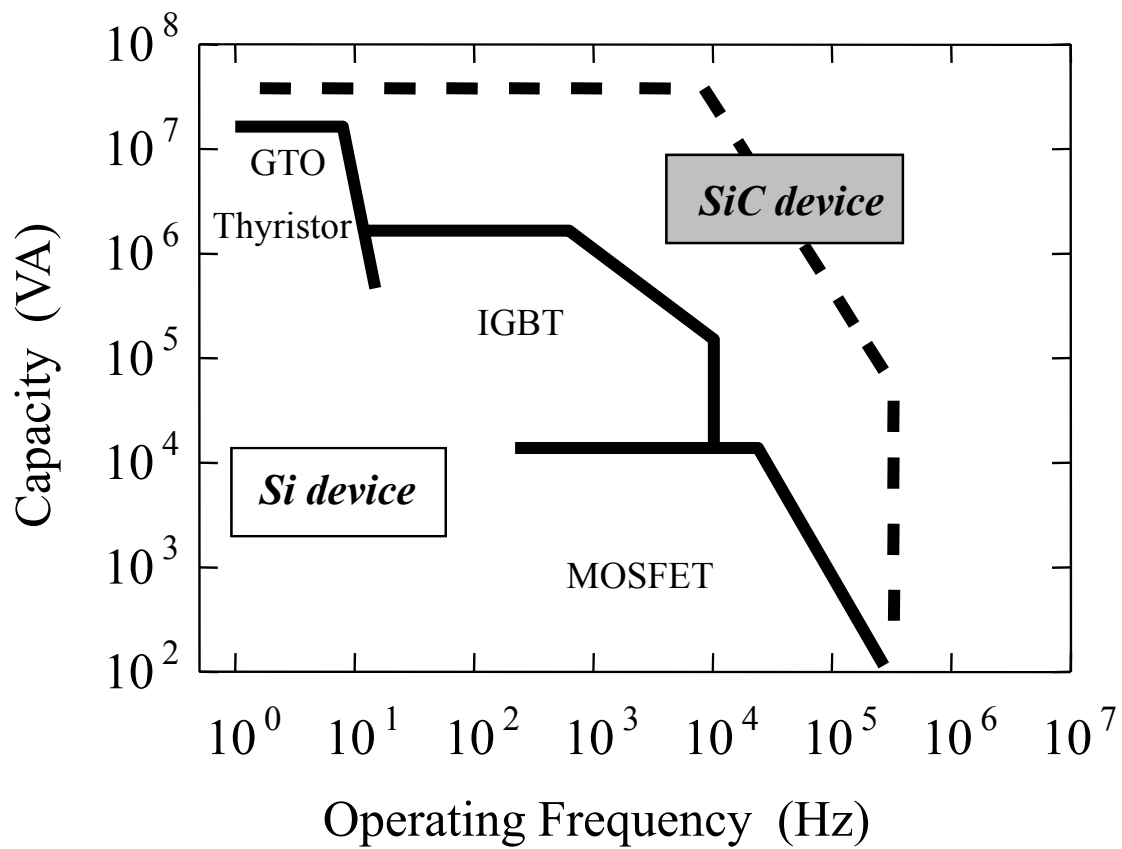
第 3 章

NH₃ プラズマ前処理後 SiON を堆積した MIS キャパシタの特性について調べた。このとき、NH₃ プラズマ前処理の効果を調べると同時に、成膜温度依存性についても評価した。

第 4 章

NH₃ プラズマ前処理を行った MISFET を作製し、NH₃ プラズマ前処理の実デバイスに対する効果を調べた。また、本研究で用いた絶縁膜は多くの電子をトラップしてしまうため、電気的特性を測定すると大きなヒステリシスを示す。このような絶縁膜中トラップの多いサンプルに対する評価方法について検討した。

第 5 章では、以上をまとめて結論とすると共に、今後の課題について述べる。



GTO: Gate Turn-Off Thyristor

IGBT: Insulated Gate Bipolar Transistor

MOSFET: Metal-Oxide-Semiconductor

Field-Effect Transistor

図1-1 : パワーデバイスの電力容量と動作周波数の関係

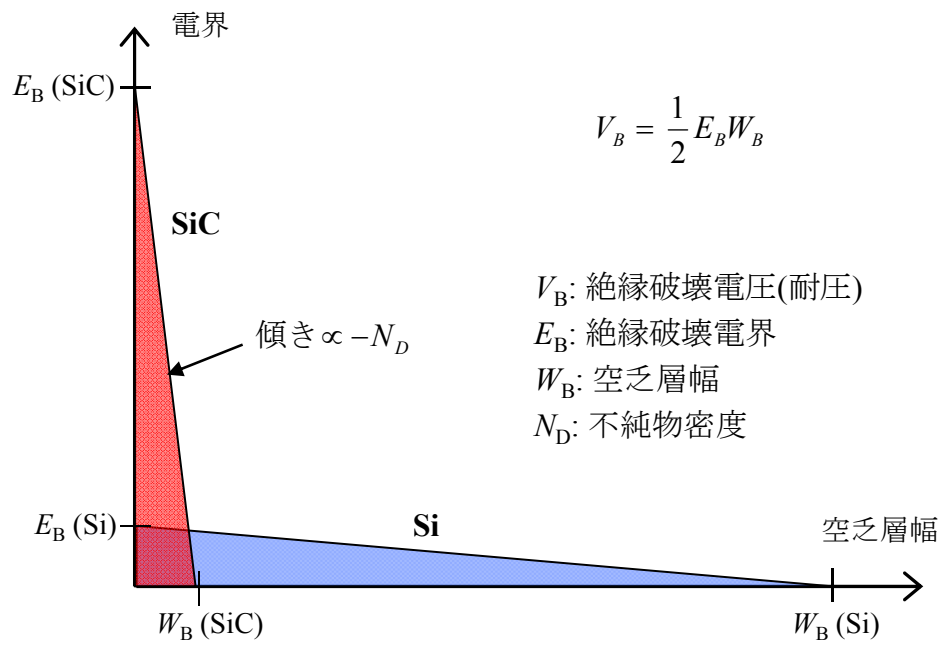


図1-2 : Si及びSiC片側階段接合の空乏層内の電界分布

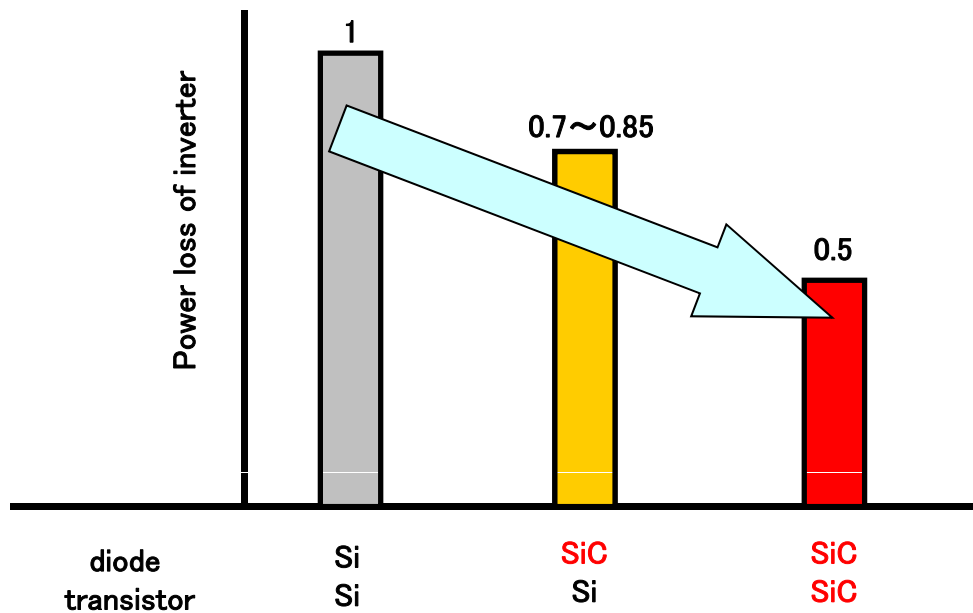


図1-3 : SiデバイスとSiCデバイスの電力損失比較 [1.3]

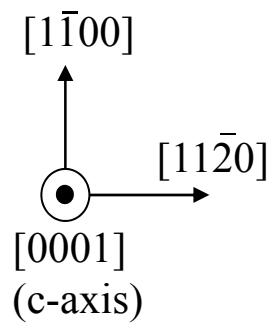
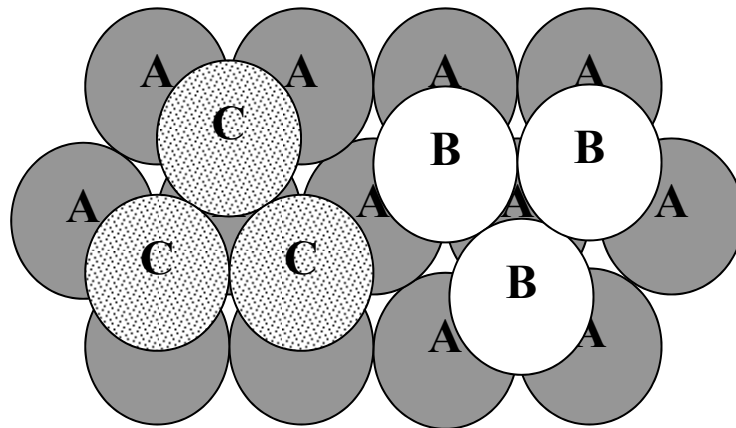
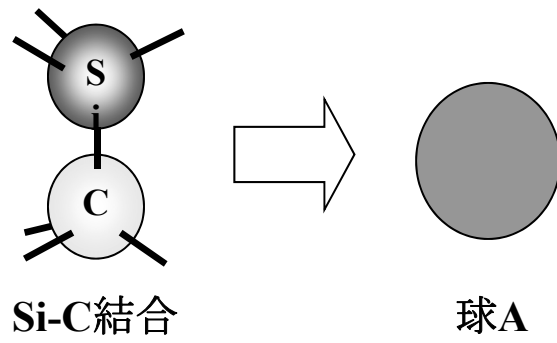


図1-4 : SiCの積層構造

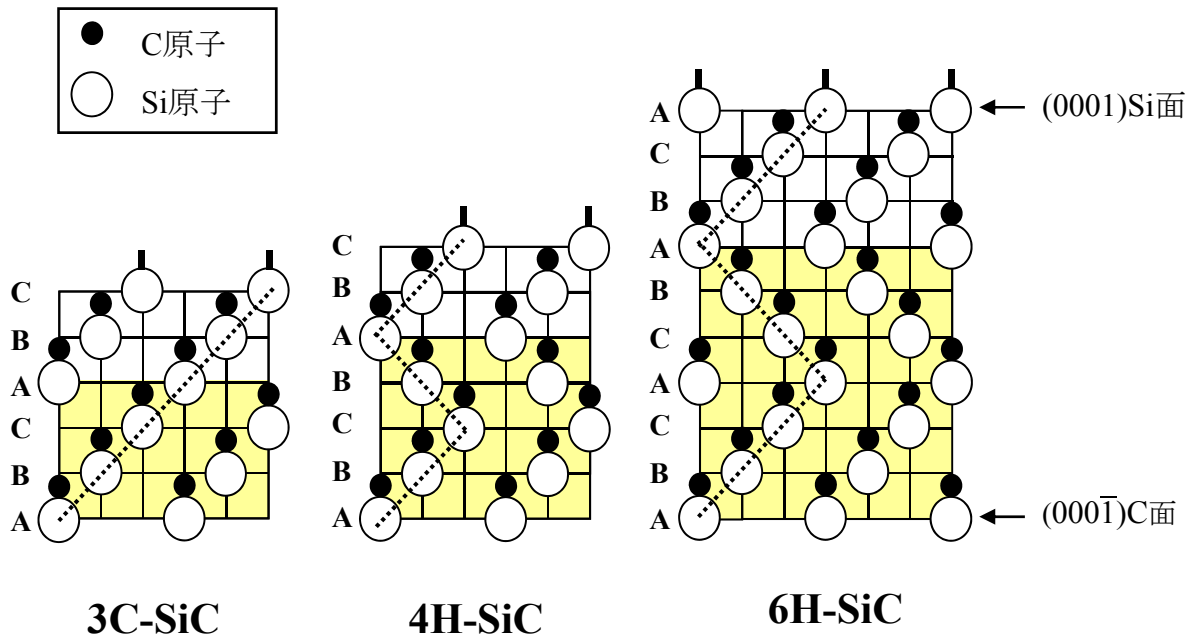


図1-5 : 3C-, 4H-, 6H-SiCの積層構造

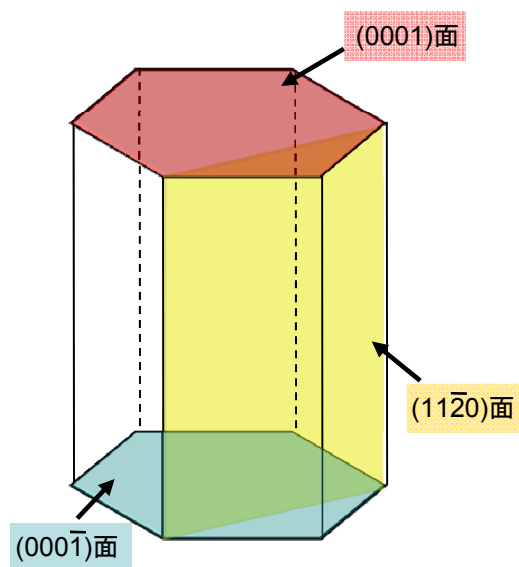


図1-6 : 六方晶SiCと代表的な結晶面

表1-1 : SiC及び各種半導体の物性値 [1.4]

	SiC			Si	GaAs	GaN	ダイヤモンド
	3C-	4H-	6H-				
禁制帯幅 E_g (eV)	2.23	3.26	3.02	1.12	1.42	3.42	5.47
結晶型	ZB	Hex.	Hex.	Dia.	ZB	Hex., ZB	Dia.
格子定数 (Å)	4.36	a = 3.09 c = 10.08	a = 3.09 c = 15.12	5.43	5.65	a = 3.19 c = 5.19	3.57
バンド構造	I.D.	I.D.	I.D.	I.D.	D.	D.	I.D.
電子移動度 μ_n (cm ² /Vs)	1000	1000 ($\perp c$) 1200 ($//c$)	450 ($\perp c$) 100 ($//c$)	1350	8500	900	2000
正孔移動度 μ_h (cm ² /Vs)	50	120	100	450	420	400	1600
絶縁破壊電界 E_b (V/cm) $\times 10^6$	1.5	2.8	3.0	0.3	0.65	2.6	5.6
熱伝導率 (W/cmK)	4.9	4.9	4.9	1.5	0.5	1.3	20.9
飽和ドリフト速度 v_s (W/cmK)	2.7	2.2	1.9	1	2	2.7	2.7
比誘電率 ϵ_s	9.7	9.7	9.7	11.9	12.9	9.5	5.93

ZB: Zinc Blende Hex.: Hexagonal Dia.: Diamond
I.D.: Indirect D.: Direct

表1-2 : SiCウエハの技術動向 [1.7]

シェア	メーカー	国	市販品・開発品
19 %	II-VI	米	2", 3" ϕ 市販, 4" ϕ 開発
13 %	SiCrystal	独	2", 3" ϕ 市販, 4" ϕ 開発
3 %	Norstel	Sweden	HTCVD法
2 %	Dow Corning	米	2", 3" ϕ 市販
2 %	新日鉄	日	2", 3", 4" ϕ 市販 \Rightarrow 2011年に6" ϕ サンプル
	ブリヂストン	日	2" ϕ 市販, 3" ϕ サンプル
	TankeBlue	中	2" ϕ 市販
	Caracal	米	HTCVD法
	HOYA	日	3C基板開発中, 6" ϕ
	コバレントマテリアル	日	3C基板開発中
	SiC Systems	米	3C基板開発中

(シェアは2007年市販SiC基板全体)

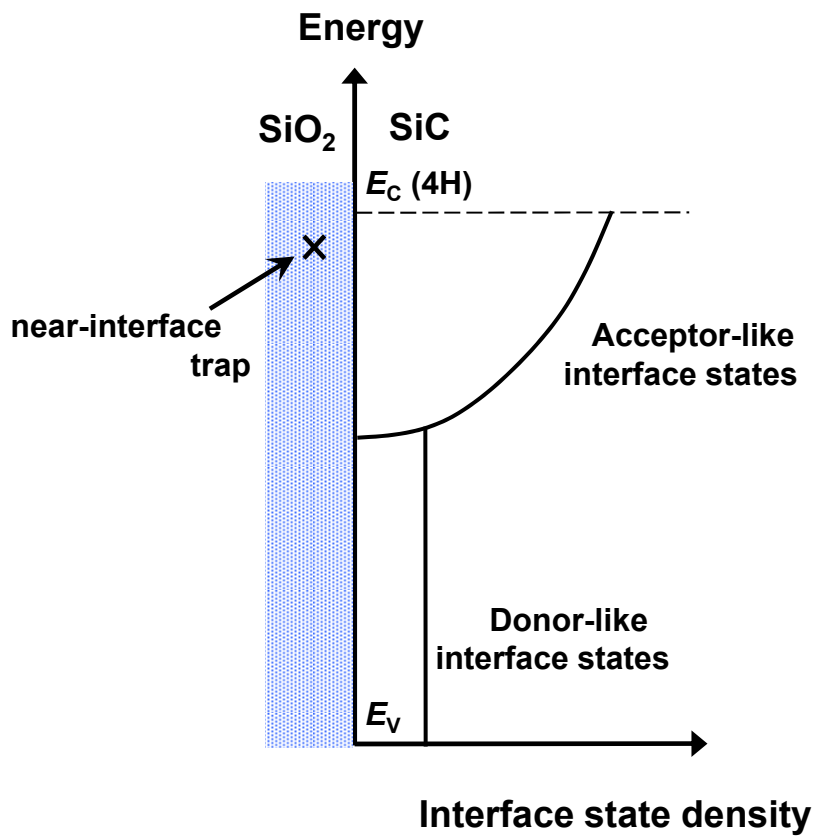


図1-7 : SiO₂/SiC界面付近のトラップ分布 [1.8]

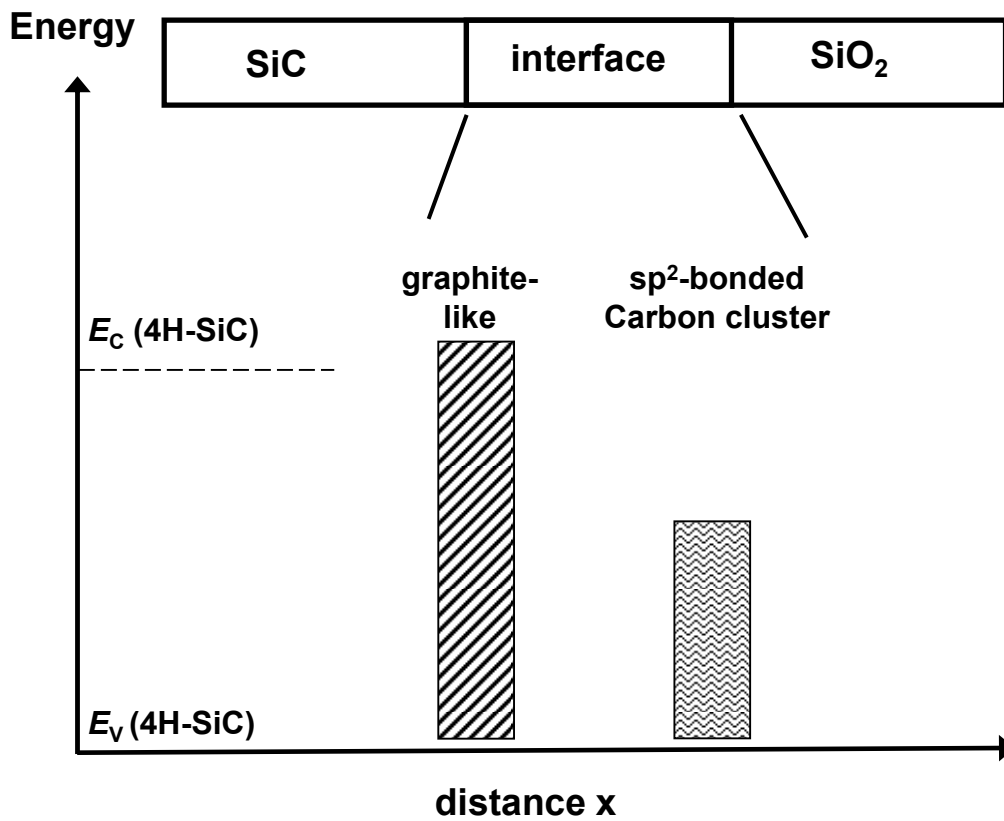


図1-8 : カーボンクラスターモデルによる界面準位分布 [1.9]

表1-3 : SiCスイッチング素子のサンプル出荷状況 [1.7]

メーカー	出荷開始	素子構造	定格 (オン抵抗)
SiCED	2003年	ノーマリオン縦型JFET	1500 V 2 A/3 A
SiCED	2004年	+Si-MOSFET のCascode	Fast Switch : 600 V 2 A/5 A 1200 V 2 A/4 A 1800 V 1 A/3 A Low Loss Switch : 600 V 6 A/10 A 1200 V 6 A/10 A 1800 V 5 A/8 A
SiCED	2005年		1200 V 6 A (2×2 mm), 50 A (5×5 mm)
Semi-South	2008年	ノーマリオフ縦型JFET	1200 V 12 A/24 A
ローム	2006年	MOSFET (プレーナゲート縦型素子)	1200 V 30 A 本田技研などへ 2009年に量産予定
Cree	2007年	MOSFET (プレーナゲート縦型素子)	1200 V 10 A 2010年に量産予定
三菱	2010年	MOSFET (プレーナゲート縦型素子)	1200 V ? 2012年に本格量産予定

表1-4 : SiC MOS特性の酸化膜処理プロセス依存性の現状 [1.20]

酸化膜形成 プロセス	チャンネル移動度 (μ)	絶縁性 (TZDB)		信頼性 (TDDB)	
		バリアハイト (ϕ_B)	破壊電界強度 (E_{BD})	破壊電荷量 (Q_{BD})	破壊時間 (t_{BD})
DRY処理	Si面 : ×	Si面 : ◎	Si面 : ◎	Si面 : ×	Si面 : ○
	C面 : ×	C面 : ×	C面 : △	C面 : ○	C面 : ○
	(1120)面 : ×	(1120)面 : △	(1120)面 : ○	(1120)面 : △	(1120)面 : ○
WET処理	Si面 : △	Si面 : ○	Si面 : △	Si面 : △	Si面 : △
	C面 : ◎	C面 : ×	C面 : △	C面 : ◎	C面 : △
	(1120)面 : ◎				
窒化処理 (N_2O , NO)	Si面 : ○	Si面 : ○	Si面 : △	Si面 : ○	Si面 : △
	C面 : ○	C面 : △	C面 : △	C面 : ◎	C面 : △
H ₂ 処理	チャンネル移動度及びSiC熱酸化膜信頼性の向上に有効				

1 章 参考文献

- [1.1] 國岡昭雄, 上村喜一 著 “新版基礎半導体工学”, 朝倉書店 (1996).
- [1.2] 荒井和雄, 吉田貞史 編 “SiC 素子の基礎と応用”, オーム社 (2003).
- [1.3] 日経エレクトロニクス 2008 年 11 月 17 日.
- [1.4] 松波弘之 編, “半導体 SiC 技術と応用”, オーム社 (2003).
- [1.5] Yu. M. Tairov and V. F. Tsverkov : *J. Cryst. Growth*, **52**, (1981) 146.
- [1.6] N. Kuroda, K. Shibahara, W. S. Yoo, S. Nishino, and H. Matsunami : *Ext. Abstr.19th SSDM*, 227 (1987).
- [1.7] Semi Forum Japan 2009 (株)東芝 研究開発センター
- [1.8] A. Agarwal and S.Haney : *J. Electric Mat.* **27** (2007) 646.
- [1.9] V. V. Afanasev, M. Bassler, G. Pensl, and M. Schulz : *Phys. Status Solidi A* **162** (1997) 321.
- [1.10] K. Ueno : *Phys. Status Solidi A* **162** (1997) 299.
- [1.11] K. Fukuda, M. Kato, K. Kojima, and J. Senzaki : *Appl. Phys. Lett.* **84** (2004) 2088.
- [1.12] H. Yano, F. Katafuchi, T. Kimoto, and H. Matsunami : *IEEE Trans. Electron Devices* **ED-46** (1999) 504.
- [1.13] T. Kimoto, S. Nakazawa, K. Fujihira, T. Hirao : *Mat. Sci. Forum* **389** (2002) 165.
- [1.14] 原央 編 “ULSI プロセス技術”, 培風館 (1997).
- [1.15] S. Dhar, L. C. Feldman, S. Wang, T. Isaacs-Smith, and J. R. Williams : *Appl. Phys. Lett.* **98** (2005) 014902.
- [1.16] T. Kimoto, Y. Kanzaki, M. Noborio, H. Kawano, H. Matsunami : *Jpn. J. Appl. Phys.* **44** (2005) 1213.
- [1.17] P. Jamet, S. Dimitrijevic, and P. Tanner : *J. Appl. Phys.* **90** (2001) 5058.
- [1.18] G. Y. Chung, C. C. Tin, J. R. Williams, K. McDonald, M. Di Ventra, S.T. Pantelides, L. C. Feldman, And R. A. Weller : *Appl. Phys. Lett.* **76** (2000) 1713.
- [1.19] K. McDonald, R. A. Weller, S. T. Pantelides, and L. C. Feldman, G. Y. Chung, C. C. Tin, and J. R. Williams : *J. Appl. Phys.* **93** (2003) 2719.
- [1.20] 第 56 回応用物理学関係連合講演会 2009 年春季 シンポジウム 1p-TG-8
- [1.21] K. Fukuda, W. J. Cho, K. Arai, S. Suzuki, J. Senzaki, and T. Tanaka: *Appl. Phys. Lett.* **77** (2000) 866
- [1.22] K. Fukuda, M. Kato, K. Kojima, and J. Senzaki: *Appl. Phys. Lett.* **84** (2004) 2088
- [1.23] K. McDonald, L. C. Feldman, R. A. Weller, G. Y. Chung, C. C. Tin, and J. R.

Williams: *J. Appl. Phys.* **93** (2003) 2257

[1.24] J. Rozen, X. Zhu, A. C. Ahyi, J. R. Williams, L.C. Feldman : International conference on silicon carbide and related materials 2009 Mo-2A-4

[1.25] T. Kimoto, Y. Kanzaki, M. Noborio, H. Kawano, and H. Matsunami: *Mat. Res. Soc. Symp. Proc.* **815** (2004) J8.2.1

第2章 NH₃ プラズマ照射による SiC 表面改質と 4H-SiC MOS キャパシタの特性

2.1 はじめに

本章では、SiC MOS キャパシタに対し NH₃ プラズマ前処理を行うことによる界面特性の改善を試みた。n 型の 4H-SiC を用いて NH₃ プラズマ前処理を行った MOS キャパシタを作製し、電気的特性から界面準位密度を、光学的特性からバンドアライメントを評価した。また、NH₃ プラズマ照射した SiC 表面の組成および結合状態を評価するため XPS 測定を行った。

ここで、n 型の基板を用いて界面特性の評価を行う理由について説明する。4H-SiC は、正孔移動度に比べ電子移動度が 10 倍近く大きいため、大きなチャネル移動度が得られる n チャネル MOSFET の実用化が期待されている。n チャネル MOSFET の電気的特性には、伝導帯近傍の界面準位密度が大きく影響を与えると考えられており、伝導帯近傍の電子物性の解析が非常に重要である。反転型 n チャネル MOSFET は p 型上に作製されるので、Si であれば p 型 MOS キャパシタに対して電子の反転層を形成し、伝導帯付近の電子物性を解析する。しかし、SiC はバンドギャップが大きいため、Si に比べ真性キャリア密度が非常に小さい(4H-SiC : $6.1 \times 10^9 \text{ cm}^{-3}$ 、Si : $1.4 \times 10^{10} \text{ cm}^{-3}$)。そのため、p 型 MOS キャパシタを用いた暗状態の電気的測定においては、少数キャリアが非常に少ないため反転層が形成されにくく、伝導帯付近における電子物性の評価は困難となる。よって、フェルミ準位が伝導帯付近にある n 型基板を用いて MOS キャパシタを作製し、ゲート電極に正バイアスを印加することにより多数キャリアである電子を蓄積させ、伝導帯近傍の電子物性を評価する手法が SiC では一般的に行われている。

2.2 MOS キャパシタの作製

MOS キャパシタの作製に用いた基板は、[11 $\bar{2}$ 0] 方向に 4 度のオフ角を有する Si 面と C 面の n 型 4H-SiC で、濃度 $N_d - N_a = 1.0 \times 10^{16} \text{ cm}^{-3}$ かつ膜厚 5 μm のエピタキシャル成長層を有する。図 2-1 に MOS キャパシタ作製プロセスを示す。MOS キャパシタの酸化膜形成前処理として、RCA 洗浄[2.1]及び犠牲酸化を行った。RCA 洗浄は 1970 年に RCA 社で開発された Si ウエハ洗浄法で、30 年以上の長い間 Si ウエハの標準的な洗浄法として使われており、SiC に対しても標準的な洗浄方法としてよく用いられている[2.2]。パーティクル除去を目的とした高 pH のアルカリ溶液による洗浄(SC1)と、金属不純物除去を目的とした低 pH の酸溶液による洗浄(SC2)がベースの洗浄法である。洗浄後、清浄な SiC 表面を得るために犠牲酸化を行った。犠牲酸化膜はゲート酸化膜形成の直前に HF で除去し、速やかにサンプルを化学気相堆積(Cheical vapor deposition, CVD)炉または酸化炉へ導入した。表 2-1 に示した条件にて NH₃ プラズマ前処理及び CVD-SiO₂ の堆積、または CVD-SiO₂ の堆積のみを行った。比較対照として

ドライ酸化膜を 1200°C で成膜したサンプルも作製した。続いて表面に円形の Al 電極を蒸着し、裏面酸化膜を除去後、表面と同様に裏面にも全面に Al 電極を蒸着した。最後に酸化膜と Al 電極の接触を良くするために、フォーミングガス雰囲気中で Post-Metallization Anneal (PMA)処理を行った。以下にキャパシタ作製プロセスの詳細を示す。

(1) RCA 洗浄

- ・SPM 洗浄(有機物除去) 80°C に温めた SPM 溶液($\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 2 : 1$)に基板を 10 分間浸し、有機物を除去した。超純水によるリンス後、0.5%に希釈した HF(diluted-HF : DHF)に 5 分間浸し、化学酸化膜を除去した。
- ・SC1 洗浄 (パーティクル除去) 80°C に温めた SC1 溶液($\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 0.15 : 1 : 5$)に基板を 10 分間浸し、パーティクルを除去した。超純水によるリンス後、DHF に 5 分間浸し、化学酸化膜を除去した。
- ・SC2 洗浄(金属不純物除去) 80°C に温めた SC2 溶液($\text{HCl} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 6$)に基板を 15 分間浸した。超純水によるリンス後、DHF に 5 分間浸し化学酸化膜を除去した。最後に N_2 ブローで基板を乾燥させた。

(2)犠牲酸化

RCA 洗浄後、基板を速やかに酸化炉へ導入した。ドライ酸化を Si 面は 1100°C で 1 時間、C 面は 950°C で 10 分間行い、10 nm 程度の酸化膜を形成した。この犠牲酸化膜は、ゲート酸化の直前に HF に浸すことで除去した。

(3)ゲート酸化膜形成

RF 容量結合型プラズマ CVD 装置(サムコ社製, PD-200)を用いて NH_3 プラズマを 100Pa、RF パワー200W で 8 分間照射した。続けて SiH_4 、 N_2O ガスを 20/300 sccm で流し 80Pa、RF パワー40W で 1 分間プラズマを発生させることにより 50 nm の CVD- SiO_2 膜を堆積した。CVD- SiO_2 膜を堆積したのみのサンプルも用意した。このときサンプルホルダの温度は 300 度で行った。また 1200°C で Si 面を 180 分酸化することにより 68 nm、C 面を 30 分酸化することにより 53 nm のドライ酸化膜を形成したサンプルも用意した。

(4)電極形成

抵抗線加熱蒸着装置を用いて 5×10^{-4} Pa 以下の高真空中で、表面に Al 電極を形成した。シャドウマスクを用いて直径 100、200、300 μm のゲート電極を形成した。続いて表面にレジストを塗布して表面を保護し、Buffered HF(BHF)に基板を浸して裏面酸化膜の除去を行った。その後、レジストを除去してから表面と同様に Al 電極形成を行った。

(5)PMA 処理

最後に 400°C のフォーミングガス($\text{N}_2 / \text{H}_2 = 4.5 / 0.5$ slm)雰囲気中で 30 分間アニールし、酸化膜と電極の接触を高めた。

これらのプロセスで作製した MOS キャパシタの電気的特性を調べ、界面準位密度や電流伝導機構等の解析を行った。

2.3 MOS キャパシタの電気的特性

界面準位密度や実効固定電荷密度を評価するために、容量-電圧($C-V$)特性の測定を行った。本研究で成膜した CVD- SiO_2 膜は、 $C-V$ 測定時に測定開始電圧を上げると絶縁膜中に電子がトラップされ、 $C-V$ 曲線が正の方向にシフトする測定開始電圧依存性を持つため、 $C-V$ 測定時に考慮すべき点がある。界面準位密度は、その点を考慮し測定した高周波 $C-V$ 特性及び準静的 $C-V$ 特性を用いて Hi-Lo 法により解析することで算出した。実効固定電荷密度やフラットバンド電圧シフトは理想 $C-V$ 曲線と高周波 $C-V$ 特性の差から求めた。また、酸化膜質を評価するために電流-電圧($I-V$)特性の測定を行い、酸化膜の絶縁破壊電界を調べた。これらの結果から NH_3 プラズマ前処理が MOS キャパシタ特性に与える影響を議論した。高周波 $C-V$ 特性は Agilent 4284A、準静的 $C-V$ 特性は Keithley 595QS-CV メータを用い測定した。

2.3.1 測定開始電圧依存性を有する MOS キャパシタの容量-電圧特性

測定開始電圧依存性を有する MOS キャパシタの $C-V$ 特性測定時の問題点について説明する。測定開始電圧依存性を持つ MOS キャパシタに対し Cycle $C-V$ 測定を行った結果を図 2-2 に示す[2.3-4]。Cycle $C-V$ 測定とは、測定電圧範囲を徐々に大きくしながら $C-V$ 測定を繰り返し行う測定法であり、時定数の長い界面準位及び絶縁膜中の電子トラップを調べることができる。蓄積側から空乏側へと電圧を掃引し、測定開始電圧(V_{start})を 5V から 13V まで 2V 間隔で増加させながら高周波(100 kHz) $C-V$ 測定を繰り返し行ったところ、 $C-V$ 曲線が正の方向にシフトした。このようなサンプルに対し、周波数依存性を測定するときに 100 mV/s で高周波(100 kHz)測定を行った後、10 mV/s で準静的(qs)測定を行うと、蓄積電圧の印加される時間が異なるため、同一バイアス時に絶縁膜のトラップ電子数が異なってしまう。よって、同一ゲート電圧における表面ポテンシャルを同一に出来ず、このとき high-low(Hi-Lo)法を用いて算出した界面準位密度は不正確になってしまう。その理由について次項で説明する。

2.3.2 容量-電圧測定による界面準位密度評価

現在、SiC MOSFET の MOS 界面準位密度を評価する手法として最も一般的なのは、n 型 MOS キャパシタを用いた Hi-Lo $C-V$ 法である。低周波 $C-V$ 測定では、界面準位の電荷の変化が低周波信号に追従できるため、界面準位の容量が半導体容量に並列に入る。よって、MOS キャパシタの等価回路は界面準位の等価容量 C_{it} を含めて、図 2-3(a) のように表すことが出来る。この等価回路から MOS キャパシタの低周波容量(C_{lf})は、

$$C_{lf} = \frac{1}{\frac{1}{C_{ox}} + \frac{1}{C_s + C_{it}}} \quad (2-1)$$

C_{ox} : 酸化膜容量、 C_s : 半導体容量、 C_{it} : 界面準位の容量

と表すことができる。一方、高周波 C - V 測定では、高周波信号にキャリアが追従できないため、界面準位への電荷の出入りが無くなり、図 2-3(b)に示すような理想 MOS キャパシタと同じ等価回路が成り立つと仮定できる。これより高周波容量(C_{hf})は、

$$C_{hf} = \frac{C_{ox} C_s}{C_{ox} + C_s} \quad (2-2)$$

と表すことができる。界面準位密度(D_{it})は、界面準位の容量 C_{it} を用いて

$$D_{it} = \frac{1}{q} C_{it} \quad (2-3)$$

と表される。さらに(2.1)式、(2.2)式、(2.3)式より、界面準位密度は以下のように表すことができる[2.5]。

$$D_{it} = \frac{1}{q} \cdot \left[\frac{1}{C_{lf}^{-1} - C_{ox}^{-1}} - \frac{1}{C_{hf}^{-1} - C_{ox}^{-1}} \right] \quad (2-4)$$

つまり、Hi-Lo C - V 法では同一ゲート電圧における高周波と低周波の容量の差から界面準位密度を算出し、容量差が小さいとき低い界面準位密度となる。よって C - V 測定時、 C - V 曲線がシフトすると表面ポテンシャルが変化してしまうため評価ができなくなる。

また Hi-Lo 法によって評価可能なエネルギー範囲は、高周波 C - V 測定の周波数及び掃引速度、低周波 C - V 測定の掃引速度、測定時の温度によって変化する。これは界面準位に捕獲された電子が放出される時定数 τ_n が次式で与えられるためである[2.2]。

$$\tau_n = \frac{1}{\sigma_n v_{th} N_C} \exp\left(\frac{E_C - E_T}{kT}\right) \quad (2-5)$$

σ_n : 電子の捕獲断面積、 v_{th} : 電子の熱速度、 N_C : 伝導帯における有効状態密度、 E_C - E_T : 伝導帯端からのトラップ準位、 k : ボルツマン定数、 T : 絶対温度である。図 2-4 にトラップ準位と電子放出の時定数の関係を示す。図から室温下での低周波 C - V 測定には、 E_C から 0.55 eV までの準位が応答でき、100 kHz の高周波 C - V 測定には 0.2 eV より深い準位は応答できないことが分かる。そのため今回の測定条件では 4H-SiC の E_C から 0.2 ~ 0.55 eV 程度が評価可能な範囲となる。

次に、酸化膜トラップの影響を大きく受けた $C-V$ 曲線のシフトを図 2-5(a)に示す。この図は 100 mV/s で高周波 $C-V$ 測定を行った後、10 mV/s で低周波 $C-V$ 測定を行った $C-V$ 特性である。すでに述べたように、同一バイアスにおける高周波容量と低周波容量の差が小さいとき、界面準位密度は小さいと判断される。しかし膜中トラップの多い絶縁膜では、印加するバイアス及び時間によりトラップされる電子数が変化してしまうため、正しい評価が出来ていない。高周波 $C-V$ 特性と低周波 $C-V$ 特性を別々に測定すると、それぞれの測定の同一バイアス時における絶縁膜中のトラップ電子数が異なるため、表面ポテンシャルを同一に出来ず、Hi-Lo 法は間違った界面準位密度を算出してしまう。このことを検証するため、同時 $C-V$ 測定を行った。同時 $C-V$ 測定装置は任意の電圧における高周波容量と低周波容量をほぼ同時に測定することが出来るため、膜中トラップの影響をほぼ受けずに、高周波 $C-V$ 特性と低周波 $C-V$ 特性を同時に測定できる特殊な装置である。

図 2-5(b)に同時 $C-V$ 特性の測定結果を示す。同時 $C-V$ 特性の高周波 $C-V$ 特性と低周波 $C-V$ 特性の間には、図 2-5(a)には現れないシフトがある。同時 $C-V$ 特性が測定できない場合、測定前に絶縁膜トラップの荷電状態を等しくした上で、高周波 $C-V$ 測定と低周波 $C-V$ 測定の掃引速度を等しくする必要がある。これは測定前にトラップされている電子を放出させ、その後測定開始電圧より高い電圧を印加し絶縁膜トラップを電子で満たし、測定時には電子がそれ以上トラップされないようにすることにより対処できると考えられる。 $C-V$ 特性測定時のプロセス例を挙げると、先ず紫外光を照射してトラップされている電子を放出させ、次に 13 V で 10 秒間バイアスを印加することにより一定量の電子をトラップさせ、その後 10V から測定するという手順である。

この測定法を用いたときの測定結果を図 2-6 に示す。図 2-5(b)と比較すると、本測定法を用いれば、同時 $C-V$ 測定とほぼ同じ結果が得られることが分かる。よって Hi-Lo 法を用いた評価が可能であるといえる。本論文における Hi-Lo $C-V$ 特性の解析による界面準位密度の算出には、この測定法を用いた。

2.3.3 NH₃ プラズマ前処理した MOS キャパシタの界面準位密度評価

2.3.2 項で述べたことに注意して、MOS キャパシタに対して Cycle $C-V$ 測定、高周波および低周波 $C-V$ 測定を行った。高周波 $C-V$ 測定は信号周波数 100 kHz、掃引速度 0.05 V/s を基本的な測定条件とした。また、低周波 $C-V$ 測定は高周波 $C-V$ 測定と同じ掃引速度 0.05 V/s で行った。どちらの測定も MOS 界面が蓄積状態から空乏状態になる様に電圧を掃引した。

図 2-7 に C 面の CVD-SiO₂ に対する Cycle $C-V$ 測定結果を示す。図 2-7(a)は CVD-SiO₂ であり、非常に悪い $C-V$ 特性を示していることが分かる。20 V 以上電圧を印加しても蓄積状態が形成されず、また深い界面準位に起因するといわれる hump が現れている[2.6]。このとき界面特性があまりに悪いため、低周波測定を行うことができず界面準位密度を算出することができなかった。また、図 2-7(b)に NH₃ プラズマ前処理を行

った CVD-SiO₂(CVD-SiO₂/NH₃)を示す。これから、NH₃ プラズマ処理したサンプルには hump が現れず、界面特性が大きく向上しているといえる。CVD-SiO₂ から界面準位密度を算出することができないため、代わりに熱酸化膜と NH₃ プラズマ処理したサンプルを比較することにした。

図 2-8 に Si 面の CVD-SiO₂ に対する Cycle *C-V* 測定結果を示す。図 2-8(a) が CVD-SiO₂ であり、C 面のときと比べると hump が存在せず、蓄積状態も形成され良好な *C-V* 特性を示している。図 2-8(b) に CVD-SiO₂/NH₃ を示す。図 2-7 に示す C 面に見られるような明らかな違いは現れず、単純に比較することはできない。そこで、周波数依存性から比較することにした。

図 2-9 に Si 面と C 面の (a) ドライ酸化膜、(b) NH₃ プラズマ前処理を行った CVD-SiO₂ 膜、(c) Si 面において堆積酸化膜を用いた MOS キャパシタの *C-V* 特性を示す。実線が高周波 *C-V* 特性、点線が低周波 *C-V* 特性を示している。図 2-9(a) より、ドライ酸化膜サンプルでは、高周波特性と低周波特性の容量差は Si 面では小さいが、C 面ではとても大きい。これはドライ酸化膜では C 面の界面特性が Si 面に比べ悪いことを意味する。さらに C 面では図 2-7(a) と同様に、ゲート電圧が 2V あたりに hump と呼ばれる特徴的な形が見られ、深い界面準位が多数存在していることが示唆される[2.6]。図 2-9(b) より、NH₃ プラズマ前処理を行うことにより、高周波特性と低周波特性の容量差は Si 面では大きくなるが、C 面では小さくなり hump も現れていないことが分かる。これより NH₃ プラズマ前処理により、界面特性は Si 面では劣化するが、C 面では改善されることが示唆される。また、NH₃ プラズマ前処理を行った CVD-SiO₂ サンプルでは大きな正のフラットバンドシフトが現れている。表 2-2 に各酸化条件で作製した MOS キャパシタの酸化膜厚(t_{ox})、フラットバンド電圧シフト(ΔV_{FB})、実効固定電荷密度(Q_{eff})を示す。 t_{ox} は高周波 *C-V* 特性の蓄積容量から求め、 ΔV_{FB} 及び Q_{eff} は各 *C-V* 特性の理想 *C-V* 特性との差から見積もった。 Q_{eff} の算出には以下の式を使った。負の Q_{eff} は、実効固定電荷が負であることを意味している。

$$Q_{eff} = -\frac{C_{ox}\Delta V_{fb}}{q} \quad (2-6)$$

C_{ox} : 酸化膜容量

表より NH₃ プラズマ前処理を行った CVD-SiO₂ サンプルは、ドライ酸化したサンプルに比べ Q_{eff} が大きいことが分かる。これは電子トラップが CVD-SiO₂ 絶縁膜中に存在するためと考えられる。また、図 2-9(c) より Si 面の CVD-SiO₂ 絶縁膜に対する NH₃ プラズマ照射効果を見てみると、周波数依存性は蓄積領域では小さくなっているのに対し、空乏領域では大きくなっていることが分かる。これから、伝導帯近傍の界面準位密度は小さくなるが、深い界面準位は増加していることが示唆される。

図 2-9 から、Hi-Lo 法を用いて MOS キャパシタの界面準位密度の算出を行った結果を図 2-10 に示す。Si 面ではドライ酸化膜を絶縁膜に用いたサンプルが最も低い界面

準位密度を示していることが分かる。CVD-SiO₂を絶縁膜に用いたサンプルでは、NH₃プラズマ前処理を行うことにより、図 2-9(c)から予想されたように浅い界面準位密度は低下しているが深いエネルギーでは界面準位密度は増加している。よって Si 面に対する NH₃プラズマ前処理は、界面特性を向上させるとは一概にいえぬ。C 面ではドライ酸化したサンプルの界面準位密度は非常に高いが、NH₃プラズマ前処理を行うことにより $4 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 程度まで減少する。さらに、界面準位密度の分布は評価できているエネルギーの範囲で比較的平らであり、 $E_c - E = 0.2 \text{ eV}$ より浅い界面準位密度も低いことが期待される。よって NH₃プラズマ前処理は C 面に対して有効であるといえる。

2.3.4 電流-電圧測定による絶縁破壊電界の評価

デバイスの実用化においては、高性能化とともに高信頼性の確保が重要である。そこで SiC 上の酸化膜質を評価するために MOS キャパシタに対する I - V 測定を行い、酸化膜の絶縁破壊電界を調べた。測定には Keithley SMU 237 微小電流-電圧計を用いた。ゲート電圧側を正バイアスとし、MOS キャパシタが蓄積状態となる条件で測定を行った。この様に測定すると印加電圧のほとんどが酸化膜にかかるようになる。また I - V 測定を 2 回続けて行い、測定回数に応じた電流密度-電界(J - E)特性の変化を調べた。酸化膜電界(E_{ox})は、ゲート電圧(V)、酸化膜厚(t_{ox})を用いて $E_{\text{ox}} = V/t_{\text{ox}}$ と定義した。図 2-11 は C 面に対し(a)CVD-SiO₂絶縁膜、または(b)NH₃プラズマ前処理を行った CVD-SiO₂絶縁膜を用いた MOS キャパシタの J - E 特性である。5 MV/cm 以下の低電界では、1 回目の特性は 2 回目の特性より大きな電流密度となっていることが分かる。これは 2.3.1 項で述べたように、絶縁膜中に電子がトラップされるためだと考えられる。1 回目の測定では、電子が絶縁膜トラップに捕獲される分も電流として計測されるが、2 回目の測定では絶縁膜中トラップに電子が既に捕獲されているため、この電流は流れない。Si 面に対し CVD-SiO₂を絶縁膜に用いた MOS キャパシタに対しても、同様の傾向が見られた。

図 2-12 に、C 面に対し CVD-SiO₂を絶縁膜に用いた MOS キャパシタの絶縁破壊電界分布を示す。酸化膜の絶縁破壊電界分布は、3 つの典型的なモードに分類することが出来る[2.7]。3 つのモードは絶縁耐性の状態を示し、それぞれ A、B、C モードと呼ばれる。A モードは低電界領域($E_{BD} < 1 \text{ MV/cm}$: $E_{BD} =$ 絶縁破壊電界)でピンホールなどの損傷によって生じるショートである。B モードは、印加電圧により酸化膜の電界がある値($1 \text{ MV/cm} < E_{BD} < 7 \text{ MV/cm}$)に達したときに瞬時にキャパシタが破壊し、リーク電流が瞬間的に数桁大きくなる状態をいい、基板上の金属汚染及び SiO₂/SiC 界面のラフネスが主な原因であると考えられている。これは永久破壊で、再度の測定では A モードとなる。C モードは $E_{BD} > 7 \text{ MV/cm}$ 以上で起こり、一定値以上のトンネル電流が流れている状態を示している。そしてこれは良好な絶縁膜のみが持つ特性である。このことより、絶縁破壊電界はほとんど C モードにあたり、良好な絶縁耐性を示して

いるといえる。また、図 2-13 に Si 面に対し CVD-SiO₂ を絶縁膜に用いた MOS キャパシタの絶縁破壊電界分布を示す。こちらもほとんど C モードを示しており、良好な絶縁耐性を持っているといえる。

図 2-12 と図 2-13 とともに、NH₃ プラズマ前処理の有無による絶縁破壊電界分布を示している。これらから、C 面と Si 面の両方において、NH₃ プラズマ前処理による大きな絶縁破壊電界の変化は見られない。これは、絶縁破壊電界は CVD-SiO₂ 膜の絶縁耐性に依存することを示している。

2.4 内部光電子放出法を用いた光学的特性の評価

内部光電子放出法 (Internal photoemission spectroscopy : IPE) を用いた光学的特性の評価は、絶縁膜/半導体界面のトラップを調べる上で有効な方法である。半導体が蓄積状態になるようにバイアスを掛けた状態で、絶縁膜/半導体界面の電子を光で励起し、障壁を越える電子を金属側で収集することにより界面においてトラップが多く存在する準位を調べることができる。これにより、Hi-Lo 法では評価が難しい範囲の界面準位を評価することができる。1 章でも述べたように、Afanas'ev らは本測定法を用いた結果から C クラスタモデルを提唱している。本節では、NH₃ プラズマ処理により特性が向上した C 面の界面特性の変化を評価する。IPE 装置の構成・予備実験とその結果について付録 A に、IPE 装置の制御プログラムについて付録 B に示す。

IPE 測定において照射した光と電流の関係は Fowler 理論により次式で表せる。

$$Y \propto (h\nu - q\phi_B)^p \quad (2-7)$$

$$\text{for } h\nu - q\phi_B > 3kT$$

上式において、 p は状態密度(キャリアの分布)に応じた値であり金属からの IPE 電流のとき $p=2$ を、半導体からの IPE 電流のとき $p=3$ を示す[2.8]。 Y は光電子電流の生成量であり、 $Y=(\text{光電流})/(\text{吸収光子数})$ で表される。吸収光子数 N は次式により求めた[2.9]。

$$N = \frac{P(W) \times \lambda(mm)}{1.986 \times 10^{-16}} \quad (2-8)$$

P :分光した光強度、 λ :分光した光の波長

また、パワーメータを用いて測定した任意の波長に対する光強度を図 2-14 に示す。

IPE 測定のための MOS キャパシタ作製手順について示す。2.2 節で示した MOS キャパシタの作製方法とほぼ同様だが、ゲート電極は光を透過させるために電極の薄膜化が必要となる。C-V 測定および I-V 測定用のゲート電極膜厚は 200 nm であるのに対し、IPE 測定用のゲート電極膜厚は 10 nm にした。また、NH₃ プラズマ照射の効果を調べるため、絶縁膜は CVD-SiO₂ と CVD-SiO₂/NH₃ の 2 種類を用いた。

図 2-15(a)に、CVD-SiO₂ MOS キャパシタの IPE 測定から得られた光電流を示す。破線は 3.0 MV/cm、実線は 3.4 MV/cm の電界を絶縁膜に印加したものである。電流値は 0.1 pA 程度と非常に小さく、ノイズの影響を大きく受けている。図 2-15(b)に、3.4

MV/cm の電界を印加したときに得られた光電流を吸収光子数で割り、続けて 3 乗根をとることにより得られた IPE quantum yield を示す。これより、半導体から励起される電子のエネルギー準位の評価が可能となる。このとき IPE スペクトルのしきい値は 3 つ存在し、それぞれ $\phi_1 = 2.64 \text{ eV}$ 、 $\phi_2 = 3.41 \text{ eV}$ 、 $\phi_3 = 4.27 \text{ eV}$ である。このときのバンドアライメントを図 2-15(c)に示す。それぞれ、 SiO_2 の伝導帯からみた SiC の伝導帯のエネルギー、深い界面準位、バンドギャップ中心辺りからの界面準位を示す。

図 2-16(a)に、CVD- SiO_2/NH_3 MOS キャパシタの IPE 測定から得られた光電流を示す。破線は 1.6 MV/cm、実線は 2.1 MV/cm の電界を絶縁膜に印加したものである。CVD- SiO_2 を絶縁膜に用いた MOS キャパシタと比べ、4 eV 辺りにおいて光電流が増加しない。図 2-16(b)に、2.1 MV/cm の電界を印加したときの IPE quantum yield の 3 乗根を示す。このとき IPE スペクトルのしきい値は 2 つ存在し、それぞれ $\phi_1 = 2.46 \text{ eV}$ 、 $\phi_2 = 4.21 \text{ eV}$ である。このときのバンドアライメントを図 2-15(c)に示す。それぞれ、 SiO_2 の伝導帯からみた SiC の伝導帯のエネルギー、バンドギャップ中心辺りからの界面準位を示す。よって、 NH_3 プラズマ前処理をすることにより、深い界面準位が現れなくなったといえる。これは、図 2-7 に示した C - V 測定結果において、 NH_3 プラズマ前処理を行うことにより hump が現れなくなることと対応している。

2.5 絶縁膜堆積後アニールの効果

2.3 節で説明したように、本研究で作製した CVD- SiO_2 膜は測定開始電圧依存性を示す。これは堆積膜中に電子がトラップされるためだと考えられる。そこで、堆積膜の膜質を向上させることにより膜中トラップを減少させる必要がある。このため、絶縁膜堆積後に熱処理(Post-deposition annealing : PDA)を行った。サンプルは、界面準位密度が大幅に減少した C 面に NH_3 プラズマ前処理を行ったもの(CVD- SiO_2/NH_3)を用いた。図 2-17 に PDA を行う前の(a)測定開始電圧依存性と(b)周波数依存性を示す。測定開始電圧依存性は 2.3.1 項に示した測定方法で行った。周波数依存性は 100 kHz と 1 kHz の高周波 C - V 特性を比較することにより検討した。低周波 C - V 特性は測定しなかったため、Hi-Lo C - V 法による界面準位密度の計算は行わなかった。図 2-17(a)から測定開始電圧依存性が大きく現れていることが分かり、図 2-17(b)より周波数依存性はほとんど存在しないことが分かる。次に、このサンプルと同様の条件で CVD- SiO_2 堆積まで行った後、 N_2 雰囲気中 700°C で 2 時間熱処理を行ったサンプルを用いて MOS キャパシタを作製し、同様の測定を行った結果を図 2-18 に示す。測定開始電圧依存性は、図 2-18(a)より PDA する前と比べて悪化しており、また hump が現れていることが分かる。さらに、測定開始電圧を 13 V としても明確な蓄積状態は得られていない。周波数依存性を見てみても、図 2-18(b)より PDA する前と比べかなり悪化している。これより N_2 中で PDA を行うと、 NH_3 プラズマ前処理の効果がなくなってしまうことが分かる。これは界面をパッシベーションしている水素が、700°C で脱離してしまう [2.10] という報告から説明することが出来る。

そこで N₂ による PDA の代わりに、水素雰囲気(4%)中 1100°C で 10 分間の高速昇温アニーリング(Rapid thermal annealing, RTA)を行った結果を図 2-19 に示す。昇温速度は 50°C/min であり降温速度は 70°C/min である。測定開始電圧依存性は、図 2-19(a)より PDA することによりかなり改善されていることが分かるが、同時に hump が現れてしまっていることも分かる。図 2-19(b)の周波数依存性を見ても、PDA する前に比べ劣化してしまっていることが分かる。これは水素含有量が 4%と低かったこと、また急速に昇温・降温しているためだと考えられる。よって NH₃ プラズマ照射した効果を残したままアニーリングするには、H₂ 雰囲気中で緩やかに昇温・降温するか、パイロジェニック再酸化などを行う必要があるといえる。

2.6 X 線光電子分光法による NH₃ プラズマ照射効果の評価

本節では NH₃ プラズマ照射によって形成された膜の組成を、X 線光電子分光(X-ray photoelectron spectroscopy : XPS)測定により評価した。本実験において用いた XPS 測定装置は島津製作所製、AXIS165 である。同心半球型アナライザーを有する試料解析室は、解析する元素の結合エネルギーを感度よく検出するのに有利な構造である。X 線源としては、AlK α 線(エネルギー 1486.6 eV、半値幅 0.85 eV)を用いた。解析室はイオンポンプを用いて排気しており、10⁻⁸~10⁻⁹ Pa の超高真空における解析が可能である。また、XPS 測定に際して注意すべき点がある。本 XPS 測定においては、絶縁膜へ X 線を照射したときに絶縁膜中から放出される光電子を観測している。導体ではなく絶縁体を測定するため、膜中で励起した電子が放出されても、電子が再び膜中に供給されないため、試料表面が正に帯電するチャージアップを引き起こし、正しい結合エネルギーを得るための妨げとなる。チャージアップによる各元素のピーク位置の補正は SiC 基板を示すピークを基準にして行った。XPS 測定前には、試料表面の炭素などによる汚染層を取り除くことを目的として、Ar イオンによるクリーニングを約 2 分間行った。Ar イオンを 1.5 kV に加速して試料に照射した。クリーニング時の解析室の真空度は、2~3×10⁻⁶ Pa である。XPS スペクトルのピーク分離は、XPS 装置に付属した解析ソフト Vision 2.0 Processing Package を用いて行った。スペクトルのピーク分離は Shirley 法[2.11]を適用し、光電子の非弾性散乱によって生じるスペクトルのバックグラウンドを除去した後に、文献からピークの位置、半値幅を参照して行った。

2.6.1 試料の作製と表面組成の解析

図 2-20 に試料作製プロセスを示す。NH₃ プラズマ照射したサンプル作製時の NH₃ 照射条件は表 2-1 に示したものと同様のものを用いた。また、1200°C で Si 面を 10 分間、C 面を 1.5 分間ドライ酸化することにより、5 nm 程度のドライ酸化膜を成膜した試料も用意した。このように薄い酸化膜を成膜したのは、XPS では 10 nm 程度の深さまでしか測定できないためである。また犠牲酸化膜を HF で除去したのみのサンプル

も用意した。

図 2-21 に、Si 面に作製したサンプルに対し XPS 測定した結果を示す。図 2-21(a)は Si 2p 軌道から得られたスペクトルであり、4H-SiC の Si-C 結合の結合エネルギーは 100.4 eV である[2.12-16]。RCA 洗浄直後のサンプルから得られたスペクトルのピークフィッティングから、100.4 eV と 101.3 eV のピーク位置に成分が存在することが明らかになった。このとき 101.3 eV のピーク位置に現れる成分はサブオキサイド(SiO_xC_y)である[2.13]。また、ドライ酸化したサンプルから得られたスペクトルのピークフィッティングより 100.4 eV、102.3 eV、102.9 eV のピーク位置に成分が存在することが分かる。102.9 eV のピークは $\text{SiO}_2(\text{Si}^{4+})$ が形成されたことを意味する[2.12-13]。102.3 eV のピークは Si-C 結合のピーク位置から 1.9 eV 離れており、これは Si-C 結合と Si^{4+} のエネルギー差 2.5 eV の 3/4 であることから Si^{3+} であるといえる[2.17]。NH₃ プラズマ照射したサンプルから得られたスペクトルをピークフィッティングすると、100.4 eV、101.6 eV、102.9 eV のピーク位置に成分が存在することが分かる。このうち 101.6 eV のピークはシリコン酸窒化膜(SiO_xN_y)が形成されたことを意味する[2.13,15]。

図 2-21(b)に C 1s 軌道から得られたスペクトルを示す。4H-SiC の C-Si 結合の結合エネルギーは 283.1 eV である[2.12-17]。RCA 洗浄直後のサンプルから得られたスペクトルのピークフィッティングから、283.1 eV と 284.3 eV、285.9 eV のピーク位置に成分が存在することが分かる。284.3 eV は C-H 結合の結合エネルギーであり[2.12,17]、285.9 eV は C-O 結合の結合エネルギーである[2.15]。ドライ酸化したサンプルから得られたスペクトルのピークフィッティングより 283.1 eV と 284.7 eV のピーク位置に成分が存在することがわかった。284.7 eV は C-C 結合の結合エネルギーである[2.13]。また NH₃ プラズマ照射したサンプルから得られたスペクトルをピークフィッティングすると、283.1 eV、284.3 eV、285.9 eV のピーク位置に成分が存在することがわかった。このとき 285.9 eV のピークは C-O 結合と C-N 結合[2.15]の 2 成分が考えられるが、結合エネルギーが近すぎるため分離することが出来なかった。ただし、C-N 結合は室温でさえ絶縁膜から除去されるため[2.18]、このピークに対する C-N 結合の寄与分は少ないと考えられる。

RCA 洗浄直後のサンプルから得られたスペクトルにおいて、Si-C 結合とサブオキサイド(SiO_xC_y , C-O)成分が Si 2p スペクトルと C 1s スペクトルの両方において観測された。さらに C 1s スペクトルでは C-H 結合が観測された。ドライ酸化したサンプルから得られたスペクトルにおいて、Si 2p スペクトルでは SiO_2 成分が主成分といえるが、C 1s スペクトルでは酸素に関する成分が現れず、C-C 結合が現れている。これは Si 面をドライ酸化すると、酸化中に C-O 成分が除去されていることを意味する[2.19]。NH₃ プラズマ処理したサンプルから得られたスペクトルでは、Si 2p スペクトルではシリコン酸窒化膜(SiO_xN_y)とシリコン酸窒化膜(SiO_2)という酸素に関する成分が現れている。NH₃ プラズマ処理したサンプルであるにもかかわらず酸素に関する成分が現れるのは、チャンバー中の残留酸素のためと考えられる。

図 2-22 に C 面に作製したサンプルから得られた XPS スペクトルを示す。図 2-22(a)

は Si 2p スペクトル、図 2-22(b)は C 1s スペクトルをそれぞれ示している。RCA 直後のサンプルと NH₃ プラズマ処理したサンプルから得られたスペクトルに対するピークフィッティングは、Si 面とほぼ同じ結果となった。ところが、ドライ酸化したサンプルでは大きな違いがあり、Si 2p スペクトルと C 1s スペクトルの両方においてカーボンと酸素に関する成分が現れている。Si 2p スペクトルでは SiO_xC_y 成分が現れており、C 1s スペクトルでは C 面のときと同様に C-C 結合が現れているのに加え、285.9 eV と 287.3 eV のピーク位置に成分が存在する。このとき 285.9 eV は C-O 結合、287.3 eV は高い結合エネルギーから C=O 結合に起因する成分と考えられる[2.15-16]。また、NH₃ プラズマ処理したサンプルでは C=O 結合が存在していない。これらの結果と C-V 測定結果を合わせて考慮すると、高周波 C-V 曲線に現れる hump の原因となる深い界面準位は C=O 結合と考えられる。

XPS 測定結果を解析して得られた組成比と膜厚を表 2-3 にまとめた。本研究で使用した XPS 装置は光電子の検出感度が各元素によって異なる。よって、スペクトルのピーク面積から絶縁膜の組成を求めるためには、各元素の検出感度の違いによって規格化する必要がある。各元素の検出感度の違いを表した値を相対感度係数といい、各元素の組成[A]は、以下の式によって算出される。

$$[A] = \frac{\frac{A}{S_A}}{\frac{A}{S_A} + \frac{B}{S_B} + \frac{C}{S_C} + \dots + \frac{Z}{S_Z}} \quad (2-9)$$

A: 元素 A のピークの面積 S_A: 元素 A の相対感度係数

本 XPS 測定装置における相対感度係数は、シリコンが 0.371、酸素が 0.78、炭素が 0.278、窒素が 0.477 である。膜厚は Si 2p スペクトルをピークフィッティングした後、Si-C 基板とサンプル表面膜の面積比及び平均自由行程を考慮することにより得られる[2.20]。図 2-21(Si 面)と図 2-22(C 面)の NH₃ プラズマを照射したサンプルの Si 2p スペクトルを見てみると、C 面のほうが Si 面より SiO₂ 成分の含有量が多い。これは、C 面の酸化速度が Si 面より速いという性質と同様の性質が NH₃ プラズマ照射においても表れているといえる。この理由より、C 面のほうが Si 面より膜厚が厚い。ここで、窒素と酸素含有量は Si 面と C 面の面方位に関わらず同程度の値を示している。酸素と窒素の SiC 表面における反応性は、面方位に関わらず同程度であるといえる。

カーボン含有量は、ドライ酸化したサンプルでは C 面のほうが Si 面より大きく、NH₃ プラズマを照射したサンプルでは Si 面のほうが C 面より大きい。また、NH₃ プラズマを照射したサンプルのカーボン含有量は、ドライ酸化したサンプルに比べてかなり大きいといえる。NH₃ プラズマを照射した Si 面の MOS キャパシタの界面準位密度が高いのは、この多量のカーボンが十分に不活性化されていないためと考えられる。一方、C 面を NH₃ プラズマ前処理することにより界面準位密度が低くなるのは、窒素や水素がカーボンに関する欠陥[2.13,18,21]およびダングリングボンドのパッシベーション[2.22-24]が効果的に働いていることを示唆している。

2.6.2 ドライ酸化膜/SiC 界面における酸化機構

2.6.1 項より、ドライ酸化したサンプルでは、カーボンと酸素に関する結合が Si 面では現れないが C 面では現れる。これは界面における酸化機構が、C 面と Si 面では異なることを示唆している。そこで、図 2-23 に Si 面の界面における酸化機構を、図 2-24 に C 面の界面における酸化機構について考察した模式図を示す。Si 面では、C の下に酸素が導入されると(図 2-23(a))、C-Si 結合が切れて C-O 結合が形成され除去される(図 2-23(b1))[2.19]。またこのとき、Si-O 結合が形成され除去されると C-C 結合が残る(図 2-23(b2))。この反応により図 2-21(b)の C-C 結合の起源が説明できる。ただし、Si は C と強固な Si-C 結合を形成しているため、ほとんどこの形(Si-O)で脱離することはないと考えられる。これより、表 2-3 のカーボン含有量の低さも説明できる。C 面では、Si の下に酸素が導入されても(図 2-24 (a))C は強固な C-Si 結合をしているので C-O 結合として除去されず、Si-C の間に O が残ると考えられる(図 2-24(b))。この状態で C の下にさらに酸素が導入されると(図 2-24(c))、その酸素と C が結合を形成する。このときも、強固な C-Si 結合があるため C-O 結合として除去されないと考えられる(図 2-24(d))。このように C 面はドライ酸化中、カーボンが残留しやすい反応を行うと考えることにより、表 2-3 においてカーボン含有率が高いことを説明できる。

2.7 まとめ

本章では NH₃ プラズマ前処理を行った MOS キャパシタの電気的特性および表面組成を評価した。MOS キャパシタの C-V 特性から、NH₃ プラズマ前処理は C 面に対して有効であるが、Si 面では一概に有効とはいえない分かった。IPE 測定より、C 面に NH₃ プラズマ前処理を行うことにより、深い界面準位密度が現れないことが示唆された。また、XPS 測定より NH₃ プラズマを照射したサンプルでは C-N 結合及び C-H 結合が観測され、窒素や水素がカーボンに関する欠陥およびダングリングボンドのパッシベーションをしていることが分かり、その結果 C 面の特性は改善されたといえる。ドライ酸化膜の C 1s スペクトルを見てみると、酸素に関する結合が Si 面には現れないが C 面では現れた。このことと、C-V 測定結果をあわせて考えると、C=O 結合が深い界面準位の起源であると考えられる。

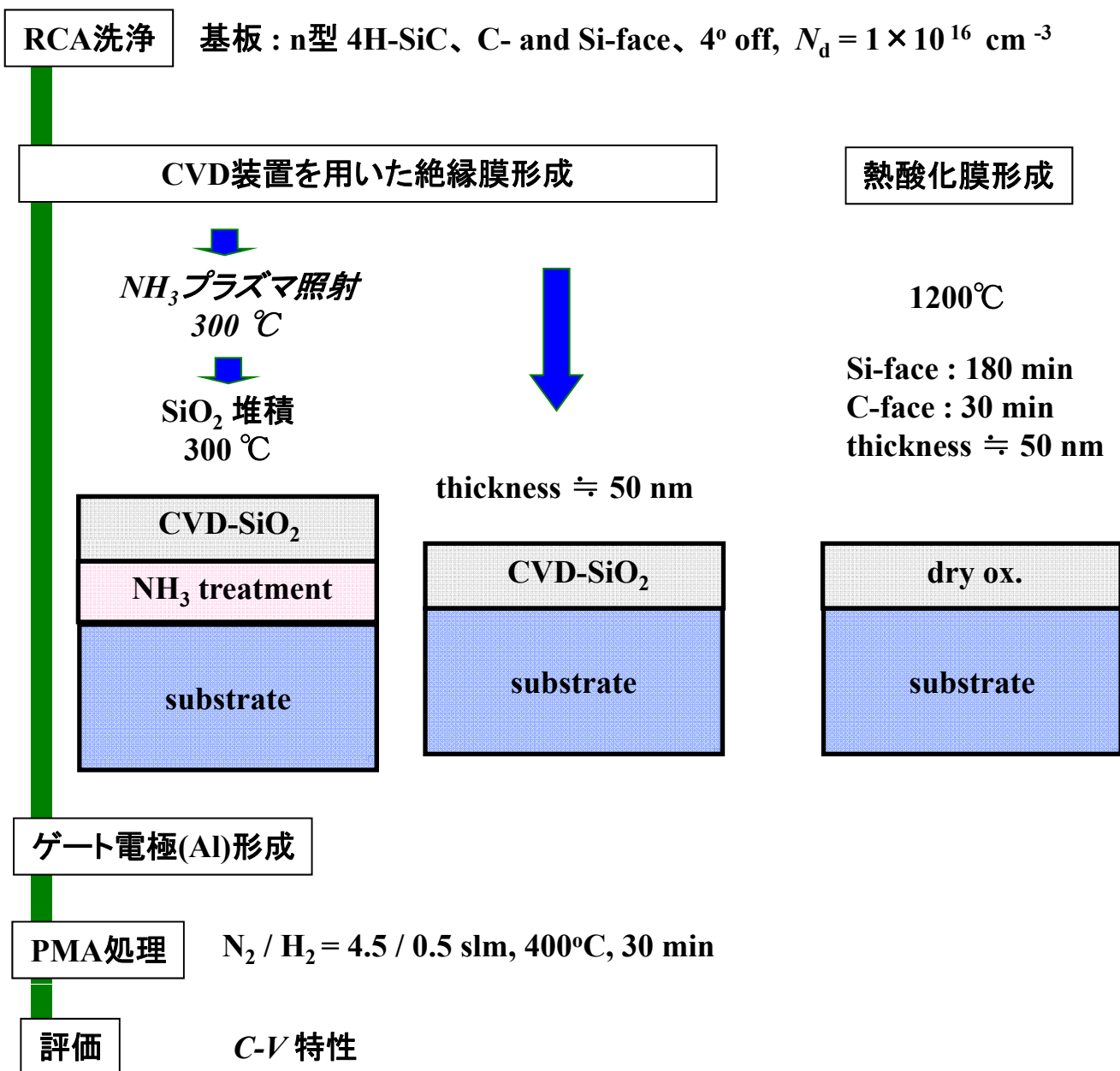


図2-1 : MOSキャパシタ作製プロセス

表2-1 : NH_3 プラズマ照射及び SiO_2 堆積 (PECVD装置)

サンプル名	NH_3 処理	SiO_2 成膜
CVD- SiO_2/NH_3	NH_3 : 200sccm, 100Pa 200W, 250°C, 8min	$\text{SiH}_4/\text{N}_2\text{O}$: 20/300 sccm, 80 Pa 40 W, 300°C, 1 min
CVD- SiO_2	XXXXXXXXXX	$\text{SiH}_4/\text{N}_2\text{O}$: 20/300 sccm, 80 Pa 40 W, 300°C, 1 min

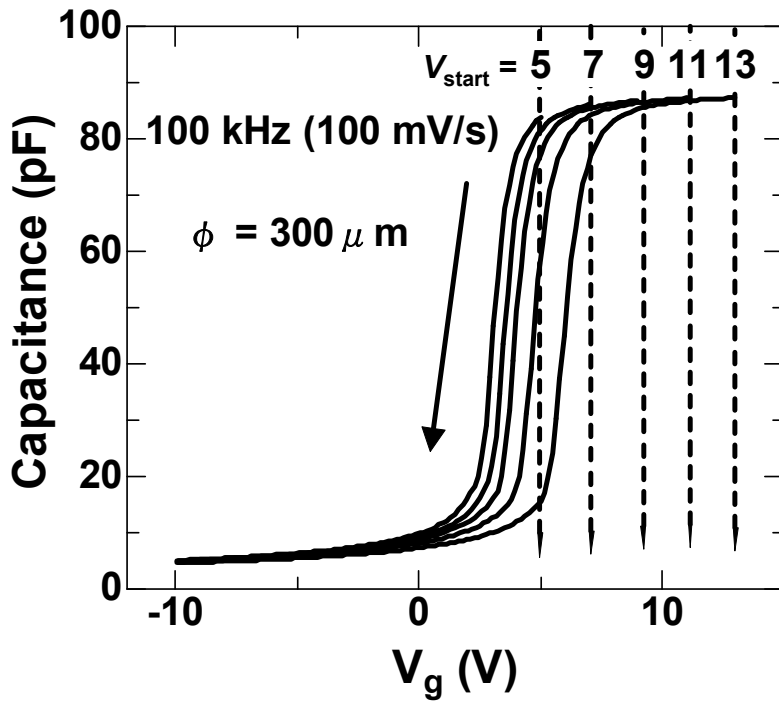


図2-2 : 酸化膜トラップが存在するときのCycle C - V 特性

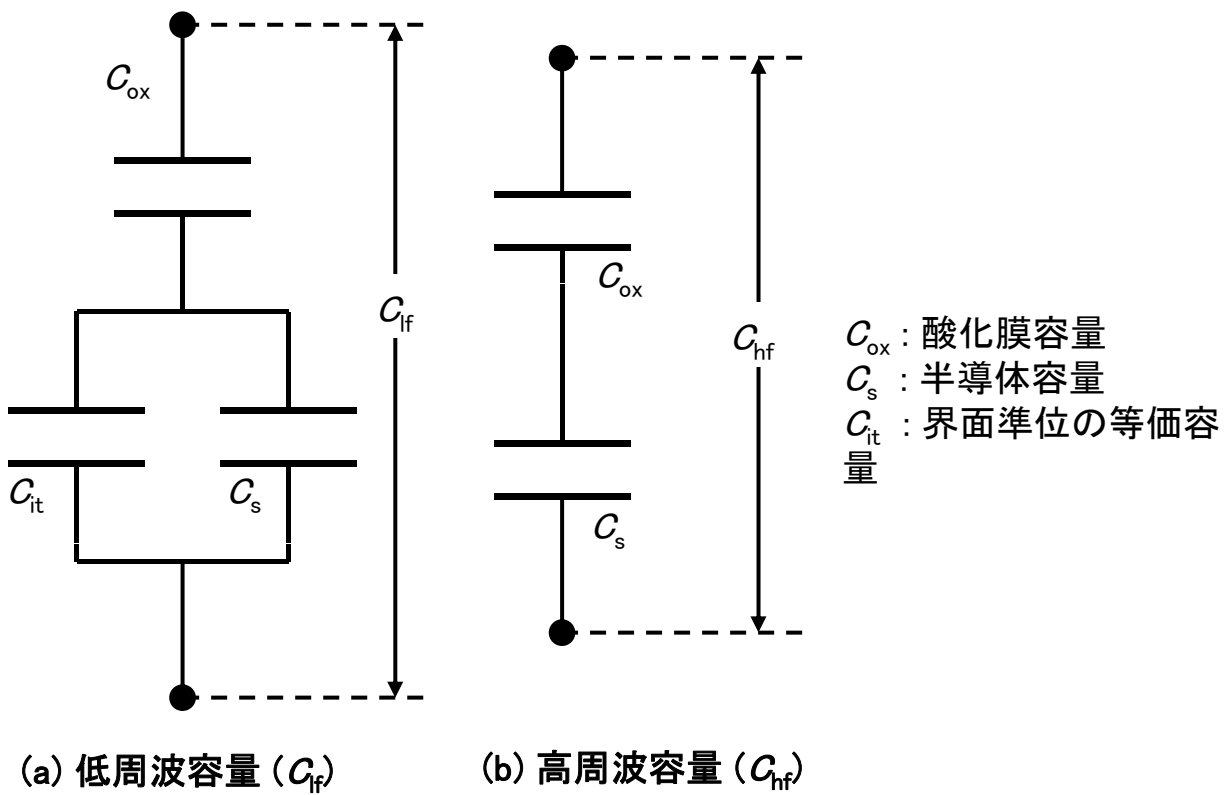


図2-3 : 測定周波数ごとのMOSキャパシタの等価回路

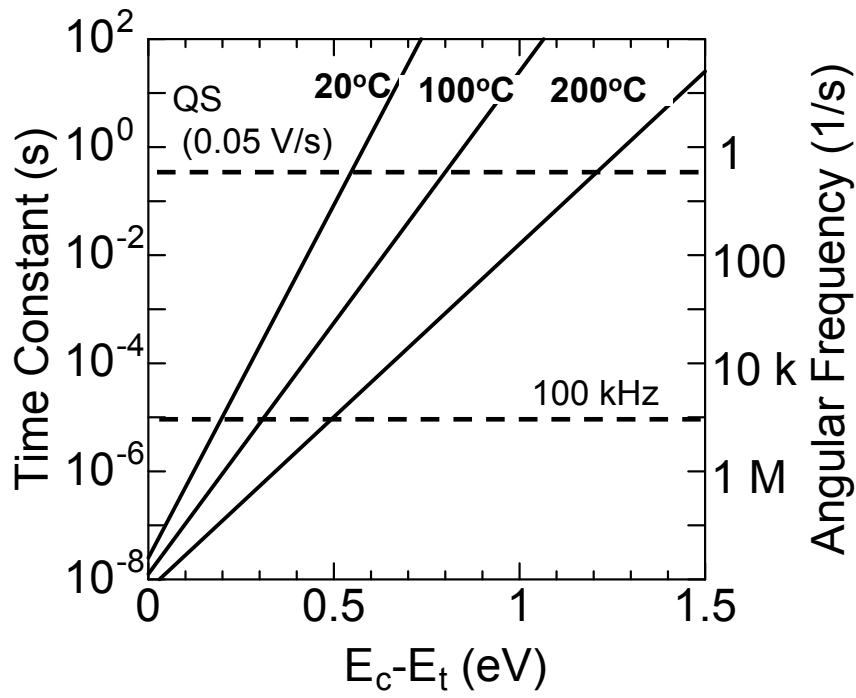


図2-4：トラップ準位と電子放出の時定数の関係

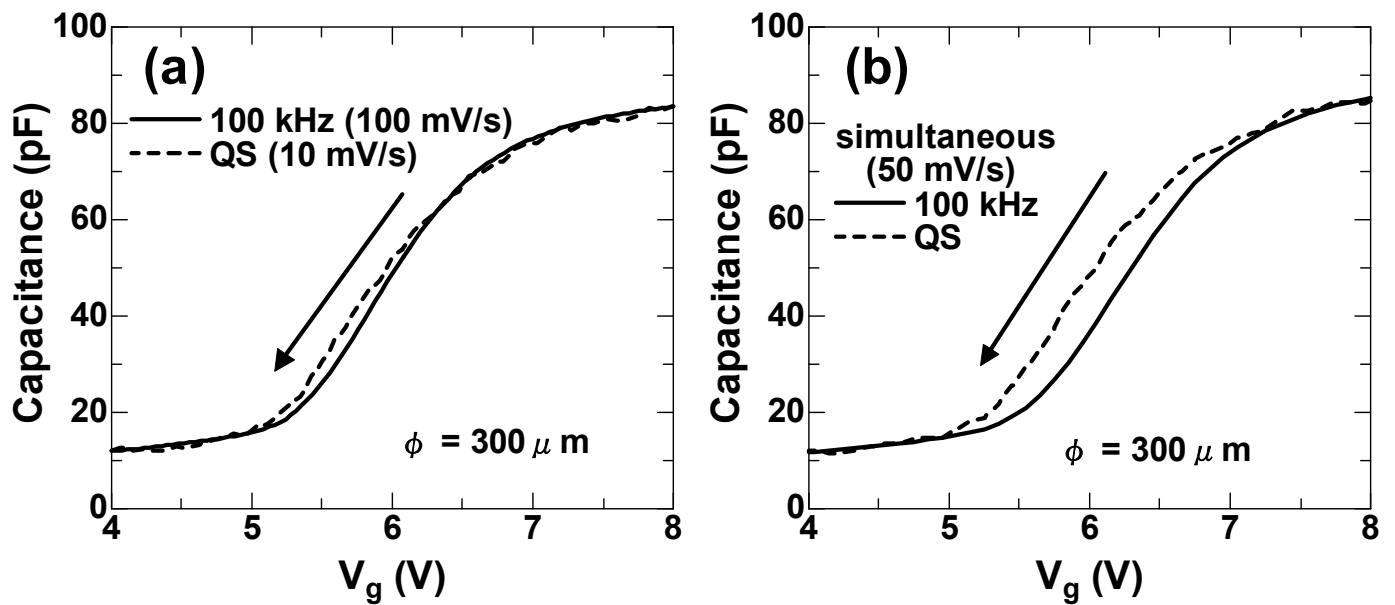


図2-5：酸化膜トラップが存在するときのhi-lo $C-V$ 特性
 (a) 酸化膜トラップの影響を受けた $C-V$ 特性 (b) 同時 $C-V$ 特性

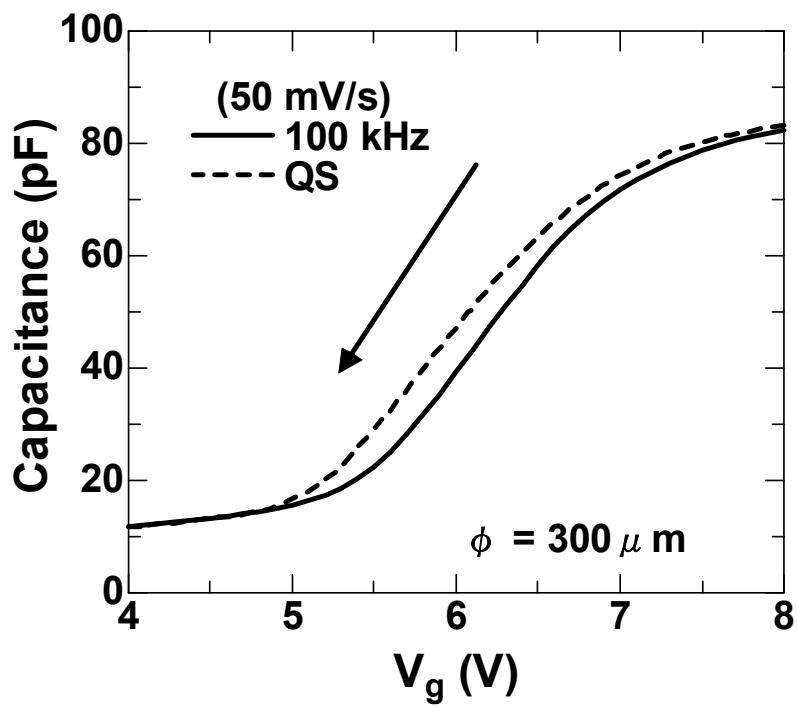


図2-6 : C - V 特性測定前に絶縁膜荷電状態を等しくすることにより酸化膜トラップの影響を受けていない C - V 特性

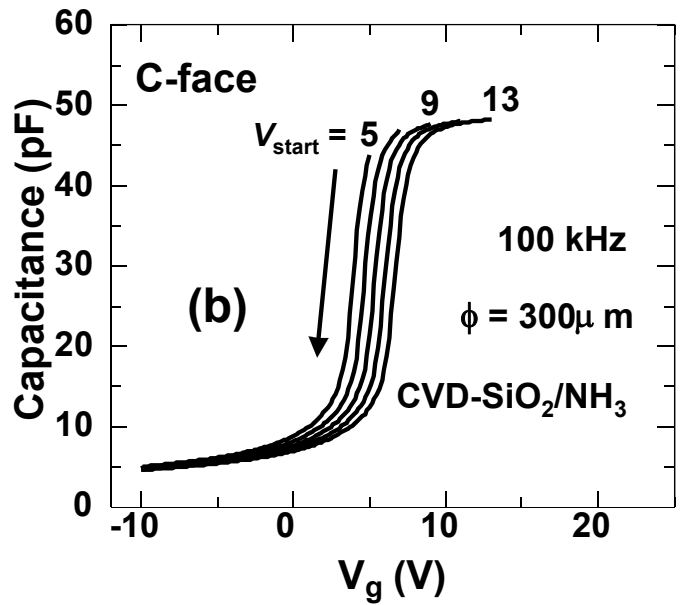
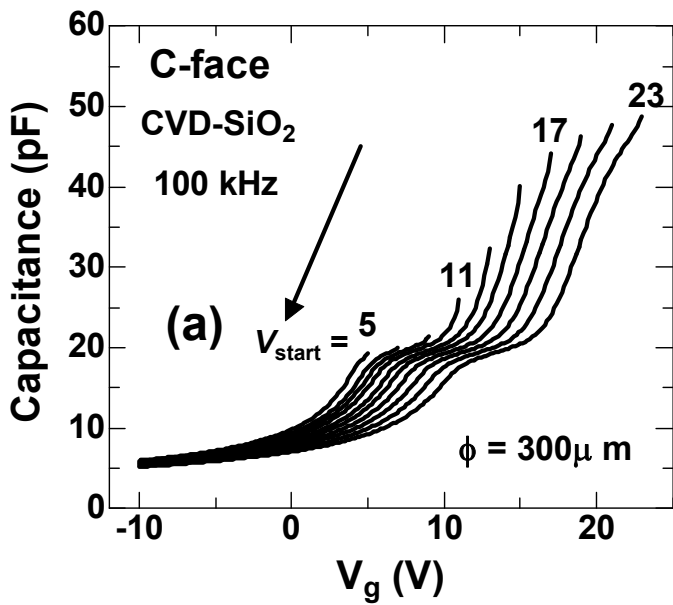


図2-7 : C面 MOSキャパシタのCycle C-V特性 (a) CVD-SiO₂ (b)CVD-SiO₂/NH₃

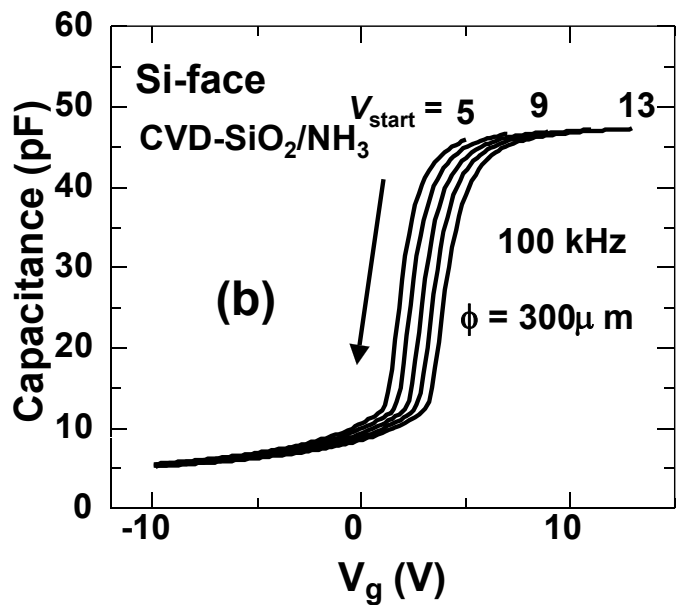
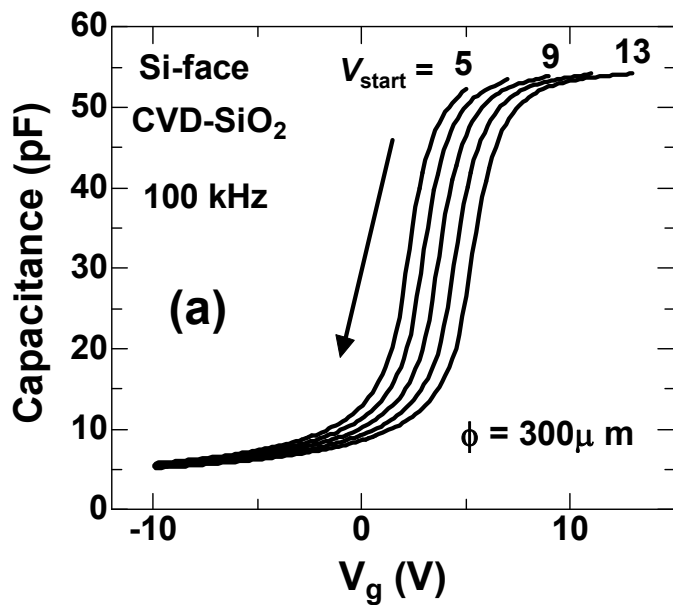


図2-8 : Si面 MOSキャパシタのCycle C-V特性 (a) CVD-SiO₂ (b)CVD-SiO₂/NH₃

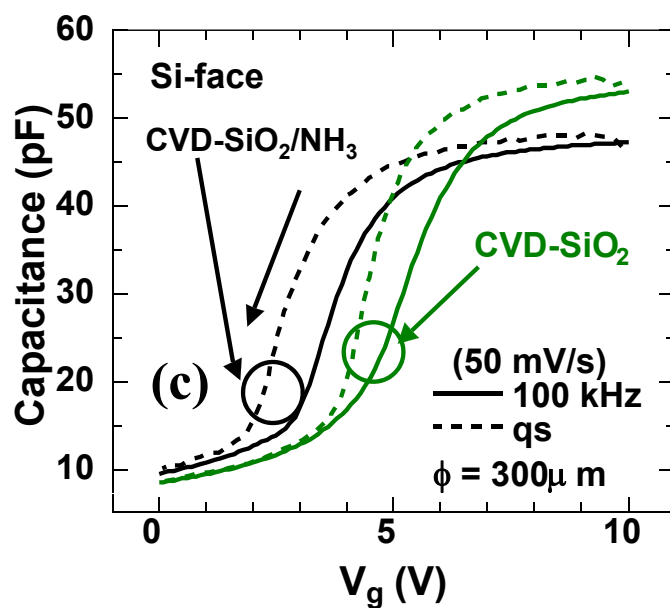
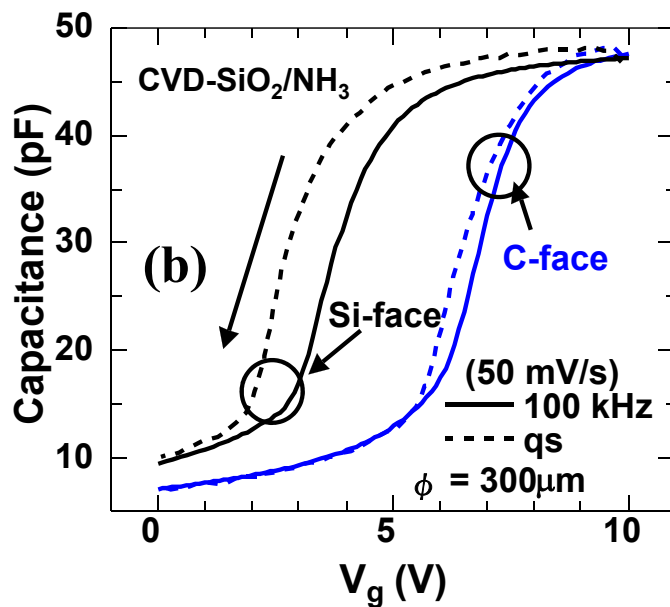
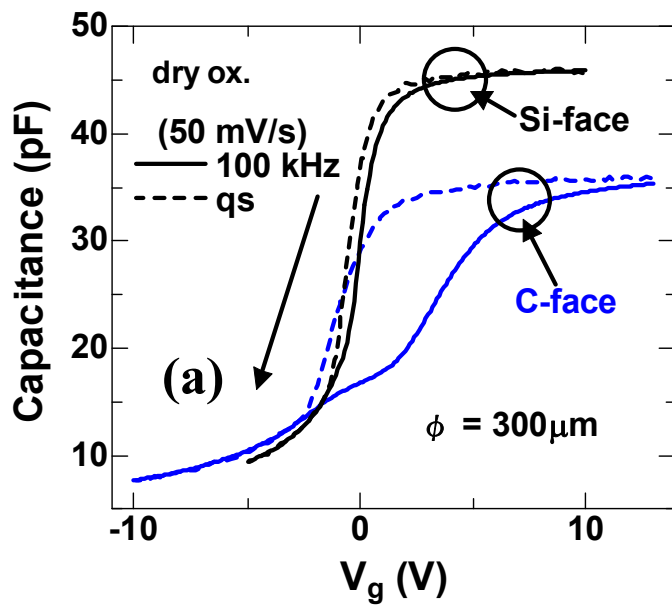


図2-9 : (a)ドライ酸化膜 (b)CVD-SiO₂/NH₃膜 (c)Si面の堆積酸化膜 のC-V特性

表2-2 : 実効酸化膜固定電荷密度

		t_{ox} (nm)	ΔV_{FB} (V)	Q_{eff} ($\times 10^{12} \text{ cm}^{-2}$)
Si-face	dry ox.	52.5	0.53	-0.3
	CVD-SiO ₂ /NH ₃	50.5	4.5	-2.0
C-face	dry ox.	68.0	5.7	-1.9
	CVD-SiO ₂ /NH ₃	50.0	7.3	-3.3

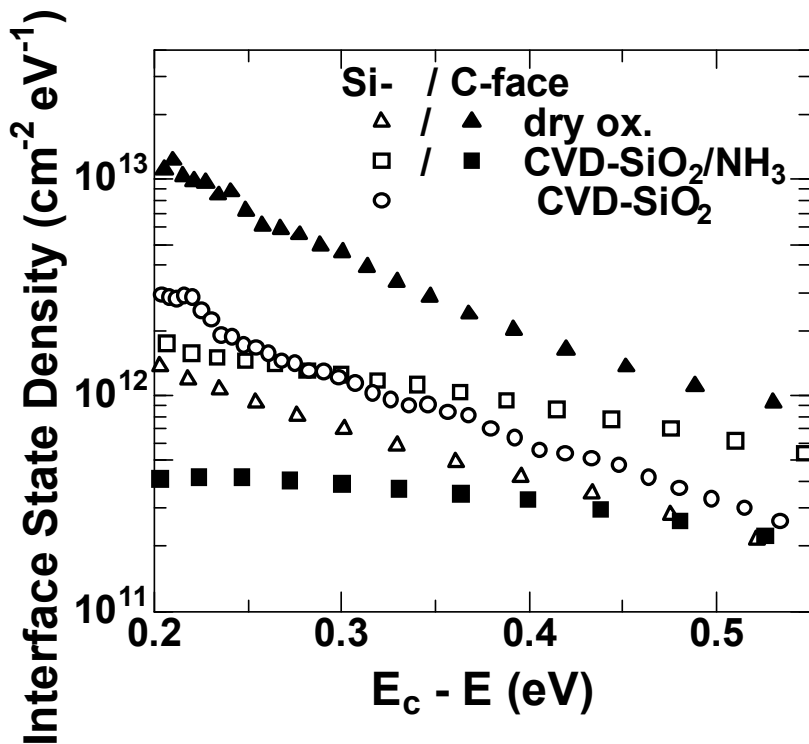


図2-10 : Hi-Lo法により求めた界面準位密度分布

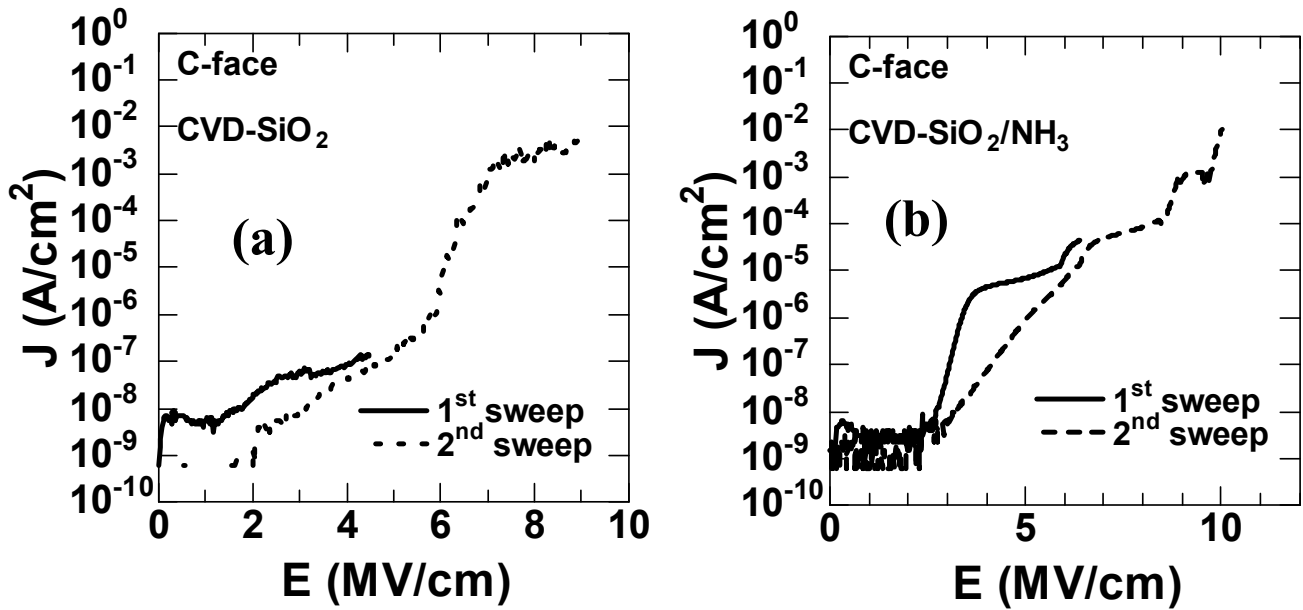


図2-11 : C面 4H-SiC上にCVD-SiO₂を形成したMOSキャパシタのJ-E特性
(a) CVD-SiO₂ (b) CVD-SiO₂/NH₃

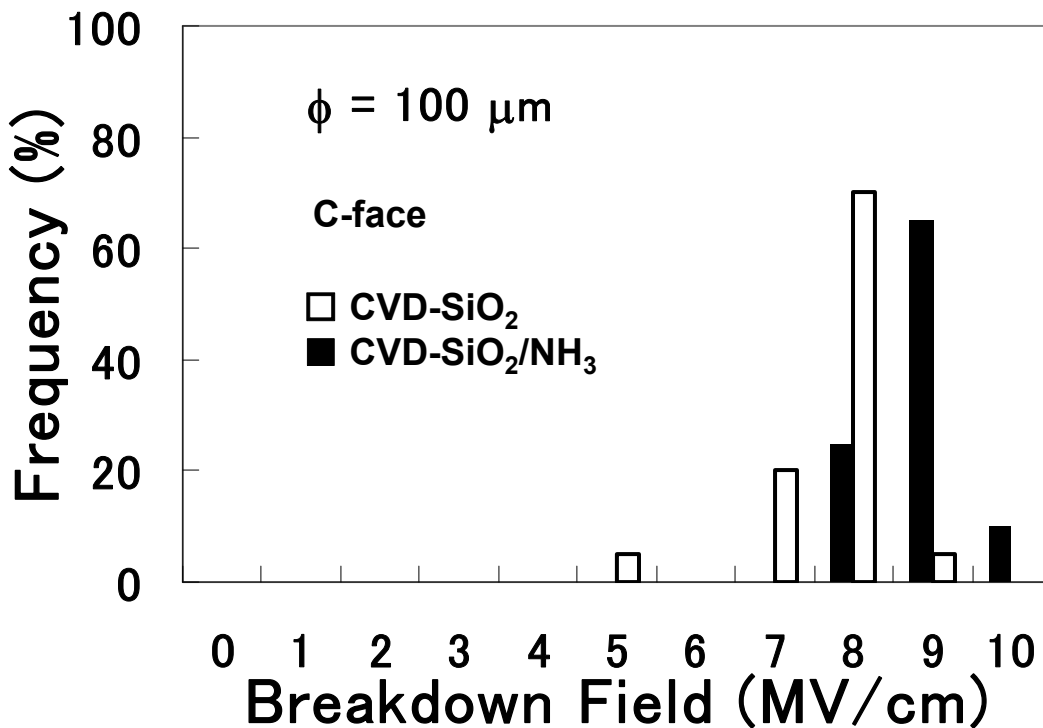


図2-12 : C面 4H-SiC上にCVD-SiO₂を形成したMOSキャパシタの絶縁破壊電界分布

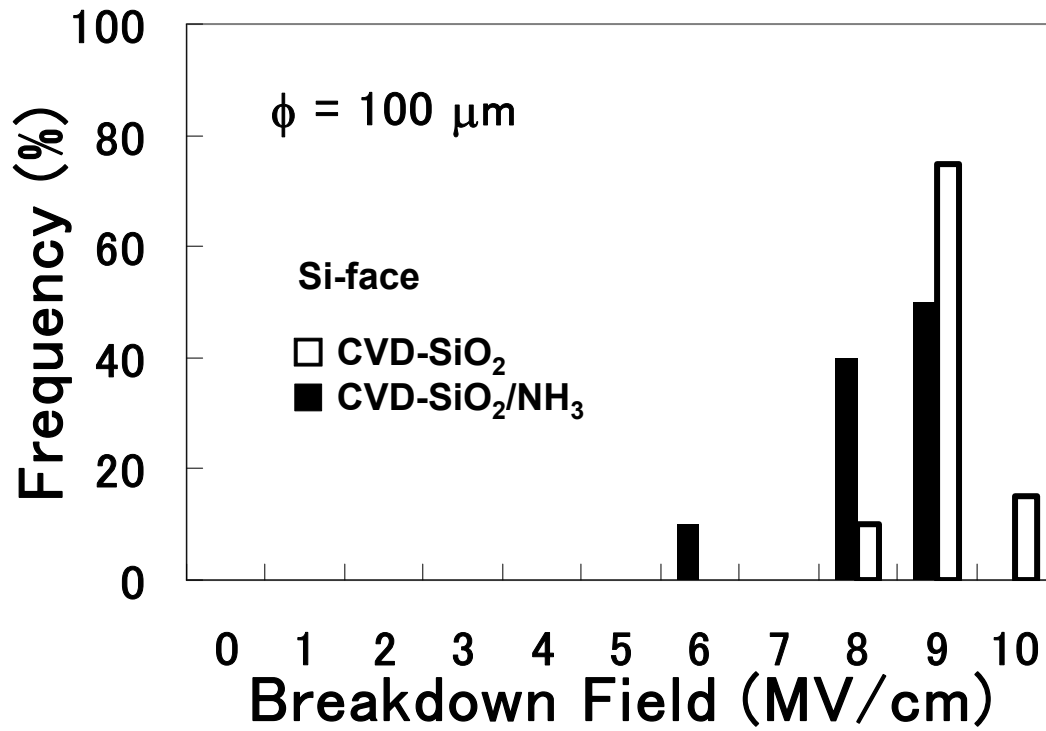


図2-13 : Si面 4H-SiC上にCVD-SiO₂を形成したMOSキャパシタの絶縁破壊電界分布

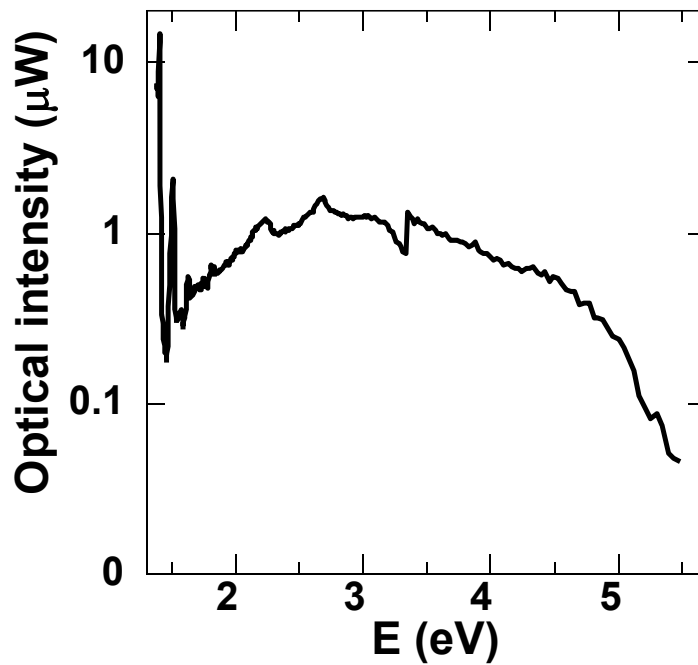


図2-14 : 任意のエネルギーに対する光強度

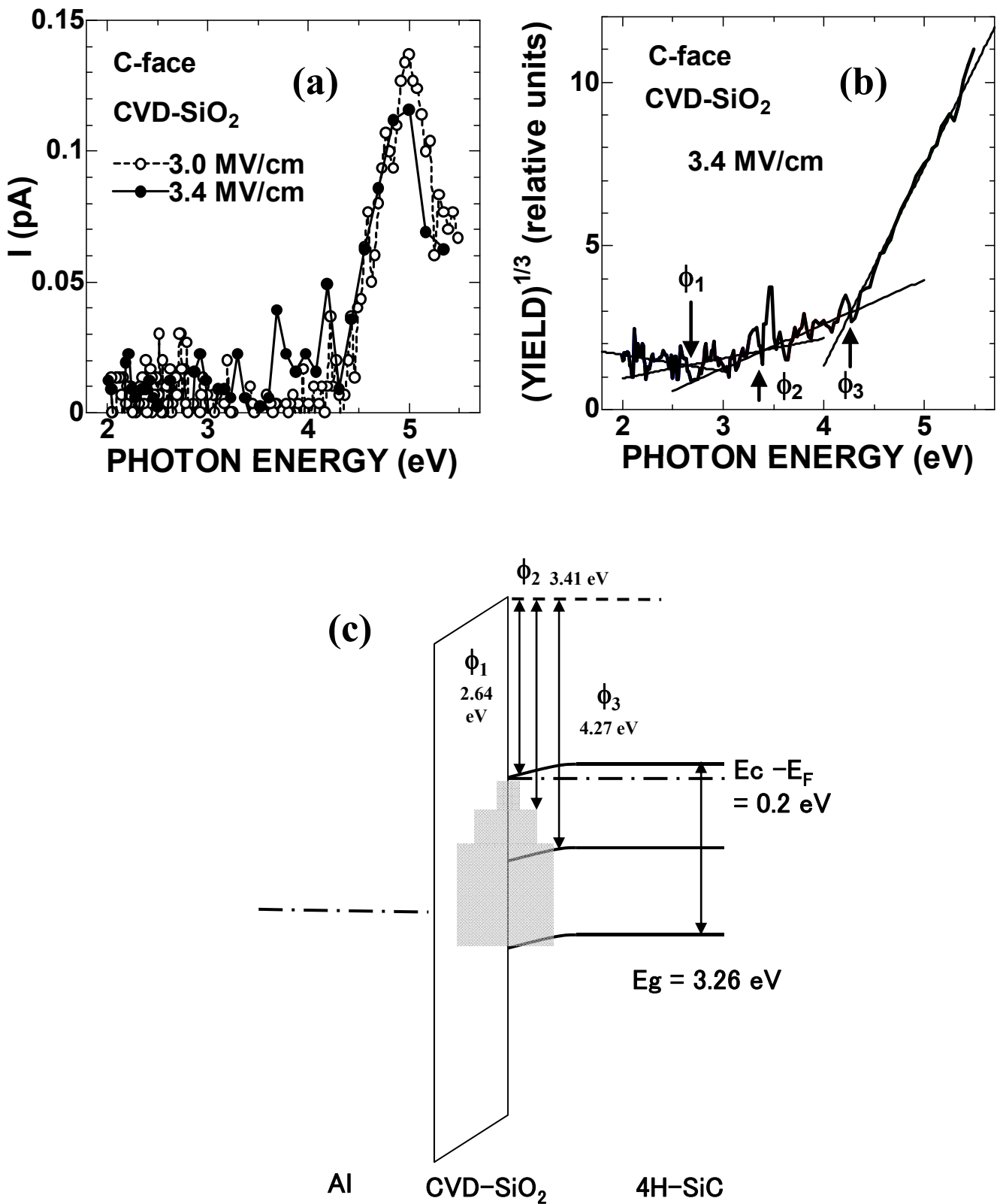


図2-15 : C面 CVD-SiO₂ MOSキャパシタのIPE測定 (a) 光電流 (b) IPE quantum yield (c) バンドアライメント

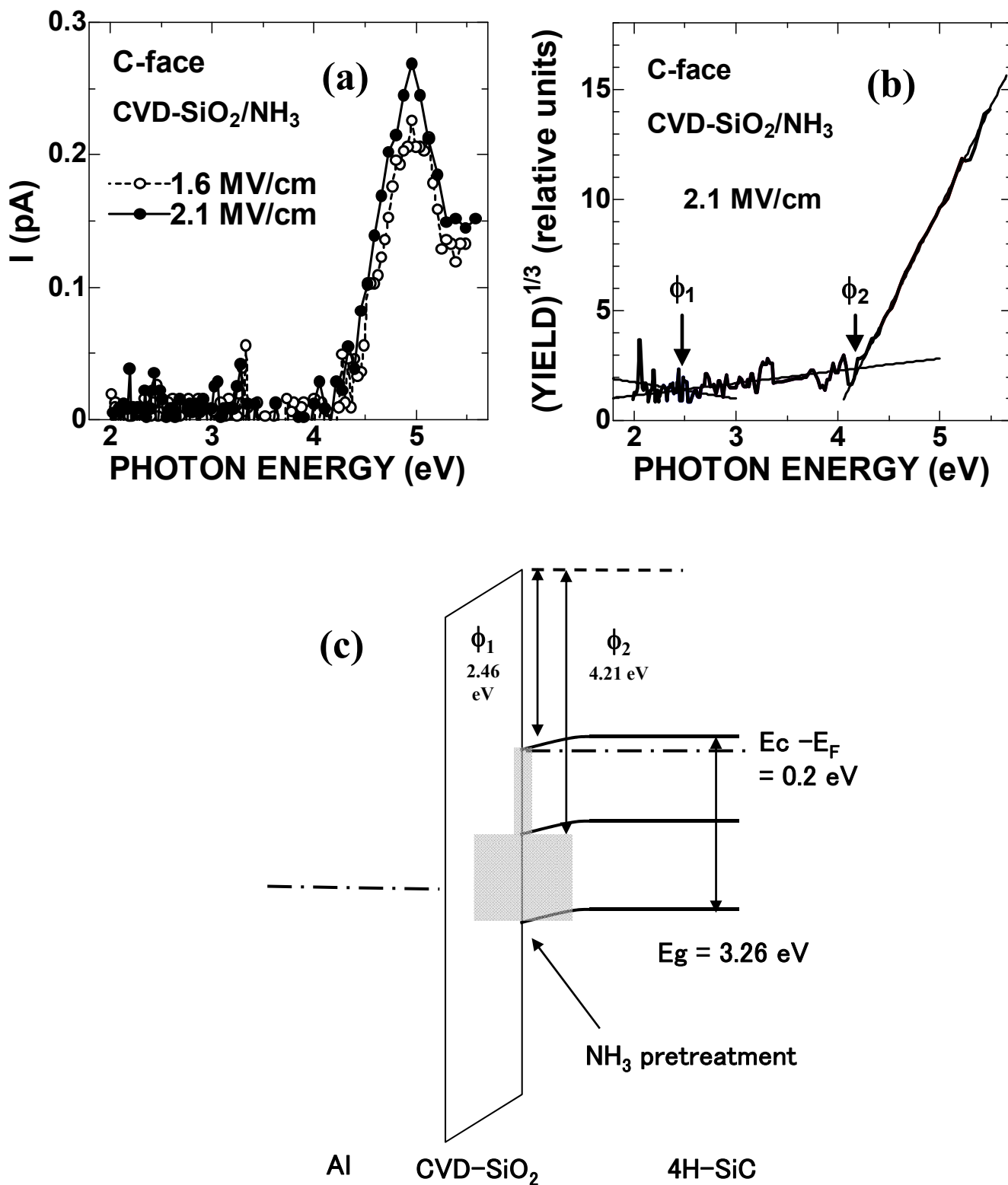


図2-16 : C面 CVD-SiO₂/NH₃ MOSキャパシタのIPE測定 (a) 光電流 (b) IPE quantum yield (c)バンドアライメント

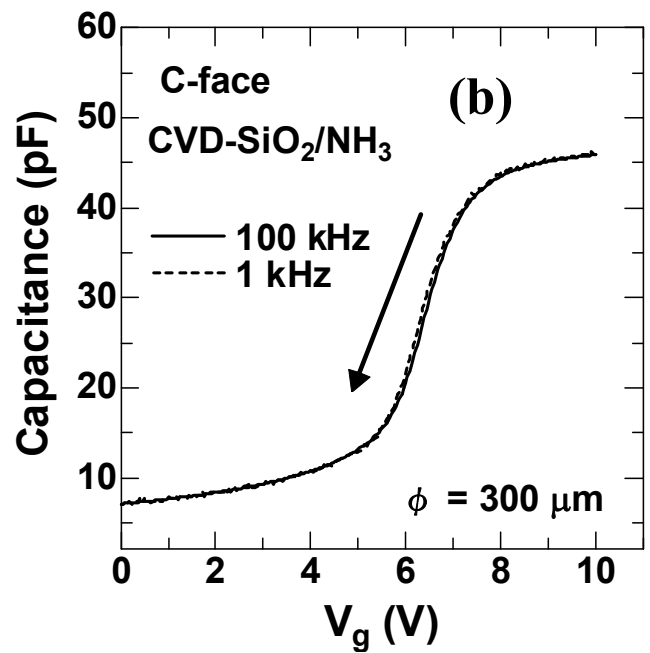
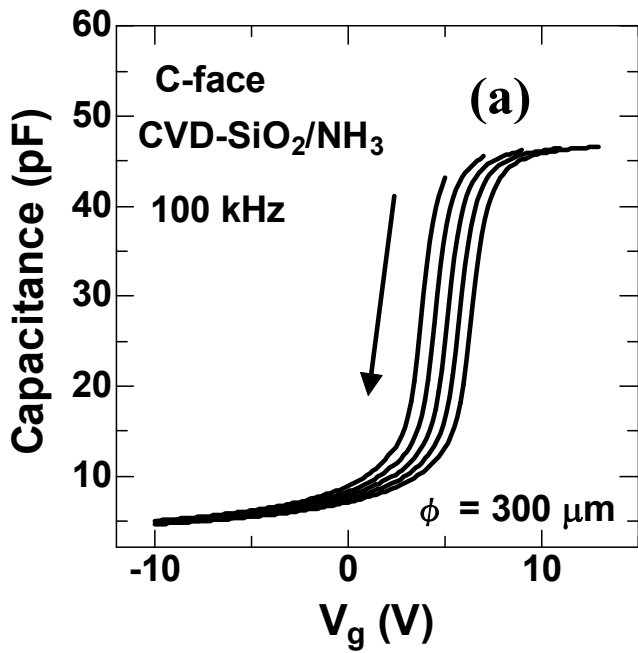


図2-17 : C面CVD-SiO₂/NH₃ MOSキャパシタのC-V特性
(a)測定開始電圧依存性 (b)周波数依存性

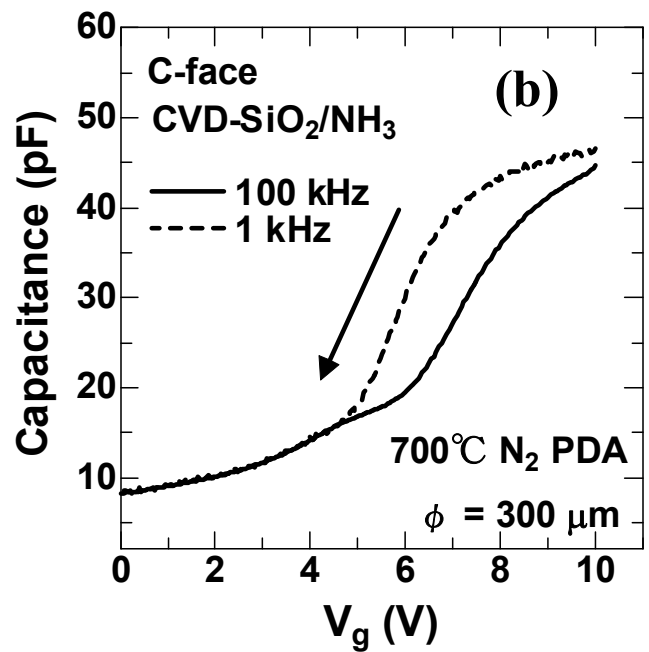
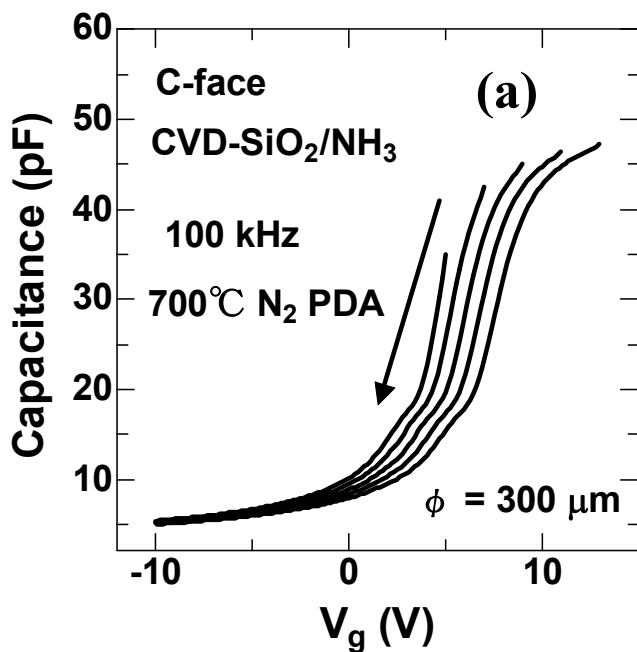


図2-18 : N₂雰囲気PDAしたC面 CVD-SiO₂/NH₃ MOSキャパシタのC-V特性
(a)測定開始電圧依存性 (b)周波数依存性

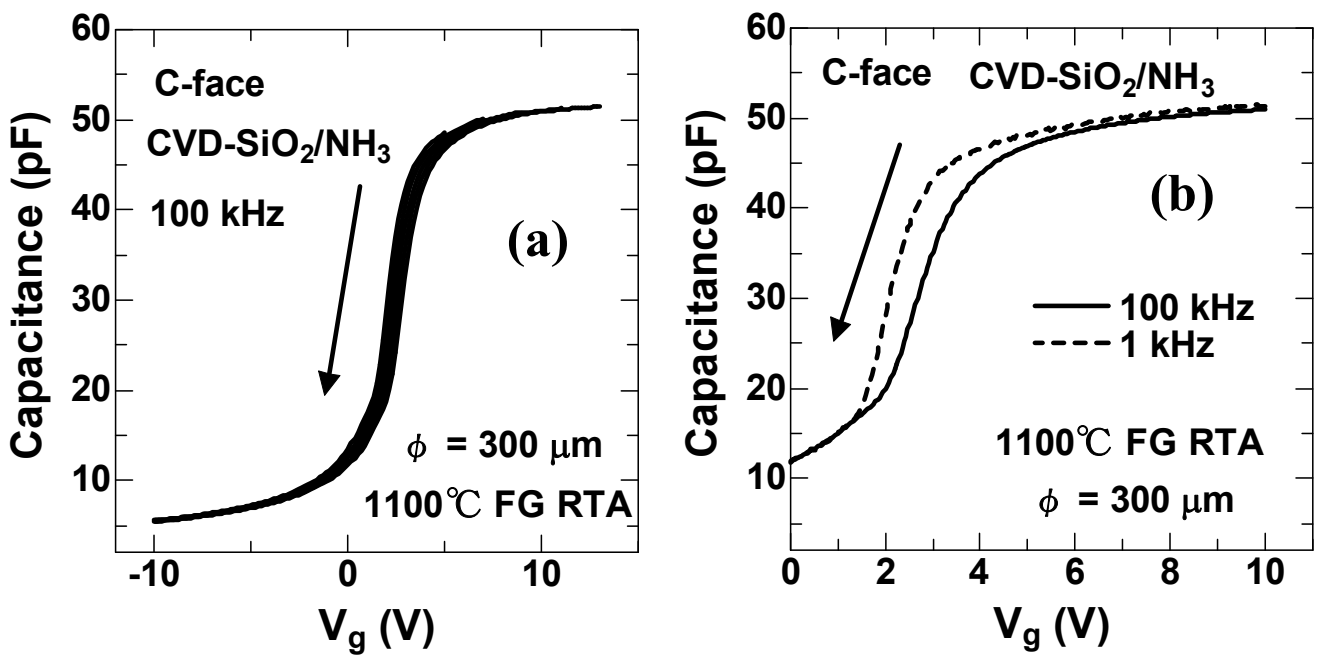


図2-19 : H₂雰囲気(4%)でPDAしたC面 CVD-SiO₂/NH₃のC-V特性
 (a)測定開始電圧依存性 (b)周波数依存性

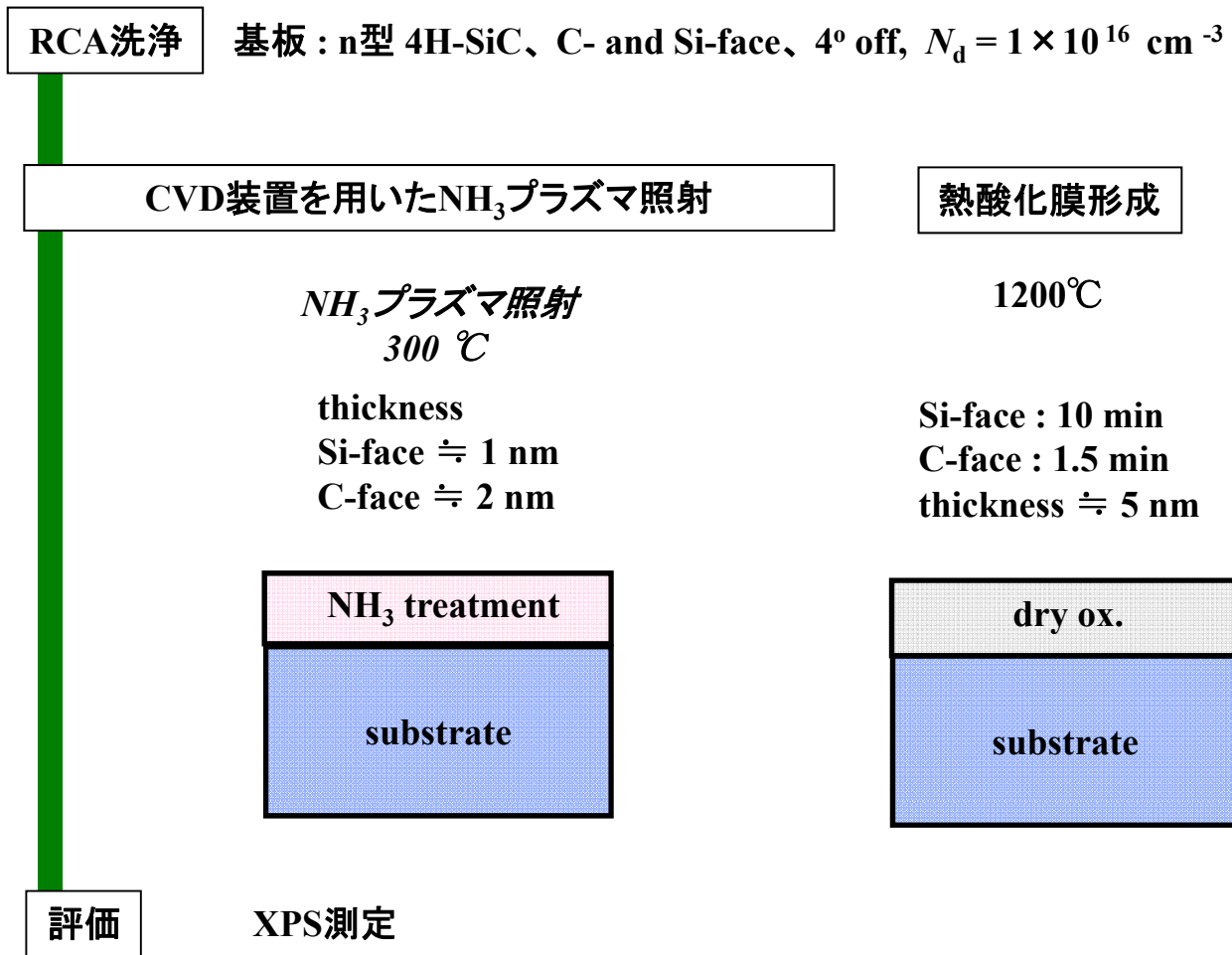


図2-20 : XPS測定用サンプル作製プロセス

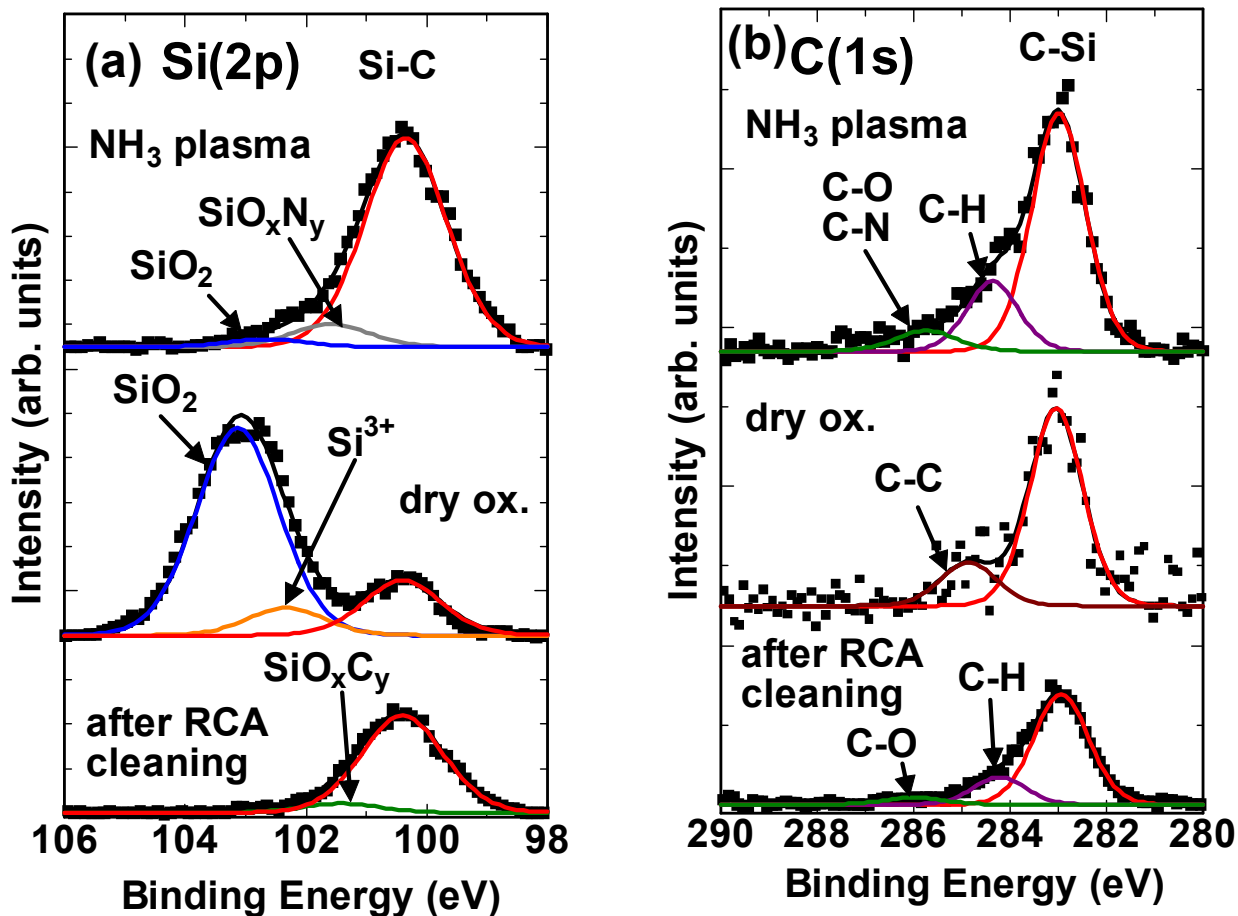


図2-21 : Si面サンプルのXPS測定とピーク分離

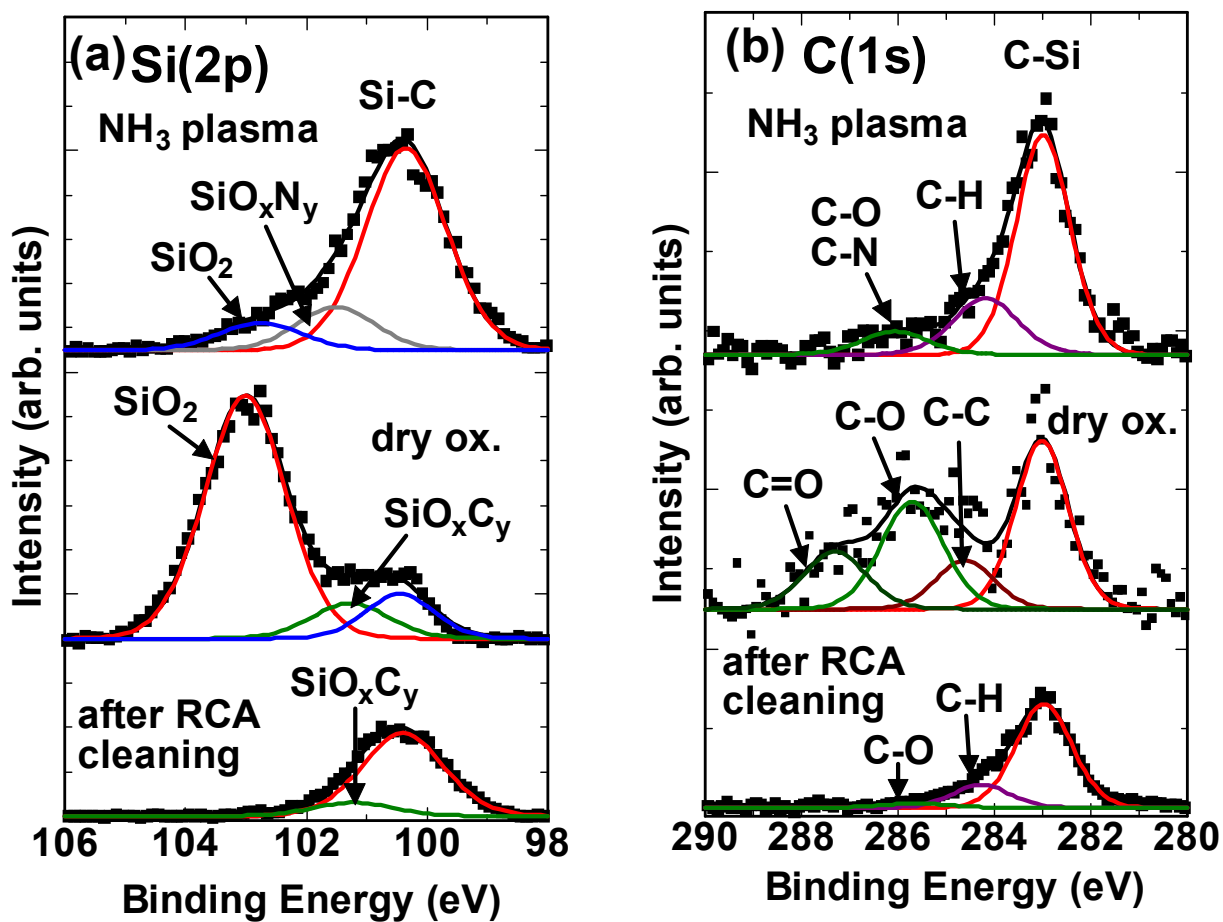


図2-22 : C面サンプルのXPS測定とピーク分離

表2-3 : 絶縁膜の成分含有率

	Si-face		C-face	
	dry ox.	NH ₃ plasma	dry ox.	NH ₃ plasma
Film thickness (nm)	5.0	1.0	5.0	2.2
N (%)	0	16	0	12
O (%)	66	37	62	40
Si (%)	32	15	29	23
C (%)	1	33	9	26

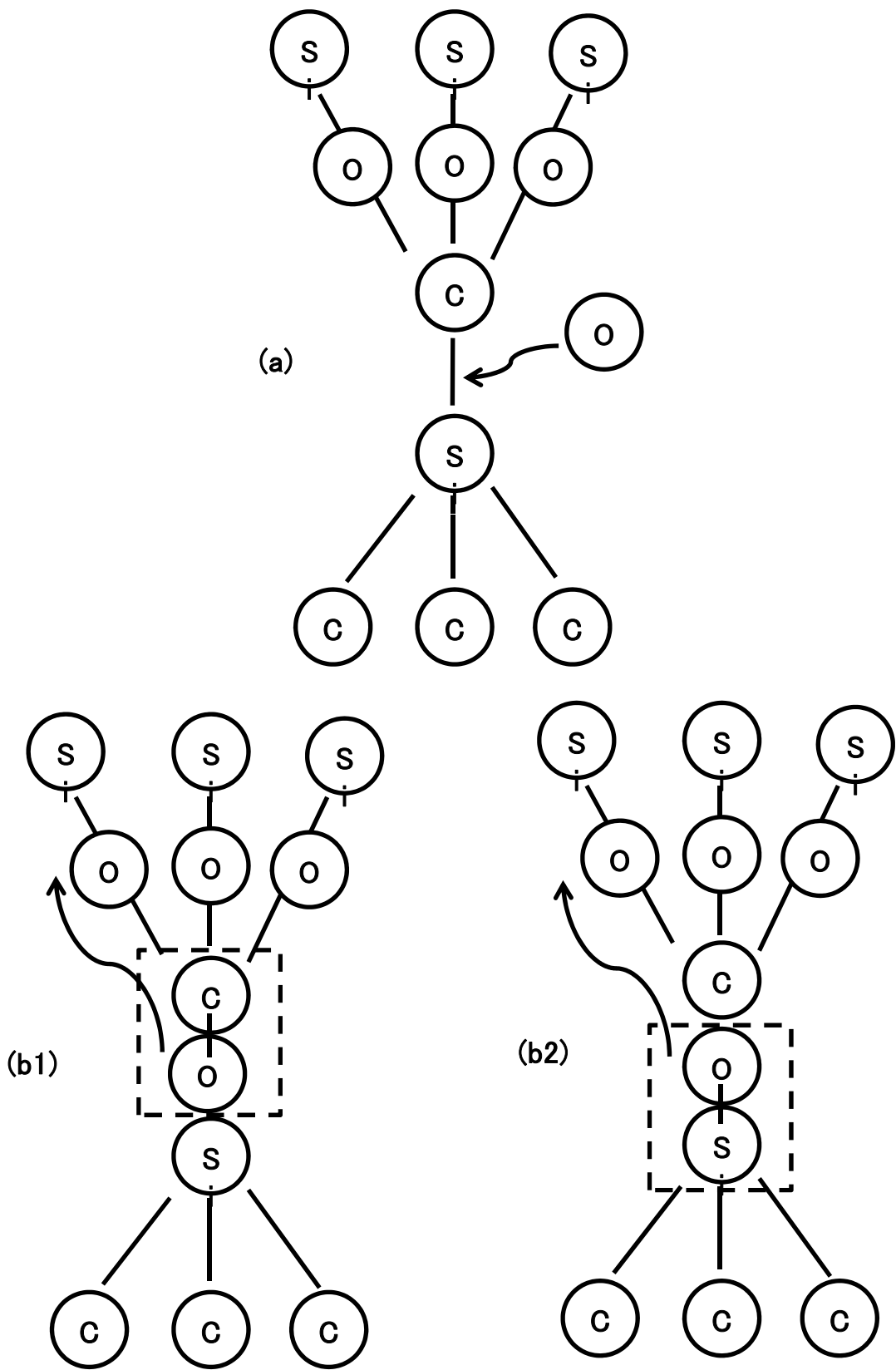


図2-23 : Si面の界面におけるドライ酸化機構のモデル

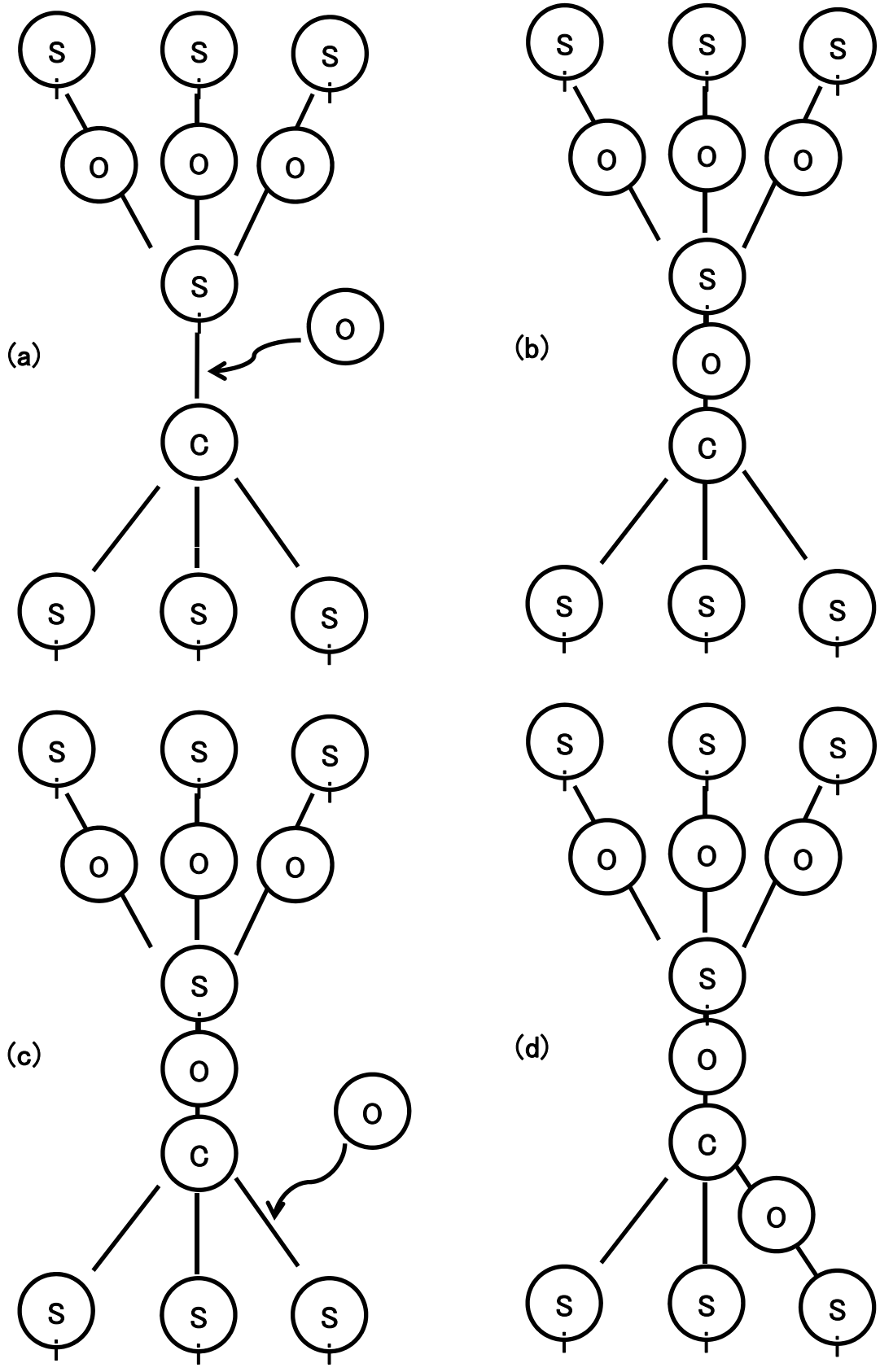


図2-24 : C面の界面におけるドライ酸化機構のモデル

2 章 参考文献

- [2.1] 小川洋輝, 堀池靖浩 著 “はじめての半導体洗浄技術”, 工業調査会 (2002).
- [2.2] J. A. Cooper, Jr. : *Phys. Status Solidi A* **162** (1997) 305.
- [2.3] Y. Hijikata, H. Yguchi, S. Yoshida, Y. Ishida, and M. Yoshikawa : *J. Vac. Sci. Technol. A* **23** (2005) 298.
- [2.4] 吉川正人, 石田夕起, 直本保, 土方泰斗, 伊藤久義, 奥村元, 高橋徹夫, 土田秀一, 吉田貞史 : 電気情報通信学会論文誌 (C), J86-C (2003) 426.
- [2.5] E. A. Nicollian and J. R. Brew “MOS(Metal Oxide Semiconductor) Physics and Technology”, A Wiley-Interscience publication (1997).
- [2.6] K. Fukuda, W. J. Cho, K. Arai, S. Suzuki, J. Senzaki, and T. Tanaka : *Appl. Phys. Lett.* **77** (2000) 866.
- [2.7] 野村滋, 福田永 著 “極薄シリコン酸化膜の形成と界面評価技術”, 株式会社リアライズ社 (1997).
- [2.8] Valery V. Afanas'ev “Internal Photoemission Spectroscopy”, Elsevier (2008).
- [2.9] 河東田隆 編著 “半導体評価技術”, 産業図書株式会社 (1989).
- [2.10] 奥野 英一 : SiC 及び関連ワイドギャップ半導体研究会 第 16 回講演会 VI-1.
- [2.11] S. Tanuma : *J. Sur. Anal.* **4**, (1998) 20.
- [2.12] Y. Hijikata, H. Yaguchi, S. Yoshida, Y. Takata, K. Kobayashi, S. Shin, H. Nohira and T. Hattori : *Mater. Sci. Forum* **483-485** (2005) 585.
- [2.13] P. Jamet and S. Dimitrijevic : *Appl. Phys. Lett.* **79** (2001) 323.
- [2.14] K. Y. Cheong, S. Dimitrijevic, J. Han and H. B. Harrison : *J. Appl. Phys.* **93** (2003) 5682.
- [2.15] P. Jedrzejowski, J. Cizek, A. Amassian, J. E. Klemberg-Sapieha, J. Vlcek and L. Martinu : *Thin Solid Films* **447-448** (2004) 201.
- [2.16] J. F. Moulder, W. F. Stickle, P. E. Sobol, K. D. Bomben : “Handbook of X-Ray Photoelectron Spectroscopy”, Eden Prairie, MN, 1995.
- [2.17] Y. Hijikata, H. Yaguchi, S. Yoshida, Y. Takata, K. Kobayashi, H. Nohira and T. Hattori : *J. Appl. Phys.* **100** (2006) 053710.
- [2.18] J. W. Chai, J. S. Pan, Z. Zhang, S. J. Wang, Q. Chen and C. H. A. Huan : *Appl. Phys. Lett.* **92** (2008) 092119.
- [2.19] G. G. Jernigan, R. E. Stahlbush and N. S. Saks : *Appl. Phys. Lett.* **77** (2000) 1437.
- [2.20] 藤井岳直・田辺道穂, 島津評論 47, 89 (1990).
- [2.21] K. McDonald, L. C. Feldman, R. A. Weller, G. Y. Chung, C. C. Tin, and J. R. Williams: *J. Appl. Phys.* **93** (2003) 2257

- [2.22] S. Dhar, L. C. Feldman, S. Wang, T. Isaacs-Smith and J. R. Williams : *J. Appl. Phys.* **98** (2005) 014902.
- [2.23] A. Constant, N. Camara, P. Godignon and J. Camassel : *Appl. Phys. Lett.* **94** (2009) 063508
- [2.24] K. Fukuda, S. Suzuki, T. Tanaka and K. Arai : *Appl. Phys. Lett.* **76** (2000) 1585

第3章 ゲート絶縁膜に SiON を用いた 4H-SiC MIS キャパシタの特性

3.1 はじめに

NH₃ プラズマ処理を行ったあと続けて酸化膜を堆積すると、成膜雰囲気には多くの酸素が含まれているため、酸素が NH₃ プラズマ処理を行った SiC 表面と反応し、NH₃ プラズマ照射の効果が薄れる可能性がある。そこで原料ガスに酸素を含まない絶縁膜の堆積を試みる必要がある。また SiC 上に酸化窒化膜(SiON)を堆積し絶縁膜として用いることや[3.1-2]、SiO₂/SiN/SiO₂(ONO)ゲート絶縁膜を用いることによる絶縁膜信頼性の向上が報告されている[3.3-4]。そこで SiON 絶縁膜を用いた金属-絶縁膜-半導体 (metal-insulator-semiconductor : MIS)キャパシタに対し NH₃ プラズマ前処理を行うことにより、良好な界面特性を持ち、また信頼性の高い絶縁膜を形成することが期待される。本章では、NH₃ プラズマ前処理を行った MIS キャパシタを作製し電気的特性の評価を行った。また成膜時のプロセス温度に対する MIS キャパシタ特性の依存性を調べた。

3.2 MIS キャパシタ特性の成膜温度依存性

SiC 上に堆積膜を形成するとき、低温のほうが良いという報告がなされている[3.5-6]。第2章において CVD 装置を用いて酸化膜を堆積するときに 300°C で行ったが、本節では 300°C に加え、250°C で NH₃ プラズマ前処理を行った後 SiON を堆積したサンプルを用いて MOS キャパシタを作製し、特性の比較・評価を行った。界面準位密度を算出することにより界面特性を評価し、より界面特性の良い条件に対し、次節以降で詳細な評価を行う。

3.2.1 MIS キャパシタの作製

MIS キャパシタの作製プロセスを図 3-1 に示す。SiON 膜を堆積する点以外は 2.2 節と同様のプロセスを用いた。表 3-1 に示した条件を用いて NH₃ プラズマ前処理及び CVD-SiON の堆積を行った。

(1)酸化膜形成

RF 容量結合型プラズマ CVD 装置を用いて NH₃ プラズマを 100Pa、RF パワー200W で 8 分間照射した。続けて SiH₄、NH₃、N₂ ガスを 50/80/100 sccm で流し 80Pa、RF パワー40W で 2 分間 45 秒プラズマを発生させることにより 30~40 nm の CVD-SiON 膜を堆積した。成膜ガス雰囲気に酸素が入っていないのに SiON 膜が成膜されたのは、チャンバー内に残留酸素があったためだと考えられる。このときサンプルホルダの温度は 250°C または 300°C で行った。

これらのプロセスで作製した MIS キャパシタの電気的特性より界面準位密度の評価を行い、また NH₃ プラズマ照射したサンプル表面の XPS 測定より表面組成の評価を行った。

3.2.2 MIS キャパシタの評価

図 3-2 に C - V 測定を行った結果を示す。 C - V 曲線のシフトは、Si 面では成膜温度に関わらずほぼ同じ程度だが、C 面では 300°C で成膜したサンプルと比べて 250°C で成膜したサンプルのほうがシフトが小さい。表 3-2 に各成膜条件で作製した MOS キャパシタの酸化膜厚(t_{ox})、フラットバンド電圧シフト(ΔV_{FB})、実効固定電荷密度(Q_{eff})を示す。250°C で成膜したサンプルの酸化膜厚は、エリプソを用いて測定した。このとき、酸化膜中の SiO₂ と Si₃N₄ の成分比は、それぞれ 46% と 54% であった。また、段差計により求めた物理膜厚を用いて比誘電率を算出したところ 5.2 であった。300°C で成膜したサンプルの酸化膜厚は、この比誘電率を用いて電気的特性から得た。実効固定電荷は、Si 面と C 面の両方において 250°C で成膜したサンプルのほうが 300°C で成膜したサンプルに比べ小さい。また、図 3-3 に Hi-Lo 法を用いて界面準位密度を算出した結果を示す。C 面の界面準位密度は、 $E_c - E = 0.2$ eV において 300°C で作製したサンプルでは $7 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ であるのに対し、250°C で作製したサンプルは $5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ と低い値を示している。一方、Si 面の界面準位密度は成膜温度に関わらず同程度である。

NH₃ プラズマを照射した SiC 表面を、XPS 測定した結果より算出された膜厚と成分含有率を表 3-3 に示した。C 面と Si 面の両方において成膜温度に関わらず窒素含有率は同程度であるが、カーボン含有率は 250°C のほうが 300°C で作製したサンプルに比べ少ない。また膜厚を見てみると、250°C のほうが厚いことが分かる。これらから低温のほうが SiC 表面での NH₃ プラズマの反応性が高く、その結果カーボン含有率も減少したと予想される。C 面ではカーボンに関する欠陥が減少したため、界面準位密度と実効固定電荷が減少したといえる[3.7-8]。一方、Si 面はカーボンが多く存在しているため界面準位密度が改善されなかったと考えられる。

これらの結果より、成膜は低温で行うほうが良質な界面・膜質を得ることが出来ることが分かった。よって SiON 膜の堆積温度は 250°C で行うことにした。

3.3 MIS キャパシタの電気的特性

3.2 節においてプロセス温度を決定した。本節では、NH₃ プラズマ前処理を行わず SiON 膜を堆積させた MIS キャパシタも作製し MIS キャパシタに対する NH₃ プラズマ前処理の効果を界面準位密度および絶縁性から評価した。

3.3.1 MIS キャパシタの作製

MIS キャパシタの作製プロセスを図 3-4 に示す。SiON 膜を堆積する点以外は 2.2 節と同様のプロセスを用いた。表 3-4 に示した条件にて NH₃ プラズマ前処理及び CVD-SiON の堆積を行った。このとき NH₃ プラズマを照射せず CVD-SiON 膜を堆積したサンプルを用意した。また、比較のため 2.2 節で示したものと同様の方法でドライ酸化したサンプルを用意した。

これらのプロセスで作製した MIS キャパシタの電気的特性を調べ、界面準位密度や電流伝導機構等の解析を行った。

3.3.2 容量-電圧測定による界面準位密度評価

作製したサンプルに対し、高周波および低周波 $C-V$ 曲線を測定した結果を図 3-5 に示す。図 3-5(a)は、第 2 章でも示したドライ酸化したサンプルから得られた $C-V$ 曲線である。図 3-5(b)に CVD-SiON を堆積した MOS キャパシタから得られた $C-V$ 曲線を示す。ドライ酸化したサンプルに比べ、高周波と低周波特性の容量差は Si 面では大きくなり C 面では小さくなっている。これは、Si 面の界面特性は低下したが、C 面では向上したことを示唆している。また、C 面において、ドライ酸化では現れていた hump が現れない。しかし CVD-SiON 膜は CVD-SiO₂ 膜のときと同様、正のフラットバンドシフトが現れている。表 3-5 に、各成膜条件で作製した MOS キャパシタの酸化膜厚(t_{ox})、フラットバンド電圧シフト(ΔV_{FB})、実効固定電荷密度(Q_{eff})を示す。堆積膜は、ドライ酸化膜に比べ大きな実効固定電荷密度を示す。これは多くの電子が、堆積膜中にトラップされたためだといえる。図 3-5(c)に、NH₃ プラズマ前処理後 SiON を堆積した MOS キャパシタに対し、 $C-V$ 特性を測定した結果を示す。図 3-5(b)と比べると、容量差は Si 面では大きくなるのに対し、C 面では小さくなっている。また表 3-5 の実効固定電荷密度を見ても、NH₃ プラズマ照射したサンプルのほうが小さいことがわかる。これらより、C 面では NH₃ プラズマ前処理により、界面特性が向上し酸化膜固定電荷が減少したといえる。NH₃ プラズマ照射が SiC 表面に及ぼす効果は 2.4 節にすでに示しており、NH₃ プラズマ前処理により界面に高品質な絶縁膜が形成されたと考えられる。図 3-5 から Hi-Lo 法を用いて界面準位密度を算出した結果を図 3-6 に示す。C 面では、ドライ酸化膜の界面準位密度は非常に大きいですが、CVD-SiON を堆積することにより一桁減少し、NH₃ プラズマ前処理を行うことにより $E_c-E = 0.2$ eV において $5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ とさらに減少していることが分かる。それに対し、Si 面ではドライ酸化と CVD-SiON の MOS キャパシタが同程度の値を示し、NH₃ プラズマ処理をすると悪化している。よって、NH₃ プラズマ処理の効果は CVD-SiO₂ のときと同様であるといえる。

3.3.3 電流-電圧測定による絶縁性評価

酸窒化膜の絶縁性を調べるため、2.3.4 項と同様に MIS キャパシタに対する I - V 測定を行った。図 3-7 に C 面に対し(a)CVD-SiON 絶縁膜、または(b)NH₃ プラズマ前処理を行った CVD-SiON 絶縁膜を用いた MIS キャパシタの J - E 特性を 2 回続けて行った結果を示す。電界を求めるときに用いた SiON の膜厚は、段差計を用いて求めた物理膜厚である。堆積酸化膜のときと同様、1 回目の特性のほうが 2 回目の特性よりも大きな電流密度となっており、多くの電子が絶縁膜中にトラップされることを示している。Si 上に作製した MIS キャパシタにおいても、同じ傾向が見られた。

図 3-8 に C 面に対し NH₃ プラズマ前処理を行った MIS キャパシタの絶縁破壊電界分布を示す。2.3.4 項より、堆積酸化膜の絶縁破壊電界は 8 MV/cm から 10 MV/cm まで分布していたが (図 2-12、図 2-13)、堆積酸窒化膜では主に 10 MV/cm から 13 MV/cm まで分布している。酸窒化膜は酸化膜に比べ誘電率が高いため、高電界に対する耐性が大きいためだといえる。また、NH₃ プラズマ前処理の有無による絶縁破壊電界分布の変化は堆積酸化膜のときと同様ほぼ見られない。

3.4 堆積後アニールの効果

CVD-SiON 膜は測定開始電圧依存性を持っている。そこで膜質の向上を試みるため、2.5 節と同様に PDA を行った。使用したサンプルは、界面準位が大幅に減少した C 面に NH₃ プラズマ前処理を行ったもの(CVD-SiON/NH)である。図 3-10 に PDA を行う前の(a)測定開始電圧依存性と(b)周波数依存性を示す。測定方法は 2.5 節で説明したものと同様の方法で行った。図 3-10(a)から測定開始電圧依存性が大きく現れていることが分かり、図 3-10(b)より周波数依存性はほとんど存在していないことが分かる。図 3-11 に N₂ 雰囲気、700°C で 2 時間アニリングを行ったサンプルを用いて MOS キャパシタを作製し、同様の測定を行った結果を示す。図 3-11(a)より測定開始電圧依存性が、PDA する前と同様に存在していることが分かる。また、図 3-11(b)の周波数依存性を見てみると、PDA する前と比べかなり悪化している。これより N₂ 中で PDA を行うと、CVD-SiO₂ のときと同様に NH₃ プラズマ前処理の効果がなくなってしまうことが分かる。図 3-12 に、絶縁膜堆積後に水素雰囲気(4%)、1100°C で 10 分間 RTA を行った MIS キャパシタを測定した結果を示す。図 3-12(a)から測定開始電圧依存性は、PDA しても変わっていないことが分かる。これは CVD-SiO₂ を PDA したときと異なる点である。この原因は分かっていないが、CVD-SiON をアニリングしても絶縁膜中に電子をトラップする欠陥が消失しない、または新たに現れてしまうことを示唆している。また、図 3-12(b)の周波数依存性を見てみても、PDA する前に比べ劣化してしまっていることが分かる。

3.5 まとめ

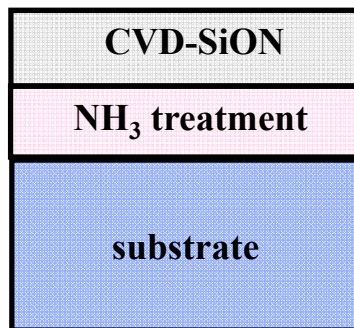
本章では NH_3 プラズマ前処理を行った後、絶縁膜として酸窒化膜を堆積した MIS キャパシタの成膜温度に対する依存性および NH_3 プラズマ照射の効果を評価した。これより成膜は低温で行うほうが良質な界面・膜質を得られることが分かった。また絶縁膜を酸化膜から酸窒化膜に変えても NH_3 プラズマ前処理の効果は変わらず、C 面では界面特性を改善できたが Si 面では悪化した。しかし絶縁破壊電界分布を比較したところ、堆積酸窒化膜は堆積酸化膜より高電界に対する耐性が大きいことが分かった。

RCA洗淨 基板 : n型 4H-SiC、C- and Si-face、4° off, $N_d = 1 \times 10^{16} \text{ cm}^{-3}$

CVD装置を用いた絶縁膜形成

↓
 NH_3 プラズマ照射
 250°C or 300°C

↓
 SiON堆積
 250°C or 300°C



ゲート電極(Al)形成

PMA処理 $\text{N}_2 / \text{H}_2 = 4.5 / 0.5 \text{ slm}$, 400°C , 30 min

図3-1 : MISキャパシタ作製プロセス

表3-1 : NH_3 プラズマ照射及びSiON堆積 (PECVD装置)

NH ₃ 処理	SiON成膜	成膜温度
NH ₃ : 200sccm, 100Pa 200W, 8min	SiH ₄ /NH ₃ /N ₂ : 50/80/100 sccm, 80Pa 40W, 2 min 45 s	250°C or 300°C

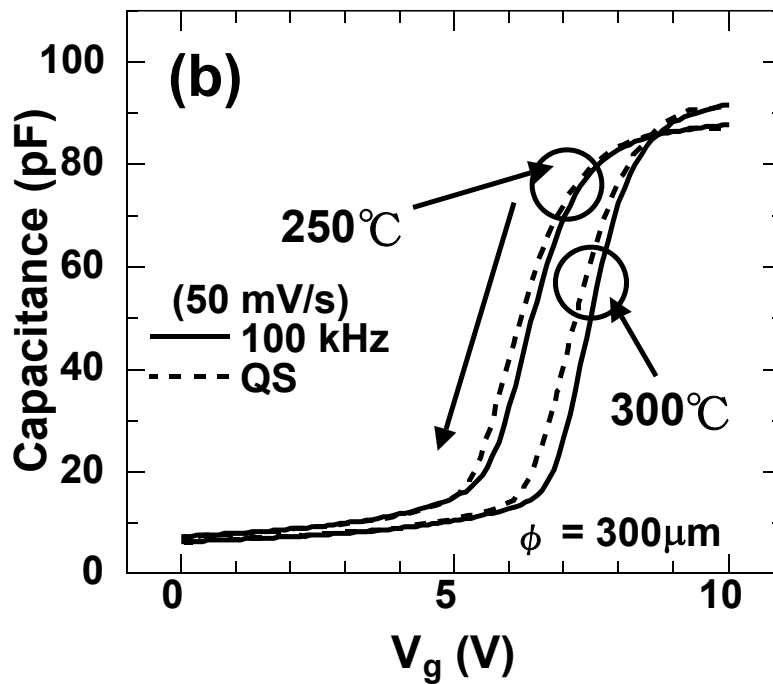
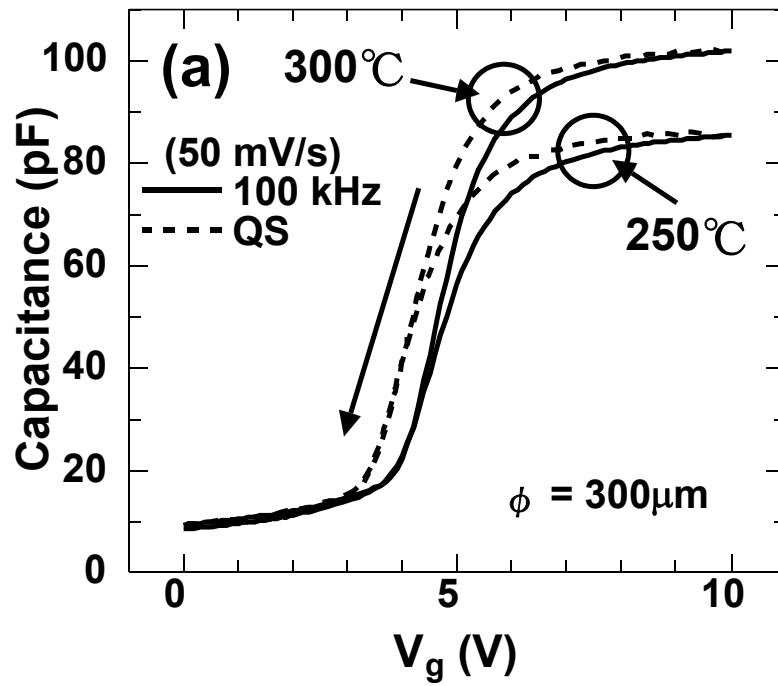


図3-2 : 成膜温度とC-V特性の関係
 (a) Si面 (b)C面

表3-2 : 実効酸化膜固定電荷密度

		t_{ox} (nm)	ΔV_{FB} (V)	Q_{eff} ($\times 10^{12} \text{ cm}^{-2}$)
C-face	300°C	36.2	7.6	-6.5
	250°C	38.6	6.4	-5.1
Si-face	300°C	32.3	5.0	-4.8
	250°C	36.4	5.0	-4.0

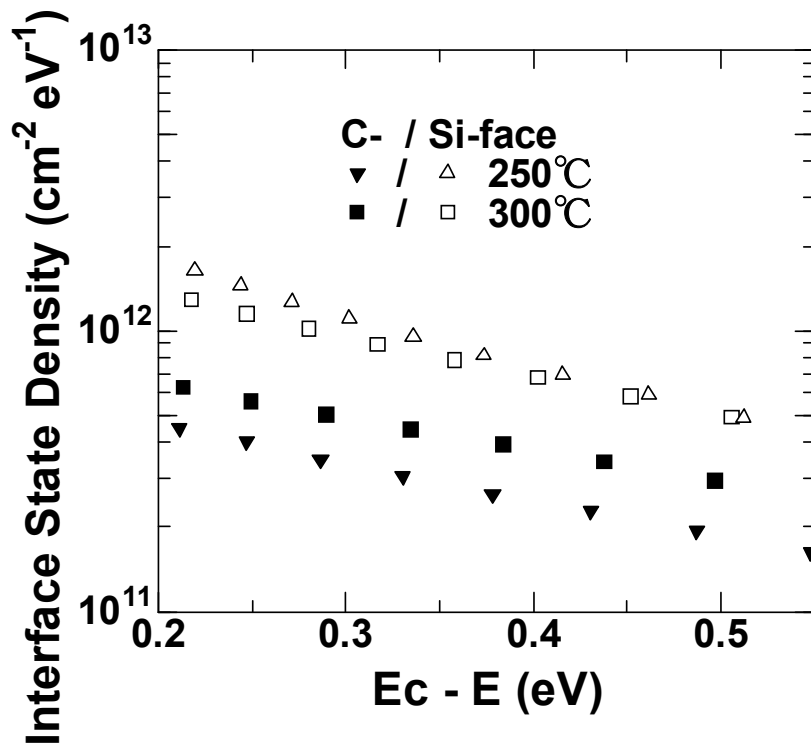


図3-3 : Hi-Lo法により求めた界面準位密度の成膜温度依存性

表3-3 : 成膜温度に対する成分含有率

	C-face		Si-face	
	300°C	250°C	300°C	250°C
Film thickness (nm)	2.2	2.8	1.0	1.6
N (%)	12	11	16	15
O (%)	40	40	37	31
Si (%)	23	31	15	26
C (%)	26	18	33	28

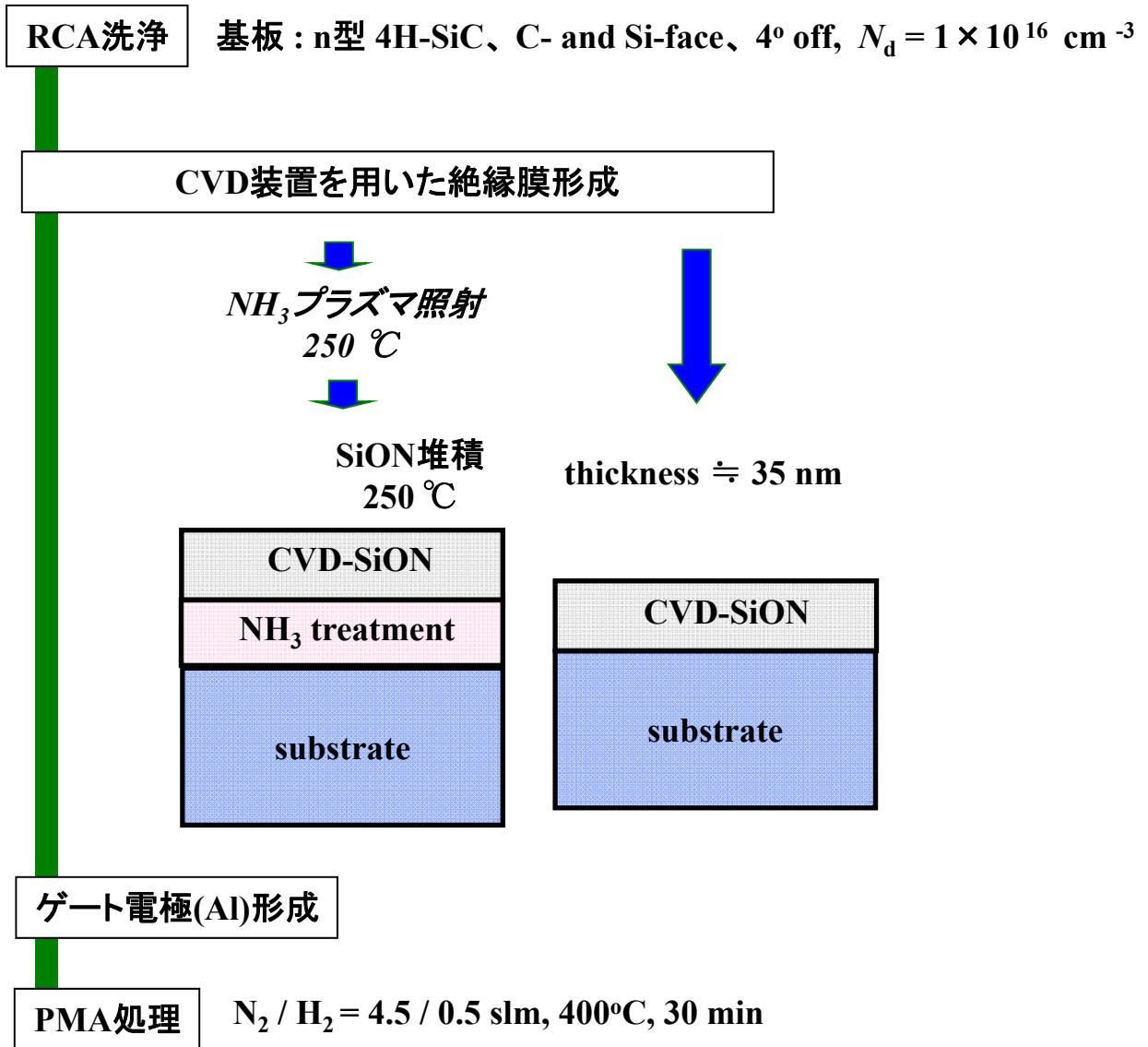


図3-4 : MISキャパシタ作製プロセス

表3-4 : NH_3 プラズマ照射及びSiON堆積 (PECVD装置)

サンプル名	NH_3 処理	SiON成膜
CVD-SiON/ NH_3	NH_3 : 200sccm, 100Pa, 200W 250°C, 8min	$\text{SiH}_4/\text{NH}_3/\text{N}_2$: 50/80/100 sccm, 80Pa 40W, 250°C, 2 min 45 s
CVD-SiON	×	$\text{SiH}_4/\text{NH}_3/\text{N}_2$: 50/80/100 sccm, 80Pa 40W, 250°C, 2 min 45 s

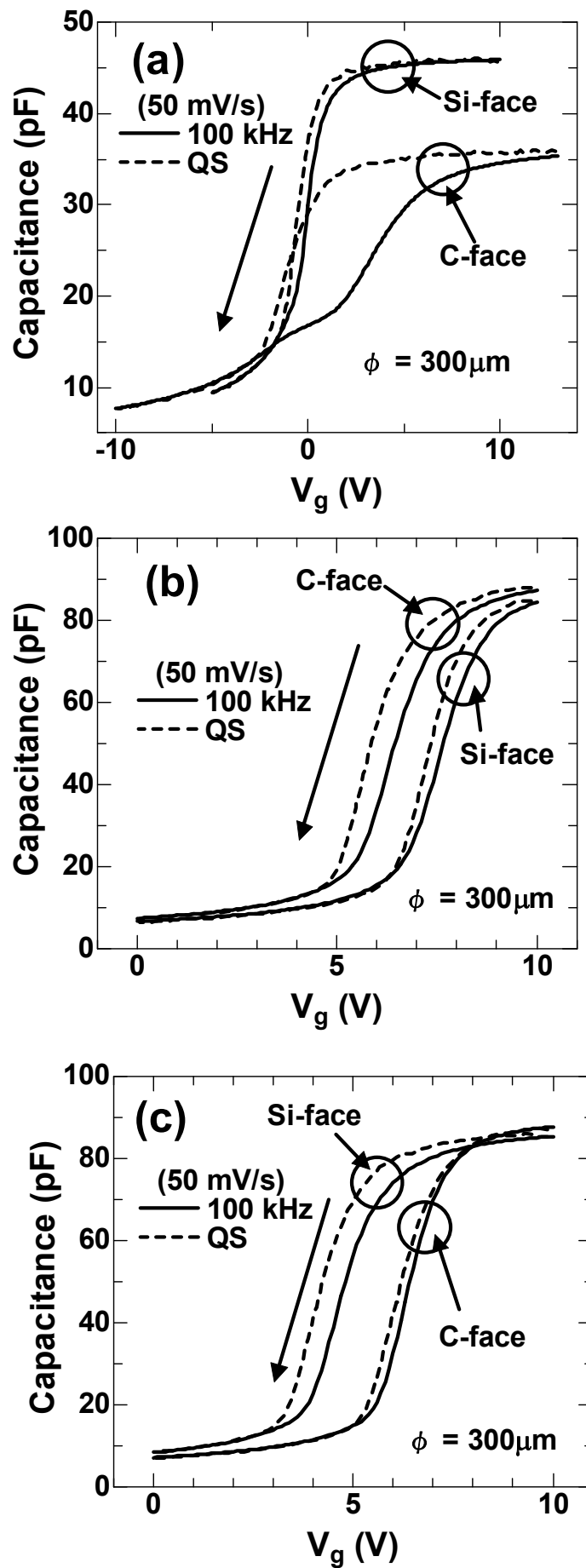


図3-5 : (a) ドライ酸化膜 (b)CVD-SiON膜 (c)CVD-SiON/NH₃ のC-V特性

表3-5 : 実効固定電荷密度

		t_{ox} (nm)	ΔV_{FB} (V)	Q_{eff} ($\times 10^{12} \text{ cm}^{-2}$)
	dry ox.	65.0	5.7	-1.9
C-face	CVD-SiON	34.5	6.7	-5.4
	CVD-SiON/NH ₃	38.6	6.4	-5.1
	dry ox.	52.5	0.53	-0.3
Si-face	CVD-SiON	36.0	7.9	-6.2
	CVD-SiON/NH ₃	36.4	5.0	-4.0

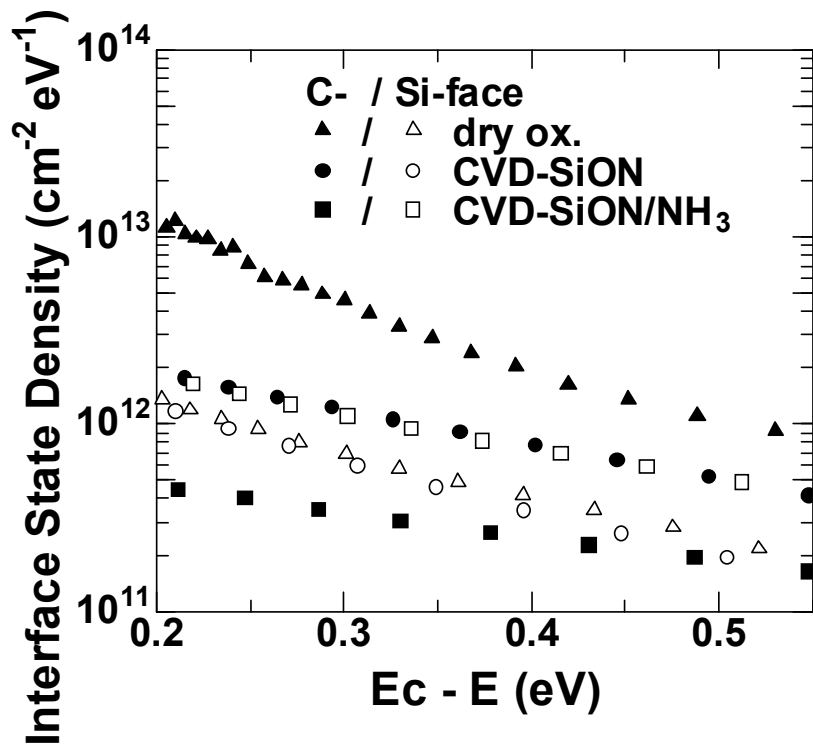


図3-6 : Hi-Lo法により求めた界面準位密度分布

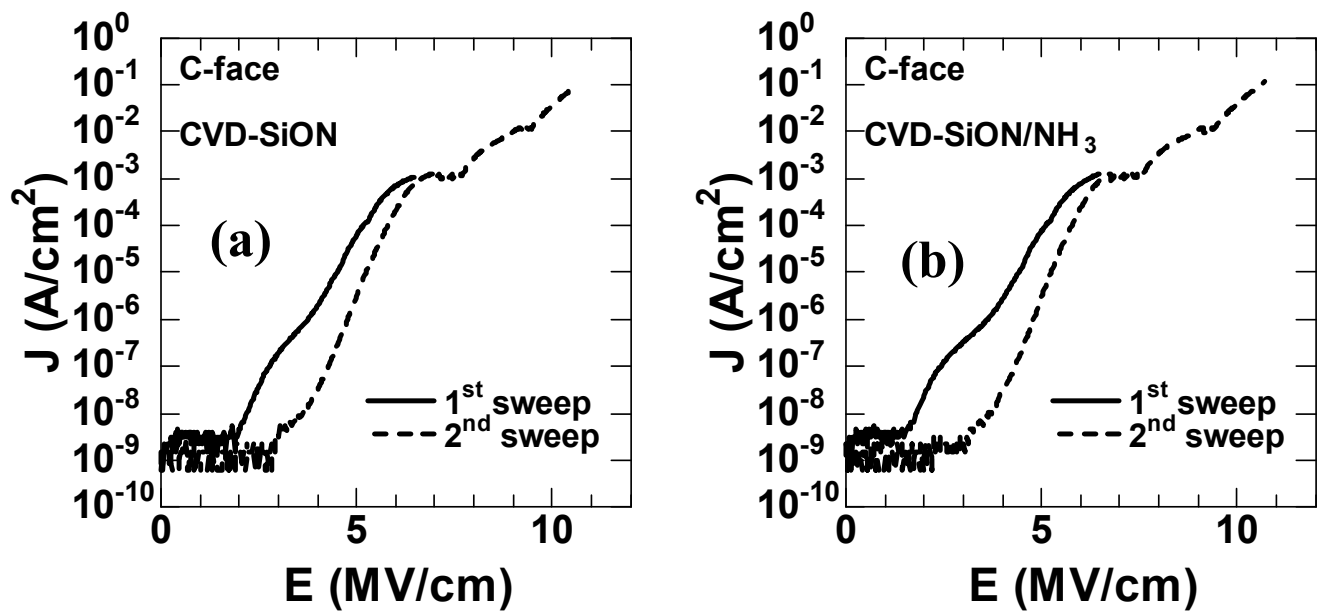


図3-7 : C面 4H-SiC上にCVD-SiONを形成したMISキャパシタの J - E 特性
(a)CVD-SiON (b)CVD-SiON/NH₃

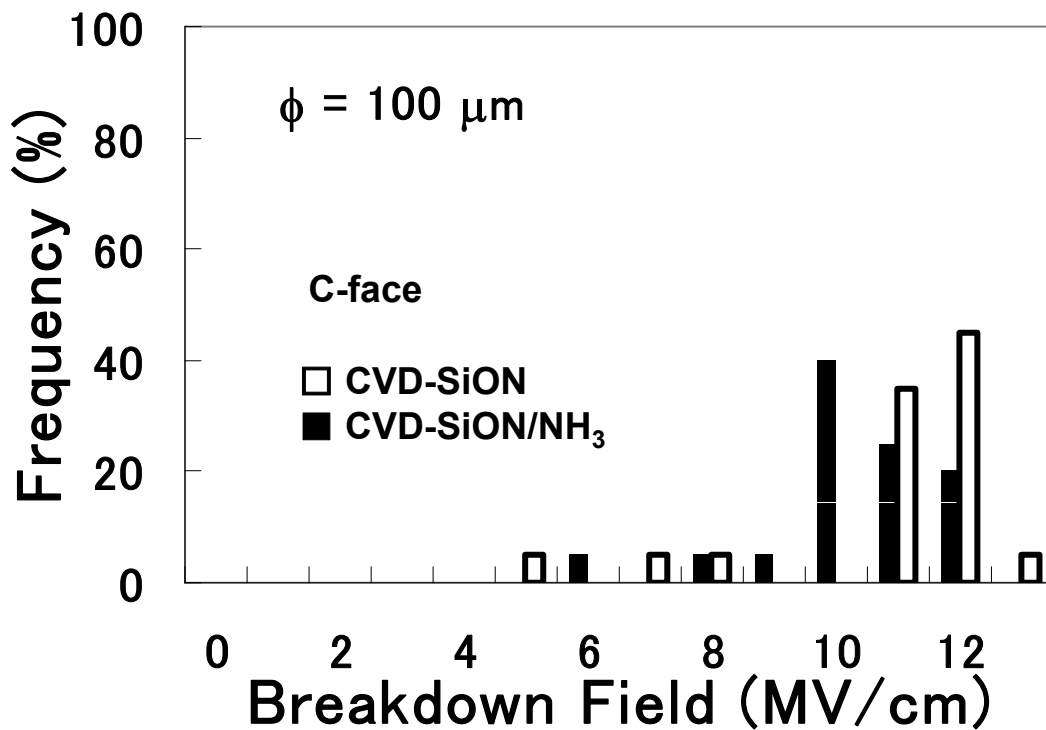


図3-8 : C面 4H-SiC上にCVD-SiONを形成したMISキャパシタの絶縁破壊電界分布

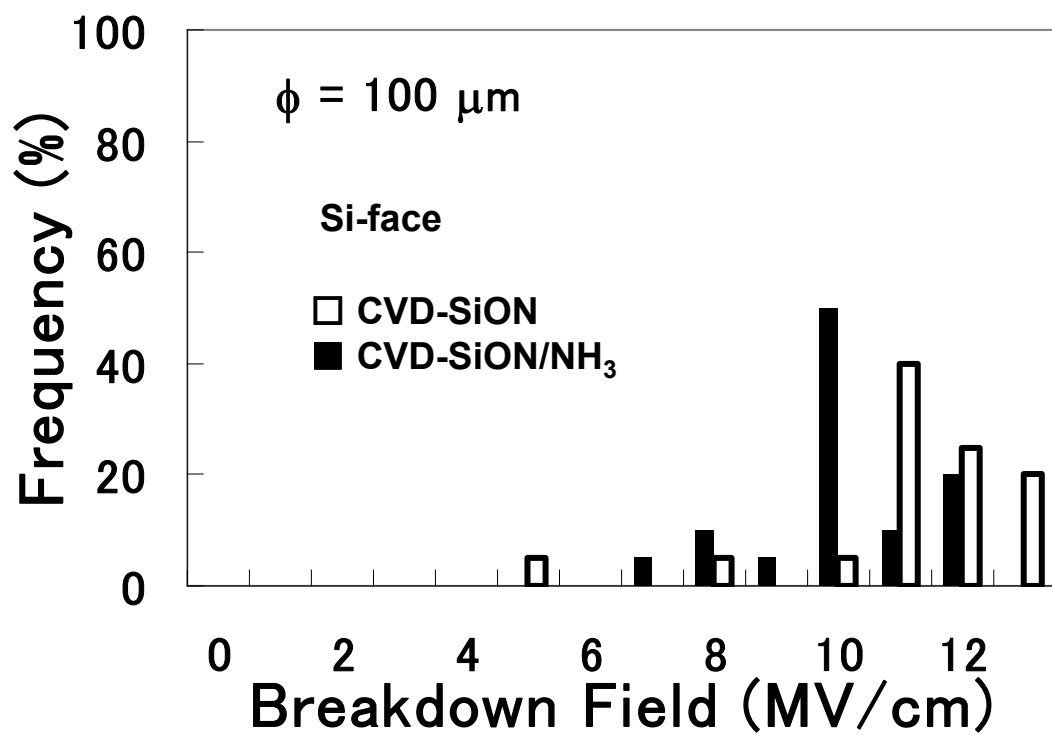


図3-9 : Si面 4H-SiC上にCVD-SiONを形成したMISキャパシタの絶縁破壊電界分布

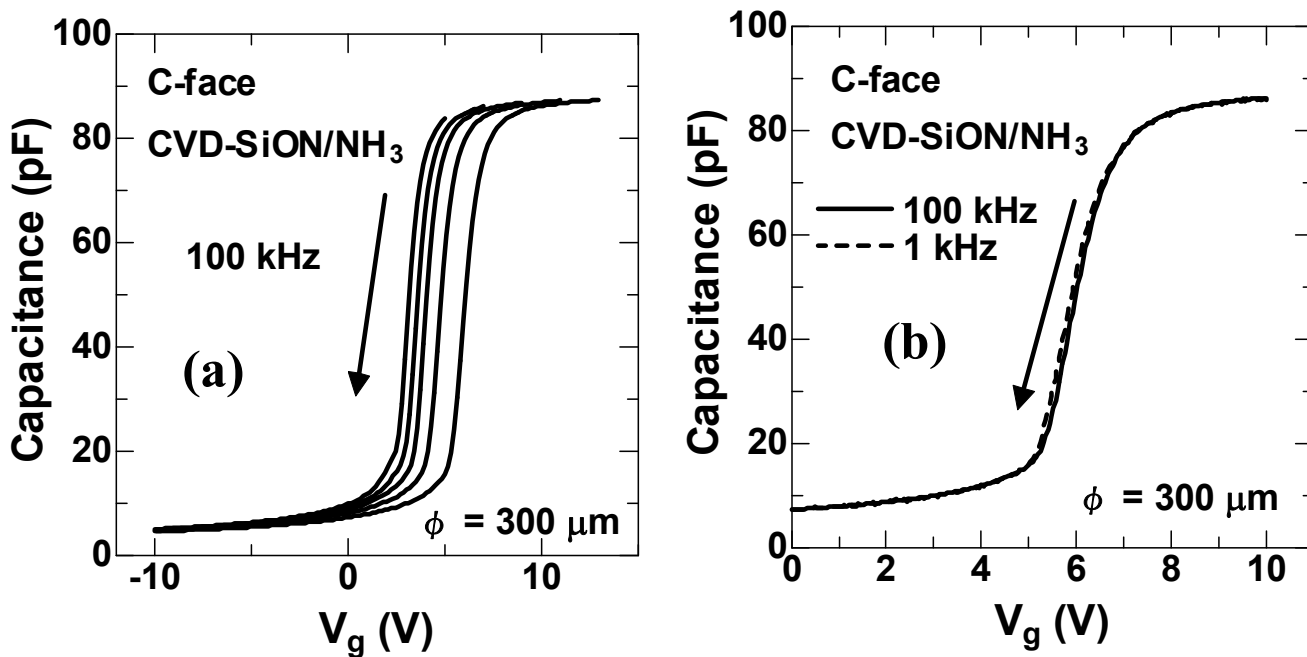


図3-10 : C面 CVD-SiON/NH₃ MISキャパシタのC-V特性
(a)測定開始電圧依存性 (b)周波数依存性

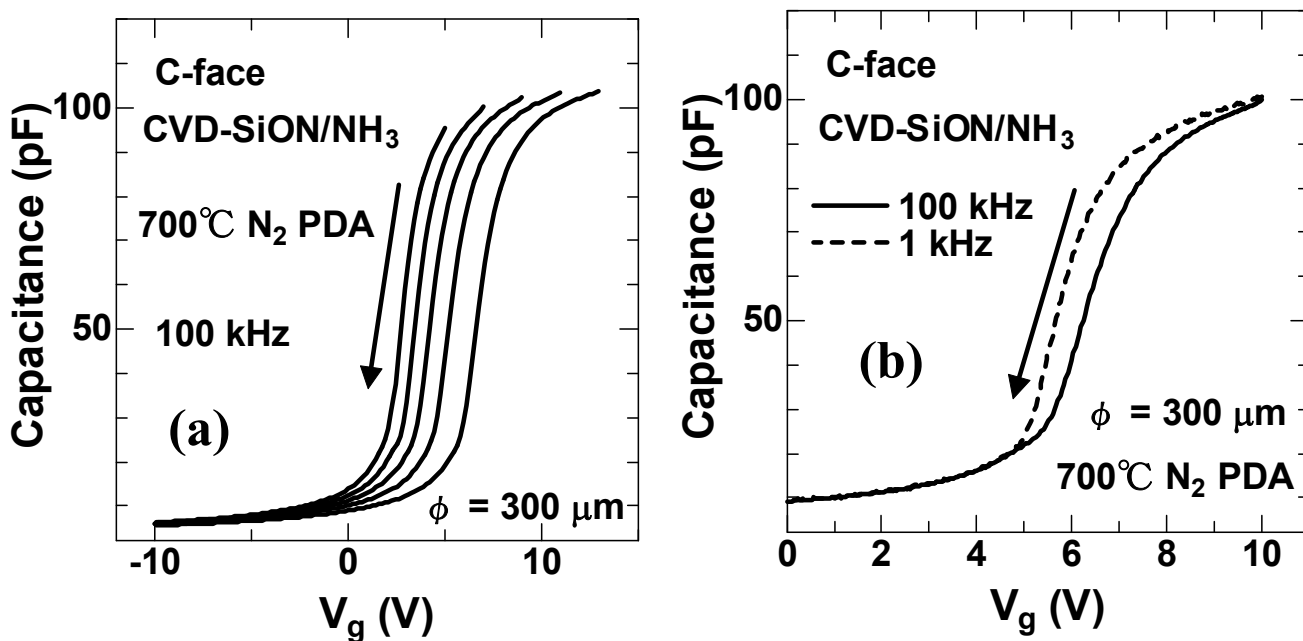


図3-11 : N₂雰囲気PDAしたCVD-SiON/NH₃ MISキャパシタのC-V特性
(a)測定開始電圧依存性 (b)周波数依存性

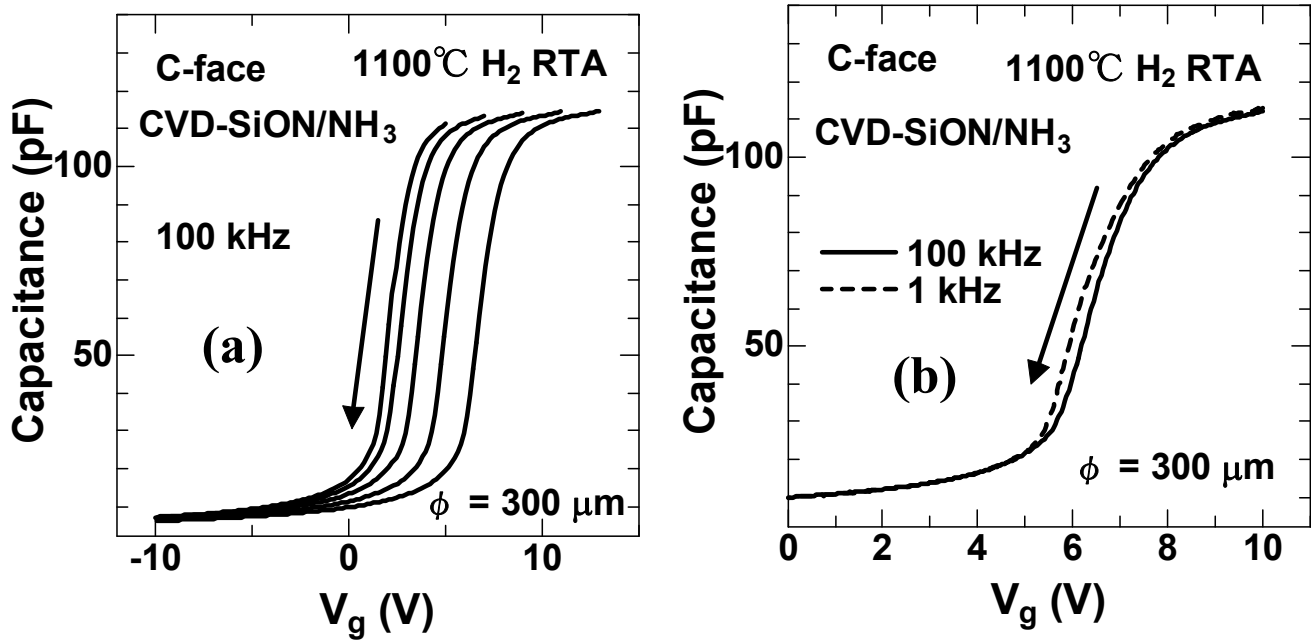


図3-12 : H₂雰囲気(4%)でPDAしたCVD-SiON/NH₃ MISキャパシタのC-V特性
 (a)測定開始電圧依存性 (b)周波数依存性

3 章 参考文献

- [3.1] J. H. Moon, D. H. Kim, H. K. Song, J. H. Yim, W. Bahng, N. K. Kim, K. S. Seo and H. J. Kim : *Mat. Sci. Forum* **556** (2007) 647.
- [3.2] J. H. Moon, K. Y. Cheong, J. H. Yim, H. S. Seo, D. H. Lee, C. Kim, W. Bahng, N. K. Kim and H. J. Kim : International conference on silicon carbide and related materials 2009 We-P-56.
- [3.3] S. Tanimoto : 電気情報通信学会論文誌 (C), J89-C (2006) 715.
- [3.4] S. Tanimoto, T. Suzuki, S. Yamagami, H. Tanaka, T. Hayashi, Y. Hirose and M. Hoshi : *Mat. Sci. Forum* **600** (2009) 795.
- [3.5] S. Hino, T. Hatayama, J. Kato, N. Miura, T. Oomori and E. Tokumitsu : *Mat. Sci. Forum* **600** (2009) 683.
- [3.6] 竹崎慶太郎, 日野史郎, 三浦成久, 大森達夫, 徳永永輔 : SiC 及び関連ワイドギャップ半導体研究会 第 18 回講演会 P-76.
- [3.7] J. W. Chai, J. S. Pan, Z. Zhang, S. J. Wang, Q. Chen and C. H. A. Huan : *Appl. Phys. Lett.* **92** (2008) 092119.
- [3.8] K. McDonald, R. A. Weller, S. T. Pantelides, and L. C. Feldman, G. Y. Chung, C. C. Tin, and J. R. Williams : *J. Appl. Phys.* **93** (2003) 2719.

第 4 章 NH₃ プラズマ前処理を行った 4H-SiC MISFET の特性

4.1 はじめに

4H-SiC を用いた MOS 構造において、伝導帯端近傍のエネルギー位置に多数の界面準位が存在しており[4.1]、これが n チャネル MOSFET の高移動度化（低オン抵抗化）を阻む大きな要因であると考えられている。第 2 章および第 3 章において、NH₃ プラズマ前処理を行うことにより、伝導帯近傍の界面準位密度が低減することについて述べた。本章では、NH₃ プラズマ処理を行い、SiON を絶縁膜とした 4H-SiC MISFET を作製し、電気的特性を評価した結果を示す。SiON 堆積膜は第 3 章で述べたように多くの電子をトラップするため、MISFET の I - V 特性はヒステリシスを示すと予想される。これは MISFET がオフからオンになる方向に V_g を掃引すると、絶縁膜中の初期荷電状態を反映した特性が得られるためである。それに対し、オンからオフ方向への V_g 掃引では、放出の時定数の長い絶縁膜中トラップに捕獲された電子はほとんど放出されないため、特性の変動は小さいことが予想される。

4.2 NH₃ プラズマ前処理を行った MISFET の作製

プレーナー型 n チャネル MISFET の作製には、 $[1\bar{1}20]$ 方向に 8° のオフ角を有する p 型 4H-SiC の (0001) C 面を用いた。基板には実効アクセプタ濃度 $N_a - N_d$ が $7.8 \times 10^{15} \text{ cm}^{-3}$ の p 型エピタキシャル層がおよそ $5 \mu\text{m}$ 成長されている。本研究では、イオン注入まで行われたサンプルを用いて MISFET を作製した。図 4-1 に MISFET 作製プロセスを示す。詳細な MISFET 作製プロセスは以下の通りである。

(1) 犠牲酸化

サンプルの表面はイオン注入濃度が低いため抵抗値が高い。よって、表面を 10 nm 程度エッチングすることにより、イオン注入濃度が高く抵抗値が低い表面を出す必要がある。また、基板表面の荒れを除去するために、犠牲酸化を行った。Si 面は 1100°C で 60 分間、C 面は 950°C で 10 分間ドライ酸化することにより $10\text{-}20 \text{ nm}$ 程度の酸化膜を形成後、BHF で除去した。

(2) フィールド酸化膜形成

RCA 洗浄を行った後、Tetra-ethyl-orthosilicate (TEOS) を原料としたプラズマ CVD 装置によりフィールド酸化膜を約 $1 \mu\text{m}$ 堆積し、フォトリソグラフィによってフィールド酸化膜にパターンを形成した。続いて高密度プラズマエッチング装置(サムコ社製 Model RIE-10iP)装置と BHF によりゲート絶縁膜領域の酸化膜を除去した。Reactive Ion Etching (RIE) による SiC 基板へのプラズマダメージを防ぐため、RIE と

BHFによるエッチングを併用している。RIEはICP電力150 W、バイアス10 W、圧力1 Pa、CF₄ガス20 sccm、H₂ガス流量10 sccmの条件で行い、50 nm程度酸化膜が残るようにエッチングする。その後基板をBHFに30 sec程度浸し、残りの酸化膜を除去した。

(3)ゲート絶縁膜形成

ゲート絶縁膜形成前処理としてRCA洗浄を行った。このとき、ゲート酸化膜を形成する領域以外はフィールド酸化膜で覆われているため、RCA洗浄工程に含まれる化学酸化膜を除去する際のフッ酸の取り扱いには注意を要する。そのためSPM、SC1洗浄の最後に行うDHF処理は行わず、SC2洗浄の最後のみDHFによる化学酸化膜除去を行った。ゲート絶縁膜形成として、表3-4で示したNH₃プラズマ前処理を行った後SiONを堆積した絶縁膜、SiONのみを堆積した絶縁膜の2通りを行った。

(4)Al電極形成

電極形成するために、コンタクトホール形成を行った。フォトリソグラフィによって、コンタクト電極部分のパターンを形成し、レジストをマスクとしてBHFによりエッチングを行った。5 × 10⁻⁴ Pa以下の高真空中で、抵抗線加熱蒸着装置でAlを表面に蒸着した。電極厚さは約200 nm程度である。その後、フォトリソグラフィによって、ゲート電極部分のレジストパターンを形成し、60 °Cに温めたリン酸10:酢酸1:硝酸0.1の混合溶液に基板を浸し、Alのウェットエッチングを行った。最後にレジストをアセトンとメタノールで除去し、超純水洗浄後N₂ブローで基板を乾燥させ、MOSキャパシタ作製時と同じ条件でPMAを行った。

上記のプロセスで作製したMISFETのレーザー顕微鏡像を図4-2に示す。MISFETのチャンネル長(L)は100 μmで、チャンネル幅(W)は150 μmである。

4.3 MISFETの電気的特性評価

作製したMISFETに対してKeithley 4200-SCS半導体パラメータアナライザを用いて、ドレイン電流-ドレイン電圧(I_D - V_{DS})特性測定及びドレイン電流-ゲート電圧(I_D - V_{GS})特性測定を行った。全ての測定は室温、暗状態にて行った。また測定には $L/W = 100/150$ μmのMISFETを用いた。

4.3.1 ドレイン電流—ドレイン電圧特性

ゲート電圧(V_{GS})は2 V間隔で増加させ0 ~ 20Vのまでの範囲で測定を行った。また、今回測定に用いたMISFETのゲート酸化膜厚は40 nm程度であり、20 Vの電圧

印加時の酸化膜電界(E_{ox})が 5 MV/cm 程度となる。図 4-3 に C 面、図 4-4 に Si 面上に作製した MISFET に対する I_D - V_{DS} 特性のヒステリシスを示す。それぞれ(a)は CVD-SiON を絶縁膜に用いた MISFET、(b)は NH_3 プラズマ前処理を行った MISFET から得られたものである。これらの図より、良好な線形領域および飽和領域を示しているが、ヒステリシスが大きく表れていることが分かる。ヒステリシスは、チャネル電子が界面準位または絶縁膜中に捕獲され、しきい値電圧が増加するため現れると考えられる。図 4-3(b)および図 4-4 においては、図 4-3(a)に比べ縦軸のスケールが 10 倍以上であるため相対的に小さく現れているが、ヒステリシスが存在している。そして、 $V_{GS} = 0$ V においてドレイン電流がほとんど流れなかったためノーマリーオフ型 MISFET であるといえる。同じゲート電圧におけるドレイン電流を比較すれば、図 4-3 より C 面では NH_3 プラズマ前処理を行うことにより 20 倍以上の大きな飽和電流が得られていることが分かる。しかし Si 面では図 4-4 に示すように、 NH_3 プラズマ前処理を行うと、飽和電流が 1/10 程度と大きく減少していることが分かる。

4.3.2 ドレイン電流—ゲート電圧特性

I_D - V_{DS} 測定よりドレイン電圧(V_{DS})が 0 V から 2V 程度の範囲で線形領域となっていることが確認された。そこで I_D - V_{GS} 測定時の V_{DS} は 0.1 V とした。このように測定することで、チャネルに垂直な方向の電界に比べ平行な方向の電界の影響が小さくなる。また、パワーデバイスとしての MOSFET は一般に高速のスイッチング素子として用いられ、オン時には線形領域で使用されるため、線形領域における特性が重要である。

● I_D - V_{GS} 特性のヒステリシスとしきい値電圧

図 4-5 に C 面、図 4-6 に Si 面に作製した MISFET の I_D - V_{GS} 特性のヒステリシスと掃引回数依存性を線形表示で示す。 V_{GS} 掃引をオフからオンの方向に行うとき、どのサンプルにおいても 1 回目は非常になだらかな曲線を示す。これは、電圧掃引中に電子が絶縁膜中トラップに捕獲され、しきい値電圧が上昇しているためだと考えられる。 $V_{GS} = 13$ V 辺りに肩が現れているのは、特に多くの電子がトラップされしきい値電圧が大きく変化したためだといえる。2 回目及び 3 回目のオフからオン方向への V_{GS} 掃引においては、電流が立ち上がる電圧はほぼ同程度であり、1 回電圧を掃引した後の絶縁膜中の荷電状態は同程度であるといえる。オフからオン方向への電圧掃引に対し、オンからオフ方向への電圧掃引では、どのサンプルにおいても特性変動は小さいことがわかる。これは、放出の時定数の長い絶縁膜中トラップに捕獲された電子はしきい値電圧以下の電圧になるまでは、ほとんど放出されないためだと考えられる。絶縁膜中トラップに捕獲された電子はしきい値電圧以下の電圧で大量に放出され、しきい値電圧が減少するために、2 回目および 3 回目の V_{GS} 掃引においても大きなヒステリシスが現れると考えられる。

図 4-5 および図 4-6 は線形表示で示しているため、このグラフからしきい値電圧(V_T)

を求めることが出来る。ここで、MISFET の基本的な特性である線形領域におけるドレイン電流 I_D の式を示す。

$$I_D = \frac{\mu \epsilon_{ox} \epsilon_0}{d_{ox}} \cdot \frac{W}{L} \cdot \left((V_{GS} - V_T) V_D - \frac{V_D^2}{2} \right) \quad (4-1)$$

μ : チャネル移動度 ϵ_{ox} : ゲート絶縁膜誘電率 ϵ_0 : 真空の誘電率

d_{ox} : ゲート絶縁膜の膜厚 V_D : ドレイン電圧

よって実測のしきい値電圧は、それぞれのサンプルで得られた特性の直線部分の範囲において近似直線を描くことによって、x 軸との切片から求めることが出来る。また、付録 C にしきい値電圧が現れる原因について示した。図 4-5 および図 4-6 から求められたしきい値電圧を図 4-7 および図 4-8 に示す。これらのグラフより、しきい値電圧の掃引回数に対する依存性がわかる。オフからオン方向に電圧を掃引するとき、2 回目に掃引したときのしきい値電圧は 1 回目に掃引したときに比べかなり大きい。それに対し、2 回目と 3 回目の掃引におけるしきい値電圧の変化は少ない。これは先ほども述べたように、絶縁膜中トラップに捕獲されている電子の数が 1 回目と 2 回目及び 3 回目の掃引では大きく異なるためだといえる。また、オフからオン方向への電圧掃引に対し、オンからオフ方向への電圧掃引におけるしきい値電圧変動は掃引回数に依存しないことが分かる。これは絶縁膜中トラップに捕獲された電子の量が、掃引回数に関わらず同程度であることを示している。よって、しきい値電圧を評価するとき掃引回数に依存しないオフからオン方向の電圧掃引によって得られた値を用いるほうが良いといえる。C 面では図 4-7(a)より CVD-SiON のしきい値電圧は 17 V であるのに対し、図 4-7(b)より NH₃ プラズマ前処理した CVD-SiON は 14 V 程度と低い値を示している。よって、C 面は NH₃ プラズマ処理することにより、絶縁膜への電子注入を妨げる薄膜が形成され、絶縁膜中にトラップされる電子が減少すると考えられる。Si 面では図 4-8(a)より CVD-SiON のしきい値電圧は 12.5V であるのに対し、図 4-7(b)より NH₃ プラズマ前処理した CVD-SiON は 13.5V 程度と高い値を示している。よって Si 面は NH₃ プラズマ処理することにより、C 面と逆に絶縁膜中にトラップされる電子が増加しているといえる。

● 電界効果移動度

図 4-9 に C 面、図 4-10 に Si 面に作製した MISFET の、1 回目のオンからオフ方向への電圧掃引における I_D - V_{GS} 特性及び電界効果移動度(μ_{FE})を示す。それぞれ(a)は CVD-SiON、(b)は CVD-SiON/NH₃ の MISFET から得られたものである。電界効果移動度の算出には以下の式を用いた[4.2]。

$$\mu_{FE} = \frac{\partial I_{DS}}{\partial V_{GS}} \cdot \frac{1}{C_{ox} V_{DS}} \cdot \frac{L}{W} \quad (4-2)$$

ここで C_{ox} : 酸化膜容量、 V_{DS} : ドレイン電圧、 W : チャネル幅、 L : チャネル長である。移動度算出法の詳細は付録 D に示す。また、図 4-9(a)より C 面の移動度は

CVD-SiON 膜のときは $V_{GS} = 20 \text{ V}$ において $5 \text{ cm}^2/\text{Vs}$ 程度だが、 NH_3 プラズマ前処理を行うと $V_{GS} = 16 \text{ V}$ において $24 \text{ cm}^2/\text{Vs}$ 程度(図 4-9(b))まで向上している。また、図 4-10(a)より Si 面の移動度は CVD-SiON は $V_{GS} = 18 \text{ V}$ において $40 \text{ cm}^2/\text{Vs}$ 程度であるが、 NH_3 プラズマ前処理を行うと $V_{GS} = 18 \text{ V}$ において $10 \text{ cm}^2/\text{Vs}$ 程度と低下している。Si 面に SiON を堆積した MIS キャパシタの界面準位密度は、C 面に NH_3 プラズマ前処理した後 SiON を堆積した MIS キャパシタの界面準位密度より大きいにもかかわらず、MISFET の移動度は大きくなる。これは C 面のしきい値電圧が Si 面より大きいことが原因ではないかと考えられる。しきい値電圧が大きいということは、絶縁膜中にクーロン散乱中心となる電荷が大量に存在することを意味し、この影響を大きく受け移動度が下がると考えられる[4.3-4]。また、C 面に NH_3 プラズマ前処理した後 SiON を堆積した MIS キャパシタの界面準位密度は、Si 面より小さいにも関わらずしきい値電圧が大きいことから、C 面上に堆積した SiON 膜は多くの電子をトラップすることが示唆される。

図 4-11 に C 面、図 4-12 に Si 面上に作成した MISFET の電界効果移動度の掃引回数依存性を示す。これらの値は図 4-5 及び図 4-6 から得られたものである。どのサンプルにおいても、オンからオフ方向に電圧を掃引したほうが、オフからオン方向に電圧を掃引したときより大きな値を示す。オフからオン方向に電圧を掃引するとき電界効果移動度が小さく現れるのは、絶縁膜トラップに電子が捕獲されしきい値電圧が増加し、ドレイン電流の立ち上がりが緩やかになるためだといえる。また、掃引回数が多くなるほど絶縁膜トラップに捕獲される電子の量の増分が小さくなり、しきい値電圧の変動が小さくなるため、見かけ上移動度が増加すると考えられる。このとき、しきい値電圧の増加によるクーロン散乱中心電荷の増大が起き、移動度の低減が同時に起きていると考えられる。しかし、この移動度の低減は、しきい値電圧の変動の減少による見かけ上の移動度の増加より小さいことが示唆される。それに対し、オンからオフ方向への電圧掃引では図 4-7 および図 4-8 で示したようにしきい値電圧の変動がないため、移動度の掃引回数に対する依存性を持たない。

● サブスレッショルド係数

図 4-13 に C 面、図 4-14 に Si 面に作製した MISFET の I_D - V_{GS} 特性のヒステリシスと掃引回数依存性を片対数表示で示す。しきい値電圧近傍またはそれ以下の電圧をゲート電極に印加したときに流れる弱反転状態でのドレイン電流とゲート電圧の関係をサブスレッショルド特性と呼ぶ。この特性はスイッチング素子としての MIS トランジスタの特性を決める重要な特性である。サブスレッショルド特性の良好さを示す係数としてサブスレッショルド係数 S がある。 S 値はサブスレッショルド特性を片対数グラフにプロットしたときに電流が一桁変化するのに要するゲート電圧として定義される。そのため S 値が小さいほど、MIS トランジスタが良好なスイッチング特性を有しているといえる。図 4-13 および図 4-14 より S 値を求めた結果を、図 4-15 および図 4-16 に示す。オンからオフ方向へ電圧掃引したときの S 値を C 面

で比べてみると、図 4-15(a)より C 面に SiON を絶縁膜として用いたときは 0.9-1.1 V/decade と分布しているのに対し、NH₃ プラズマ前処理した SiON は 0.7 V/decade 程度(図 4-15(b))と低い値を示す。また、Si 面に SiON を絶縁膜として用いたときは 0.8 V/decade 程度であるのに対し、NH₃ プラズマ前処理した SiON は 1.0-1.1 V/decade 程度(図 4-15(b))と高い値を示す。

4.4 まとめ

本章では、MISFET を作製することにより NH₃ プラズマ前処理の電界効果移動度に対する効果を調べた。これより、MIS キャパシタを評価したときと同様に、C 面では NH₃ プラズマ照射により移動度が上昇したが、Si 面では減少した。

また、ヒステリシス測定を行うことにより、絶縁膜中トラップが電気的特性に与える影響について検討した。絶縁膜中トラップに電子が捕獲されることにより、オフからオン方向へ電圧掃引をおこなうと、しきい値電圧および電界効果移動度が大きく変化することがわかった。それに対し、オンからオフ方向への電圧掃引では、絶縁膜中トラップに捕獲された電子はほとんど放出されないため、これらの特性の変動が小さいことが分かった。

基板 : p型 4H-SiC, C- and Si-face, 8° off, N_a (Al) = $7.8 \times 10^{15} \text{ cm}^{-3}$

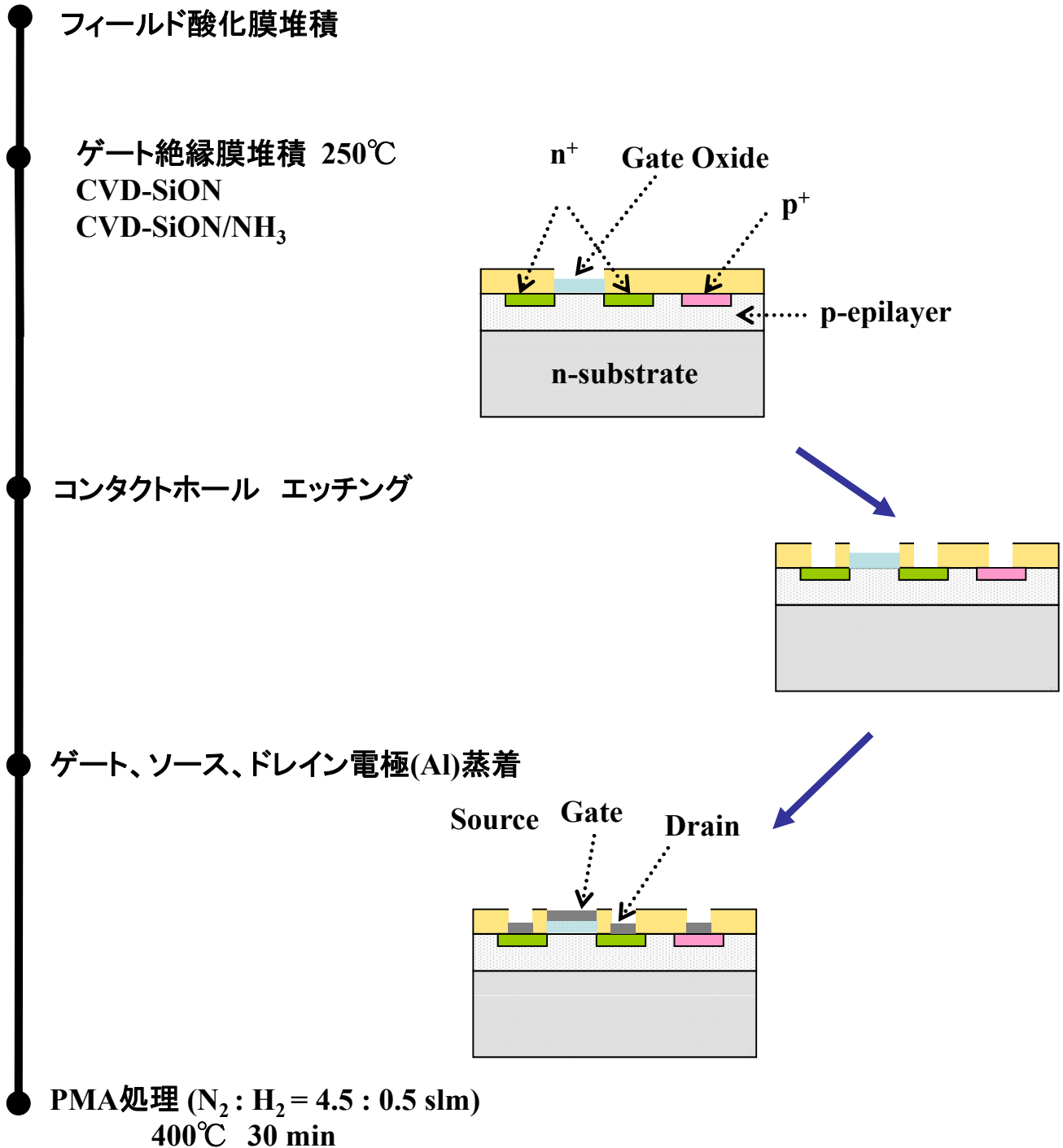


図4-1 : MISFET作製プロセス

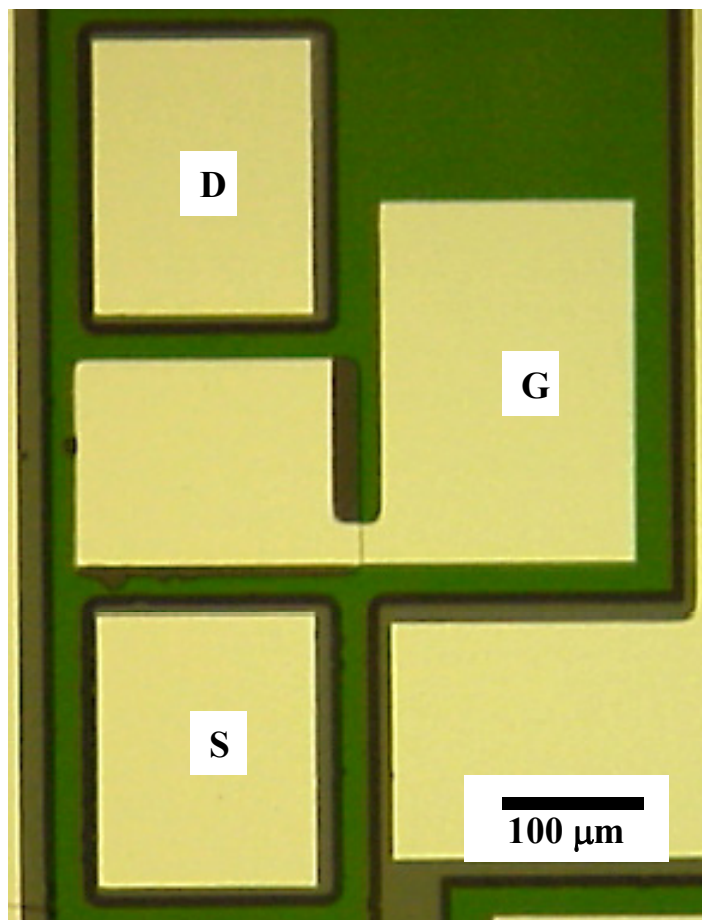


図4-2 : MISFETのレーザー顕微鏡写真

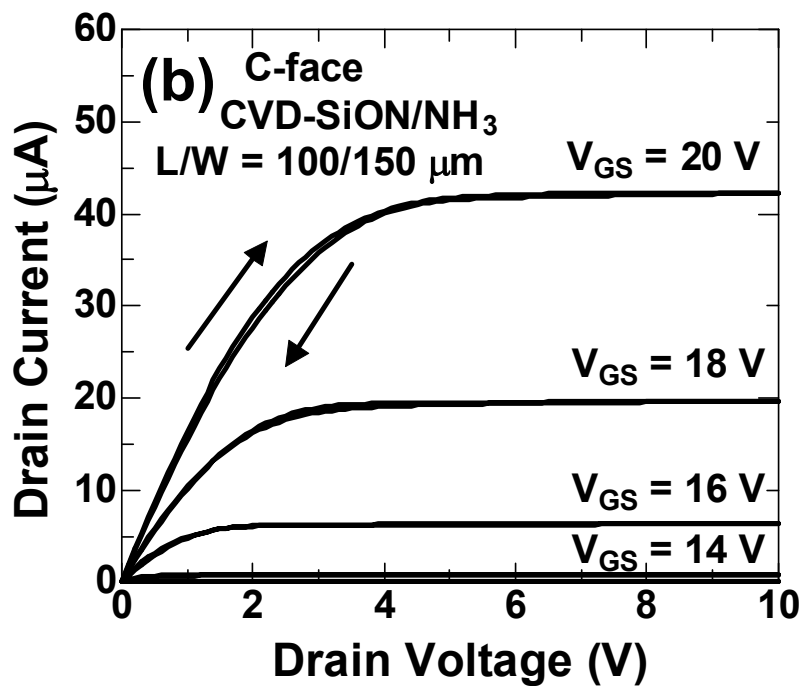
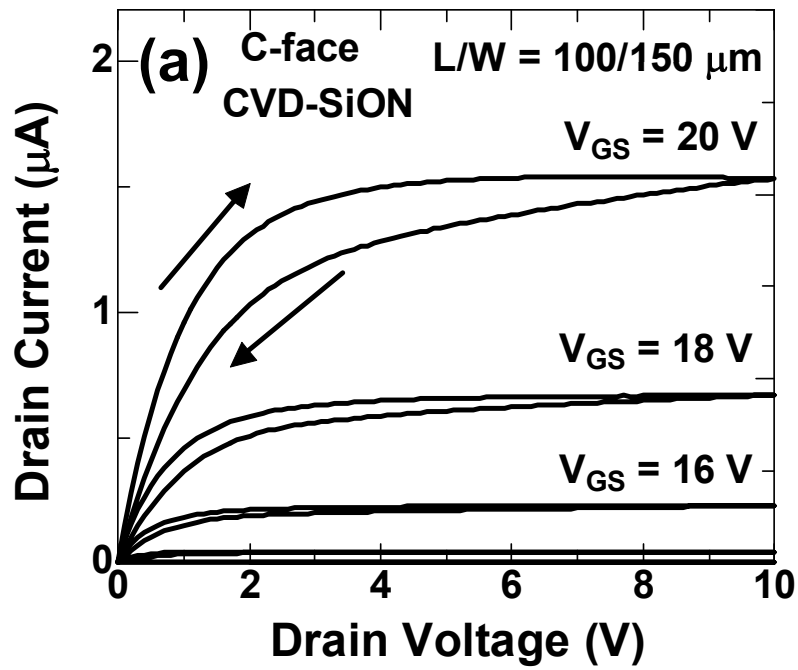


図4-3 : C面に作製したMISFETの I_D - V_{DS} 特性のヒステリシス
 (a) CVD-SiON (b)CVD-SiON/NH₃

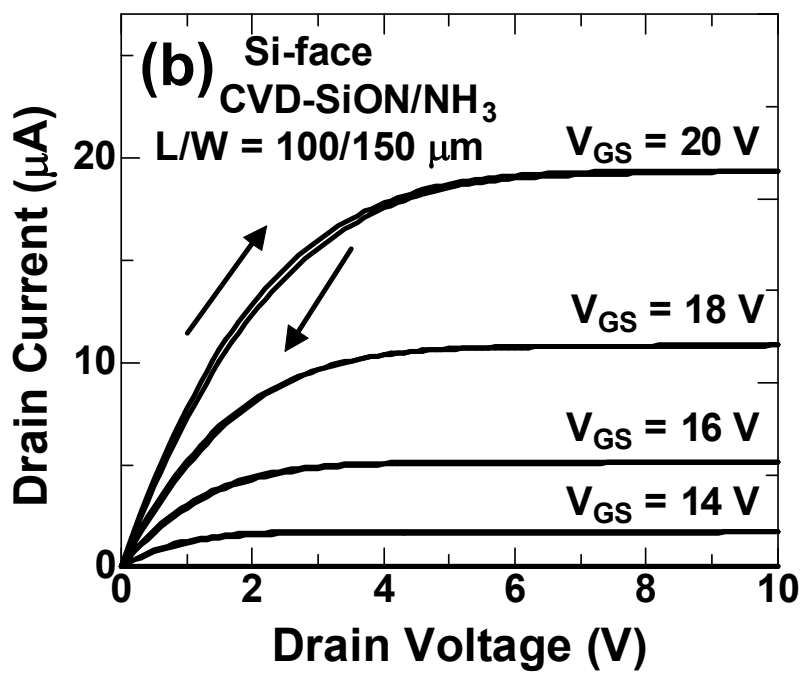
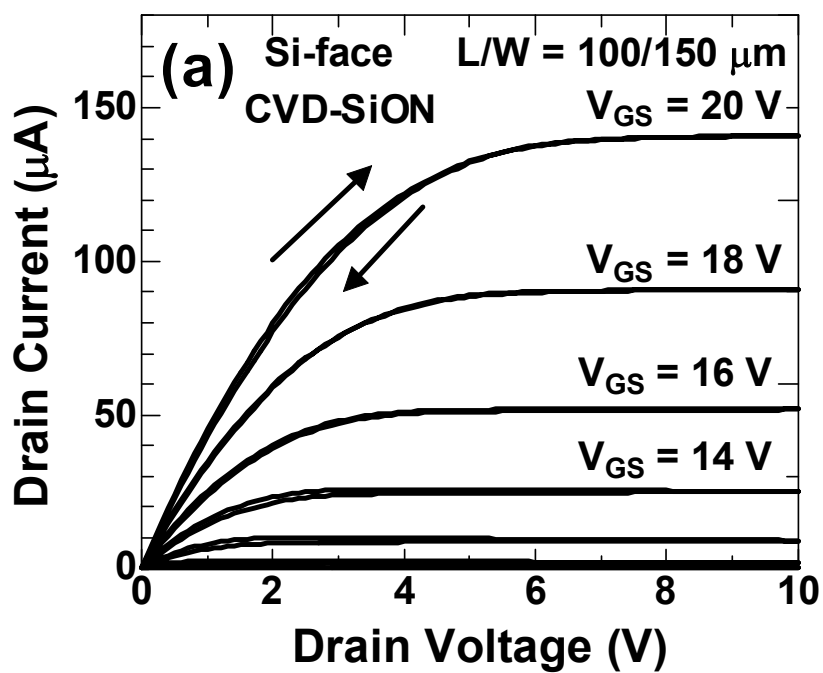


図4-4 : Si面に作製したMISFETの I_D - V_{DS} 特性のヒステリシス
 (a) CVD-SiON (b) CVD-SiON/ NH_3

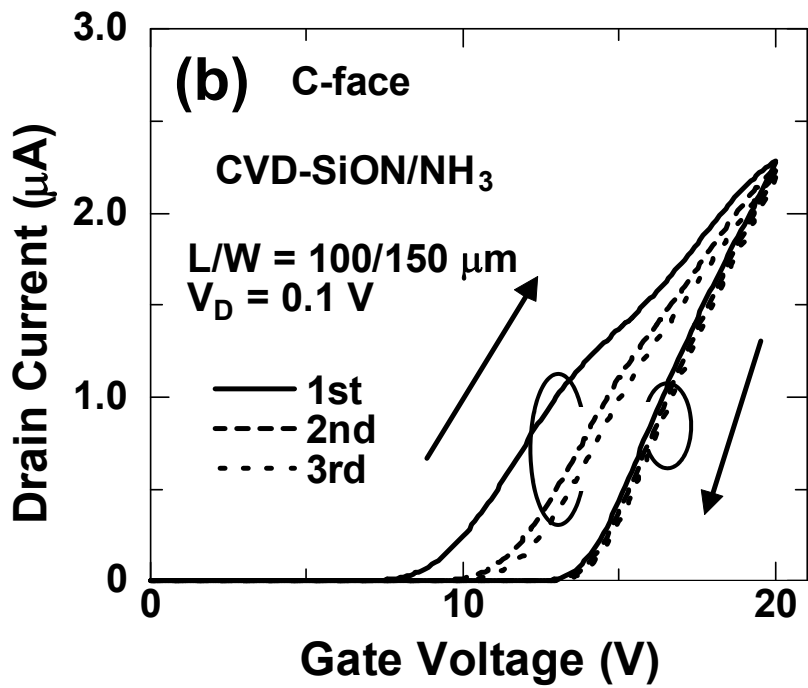
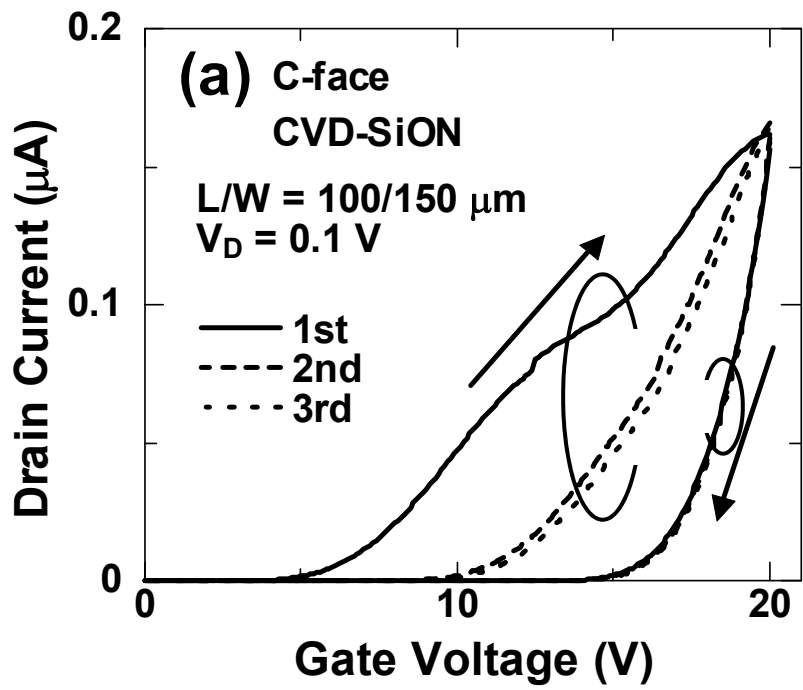


図4-5 : C面に作製したMISFETの I_D - V_{GS} 特性のヒステリシスと掃引回数依存性
 (a) CVD-SiON (b)CVD-SiON/NH₃

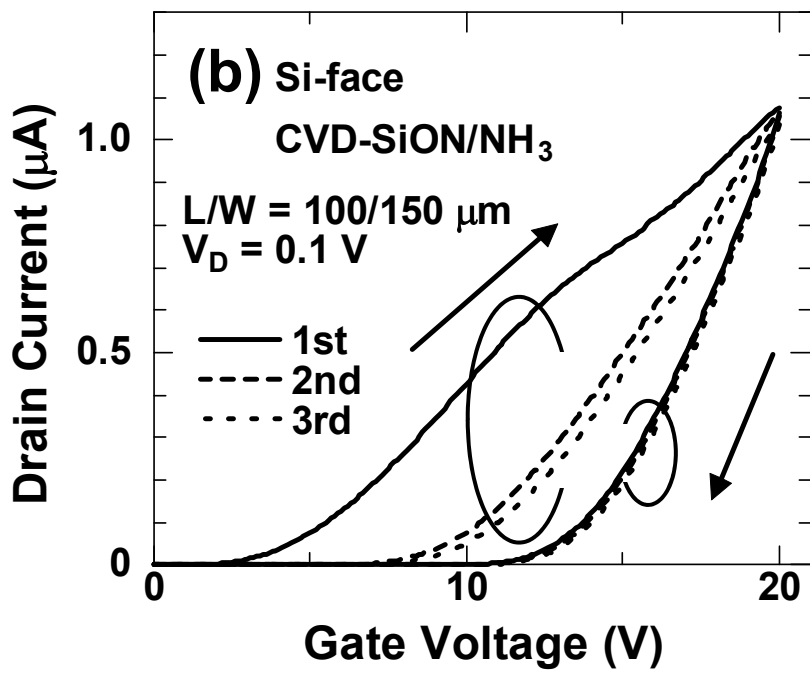
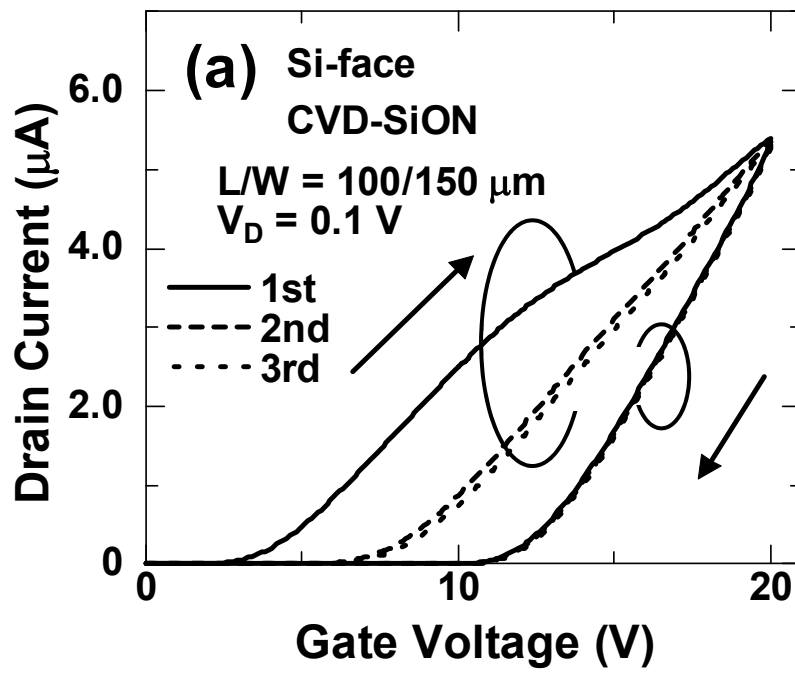


図4-6 : Si面に作製したMISFETの I_D - V_{GS} 特性のヒステリシスと掃引回数依存性
 (a) CVD-SiON (b)CVD-SiON/NH₃

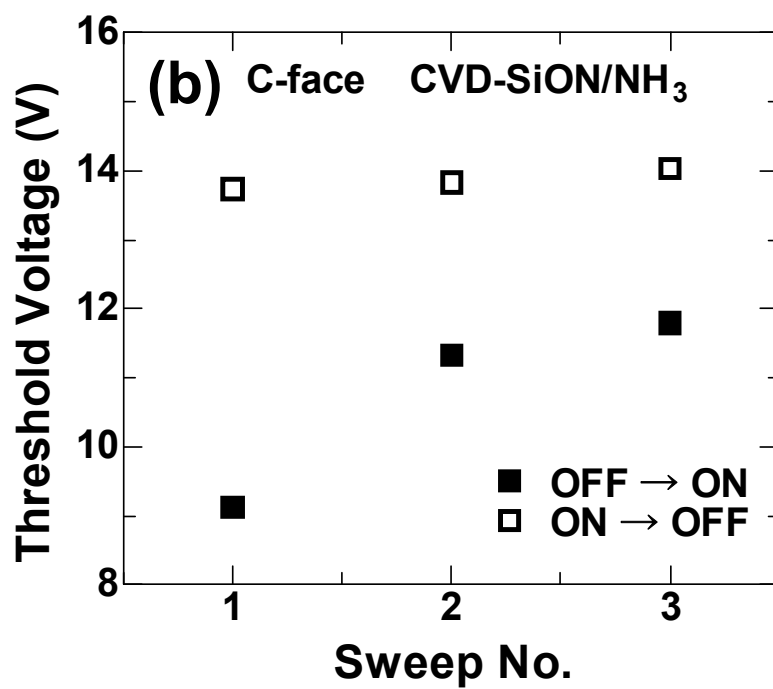
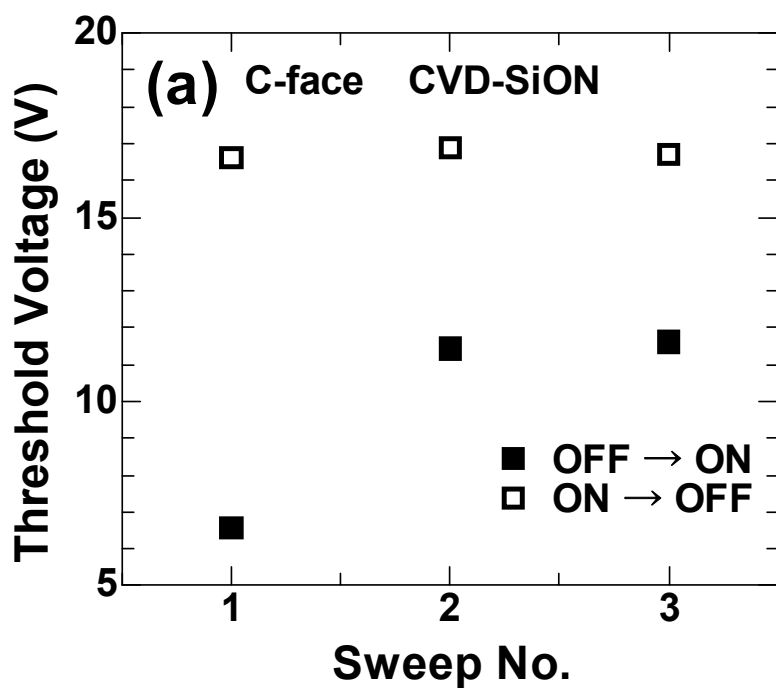


図4-7 : C面に作製したMISFETの I_D - V_{GS} しきい値電圧の掃引回数依存性
 (a) CVD-SiON (b) CVD-SiON/NH₃

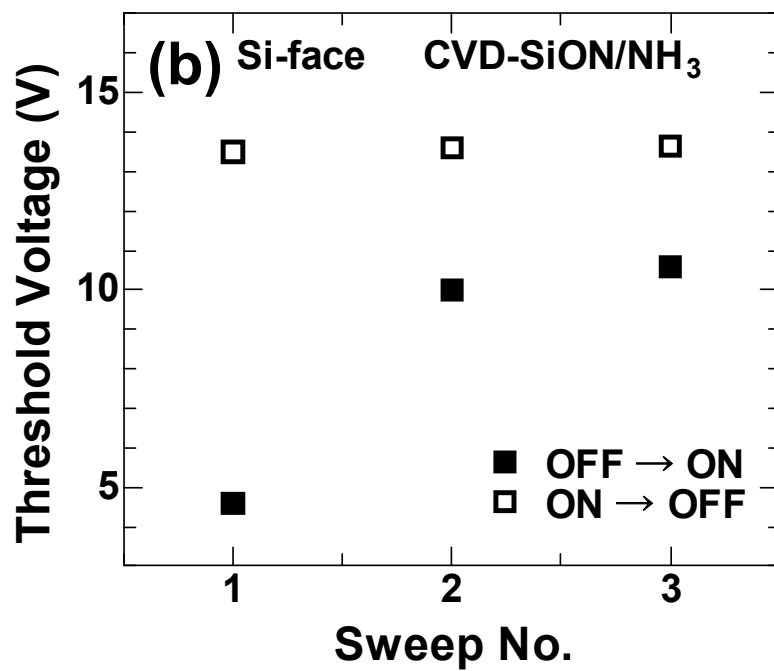
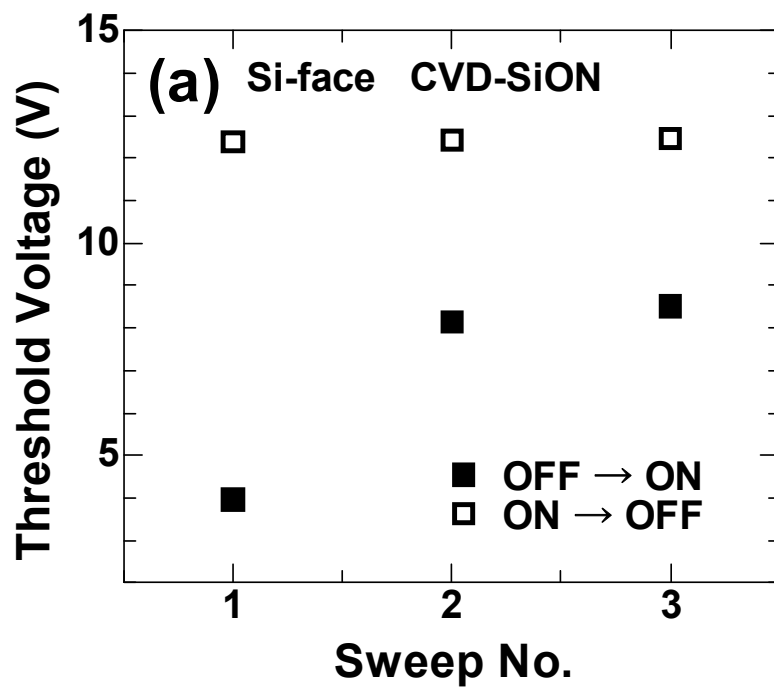


図4-8 : Si面に作製したMISFETの I_D - V_{GS} しきい値電圧の掃引回数依存性
 (a) CVD-SiON (b)CVD-SiON/NH₃

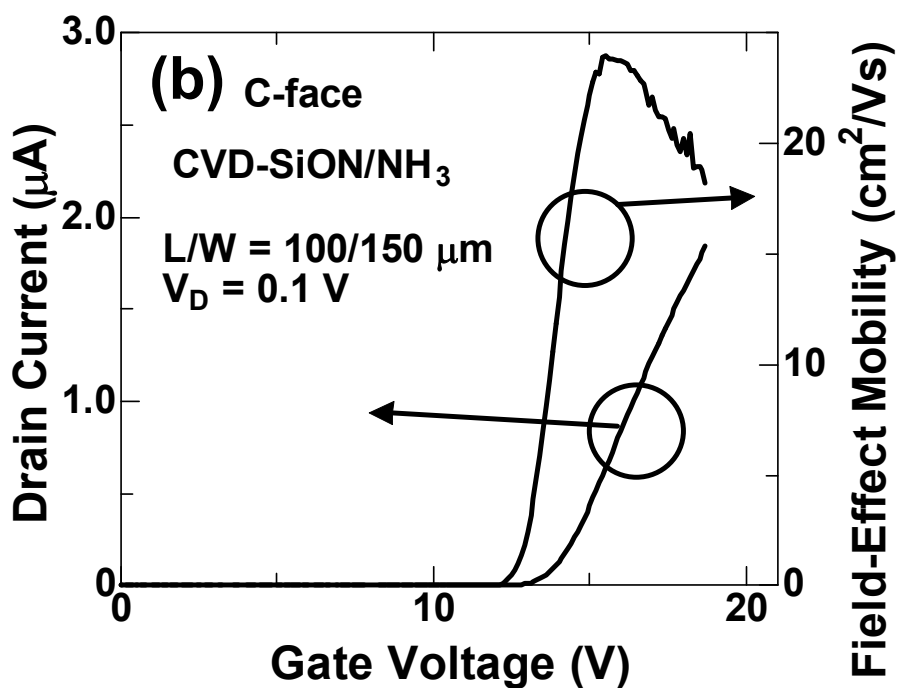
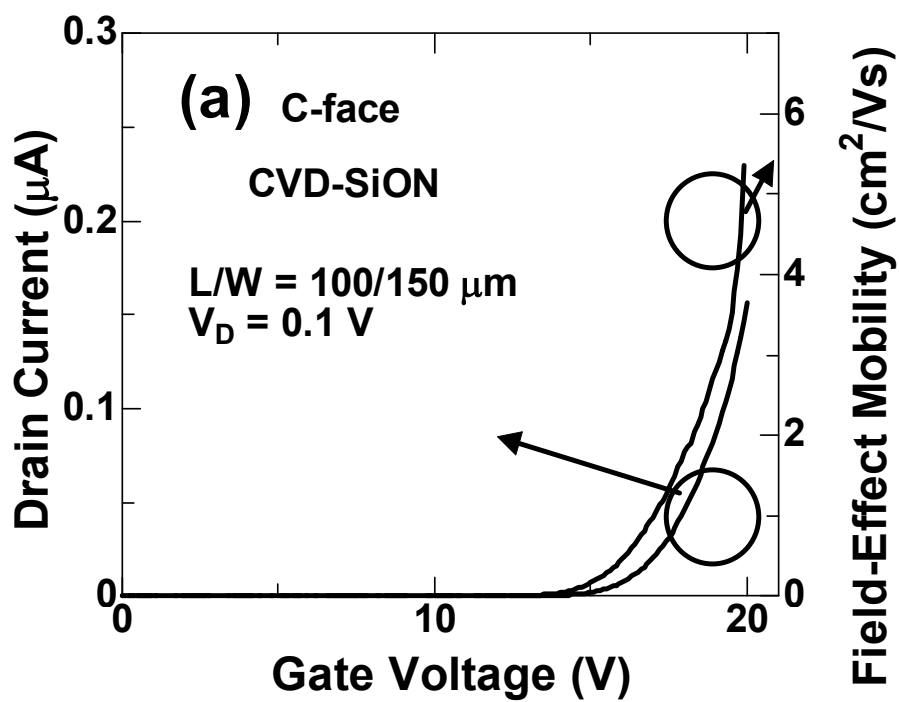


図4-9 : C面に作製したMISFETの I_D - V_{GS} 特性と電界効果移動度
 (a) CVD-SiON (b)CVD-SiON/ NH_3

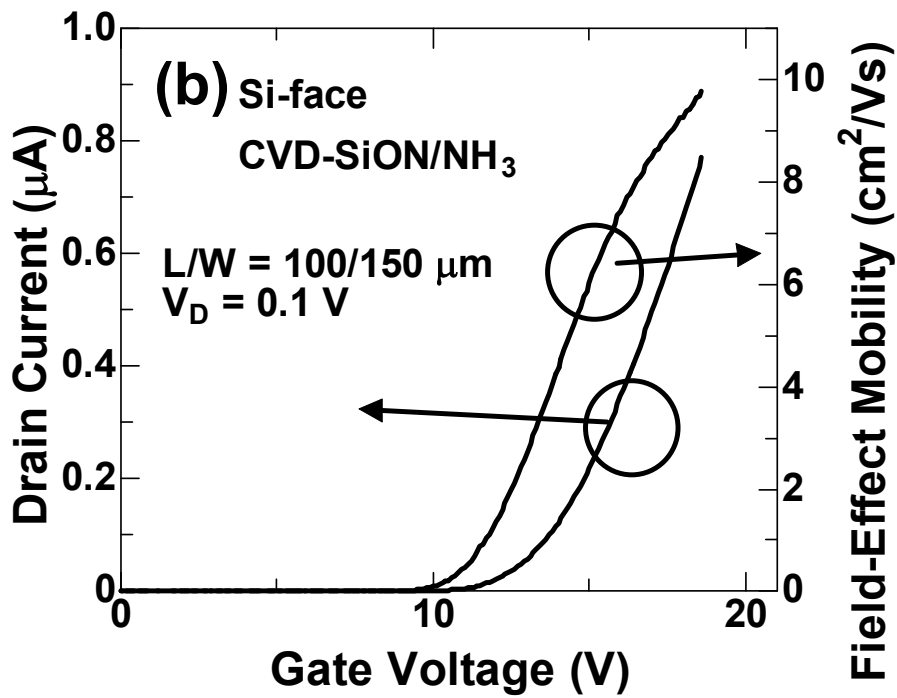
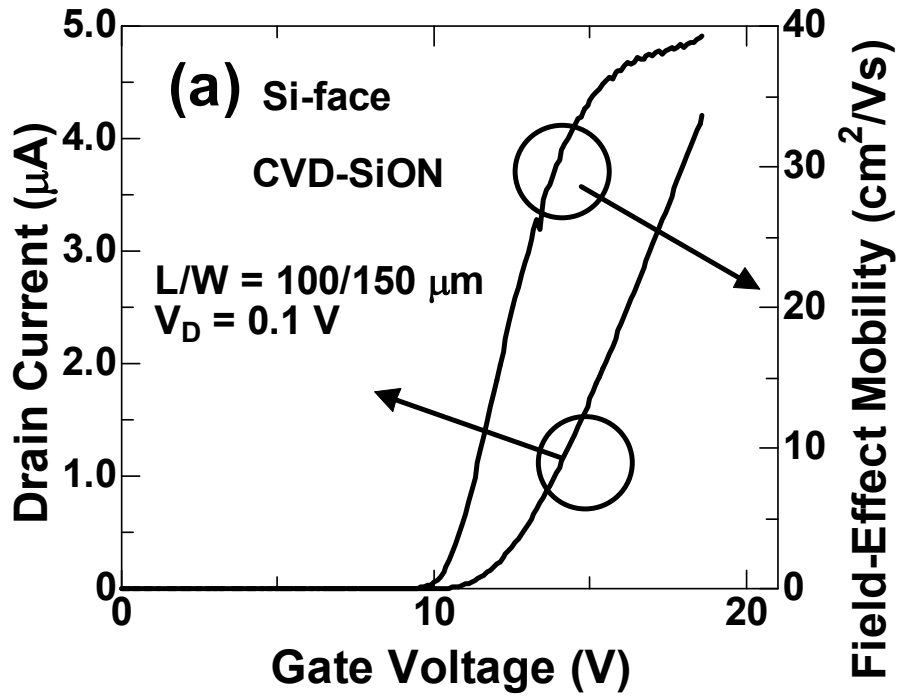


図4-10 : Si面に作製したMISFETの I_D - V_{GS} 特性と電界効果移動度
 (a) CVD-SiON (b)CVD-SiON/NH₃

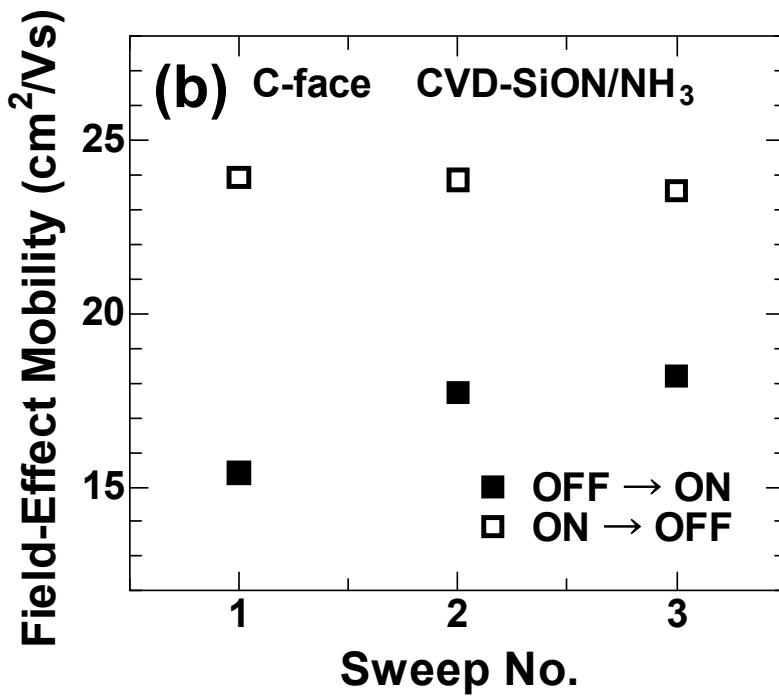
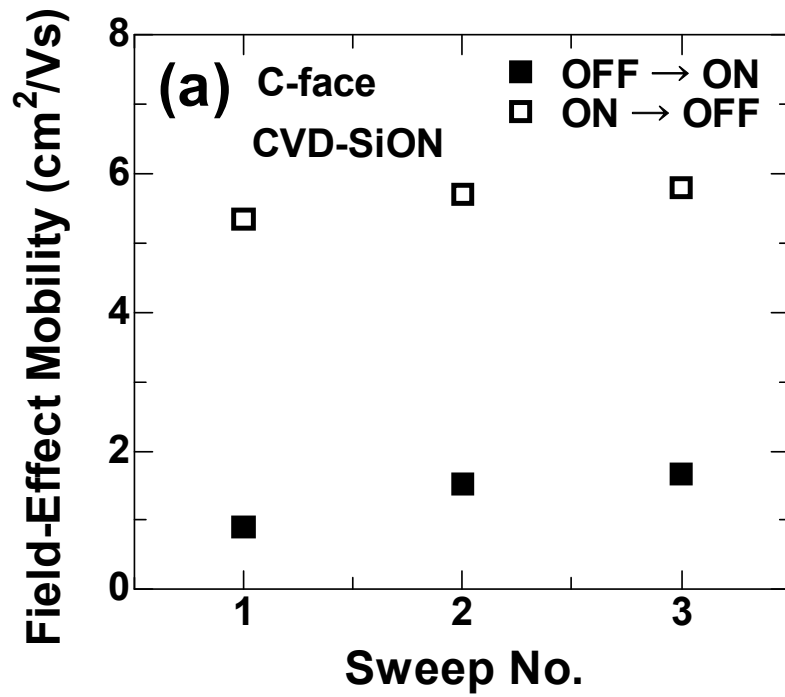


図4-11 : C面に作製したMISFETの電界効果移動度の掃引回数依存性
 (a) CVD-SiON (b)CVD-SiON/NH₃

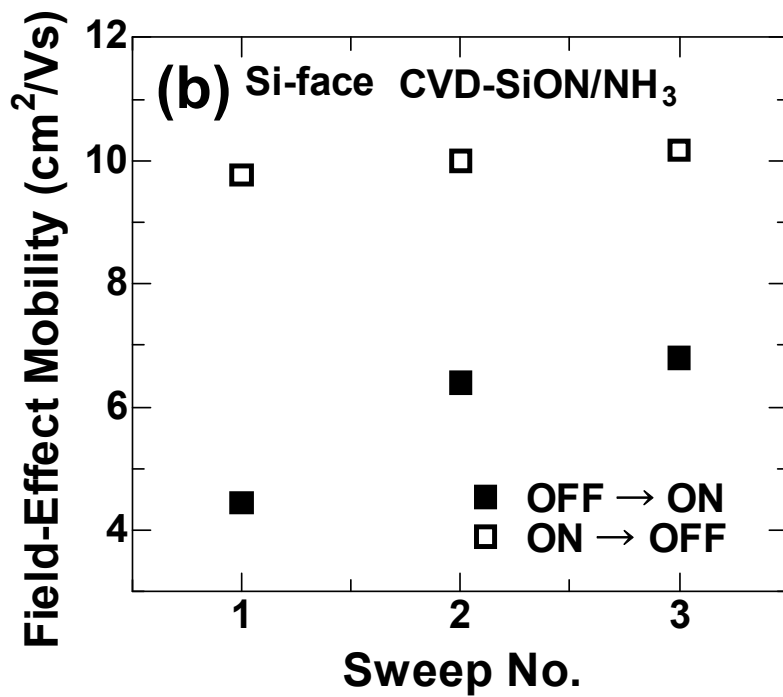
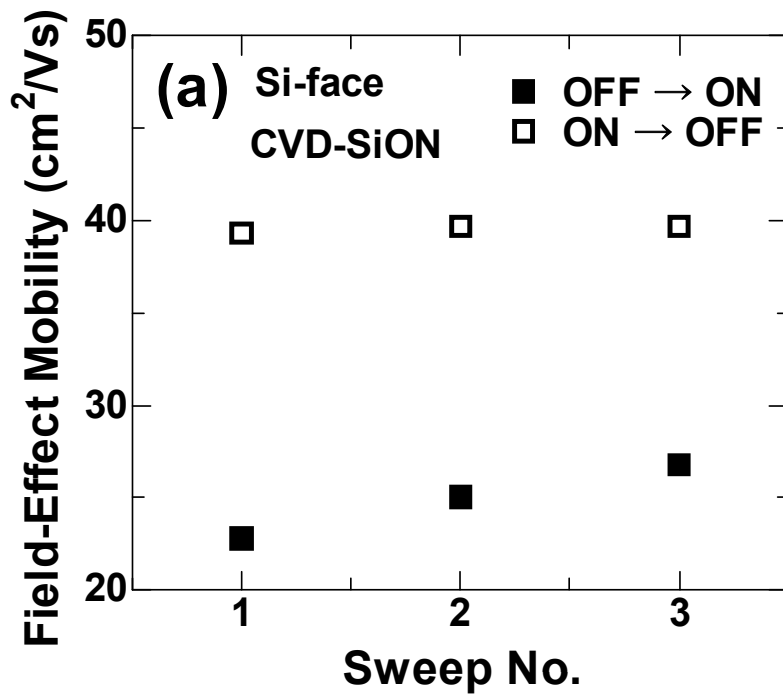


図4-12 : Si面に作製したMISFETの電界効果移動度の掃引回数依存性
 (a) CVD-SiON (b) CVD-SiON/NH₃

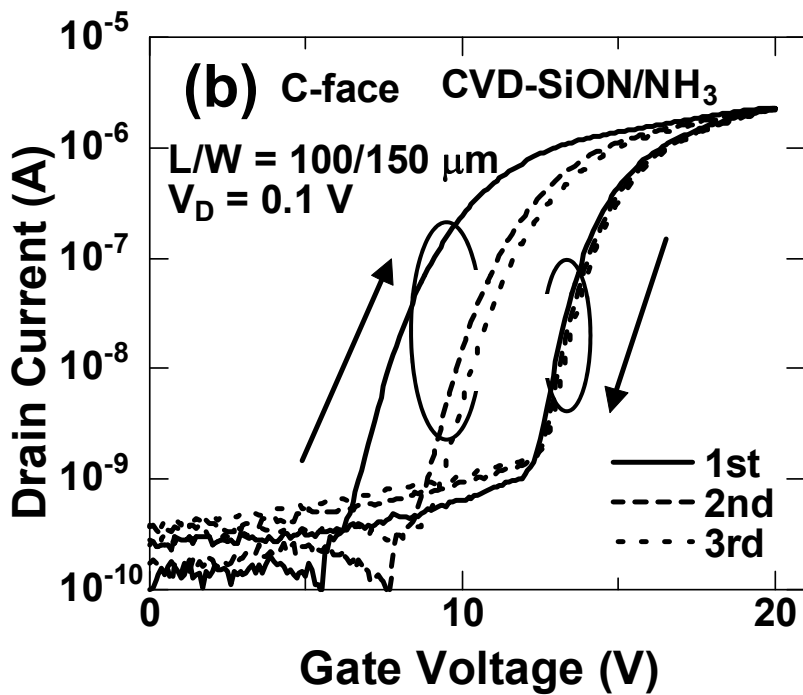
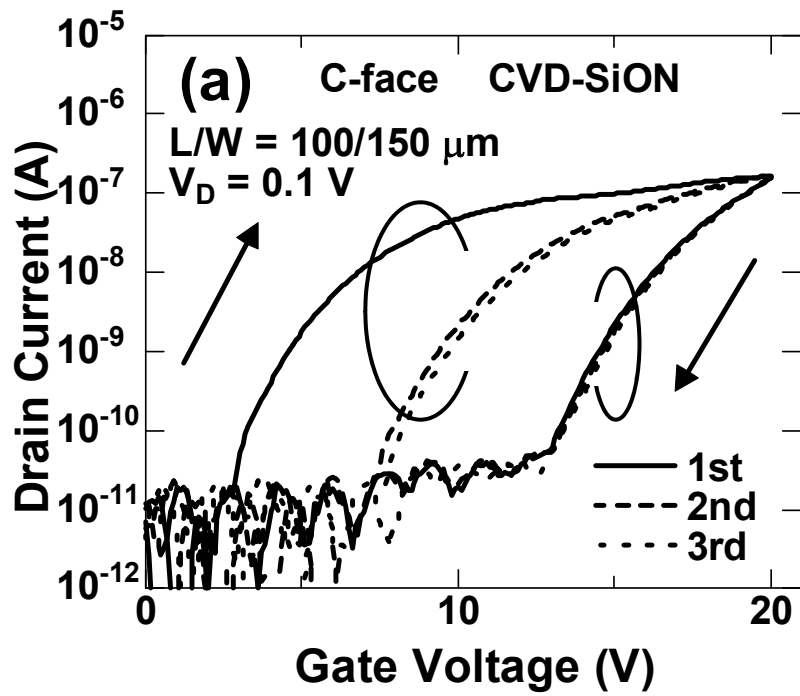


図4-13 : C面に作製したMISFETの I_D - V_{GS} 特性 (片対数表示)
 (a) CVD-SiON (b) CVD-SiON/NH₃

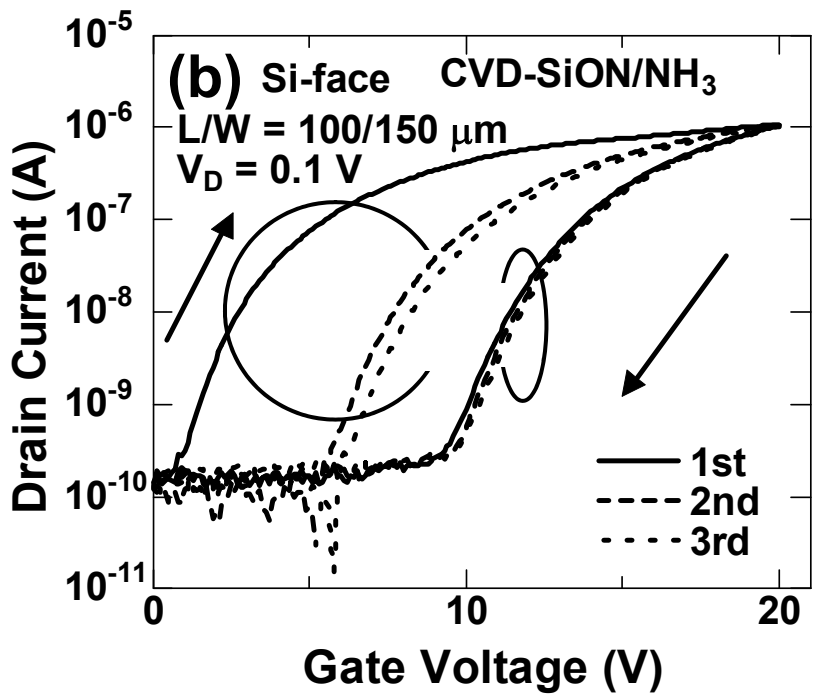
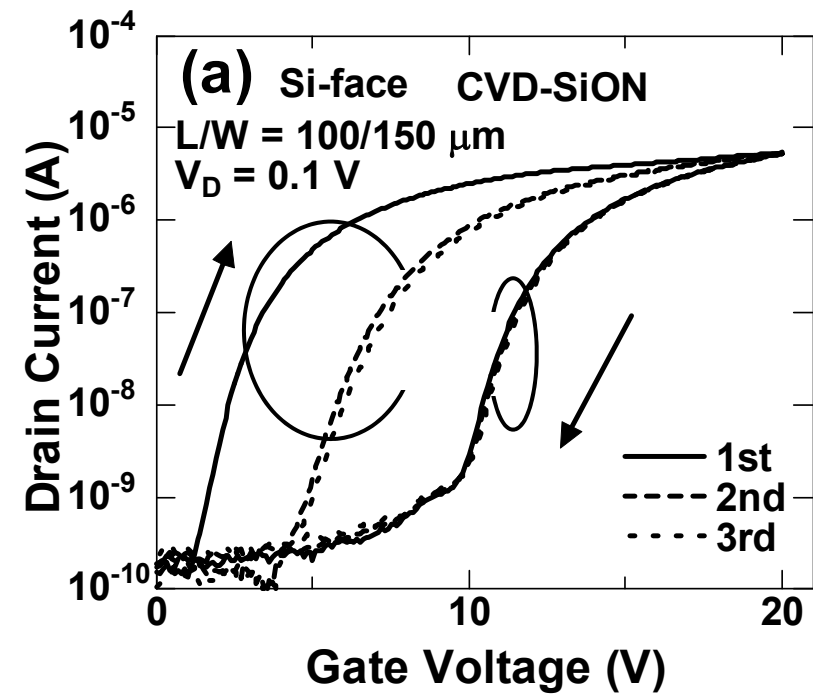


図4-14 : Si面に作製したMISFETの I_D - V_{GS} 特性 (片対数表示)
 (a) CVD-SiON (b) CVD-SiON/NH₃

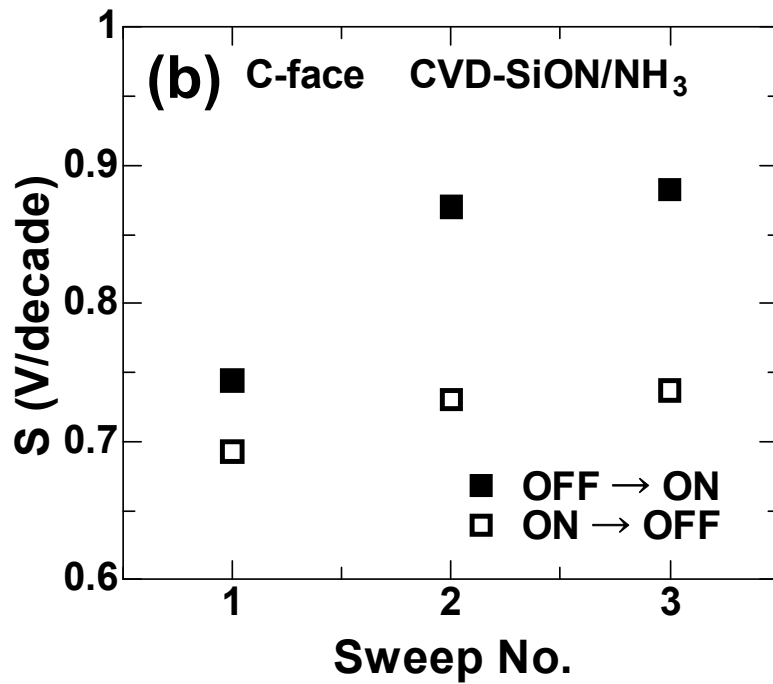
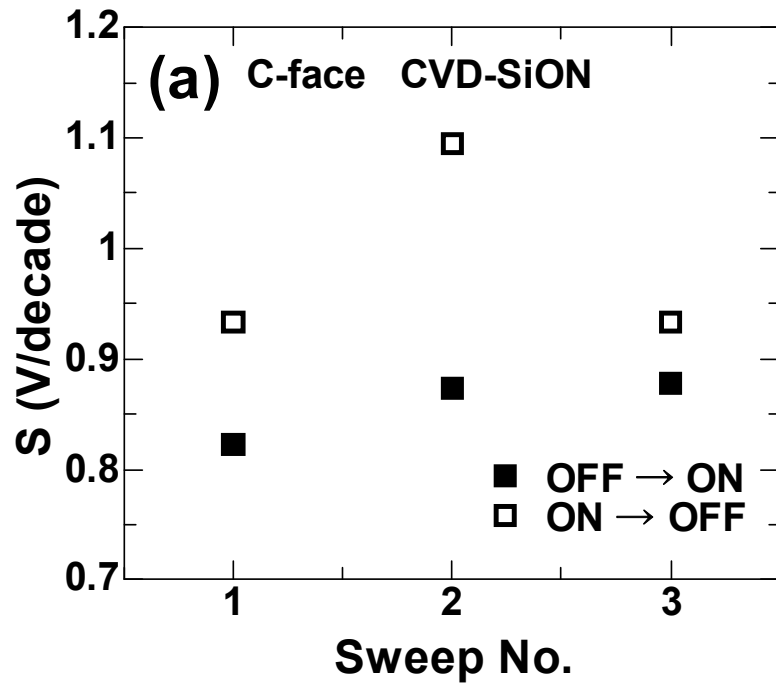


図4-15 : C面に作製したMISFETのS値の掃引回数依存性
(a) CVD-SiON (b)CVD-SiON/NH₃

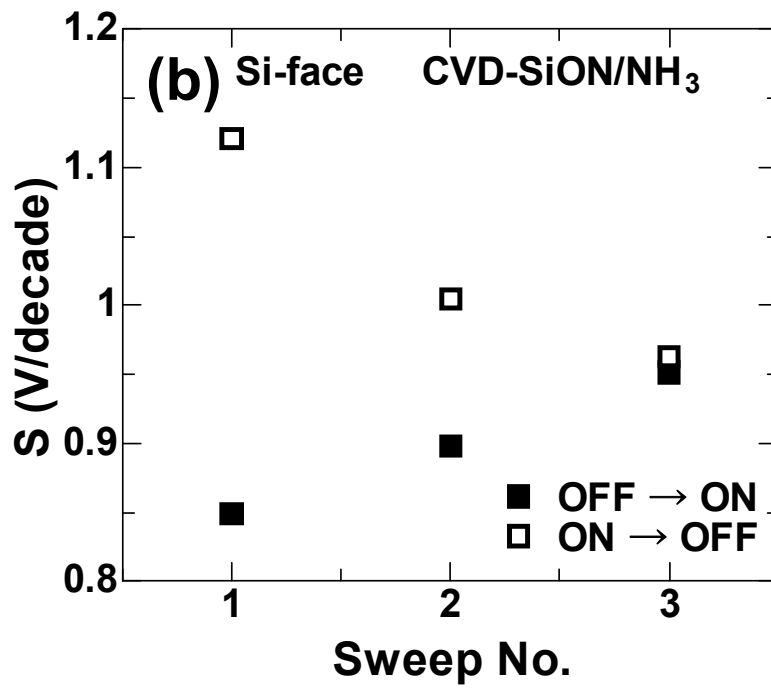
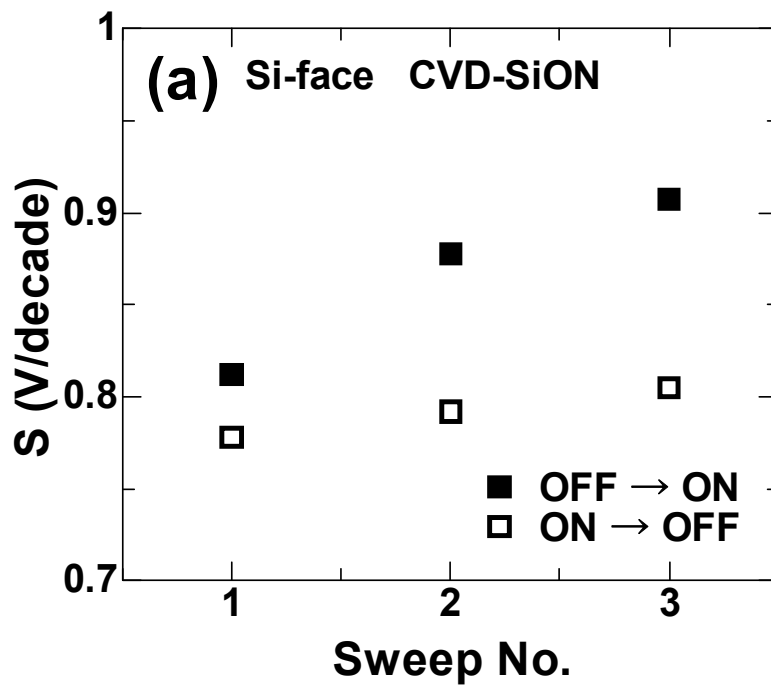


図4-16 : Si面に作製したMISFETのS値の掃引回数依存性
 (a) CVD-SiON (b) CVD-SiON/NH₃

4 章 参考文献

- [4.1] G. Pensl, S. Beljakowa, T. Frank, K. Gao, F. Speck, T. Seyller, L. Ley, F. Ciobanu, V. Afanas'ev, A. Stesmans, T. Kimoto, A. Schöner: *Phys. Stat. Sol. (b)* **245** (2008) 1378.
- [4.2] 岸野正剛, 小柳光正 著 “VLSI デバイスの物理”, 丸善株式会社 (1986).
- [4.3] F. Gámiz, J. A. López-Villanueva, J. A. Jiménez-Tejada, I. Melchor, and A. Palma : *J. Appl. Phys.* **75** (1994) 924
- [4.4] F. Gamiz, and M. V. Fischetti : *Appl. Phys. Lett.* **83** (2003) 4848

第5章 結論

本研究では、 NH_3 プラズマ前処理を行うことにより、MOS 界面を水素化および窒化することによる SiC-MOS 界面の特性向上を試みた。 NH_3 プラズマ前処理を行った SiC 表面の組成を XPS を用いて評価し、また NH_3 プラズマ前処理を行った MOS キャパシタおよび MIS キャパシタを作製することにより電気的および光学的特性を評価した。そして NH_3 プラズマ前処理を行った SiC-MISFET を作製し、電界効果移動度の評価を行った。また、このとき絶縁膜中トラップの多い MISFET 解析法について考察した。

5.1 本論文の主要結果

酸化膜中に酸化膜トラップが存在しているとき、酸化膜トラップの影響を受けない C-V 特性測定方法について考案した。これにより酸化膜トラップがあるサンプルに対しても、Hi-Lo 法による界面準位密度の評価が可能となった。

NH_3 プラズマ前処理による界面準位密度の低減

堆積酸化膜を用いた MOS キャパシタおよび堆積酸化窒化膜を用いた MIS キャパシタに対する NH_3 プラズマ前処理の効果を評価した。本研究では C 面と Si 面の 2 種類の基板を用いたが、 NH_3 プラズマ前処理は C 面に対して大きな効果を示した。その結果ドライ酸化膜では $E_c - E = 0.2 \text{ eV}$ において $1 \times 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ ある界面準位密度が、 $5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 程度まで減少した。

NH_3 プラズマ処理した SiC 表面の窒化および水素化

NH_3 プラズマを直接 SiC 表面に照射することにより、大量の窒素を界面に導入し高品質な界面を形成しようとして試みた。 N_2O アニールなどで絶縁膜形成後窒素を導入しようとしても、3 パーセント程度しか界面に窒素が導入されないが、本手法を用いることにより 10 パーセント以上の窒素を SiC 表面に導入できることを XPS 測定から明らかにした。また、このとき同時に水素化が行われていることも明らかになった。SiC 界面の水素化は 800°C 以上の高温で行う必要があると言われていたが、プラズマを用いることにより 300°C 程度でも水素化できることが明らかになった。

NH_3 プラズマ前処理による電界効果移動度の向上

SiC-MISFET にたいし NH_3 プラズマ前処理を行った素子に対し、電界効果移動度の評価を行った。C 面の電界効果移動度は、MIS キャパシタの界面準位密度が低減したことと対応し、CVD-SiON 膜のときの移動度は $5 \text{ cm}^2/\text{Vs}$ 程度だが NH_3 プラズマ前処理を行うと $24 \text{ cm}^2/\text{Vs}$ 程度まで向上した。

5.2 今後の課題と指針

CVD 堆積条件の最適化と絶縁膜堆積後アニーリング

絶縁膜を CVD で作製しているため、十分に高品質な膜質を得ることが出来ていない。これはキャパシタに対しては大きなフラットバンド電圧、MISFET に対しては大きな閾値電圧として表れている。この課題を解決する方法として、CVD 条件の最適化および絶縁膜形成後にアニーリングを行うことによる膜質の向上が考えられる。そこで MOS キャパシタに対し、N₂ 雰囲気アニーリングを行ったが、NH₃ プラズマ前処理の効果を減少させる結果となった。これは高温でアニーリングするため、水素の界面からの脱離が起こっていると考えられる。そこで次に H₂ 雰囲気 RTA を行った。しかし、この手法を用いても NH₃ プラズマ照射効果は低減した。これは水素含有量が低かったことと、急速に昇温・降温していることが原因だと予想される。よって、NH₃ プラズマ照射した効果を残したままアニーリングするには、水素含有率が高く緩やかに昇温・降温できるパイロジェニック再酸化などを行う必要があるといえる。

IPE 測定における SN 比の向上

IPE 測定時、得られる光電流が小さくノイズの影響を受けている。これは電極に Al を用いているため、電極に照射した光が反射していることが大きな原因だと考えられる。よって、光の透過率の大きい Au を電極として利用することにより改善されると考えられる。また、分光器の特性上紫外域において光強度が小さくなってしまっている。これを改善するため、分光器を紫外高効率タイプに変更する必要がある。

Si 面と C 面での界面準位の起源の違い

C-V 特性に見られる hump や $E_c - E = 0.2 \sim 0.6$ eV の界面準位密度に見られるように Si 面と C 面では界面準位の起源が異なるといわれているが、その違いは明らかにされていない。本研究によりドライ酸化膜において、Si 面では C と O に関する結合が無いが C 面ではそれらの結合が存在し hump との関係が示唆されたが、より詳細な解析が必要であるといえる。

水素化によりパッシベーションされるトラップ

水素化はチャネル移動度を大きく向上されることが報告されており、ダングリングボンドが終端されるためだといわれている。しかしダングリングボンドがバンド図でどの位置に現れてくるのか分かっていない。ドライ酸化とドライ酸化+pyrogenic 酸化したものを、IPE 測定し比較することによりバンドにおいてどの位置のトラップがパッシベーションされているのか知見を得ることが出来ると考えられる。

低い移動度

製品化実現のためのチャネル移動度指標は $100 \text{ cm}^2/\text{Vs}$ といわれており、C 面におい

て既にその段階は超えている。しかしバルク中チャネル移動度の $1000 \text{ cm}^2/\text{Vs}$ には遠く及ばず、更なる高性能化を考える上でチャネル移動度の向上は重要であるといえる。

信頼性

信頼性は量産化する上で大きな課題といわれているが、ドライ酸化とパイロジェニック酸化を組み合わせることにより絶縁破壊注入電荷量 (Q_{BD}) はC面で 17.5 C/cm^2 と高い値が得られている。ここで窒化膜を用いることにより更なる信頼性の向上が見込まれる

謝辞

本研究は奈良先端科学技術大学院大学・物質創成科学研究科・微細素子科学講座で行われたものであり、多くの方々のご指導、ご協力の下で遂行されました。末文ではありますが、本研究に対して協力して頂いた皆様に感謝の辞を述べさせていただきます。

冬木隆教授には、本研究の機会を与えて頂き、また研究報告会などを通じて的確なご助言やご指導を頂きました。心から感謝しております。

畑山智亮助教、矢野裕司助教には、SiC 研究グループとして本研究に関して直接指導頂きました。畑山助教には実験する際の心構えや研究に関する多くのご助言頂きました。心から感謝しております。矢野助教には本研究の進め方、デバイスプロセスやMOS 界面物理に関してご指導頂きました。また学会発表に際しても、長時間にわたり対応して頂き、心から感謝しております。

副指導教員である浦岡行治教授には、半ばまでは同じ研究室として、それからは異なる研究室となりましたが、日頃から温かくご指導頂けただけでなく、時間を問わず発表練習等に対応して頂き心から感謝しております。

同様に副指導教員である太田淳教授、大門寛教授には、異なる研究室でありながら本論文の査読やご指導して頂き、深く感謝致します。

共同研究員である三浦篤志博士、谷あゆみ氏、Athapol Kitiyanan 博士、服部望博士からは、多くのご助言を頂きました。深く感謝致します。

微細素子科学講座の先輩である高橋優氏、市川和典氏、大鐘章義氏、菅原祐太氏には、研究に関する様々なご助力を頂き深く感謝しております。

同じ SiC グループである岡本大氏、清水智也氏、大城ゆき氏、瀬瀬英典氏、鈴木啓之氏、網嶋健人氏、上岡義弘氏、小竹慎也氏には、非常に多くの助言、サポートをして頂きました。また研究以外でも公私にわたり様々なご助言を頂きました。深く感謝しております。

ご修了された伊藤宏樹氏、梅田朋季氏、越知誠弘氏、岸山友紀氏、堀内昂陽氏、入船裕行氏、山下毅彦氏には、公私にわたり様々な協力やアドバイスを頂き、同じ研究室に在籍できたことを嬉しく思います。心から感謝しております。

本研究室の在学生である平田憲司氏、斉藤貴志氏、杉村恵美氏、中谷誠和氏、高山環氏、辻井慎一郎氏、長谷川光洋氏、船谷友宏氏には研究全般にわたり多くの協力を頂きました。とても感謝しております。

教授秘書である辻雅美氏、洞公美氏、田中優子氏には事務処理等で大変お世話になりました。心から感謝致します。

また情報機能素子科学講座の小原孝介氏、東條陽介氏、藤井茉美氏、川村悠実氏、小林祐輔氏、町田絵美氏には、公私にわたり多くのアドバイスを頂きました。とても感謝しております。

最後に研究生生活を経済的、精神的に支援してくれた家族に深く感謝いたします。

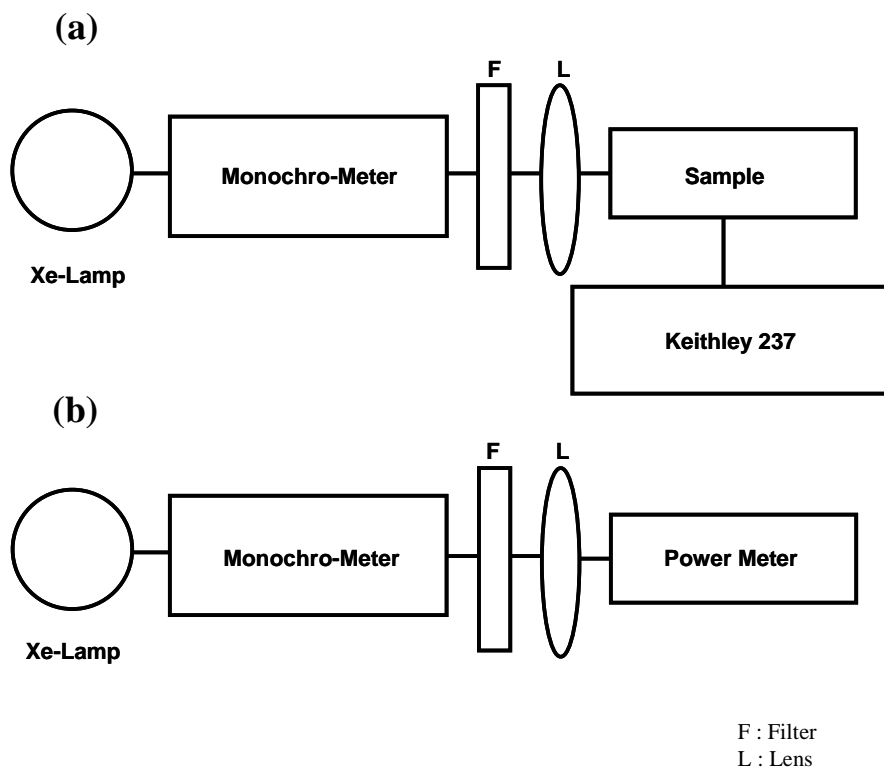
本研究は、この様に多くの方の協力の下行われたものであり、諸氏に改めて厚く御礼申し上げます。

付録 A

IPE 装置の構成・予備実験とその結果

装置の構成

IPE 装置の光学系の模式図を下に示す。図(a)にしめすように、光源であるキセノンランプから出た光を分光器を通して、レンズで集光した後 MOS キャパシタに照射する。そして、このときに流れる光電流を微小電流－電圧計を用いて測定する。また、分光した光の強度を、図(b)にしめすように光パワーメータを用いて測定している。ただし、2次回折光をカットするため、580 nm および 370 nm 以上の波長領域では分光器の後ろに次数分離波長フィルターを置いた。



次に装置構成の詳細を示す。

(1)高安定キセノンランプ (浜松ホトニクス株式会社)

太陽光に近い白色光で色温度が 6000K と高く、キセノンガスを封入

したランプである。キセノンガスによる紫外から赤外域(185 nm～2000 nm)に幅広い連続スペクトルを持っている。分光光度計をはじめ各種測光用光源として最適である。

(2)小型分光器 SPG-100ST、波長駆動装置 AT-100PL (島津製作所)

SPG-100ST は可視域用小型分光器である。200 nm～900 nm の波長範囲で分光が可能であり、強力単色光源としての使用に適している。この分光器に波長駆動装置 AT-100PL を接続し、励磁パルスを入力することにより分光器の波長を走査する事ができる。

(3)ステッピモータコントローラ AT-100PC (島津製作所)

SPG-100ST の周辺付属装置であり、同じ周辺付属装置である AT-100PL と組み合わせることにより、分光器の波長を自動走査する事が可能となる。この装置には、GP-IB インターフェースが付属しており、外部からリモートコントロールすることができる。よって Agilent VEE Pro を用いて GP-IB 制御プログラムを作成し、制御を行った。

(4)Optical Power Meter 1830-C (Newport)

光の強度を測定する装置である。任意の波長に対する光強度を求め、フォトン数を算出する。この装置も、Agilent VEE Pro を用いて GP-IB 制御プログラムを作成し、制御を行った。

(5)微小電流－電圧計 SMU 237 (Keithley)

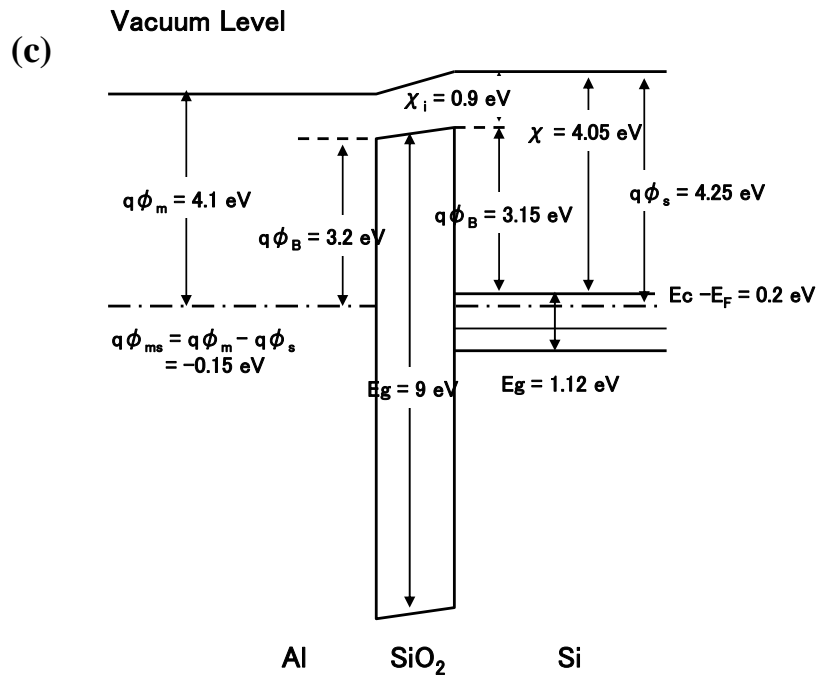
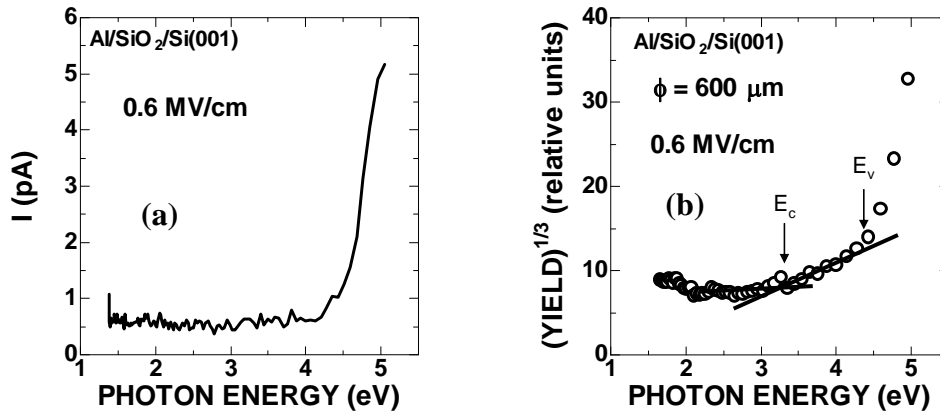
電圧または電流の印加と測定が同時に行えるフルプログラマブルな計測器である。100 μ V から 1100 V までの電圧の印加が可能であり、また 10 fA から 100 mA までの電流を測定することが可能である。この装置も、Agilent VEE Pro を用いて GP-IB 制御プログラムを作成し、制御を行った。

予備実験とその結果

SiC を用いた実験を行う前に、予備実験として Si MOS キャパシタの IPE 測定を行った。MOS キャパシタの構造は Al(20 nm)/SiO₂(80 nm)/Si(001)であり、 $\phi=600\mu\text{m}$ の電極に対し IPE 測定を行った。5V バイアスをかけて 0.6 MV/cm で測定した。また、暗電流を百点測定し、その平均値をバックグラウンドとして測定された電流値より差し引いた。その結果を下図(a)に示す。このとき光電流は数 pA と非常に小さいこと、また 4.2eV 程度から急激に増加していることが分かる。また、こ

の光電流を光子数で割り 3 乗根をとった値を下図(b)に示す。このとき 3.30 eV、4.40 eV において光電流は増加している。

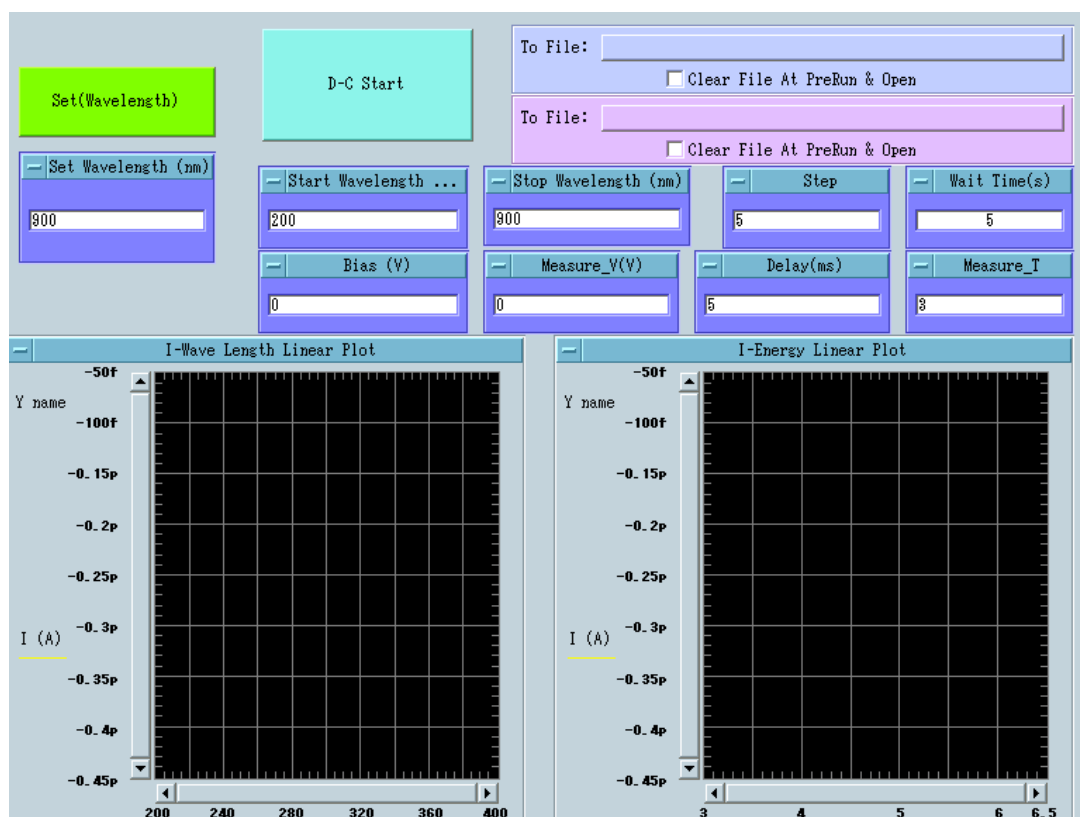
下図(c)に報告値をもとに描いた Si MOS キャパシタのバンド図を示す。これから Si のバリアハイトは 3.15 eV、 $\text{SiO}_2(\text{Ec})\text{-Si}(\text{Ev}) = 4.27 \text{ eV}$ であることが分かる。この値は下図(b)において得られた値とほぼ等しく、IPE 測定が行えているといえる。



付録 B

IPE 装置の制御プログラム

Agilent VEE Pro を用いて GP-IB 制御プログラムを作成した。
ステッピングモータコントローラと微小電流—電圧計を制御するプログラムのインターフェースを下図に示す。



- Set Wavelentgh テキストボックスに波長を入力することによりステッピングモータコントローラを操作し、任意の波長の光を得ることが出来る。

- Start Wavelentgh テキストボックスに入力した波長から、Stop Wavelentgh テキストボックスに入力した波長まで、Step テキストボックスに入力した波長ごとに測定を行う。このとき素子にバイアスを掛けたいときは、Bias テキストボックスと Measure_V テキストボックスに値を入力する。

付録 C

しきい値電圧について

しきい値電圧の理論値は次式で与えられる。

$$V_{T, \text{ theory}} = 2 \phi_B + \frac{\sqrt{4\epsilon_S \epsilon_O q N_A \Psi_B}}{C_{OX}} + \phi_{ms}$$

ϵ_B : バルク中のフェルミ準位と真性フェルミ準位の差

ϵ_S : 半導体の比誘電率、 ϵ_O : 真空の誘電率、 q : 電子の電荷

N_A : アクセプタ密度、 C_{ox} : ゲート絶縁膜の容量 (単位面積当たり)

ϕ_{ms} : Al の仕事関数 - 半導体の仕事関数

しきい値電圧の実測値と理論値との差は、MOS 界面に存在する電荷によるゲート電圧のシフトが原因である。しきい値電圧の上昇は負の電荷の存在を示している。ここで、電荷の要因としては、アクセプタ型の界面準位に捕獲された電子や正負の固定電荷、絶縁膜中への電子のトラップが考えられる。ドナー型の界面準位の電荷は、n チャネル MOSFET の反転時には、ソースから注入された電子との再結合によって中性化されるため、しきい値電圧のシフトには影響しない。

付録 D

電界効果移動度について

電界効果移動度 μ_{FE} はドレイン電流 I_D のゲート電圧依存性に注目し、相互（トランス）コンダクタンス g_m から求められる。

MOS トランジスタの線形領域の電流－電圧特性より、 I_D は

$$I_D = \frac{W}{L} \mu_{FE} C_{ox} [(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2]$$

と表せる。これより、 g_m は

$$g_m = \frac{I_D}{V_G} \Big|_{V_D=\text{const}} = \frac{\mu_{FE} W \epsilon_{OX} \epsilon_0 V_D}{L_d}$$

のように与えられる。したがって、電界効果移動度 μ_{FE} は

$$\mu_{FE} = |g_m| \cdot \frac{1}{C_{OX} V_{DS}} \cdot \frac{L}{W}$$

のように求められる。

研究業績

原著論文

[1]”NH₃ plasma pretreatment of 4H-SiC(0001) surface for reduction of interface states in metal-oxide-semiconductor devices”

Yoshinori Iwasaki, Hiroshi Yano, Tomoaki Hatayama, Yukiharu Uraoka and Takashi Fuyuki;

Applied Physics Express **3** (2010) 026201.

[2]”Significant decrease of interface state density by NH₃ plasma pretreatment at 4H-SiC (0001) surface and its bond configuration”

Yoshinori Iwasaki, Hiroshi Yano, Tomoaki Hatayama, Yukiharu Uraoka and Takashi Fuyuki;

Materials Science Forum **645** (2010) 503.

[3]”Improvement of interface properties by NH₃ pretreatment for 4H-SiC(0001) MOS structure”

Yoshinori Iwasaki, Hiroshi Yano, Tomoaki Hatayama, Yukiharu Uraoka and Takashi Fuyuki;

Japanese Journal of Applied Physics, (To be submitted).

国際学会発表

[1] Yoshinori Iwasaki, Hiroshi Yano, Tomoaki Hatayama, Yukiharu Uraoka and Takashi Fuyuki ;

” Effects of nitrogen introduction by NH₃ plasma pretreatment on SiC MIS interface properties”

GIST/NAIST Joint Symposium on Advanced Materials. (Nara, Japan), P-14, 2008年11月26日

[2] Yoshinori Iwasaki, Hiroshi Yano, Tomoaki Hatayama, Yukiharu Uraoka and Takashi Fuyuki ;

” Improvement of interface properties by NH₃ pretreatment for 4H-SiC(0001) MOS structure”

2009 Solid State Device and Materials (SSDM). (Sendai, Japan), J-3-2, 2009年10月8日

[3] Yoshinori Iwasaki, Hiroshi Yano, Tomoaki Hatayama, Yukiharu Uraoka and Takashi Fuyuki ;

” Significant decrease of interface state density by NH₃ plasma pretreatment at 4H-SiC (0001) surface and its bond configuration”

2009 International Conference on Silicon Carbide and Related Materials (ICSCRM). (Nurnberg, Germany), Mo-P-49

2009年10月12日

国内学会発表

[1] 岩崎 吉記, 矢野 裕司, 畑山 智亮, 浦岡 行治, 冬木 隆 ;

” SiN/SiC 界面における NH₃ プラズマ前処理効果とその面方位依存性”

第 69 回応用物理学関係連合講演会 2008 年秋季. (中部大学), 2p-CE-15

2008年9月2日

[2] 岩崎 吉記, 矢野 裕司, 畑山 智亮, 浦岡 行治, 冬木 隆 ;

” NH₃ プラズマ前処理により窒素導入した SiC MIS 界面特性”

SiC 及び関連ワイドギャップ半導体研究会 第 17 回講演会. (大田区産業プラザ), P-93

2008年12月8日

[3] 岩崎 吉記, 矢野 裕司, 畑山 智亮, 浦岡 行治, 冬木 隆 ;

” NH₃ プラズマ照射した 4H-SiC 表面の結合状態の面方位依存性”

第 56 回応用物理学関係連合講演会 2008 年春季. (筑波大学), 31a-G-5,

2009年3月31日

[4] 岩崎 吉記, 矢野 裕司, 畑山 智亮, 浦岡 行治, 冬木 隆 ;

” 低温 NH₃ プラズマ前処理による 4H-SiC(0001)MIS 界面準位の低減”

第 70 回応用物理学関係連合講演会 2008 年秋季. (富山大学), 10p-M-16,

2009年9月10日

[5] 岩崎 吉記, 矢野 裕司, 畑山 智亮, 浦岡 行治, 冬木 隆 ;

” NH₃ プラズマ前処理による 4H-SiC(0001) MOS 界面特性の改善”

SiC 及び関連ワイドギャップ半導体研究会 第 18 回講演会. (神戸国際

会議場), P-78

2009年12月17日