

アルミナセラミックス基板上に作製した
マイクロ波可変容量(Ba,Sr)TiO₃ 薄膜の高信頼性化に関する研究

野坂 隆

奈良先端科学技術大学院大学

物質創成科学研究科

2009 年 3 月

目次

第1章 序論.....	1
1.1 研究背景.....	1
1.1.1 マイクロ波集積回路の現状と展望.....	1
1.1.2 マイクロ波チューナブル素子の必要性.....	3
1.1.3 BST 薄膜を用いたマイクロ波チューナブル素子の動向.....	4
1.1.4 BST 薄膜を用いたチューナブルキャパシタの素子構造.....	7
1.2 本研究の目的.....	8
1.3 本論文の構成.....	9
参考文献.....	10
第2章 BST 薄膜キャパシタの作製とその評価方法.....	13
2.1 緒言.....	13
2.2 アルミナ基板の選定.....	14
2.3 BST 薄膜キャパシタの作製方法.....	20
2.3.1 スパッタリング法による下部電極の作製.....	20
2.3.2 CSD 法による BST 薄膜の作製.....	22
2.3.3 スパッタリング法による上部電極の作製.....	23
2.4 BST 薄膜キャパシタの結晶構造の評価方法.....	24
2.5 BST 薄膜キャパシタの電気的特性の評価方法.....	24
参考文献.....	25
第3章 BST 薄膜の結晶構造および電気的特性の評価.....	28
3.1 緒言.....	28
3.2 CSD 法によって作製した BST 薄膜の結晶構造と電気的特性の評価.....	28
3.2.1 CSD 法によって作製した BST 薄膜の結晶構造の評価.....	28
3.2.2 CSD 法によって作製した BST 薄膜の電気的特性の評価.....	33
3.3 CSD 法および RF スパッタ法によって作製した BST 薄膜の特性比較.....	40
3.4 熱刺激電流測定法による BST 薄膜の評価.....	47
3.5 まとめ.....	48
参考文献.....	49

第4章 BST 薄膜の誘電特性における温度依存性の改善.....	51
4.1 緒言.....	51
4.2 マイクロ波チューナブル素子の温度特性規格.....	51
4.3 CSD 法による各組成比の BST 薄膜の作製とその評価.....	53
4.3.1 CSD 法による各組成比の BST 薄膜の作製.....	53
4.3.2 各組成比における BST 薄膜の結晶構造の評価.....	53
4.3.3 各組成比における BST 薄膜の誘電特性の評価.....	56
4.4 強誘電体 BST(80/20)薄膜における誘電特性の温度依存性の改善.....	61
4.4.1 BST(80/20)薄膜の強誘電性の影響.....	61
4.4.2 BST(80/20)薄膜の強誘電性の抑制.....	63
4.4.3 BST(80/20)薄膜のリーク特性の評価.....	67
4.5 まとめ.....	69
参考文献.....	70
第5章 BST 薄膜の電気伝導機構に及ぼす界面構造の影響.....	72
5.1 緒言.....	72
5.2 TEM-EDS 分析による Pt/BST/Pt 薄膜キャパシタ構造の解析.....	72
5.3 上部電極形成後のポストアニールによる BST 薄膜キャパシタの電気的特性の改善.....	79
5.4 BST 薄膜の電気伝導機構に及ぼす界面構造の影響.....	82
5.5 BST 薄膜の電気的寿命の解析.....	90
5.6 まとめ.....	97
参考文献.....	98
第6章 結論.....	100
謝辞.....	103
研究業績.....	104

本論文で用いた略号

LAN: Local Area Network
WiMAX: Worldwide Interoperability for Microwave Access
HMIC: Hybrid Microwave Integrated Circuit
MMIC: Monolithic Microwave Integrated Circuit
PIN: P-intrinsic-N (PIN diode)
UWB: Ultra Wide Band
MEMS: Micro Electro Mechanical Systems
BST: $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$
MIM: Metal-Insulator-Metal
CSD: Chemical Solution Deposition
PZT: $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$
DRAM: Dynamic Random Access Memory
FeRAM: Ferroelectric Random Access Memory
SEM: Scanning Electron Microscope
EDS: Energy Dispersive X-ray Spectrometer
XPS: X-ray Photoelectron Spectrometer
XRD: X-ray diffraction
RTA: Rapid Thermal Annealing
ASTM: American Society for Testing and Materials
AFM: Atomic Force Microscope
TEM: Transmission Electron Microscope
TDDB: Time Dependent Dielectric Breakdown
TSC: Thermally Stimulated Current
SCLC: Space Charge Limited Current

第1章 序章

1.1 研究背景

1.1.1 マイクロ波集積回路の現状と展望

近年、高度情報化社会の発展に伴い携帯電話の急速な普及ならびに、Bluetooth、無線LAN(Local Area Network)などのワイヤレス通信システム機器は加速的に日常生活に浸透している。さらに、ユビキタス社会に対応すべく移動性の高いモバイル機器を用いた高速大容量性(ブロードバンド)のワイヤレス通信技術の開発が著しく進展している^[1-2]。その中で、世界標準のワイヤレスブロードバンド規格である WiMAX (Worldwide Interoperability for Microwave Access)は、重要なネットワークと位置付けられ、山間部や離島の様な有線の施設が困難な地域での応用、さらには車両での高速移動中の利用を可能とし、今後様々な情報家電機器に WiMAX が搭載され、学校教育、交通、福祉、防災システム等、多様なシーンでの応用が期待されている^[3]。

このような情報通信機器は、常に小型化、低消費電力化、広帯域化と言った高機能が求められ、マイクロ波帯・ミリ波帯の高い周波数で機能することが必要とされる。これらの技術要求に応えるため、アルミナ(Al_2O_3)などのセラミック誘電体基板上^[4]に、リードレスのチップ部品を実装しやすいマイクロストリップラインの様な導波路を形成し、さらに個別半導体デバイスをワイヤボンディングまたは半田付けにより接続することによってハイブリッド IC を構成した混成マイクロ波集積回(HMIC : Hybrid Microwave Integrated Circuit)の開発が重点的に行なわれてきた^[5]。特に近年は、GaAs や Si などの半導体基板上において、半導体製造プロセスを応用してトランジスタなどの能動素子や受動素子(抵抗、キャパシタ、インダクタ)を同時に作製するモノリシックマイクロ波集積回路(MMIC : Monolithic Microwave Integrated Circuit)の技術開発が主流となっている^[6-7]。これらによって回路の小型化や高信頼性が得られ、マイクロ波帯における性能劣化や回路特性のばらつきを小さく抑えることが出来るが、MMIC は設計期間が長く開発費用も高いため、現時点では必ずしもコスト的に有利とは言えない。表 1-1 に示したように、HMIC および MMIC はそれぞれの特徴を持つことから、製品化を行う場合には設計要求の妥当性を判断し、両者を使い分ける必要がある。

表 1-1 マイクロ波集積回路の形態と特徴^[8]

Product Type	Degree of Integration	Product Size	Frequency	Versatility	Cost	Development Time
Discrete	Small	Large	~ Ku(12-18GHz)	High	Low	Short
HMIC	Middle	Middle	~ Ka(26-40GHz)	Middle	Middle	Middle
MMIC	Large	Small	~ EHF(>40GHz)	Low	High	Long

図 1-1 に、HMIC の応用例として 3264 サイズ(3.2×6.4mm)の電圧可変型減衰器の外観とその高周波特性を示した。デバイス構造としては、アルミナ基板上にマイクロストリップラインを形成し、0603 サイズ(0.6×0.3mm)の積層セラミックチップコンデンサおよび PIN ダイオード (P-intrinsic-N diode)を半田付けによって実装する。さらには、スパッタリングとフォトリソ工程によって組み込まれた薄膜抵抗とインダクタによってバイアス回路が形成されている。これらの高密度実装により、WiMAX 機器等に対応する幅広い周波数帯域(100MHz - 6GHz)での良好な高周波特性を実現することが出来る。そこで本論文では、このアルミナ基板上に高機能性誘電体薄膜を形成し、バイアス電圧によって各種高周波特性を可変するマイクロ波チューナブル素子の実現を検討する。

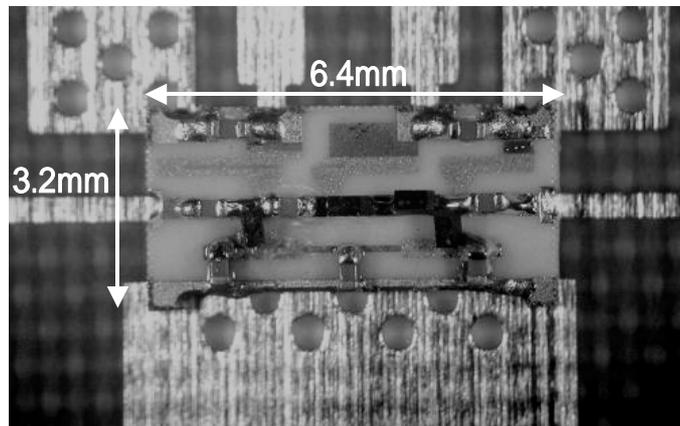


図 1-1 (a) 3264 サイズ電圧可変型減衰器 (HMIC の応用例)

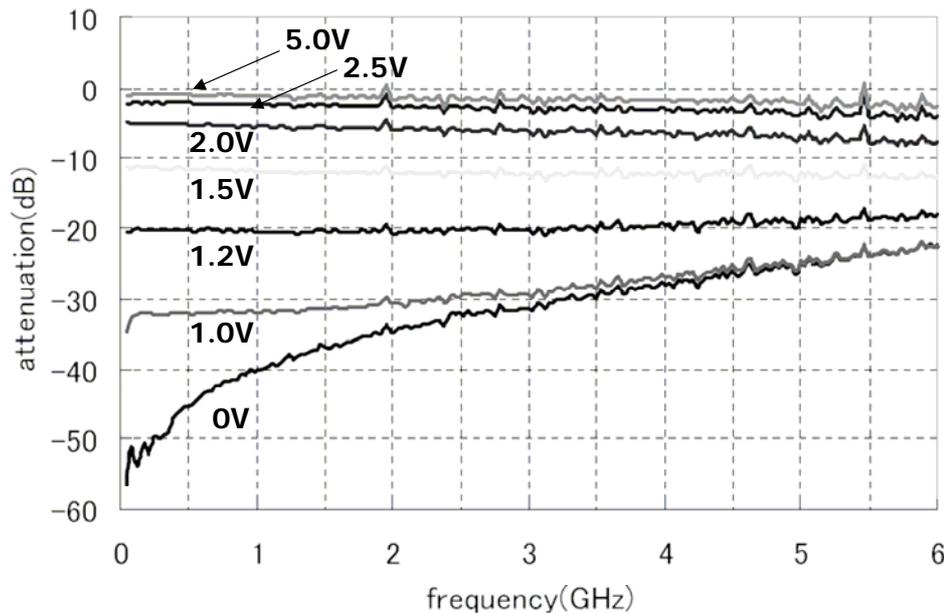


図 1-1 (b) 3264 サイズ電圧可変型減衰器の高周波特性

1.1.2 マイクロ波チューナブル素子の必要性

無線 LAN や UWB (Ultra Wide Band) などの新しい無線通信システムの発展に伴い、マイクロ波集積回路には小型化や高信頼性の他に、広帯域特性が要求される。広帯域化については、回路設計の工夫により帯域拡大が実現できるものの、S/N 比の低下や消費電力増大等のデメリットを伴うのが一般的であり限界がある。そのため回路は狭帯域のままであるが、必要に応じて帯域(の中心周波数)を随時移動させることで、実質的に広い帯域に対応するチューナブル回路を用いる解決方法が提案されている。チューナブル回路^[9]はマルチバンドフロントエンドシステムにおける部品数の削減、寸法の小型化にも効果があり、主な回路としては可変容量素子^[10]を用いたチューナブルフィルタやフェーズシフタ等が挙げられる。

チューナブルフィルタの基本となる共振器のチューニングについて説明すると、フィルタ共振器の共振周波数は構成される LC 素子の特性値によって定まる。そのためキャパシタまたはインダクタを可変素子としなければならないが、これは可変キャパシタを用いる方法が一般的である。従来から、可変キャパシタとして Si や GaAs 半導体のバラクタダイオードが用いられてきた。しかしながら、単結晶半導体材料の PN 接合を利用するため、セラミック基板上にモノリシックに形成できず、主にディスクリート部品で用いられることが多い。そのため高集積化に向いておらず高コストである。これに対し近年では、MEMS (Micro Electro Mechanical Systems) ^[11] を応用した RF-MEMS バラクタ^[12-16]の開発や BST(Ba_{1-x}Sr_xTiO₃)薄膜に代表されるペロブスカイト酸化物の非線形型誘電特性^[17-18]を応用したチューナブルキャパシタの検討が活発に進められている。表 1-2 に、これらの各種可変キャパシタにおける特性の比較をまとめた。各素子ともそれぞれの特徴を持ち、断定的に優劣を判断出来ないが、5GHz 以下の周波数帯では、当面、Si あるいは GaAs バラクタの優位性が続くと思われる。しかし、低コスト化、高集積化ならびに低駆動電圧化が要求される場合には、ガラス基板やセラミック基板、高抵抗 Si 基板などの安価な基板上に高集積で形成出来る BST 薄膜や RF-MEMS が主流になると考えられる。特に BST 薄膜の物性やデバイス応用については、長い間精力的に研究されて来た実績があり、RF-MEMS よりいち早く量産化出来る可能性を持っている。

表 1-2 マイクロ波集積回路の形態と特徴^[10, 18]

	GaAs	BST	MEMS
Tunability	High (75%)	Moderate (50-75%)	Low (<50%)
RF Loss	Moderate (Q<60)	Moderate (Q<100)	Good (Q<200)
Control Voltages	< 10V	< 5-30V	< 60V
Tuning Speed	Fast	Fast	Slow
Power Handling	Poor	Excellent	Excellent
Reliability	Excellent	Good	Poor
Packaging	Hermetic, flip, bump	Non-Hermetic, flip, bump	Hermetic, vacuum
Cost	High	Low	Low

1.1.3 BST 薄膜を用いたマイクロ波チューナブル素子の動向

強誘電体ならびに BST や SrTiO₃ に代表される高誘電率常誘電体を応用したチューナブル素子の開発^[19-20]は、1960 年代初頭から提案されていたが、当初はバルク形状での利用であったため、大きなバイアス電圧を必要とすることから積極的な実用化は行われなかった。その後、ペロブスカイト型強誘電体材料の薄膜形成技術^[21]が精力的に研究され、主に軍用途として BST または SrTiO₃ 薄膜と酸化物高温超電導体薄膜をマイクロストリップラインとして組み合わせたフェーズシフタやフェーズドアレー素子の開発^[22-23]がなされた。近年では、一般民生品への応用を目的として、室温付近にキュリー点を持ち、高い非線型誘電特性を示す BST 薄膜がキーマテリアルとして注目されている。

非線型誘電特性とは、BST 薄膜に DC バイアス電圧を印加したとき、その誘電率が減少することから、 $C-V$ (Capacitance – Voltage) 特性は図 1-2 の様な曲線を示す。この電圧印加時の静電容量の変化率($= (C_{max} - C_{min}) / C_{max} \times 100$)をチューナビリティ (Tunability) と定義し、低い電圧で大きなチューナビリティを制御出来ることがデバイス特性として重要となる。特に、BST 薄膜はマイクロ波・ミリ波帯においても誘電率の周波数分散が生じず、良好に非線形型誘電特性を機能させることが出来る。すでに、BST 薄膜を用いて提案された電圧制御発振器^[24]、チューナブルフィルタ^[25]、位相等のデバイス特性については、数多くの報告が成されており、実用化に向け活発な研究が進められている。

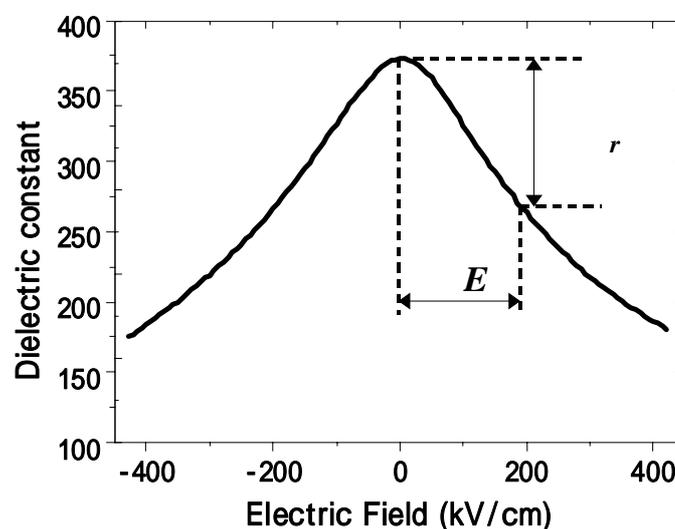


図 1-2 BST 薄膜の $C-V$ 特性

BST は常温において強誘電性を示す BaTiO₃ と低温において強誘電性を示す SrTiO₃ の固溶体である。図 1-3 に BST の結晶構造を示した。A サイトに Ba と Sr、B サイトに Ti を持ち、六つの酸素イオンによって八面体を構成したペロブスカイト型誘電体である。次に、図 1-4 に BST の相図、図 1-5 にキュリー温度の組成依存性をそれぞれ示す^[26]。これらの図から理解できるように、

BSTの結晶系、キュリー温度はBaとSrの組成比によって決まり、Baが多いほどキュリー温度は高くなる。また、 $x=0.7$ 以上の組成では、室温において正方晶となり強誘電性を示すが、それ以下の組成では室温において立方晶となり常誘電性を示す。マイクロ波帯で用いられるBST薄膜の組成は、低い $\tan \delta$ を有す $x=0.7$ 以下の常誘電体とするのが一般的である。

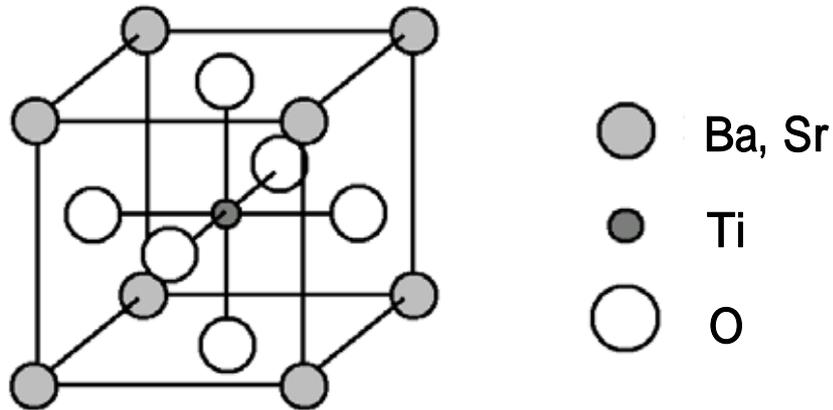


図 1-3 BSTの結晶構造

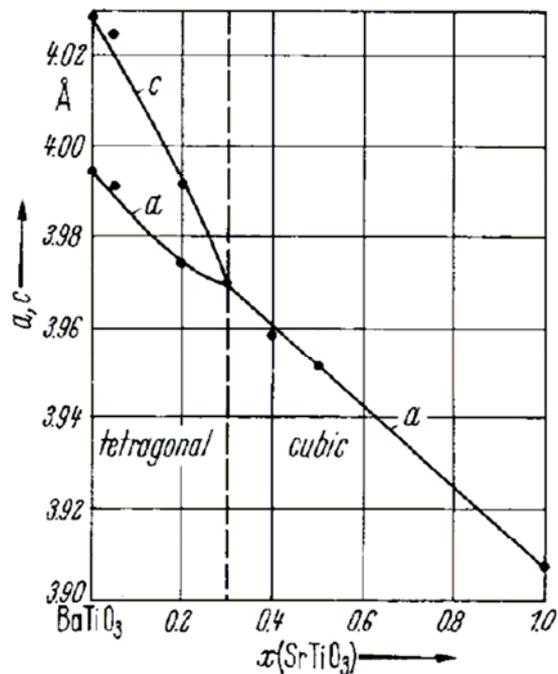


図 1-4 $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ の相図^[26]

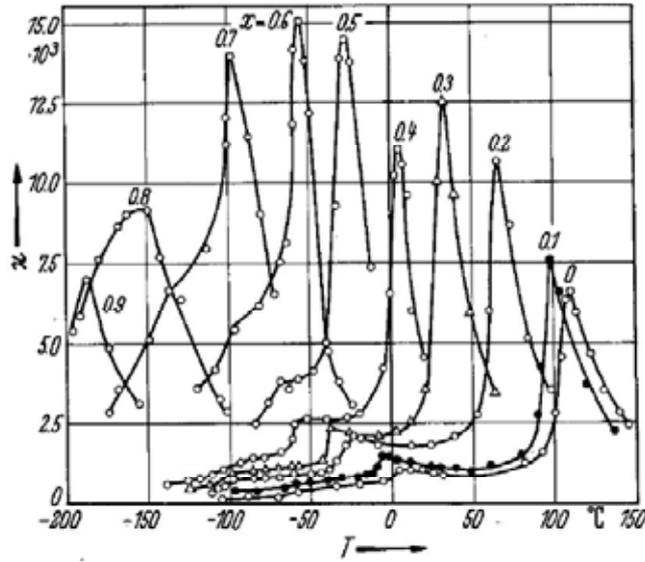


図 1-5 $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ のキュリー温度の温度依存性^[26]

以上の様に、BST 薄膜はその組成比によって、室温での誘電特性が顕著に変化する。一般的に、BST の誘電率はバルクにおいて 1000 以上を示すことが報告されている。しかし、BST を薄膜化した場合には、図 1-6 に示したように、その誘電率は数百程度まで低下してしまうことが問題となっている^[27]。この原因は、BST 薄膜の形成プロセスにおいて生成される酸素空孔や局部不均一性による結晶欠陥^[28]、下地基板および下部電極の影響^[29]による BST 薄膜の結晶性の変化、さらには電極界面近傍に形成される低誘電率層^[30]の影響など様々な要因が挙げられる。このことから、BST 薄膜を用いたマイクロ波チューナブル素子の実現には、高周波特性は勿論のこと、BST 薄膜の結晶欠陥を減らし、いかに高品質な薄膜形成プロセスを確立するかが課題となる。

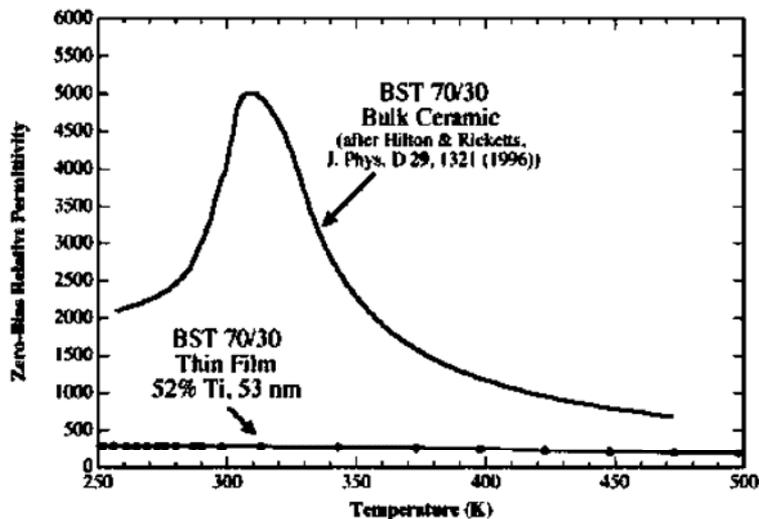


図 1-6 BST バルクと BST 薄膜における誘電率の比較^[27]

1.1.4 BST 薄膜を用いたチューナブルキャパシタの素子構造

BST 薄膜をチューナブルキャパシタとして用いる場合、図 1-7 に示したように、複数のペアとなる電極を交互に近接配置したインターディジタルキャパシタ、あるいは一般的な平行プレート型の MIM(Metal-Insulator-Metal)構造キャパシタを形成する方法がある。インターディジタルキャパシタ^[18, 31]については、下部電極を必要とせず素子構造が単純なため、作製プロセスが簡便であるが、BST 薄膜の他に空気と基板の結合による寄生容量が影響することから、実効的なチューナビリティを得ることが出来ず、制御電圧が 100V 程度と非常に大きくなるのが欠点である。一方、MIM 構造キャパシタについては、12V 程度の小さい電圧で大きなチューナビリティ(<50%)を発現することが特徴である。しかし、作製プロセスとして積層構造を持つことから、BST 薄膜の結晶化に必要な 500 ~ 700 の高温に耐えられる下部電極を選定しなければならない。この場合、高耐熱性で格子定数および熱膨張係数が BST とほぼ同等の特性を持つ Pt 電極が適当である。また、Pt の抵抗率は $9.59 \mu \cdot \text{cm}$ と比較的大きいので、マイクロ波帯で発生する導体損の影響を除去するため、さらに Au($=2.01 \mu \cdot \text{cm}$)や Cu($=1.55 \mu \cdot \text{cm}$)を Pt 電極上に積層させる方法も検討されている。特に、マイクロ波用キャパシタの容量値は数 pF 程度のものが必要となり、誘電率の高い BST 薄膜で、そのキャパシタを作製するには精度の良い微細加工技術が求められる。しかし、Pt は耐腐食性に優れ、通常のウェットエッチングにおいては熱王水が必要となり、工業的に危険な作業を伴うことが問題となる。そのため、リフトオフ法やドライエッチング等についても詳細な検討が必要となる。

BST 薄膜をマイクロ波チューナブル素子として使用する場合には、単体の MIM キャパシタを従来のバラクタダイオードと置き換える方法の他に、コプレーナ線路^[17, 32]やマイクロストリップライン等の導波路を応用する方法についても多くの提案があり、自由なデザイン設計を行える点有利になる。通常、キャパシタ素子の基板材料としては、高温での熱安定性と表面平滑性を兼ね揃え、将来的な複合機能デバイスの展開を視野に入れた時、大面積のものでも安価に作製出来る Si 基板が望ましい。しかし、マイクロ波帯以上の周波数で使用する場合には、Si 基板の導電性に起因する寄生成分および伝送損失が生じることに注意しなければならない。この場合、高抵抗 Si 基板($10^2 \sim 10^4 \text{ cm}$)が有効になると思われる^[33]。

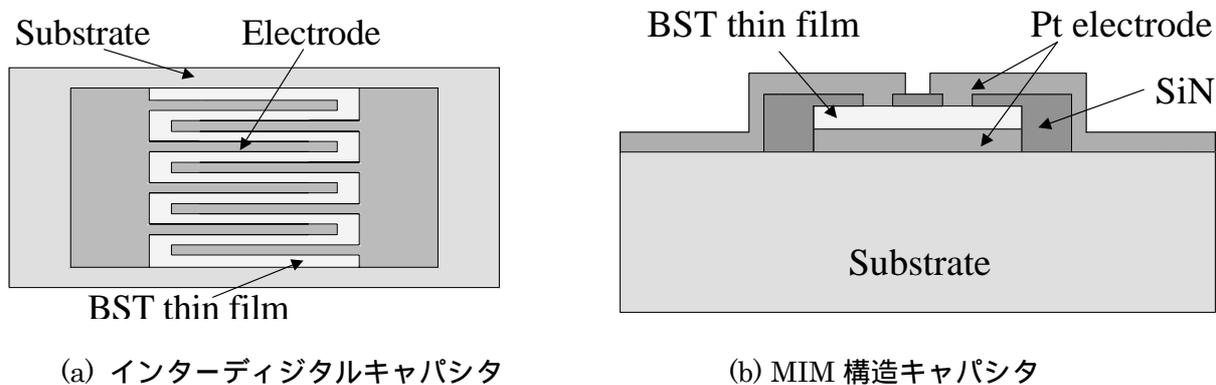


図 1-7 BST 薄膜キャパシタの素子構造^[18]

1.2 本研究の目的

これまで BST 薄膜キャパシタのマイクロ波チューナブル素子への応用については、多くの研究グループによって精力的に報告されてきたが、その内容としては試作したデバイスの高周波特性に終始しており、チューナブルキャパシタとして BST 薄膜に求められる絶縁性やその寿命（電気伝導特性および経時変化）、動作温度範囲（誘電特性における温度依存性の最適化）、さらには作製コストの検討など量産・製品化に直結するような報告はまだまだ少ない状況であった。一方で、チューナブル回路として応用される可変容量キャパシタについては、従来の Si および GaAs パラクタダイオードにおいても高 Q・高容量変化率を兼ね揃える素子が開発されている。さらに近年は、高 Q 特性を持つ RF-MEMS の研究開発が活発に進められている。そのため可変容量キャパシタの選定は、その生産コストとデバイス特性の優位性を判断し、各種アプリケーションによってそれぞれ棲み分けが図られるものと考えられる。その中で、BST 薄膜は小型化、高速化、低消費電力性が特徴であり、さらに安価なセラミックス基板上に高集積化が可能であることから、著しい生産コストの低下を実現でき、他の素子と差別化することが出来る。本研究ではこれらの BST 薄膜の長所を強調するため、非常に安価で高周波特性に優れたアルミナセラミックス基板上に高品質な BST 薄膜を形成させ、これまで十分な検討が成されていなかった BST 薄膜の誘電特性の温度依存性、さらには電気伝導特性を調べることによって、その絶縁性と寿命について評価し、マイクロ波チューナブル素子としてのデバイス動作保証を向上させることを目的とする。しかしながら、高品質な BST 薄膜を作製するために、MgO、SrTiO₃ やサファイア等の単結晶基板上に BST 薄膜をエピタキシャル成長^[34-35]させる方法が検討されている。実際にこれらの単結晶基板を用いて、デバイスへ応用する場合には、コスト的に大きく制限されてしまい、BST 薄膜の実用性が損なわれてしまう。従来から、マイクロ波デバイスを作製する上で実績のある基板としては、安価で高周波特性に優れたアルミナ基板が挙げられる。しかしながら、アルミナ基板は表面研磨を行ったとしても、その平坦性は十分に確保できず、さらに SiO₂ 等の絶縁層をコーティングし、表面粗さを改善させる工夫が必要となる。そのことから、アルミナ基板上に堆積した BST 薄膜の報告例は極めて少なく、未だ十分な知見は得られていない。さらに、アルミナ基板や Si 基板上に堆積させた多結晶 BST 薄膜の高周波特性については、未だ明らかになっていないところが多く、学術的にも大変興味がある。これらの基板上に高品質な BST 薄膜を形成することは実用化・量産化へ向けての大きな課題である。

BST 薄膜の作製法としては CSD (Chemical Solution Deposition) 法^[36-37]を選定した。特に、BST 薄膜はその組成比によって Cubic (常誘電相) または Tetragonal (強誘電相) と結晶構造が変化するため、室温での誘電特性にそれぞれ特徴が現れる。そのため、BST 薄膜をマイクロ波チューナブル素子へ応用するためには、その組成比を最適化する必要がある。この場合は再現性良く組成制御を行うことが出来、短期間で多くの試料を検討することが出来る CSD 法が有効となるためである。電極材料については、BST に近い格子定数を持ち、高温プロセスに耐えられる Pt を選定して、Pt/BST/Pt 構造の薄膜キャパシタを作製する。

マイクロ波チューナブル素子へ応用するために必要となる BST 薄膜の目標性能を表 1-3 に示した。本研究では、アルミナセラミック基板上に、これらの特性を満たす高品質な BST 薄膜を形成することを目的とする。さらに、薄膜キャパシタ構造の安定化と絶縁性の向上を行うため、BST 薄膜と電極の界面に注目し、電気的特性に及ぼす界面構造の影響を詳細に解析する。

表 1-3 BST 薄膜キャパシタの目標性能値

Tunability	>50% (Control voltage: 0 ~ 12V)
Dielectric loss	<0.02
Thickness	<300nm
Temperature dependence of dielectric constant	± 10% (Operating temperature range: -25 ~ +85)

1.3 本論文の構成

本論文は、以下に示す全 6 章の構成でまとめられている。

第 1 章「序論」では、モバイル機器を用いた高速大容量性のワイヤレス通信技術を支えるマイクロ波集積回路の動向を示すとともに、今後、マイクロ波素子に求められる広帯域特性およびチューナブル特性を兼ね揃えた BST 薄膜キャパシタの重要性について概説し、本研究の背景と目的を明確にした。

第 2 章「試料作製と評価方法」では、薄膜堆積用のセラミックス基板の選定、CSD 法による BST 薄膜の作製、並びにスパッタ法による電極薄膜の作製方法を説明し、その BST 薄膜キャパシタの結晶構造および電気的特性の評価方法について述べる。

第 3 章「BST 薄膜の結晶構造および電気的特性の評価」では、高品質かつ再現性の高い BST 薄膜キャパシタの作製条件を確立するために、各種熱処理条件で作製した BST 薄膜の結晶構造と電気的特性の因果関係について明らかにする。

第 4 章「BST 薄膜の誘電特性における温度依存性の改善」では、BST 薄膜の組成依存性について検討し、最適な組成比と熱処理温度を見出すことで、BST 薄膜における誘電特性の温度依存性を改善させる。その解析方法と検討結果について述べる。

第 5 章「BST 薄膜の電気伝導機構に及ぼす界面構造の影響」では、薄膜キャパシタ構造の安定化と絶縁性の向上を得るため、BST 薄膜と電極の界面に注目し、その電気伝導機構を明らかにする。特に界面構造の電気的特性と TEM-EDS 法による物理的評価の組み合わせにより、界面構造の欠陥が電気的特性に与える影響を明らかにする。

第 6 章「結論」では、本研究で得られた成果を総括し、今後の課題と展望を述べ、本論文の結論とする。

参考文献

- [1] 新田 隆夫, “移動通信を巡る最近の動向”, MWE2007 Microwave Workshop Digest, pp.3-11 (2007)
- [2] 坪内 和夫, “IT デバイスの技術戦略: ワイヤレス NGN の実現へ向けて”, MWE2007 Microwave Workshop Digest, pp.25 -28 (2007)
- [3] 岡崎 浩治, “次世代ワイヤレスブロードバンドへの期待”, MWE2007 Microwave Workshop Digest, pp.13-23 (2007)
- [4] 塩崎 忠 監修, “絶縁・誘電セラミックス”, 新材料シリーズ, シーエムシー, pp31-56 (1985)
- [5] 小西 良弘, “マイクロ波回路の基礎と応用”, 総合電子出版社 pp 306-314 (1992)
- [6] 小野 直子, “MMIC 設計の基礎”, MWE2007 Microwave Workshop Digest, pp.451-458 (2007)
- [7] 佐藤 富雄, “準ミリ波・ミリ波帯 MMIC の現状技術と今後の展望”, MWE2007 Microwave Workshop Digest, pp.75-80 (2007)
- [8] Y. Hasegawa, “MMIC の製品化・ビジネス入門”, MWE2007 Microwave Workshop Digest, pp.459-462 (2007)
- [9] Y. Yoshihara, H. Sugawara, H. Ito, K. Okada, and K. Masu, "Inductance-Tuned LC-VCO for Reconfigurable RF Circuit Design", IEICE Electronics Express, Vol.1, No.7, pp.156-159, (2004)
- [10] 西川敏夫, “強誘電体材料のマイクロ波, ミリ波応用”, 電子情報通信学会誌, Vol.87 No.7 pp.577-582 (2004)
- [11] N. setter, “Piezoelectric Materials in Devices”, Ceramics Laboratory, EPFL (2002)
- [12] 上田 正則, 上田 知史, “無線通信用 RF-MEMS デバイス”, FUJITSU.56, 4, pp.333-339 (2005)
- [13] 板谷 和彦, 川久保 隆, “RF-MEMS デバイス”, 東芝レビュー, Vol.61 No.2 pp.27-30 (2006)
- [14] 大和田 邦樹, “RF MEMS 技術の最新動向”, MWE2007 Microwave Workshop Digest, pp.257-262 (2007)
- [15] 西野 有, 吉田 幸久, 橘川 雄亮, 李 相錫, “RF MEMS スイッチを用いた可変回路”, MWE2007 Microwave Workshop Digest, pp.269-274 (2007)
- [16] 池橋 民雄, 小川 悦治, 山崎 宏明, 大黒 達也, “携帯端末向け RF MEMS 可変容量”, MWE2007 Microwave Workshop Digest, pp.275-280 (2007)
- [17] G. Bhakdisongkhram, “Study on the Frequency-Tunable $Ba_xSr_{1-x}TiO_3$ Films with Emphasis on Deposition Substrate Type and Demonstration of Frequency Conversion by a $Ba_xSr_{1-x}TiO_3$ Capacitor”, 奈良先端科学技術大学院大学博士学位論文 (2007)
- [18] Y. Liu, “MEMS and BST Technologies for Microwave Applications”, University of California (Santa Barbara), Ph.D thesis, (2002)

- [19] M. Cohn and A.F. Eikenberg, "Ferroelectric phase shifters for VHF and UHF", IEEE Trans. Microw. Theory Tech., pp.536-548 (1962)
- [20] J. F. Scott, "Ferroelectric Memories", Springer-Verlag, Heidelberg, Springer Series in Advanced Microelectronics Vol. 3, Chap. 13, p. 179. (2000)
- [21] 増田 陽一朗 他, "酸化物強誘電体薄膜の合成とその物性", マテリアルインテグレーション, Vol.12, No.7 (1999)
- [22] F. S. Barnes, J. Price, A. Hermann, Z. Zhang, H.-D. Wu, D. Galt, and A. Naziripour, "Some microwave applications of BaSrTiO₃ and high temperature superconductors", Integrated Ferroelectrics, 8, pp.171-184 (1995)
- [23] D. Galt and J. C. Price, "Characterization of a tunable thin film microwave YBa₂Cu₃O_{7-x}/SrTiO₃ coplanar capacitor", Appl. Phys. Lett., Vol. 63, pp.3078 (1993)
- [24] A.Jamil, T. S. Kalkur, and N. Cramer, "Tunable Ferroelectric Capacitor-Based Voltage-Controlled Oscillator", IEEE Trans. Ultrason. Ferroelectr. Freq. Control 54 pp.222 (2007)
- [25] J. Nath, D. Ghosh, J-P. Maria, A. I. Kingon, W. Fathelbab, P. D. Franzon, and M. B. Steer, "An Electronically Tunable Microstrip Bandpass Filter Using Thin-Film Barium-Strontium-Titanate", IEEE Trans. Microwave Theory Tech. 53 pp. 2707 (2005)
- [26] D. F. Rushman and M. A. Strivens, "The Permittivity of Polycrystals of the Perovskite Type", Trans. Faraday Soc., 42, pp. 231-238 (1946)
- [27] R. A. York, A. S. Nagra, T. Taylor, and J. S. Speck, "Thin-Film Phase Shifters for Low-Cost Phased Arrays", URSI Conference, (2000)
- [28] Y. Shimada, A. Inoue, T. Nasu, K. Arita, Y. Nagano, A. Matsuda, Y. Uemoto, E. Fujii, M. Azuma, Y. Oishi, S. Hayashi, and T. Otsuki, "Temperature-Dependent Current-Voltage Characteristics of Fully Processed Ba_{0.7}Sr_{0.3}TiO₃ Capacitors Integrated in a Silicon Device", Jpn. J. Appl. Phys. 35 pp. 140-143 (1996)
- [29] T. R. Taylor, P. J. Hansen, B. Acikel, N. Pervez, R. A. York, S. K. Streiffer, and J. S. Speck "Impact of thermal strain on the dielectric constant of sputtered barium strontium titanate thin films", Appl. Phys. Lett. 80, pp.1978 (2002)
- [30] B. Chen, H. Yang, J. Miao L. Zhao, L. X. Cao, B. Xu, X. G. Qiu, and B. R. Zhao, "Leakage current of Pt/(Ba_{0.7}Sr_{0.3})TiO₃ interface with dead layer", Journal of Applied Physics 97 pp.024106 (2005)
- [31] Y.-K. Yoon, J. S. Kenney, A. T. Hunt, and M. G. Allen "Low-loss microelectrodes fabricated using reverse-side exposure for a tunable ferroelectric capacitor application", J. Micromech. Microeng. 16 pp. 225-234 (2006)
- [32] H.-C. Ryu, S.-E. Moon, Y.-T. Kim, M.-H. Kwak, S.-J. Lee, K.-Y. Kang, and S.-O. Park " An

Active Module Using a Ferroelectric CPW Phase Shifter for a Ku-Band APAA System”, J. Korean Phys. Soc. 48 pp.1637-1641 (2006)

[33] 鈴木 利昌, 岩崎 誉志紀, 森戸健太郎, 岸 弘志, “マイクロ波・ミリ波デバイス用強誘電体薄膜材料の開発”, 第 91 回誘電体研究委員会講演資料 XVI-91-413 (2005)

[34] S. Hyun, J. H. Lee, S. S. Kim, K. Char, S. J. Park, J. Sok, and H. E. Lee, “Anisotropic tuning behavior in epitaxial $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ thin films”, Appl. Phys. Lett. 77 pp.3084 (2000)

[35] G. Bhakdisongkham, Y. Yamashita, T. Nishida, and T. Shiosaki, “Dependence of Microwave Properties of $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ Thin Films on Substrate”, Jpn. J. Appl. Phys., 44 pp.7098-7102. (2005)

[36] 鈴木久男, “ソル・ゲル法による強誘電体薄膜の作製と評価”, セラミックス誌 37 No.3 pp.152-160 (2002)

[37] 谷俊彦, “溶液から合成する強誘電体薄膜”, 豊田中央研究所 R & D レビュー Vol. 29 No. 4 pp.1-12 (1994)

第2章 BST 薄膜キャパシタの作製とその評価方法

2.1 緒言

本章では BST 薄膜キャパシタの作製とその結晶構造および電気的特性の評価方法について述べる。今日まで強誘電体や高誘電率誘電体に代表される $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ (PZT)および BST 薄膜などにおける成膜プロセス⁽¹⁻⁴⁾、性能評価技術ならびに微細加工技術⁽⁵⁻⁶⁾は大容量・高集積化を必要とする DRAM(Dynamic Random Access Memory) や不揮発性強誘電体メモリ (FeRAM: Ferroelectric Random Access Memory)⁽⁷⁻¹⁰⁾の開発に伴って着実に進展している。そのことはメモリ容量増大、さらにはデザインルールやセル面積の縮小に伴って、今なお、数多くの研究グループによって活発な開発が進められている。特に、メモリ応用を目的としたデバイス構造については、半導体プロセスとの親和性を考慮して、Pt/TiO₂/SiO₂/Si 基板上に堆積した強誘電体・誘電体薄膜キャパシタに関する報告が多いが、本章では、マイクロ波帯で生じる Si 基板の導電性に起因する寄生成分および伝送損失を回避するため、低損失性に優れるアルミナセラミック基板を用いることを検討する。まず、薄膜キャパシタを良好に形成することの出来る平滑性の良好なアルミナ基板の選定を行う。成膜法としては、強誘電体および誘電体材料の薄膜合成技術として、多くの研究報告が成されてきた CSD 法を用いる。CSD 法の形成プロセス⁽¹¹⁻¹³⁾については、まず誘電体材料の前駆体溶液を基板上に塗布してゲル状の膜を得る。この膜を所定の温度で乾燥、熱分解した後に、高温で熱処理し結晶化させることにより目的の薄膜を得る。この CSD 法の特徴は以下の長所を持つ。

- 1)多成分系でも組成制御を再現性よく合成できる。
- 2)低温合成が可能であり、新材料の合成に応用できる。
- 3)大面積の膜が得られる。
- 4)工業的に低コストである。
- 5)真空系を用いないので工程が簡便である

しかしながら、スパッタ法と比較して誘電体薄膜の配向制御が難しいことが問題となり、さらに作製プロセス中に組成分布に起因する結晶欠陥も生じやすいが、本研究では各組成比の BST 薄膜を短時間で再現性良く作製するのに適しているため、この CSD 法を選定した。今後、本研究で得られた最適な組成比・熱処理条件を反映して、スパッタ法を用いて BST 薄膜を形成することも検討する。

2.2 アルミナ基板の選定

従来から、アルミナセラミックは高い機械的強度と電気絶縁性を持ち、各種電子部品の基板材料として用いられてきた。特に、その優れた高周波特性はマイクロ波素子の基板としても実績がある。本研究では、このアルミナ基板上に高品質な BST 薄膜を形成することを一つの目標として掲げているが、実際のアルミナ基板は表面粗さが大きく、膜厚が $1\mu\text{m}$ 以下の薄膜を形成することは非常に困難である。図 2-1 に各種アルミナ基板(京セラ製)の表面モフォロジーの SEM(Scanning Electron Microscope)観察結果を示す。96%アルミナおよび 99.5%アルミナ基板はその表面粗さが大きいいため、主に厚膜回路基板として用いられ、導体ペースト、抵抗ペーストならびに誘電体ペースト等をスクリーン印刷によって成膜・パターニングが行なわれる。アルミナ基板上にスクリーン印刷によって形成された BST 厚膜⁽¹⁴⁻¹⁵⁾の諸特性についても報告されているが、低電圧駆動を目的とするデバイスには厚膜の応用は難しく、やはり 300nm 以下の薄膜が必要となる。しかし、これらのアルミナ基板上に誘電体薄膜キャパシタを形成すると、その表面粗さのためにキャパシタは短絡してしまう問題がある。薄膜回路用のアルミナ基板としては表面研磨⁽¹⁶⁾を施したのやグレードアルミナ基板が一般的に用いられる。

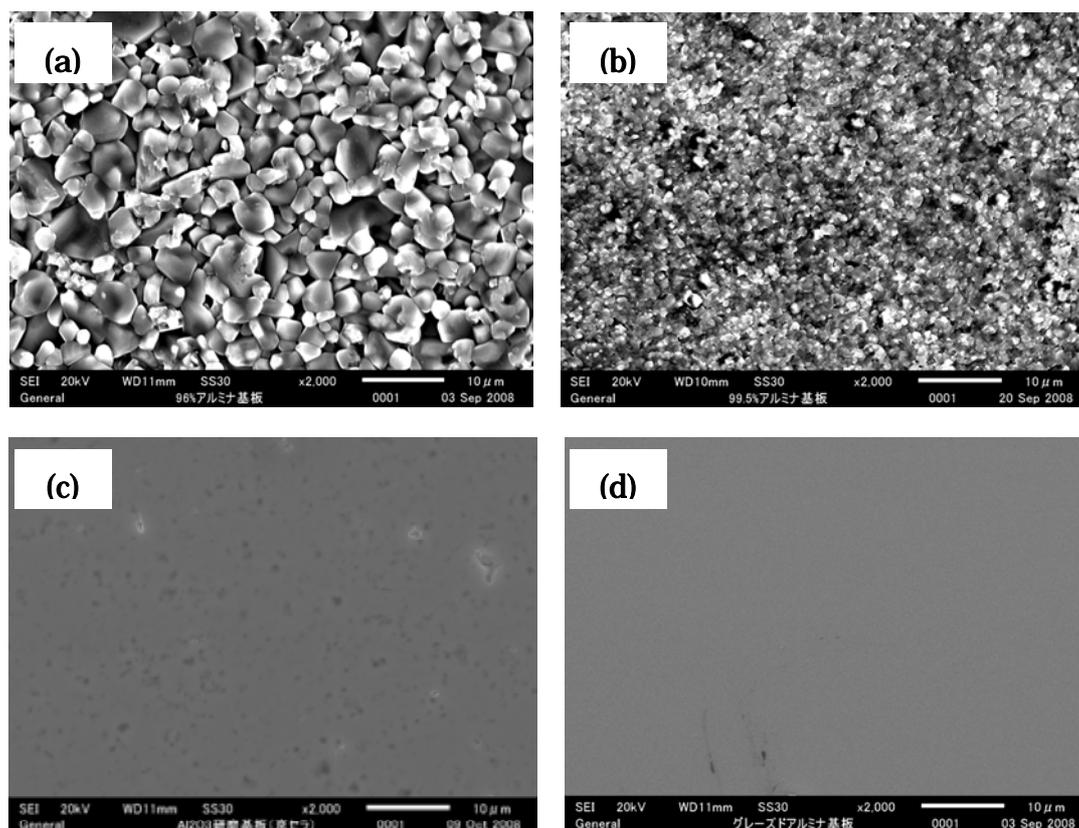


図 2-1 各種アルミナ基板の表面状態

(a) 96%アルミナ基板, (b) 99.5%アルミナ基板, (c)99.6%アルミナ研磨基板および
(d)グレードアルミナ基板の表面状態

図 2-2 にグレーズドアルミナ基板(京セラ製)の断面構造を示す。この基板は 96%アルミナ基板上にグレーズ加工を施すことによって平坦性を改善した基板である。このことによって、大面積に高密度のパターニングをフォトリソグラフィー法によって施すことが可能となる。表 2-1 にグレーズドアルミナ基板の諸特性を示す。このグレーズ層(50 μm 厚)の熱伝導率は $0.754\text{W/m}\cdot\text{K}$ と小さいため、これを蓄熱層として利用できる。一般的なデバイスの応用例としてはファクシミリやプリンタ用サーマルヘッドプリント基板として用いられている。これはグレーズド基板上に抵抗体薄膜を形成し、それを発熱させることによって感熱紙やインクリボンに印画を行う方式である。

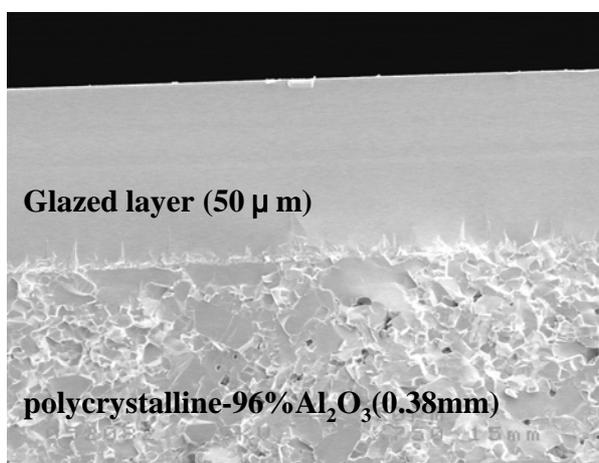


図 2-2 グレーズドアルミナ基板の断面構造

表 2-1 グレーズドアルミナ基板の諸特性⁽¹⁷⁾

	Glazed layer	96% Alumina substrate
Glass Transition Temperature	685	-
Glass Softening Temperature	870	-
Coefficients of Linear Expansion	$6.8 \times 10^{-6}/$	$7.2 \times 10^{-6}/$
Thermal Conductivity	$0.754\text{W/m}\cdot\text{K}$	$24\text{W/m}\cdot\text{K}$
Volume Resistivity	$>10^{14} \cdot\text{cm}$	$>10^{14} \cdot\text{cm}$
Dielectric Constant	8.7 (1MHz)	9.4 (1MHz)
Dielectric Loss	10×10^{-4} (1MHz)	4×10^{-4} (1MHz)
Surface Roughness	$<0.02 \mu\text{m}$	$0.2-0.8 \mu\text{m}$

さらに、図 2-3 にグレーズドアルミナ基板の蓄熱層を応用したデバイスとしてサーモパイルの素子構造を示す。サーモパイルは Cu と Ni 薄膜で構成する熱電対から形成されており、その複数の熱電対は SiN 絶縁層で隔てられ、すべて直列に接続されている。このような多層構造を伴った 50 μm 幅のファインパターンでも容易に加工することが可能であり、信頼性の高い薄膜回路基板として実用化されている。

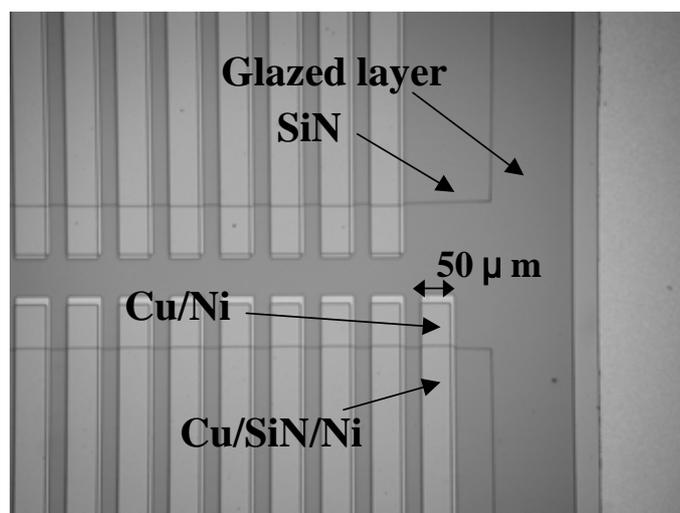


図 2-3 グレーズドアルミナ基板を用いて作製したサーモパイルの素子構造

また、表 2-1 で示した様にグレーズドアルミナ基板の絶縁抵抗および誘電損失は極めて良好であり、マイクロ波回路基板としても利用することが可能である。さらに、この基板の熱膨張係数は BST 薄膜(約 8.0×10^{-6}) および Pt 電極(約 9.1×10^{-6}) と近い値を持つことから、本研究において Pt/BST/Pt 薄膜キャパシタ構造を作製する際に、内部応力の小さい MIM キャパシタを実現することができる。これに対し、Si 基板(2.6×10^{-6}) を用いた場合は Pt 電極との熱膨張係数の差が大きいため、Pt 電極上にヒロック^(3, 18)が形成され、その絶縁性と信頼性を著しく低下させてしまう問題がある。

しかしながら、グレーズドアルミナ基板上に BST 薄膜を形成する際に問題となる点がある。それはグレーズ層のガラス転移温度が 675 であるため、700 以上の BST 薄膜の結晶化アニールを行う際に、グレーズ層を構成するガラス成分の染み出しが下部電極との界面状態を悪化させるのではないかと懸念され、作製工程上の熱処理条件には十分な注意が必要となる。またこのグレーズドアルミナ基板上に、600-800 の結晶化温度を必要とする誘電体薄膜の作製実績は報告されていない。そのことから予め上記のガラス成分析出の影響を解析しておく必要がある。

本研究ではグレードアルミナ基板を京セラ製と A 社製のもの 2 種類を用意した。A 社の基板は 10 μm 厚のグレーズ層が形成されている。このグレーズ層表面を SEM で観察すると、図 2-1(d) の様に平坦性は良好であるが、目視にて広い範囲を観察すると一部に細かい窪みが確認された。

まず、この2種類の基板におけるグレーズ層の組成分析をEDS(Energy Dispersive X-ray Spectrometer)によって評価した。図2-4にそれらの分析結果を示す。各社の基板を比較した結果、グレーズ層のガラス成分に組成の違いが見られた。A社製の基板におけるガラスの主成分は SiO_2 の他、 Na_2O 、 K_2O などのアルカリ成分、さらには PbO も存在した。このようなアルカリ成分の存在はガラスの加工性を高める働きをする一方で、ガラス上に形成した半導体などをアルカリ成分の析出によって劣化させてしまう可能性が指摘されている。また京セラ製の基板については、 SiO_2 、 CaO 、 BaO など一般的な無アルカリガラスの組成成分が観察されたことから、これは電気的信頼性が高い品質であると思われる。

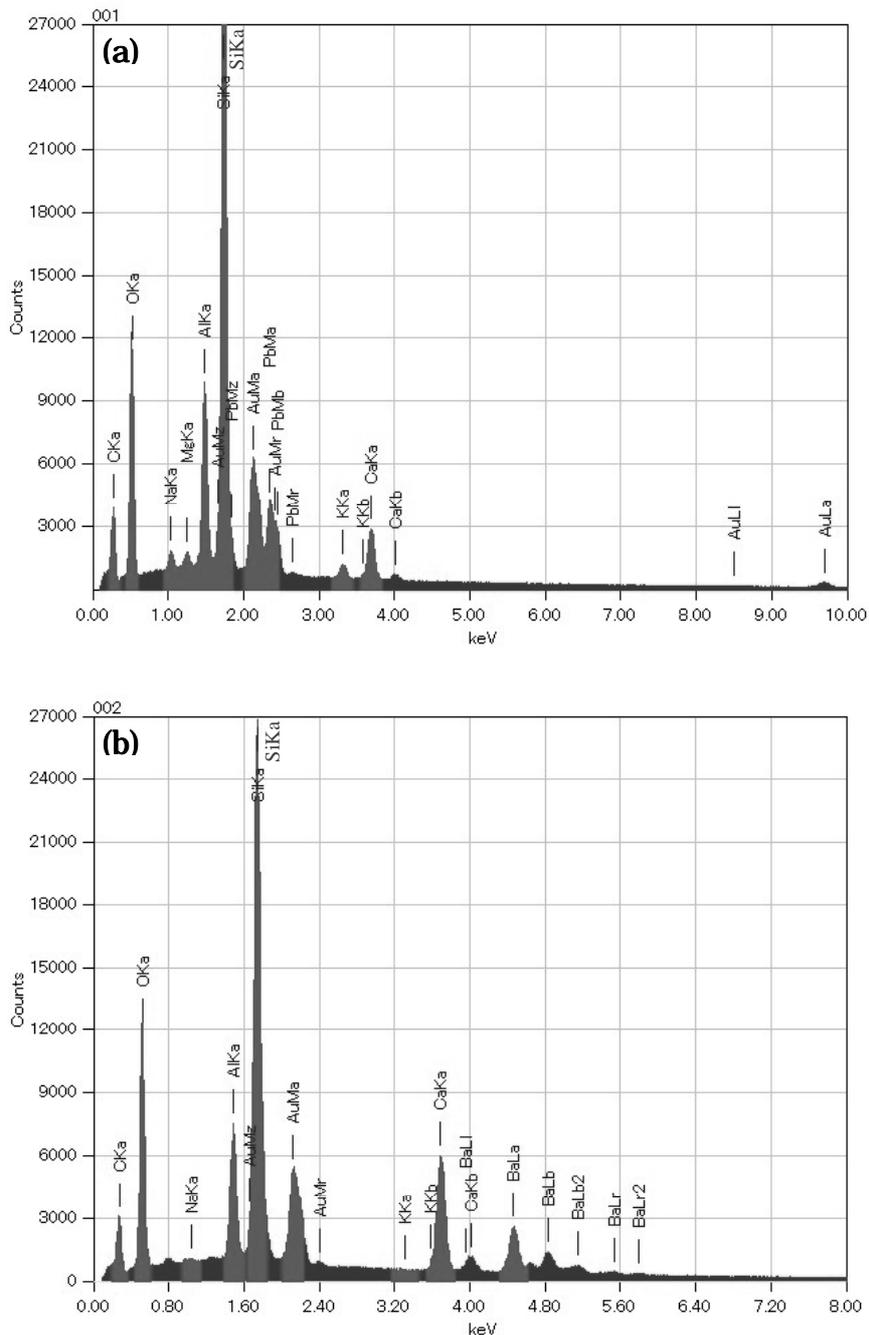


図2-4 (a) A社製および(b)京セラ製のグレーズドアルミナ基板の組成分析結果

これらの組成分析から京セラ製のグレーズドアルミナ基板を用いれば、ガラス成分析出の影響を防ぐことができると思われる。次に、実際にこのグレーズドアルミナ基板上に Pt 下部電極(膜厚 100nm)を堆積させ、Pt 表面にグレーズ層を構成するガラス成分の析出が生じていないか XPS (X-ray Photoelectron Spectrometer)を用いて Pt 表面の化学結合状態⁽¹⁹⁻²⁰⁾を分析した。図 2-5 に Pt/グレーズドアルミナ基板の as-depo 試料ならびにそれを酸素雰囲気中で熱処理(800 /30 分)した試料の Pt 4f_{7/2} スペクトルをそれぞれ示す。その結果として、熱処理前後のピークは僅か 0.5eV 程度であるが高結合エネルギー側にシフトする傾向が見られた。しかし、これは長時間の高温熱処理によって僅かに PtO(72.2eV)が形成された結果と示唆され、ガラス成分の析出による異常は生じていないと思われる。さらに、A 社製の基板で同様の解析を行った結果、Pt 表面にガラス成分である Pb の存在が確認されたことから、本研究で用いる標準基板としては適さないことが分かった⁽²¹⁾。

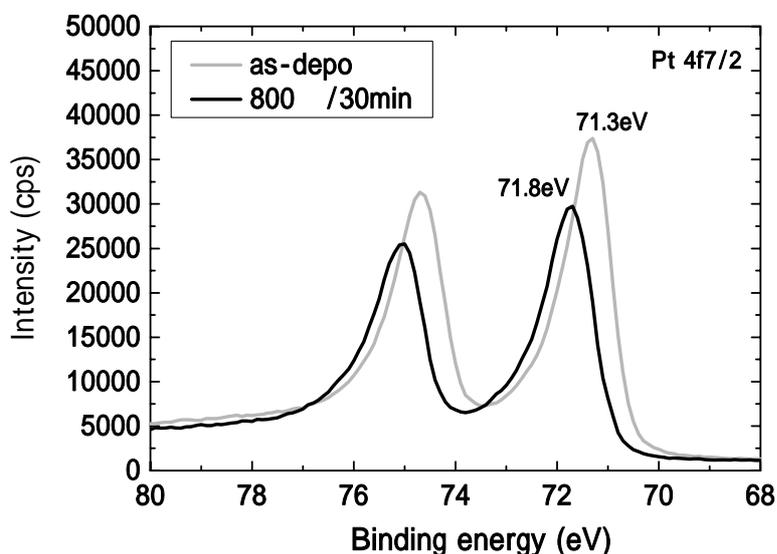


図 2-5 XPS による Pt/グレーズドアルミナ基板における熱処理前後の Pt 4f_{7/2} スペクトルの分析結果

また薄膜回路基板としては研磨基板も有効である。しかしながら、アルミナ基板の研磨コストは高額であり、量産化するときには大幅なコスト削減には繋がらないと思われる。さらに、表面研磨を行ったとしても、その平坦性は十分に確保出来ないため、図 2-6 に示すように、BST 薄膜内に数 μm 程のピンホールが無数に発生し、膜厚 300nm 以下の誘電体薄膜キャパシタはすべて短絡してしまう。このことから、アルミナのグレイン間の凹凸を SiO₂ 等の絶縁層でコーティングすることによって、さらに平坦性を改善しなければ、薄膜キャパシタを形成することは出来ない。これと比較して、グレーズドアルミナ基板のコストは研磨基板の約 1/10 倍であり、表面欠陥が少なく平坦性に優れており、図 2-7 に示すようにピンホールの無い良好な薄膜キャパシタを作製することが可能となる。

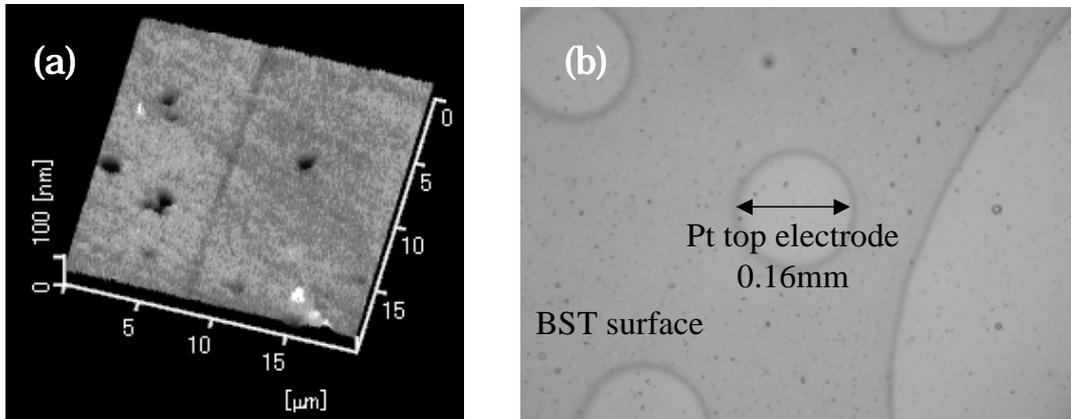


図 2-6 99.5%アルミナ研磨基板上的 BST 薄膜の表面観察

(a)AFM による BST 薄膜の表面観察 (b)実態顕微鏡による BST 薄膜キャパシタの表面観察

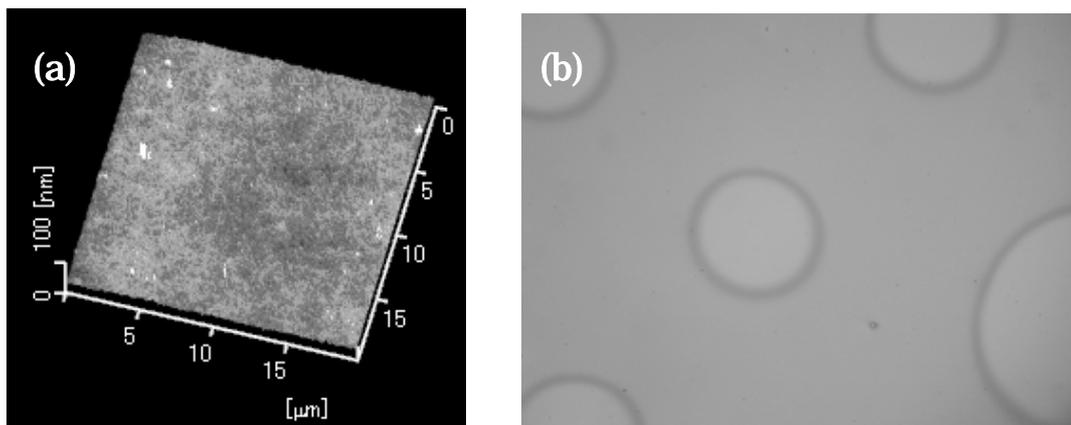


図 2-7 グレーズド基板上的 BST 薄膜の表面観察

(a)AFM による BST 薄膜の表面観察 (b)実態顕微鏡による BST 薄膜キャパシタの表面観察

2.3 BST 薄膜キャパシタの作製方法

2.3.1 スパッタリング法による下部電極の作製

Pt 下部電極の作製は RF スパッタ装置 (SPF-210A, ANELVA) を用いて各種基板上に堆積した。スパッタ前には、IPA (イソプロピルアルコール) にて基板の超音波洗浄を 5 分、その後、IPA 蒸気洗浄を 5 分それぞれ行った。図 2-8 に 96% アルミナ基板およびグレーズドアルミナ基板に堆積した Pt 電極の XRD (X-ray diffraction) 特性を示す。96% アルミナ基板上の Pt 電極は (111) および (200) のピークが観測されたが、そのピーク強度は極めて弱く、良い結晶性は得られなかった。一方、グレーズドアルミナ基板については、50 μm 厚のグレーズ層の影響で、下地基板のアルミナのピークは観測されなかった。Pt 電極については、(111) 方向に優先配向を伴った極めて良好な結晶性が得られた。BST 薄膜の結晶構造は下地の電極および基板の状態に影響されることから、Pt 堆積条件の最適化を行う必要がある。

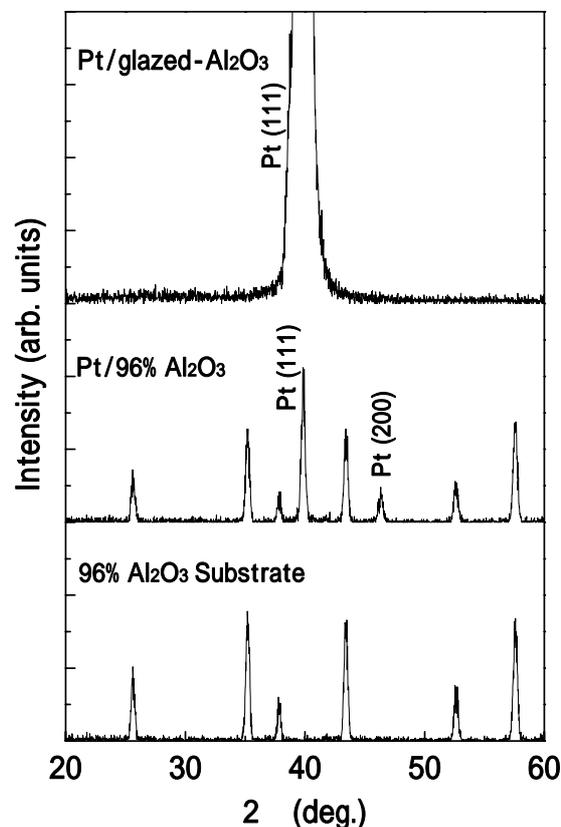


図 2-8 96%アルミナ基板およびグレーズドアルミナ基板に堆積した Pt 電極の XRD 特性

Pt 電極の堆積条件においては、特に基板温度に注目し、各温度 (400 ~ 600) における Pt 電極の結晶構造の変化を確認した。図 2-9 に、各基板温度において堆積した Pt 電極の表面モフォロジーを AFM で観察した結果を示す。図 2-10 にはそれらに対応した XRD 特性をそれぞれ示す。基板温度の上昇に伴って Pt のグレインサイズは増大する傾向を示した。しかし、基板温度が 600 以上の場合はグレイン形状に乱れが生じ表面粗さが増大した。XRD 特性からは各基板温度においても (111) 方向に優先的に成長していることが分かった。

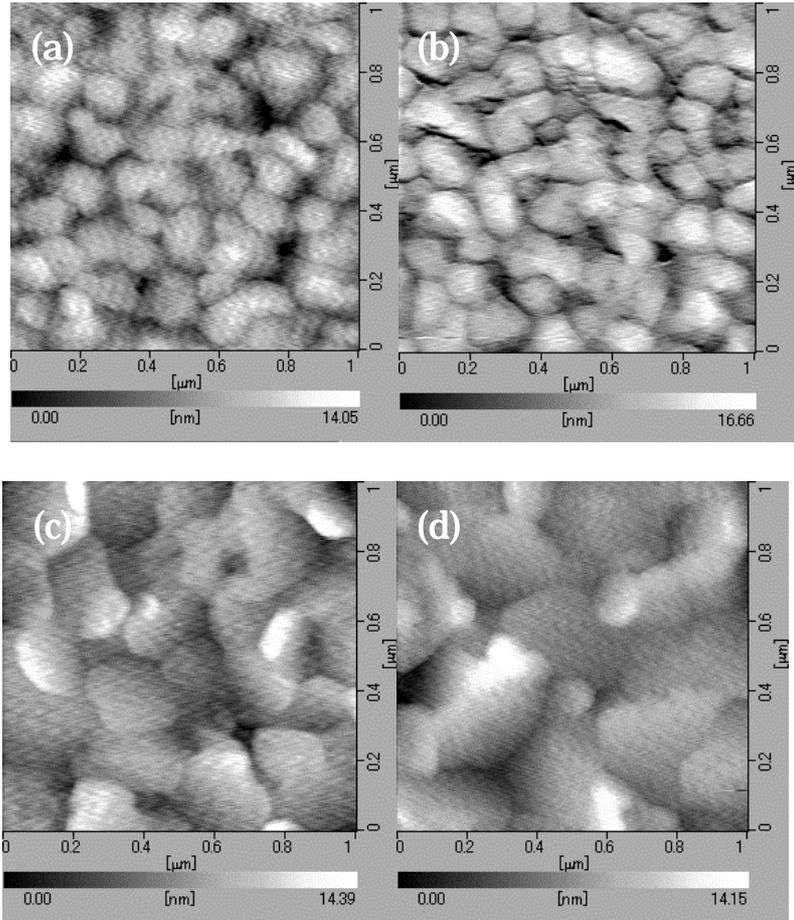


図 2-9 各基板温度において堆積した Pt 電極の表面モフォロジー
 (a)400 , (b)450 , (c)500 , (d)550 の AFM 観察結果

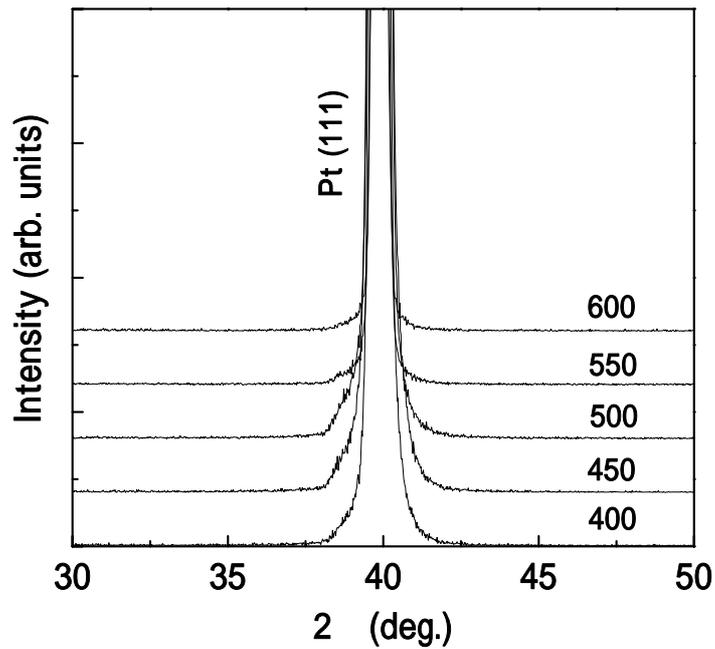


図 2-10 各基板温度において堆積した Pt 電極の XRD 特性

Pt のグレインサイズが小さい場合は粒界が多数存在するため、下地基板のガラス成分析出の影響を受けやすくなることから、基板温度は 500 を標準とした。

これらの検討より、本研究で使用する Pt 下部電極の標準作製条件は表 2-2 で示す通りとした。

表 2-2 Pt 下部電極の堆積条件

Target	Pt
RF power	30W
Working pressure (Ar)	1.5Pa
Deposition time	10min
Thickness	200nm
Substrate temperature	500

2.3.2 CSD 法による BST 薄膜の作製

BST 薄膜の作製は、溶液を基板上に滴下し、高速回転させることによって均一な薄膜を作製するスピコート法を用いた。本研究で用いる BST 前駆体溶液は三菱マテリアル製の Ba/Sr/Ti=50/50/100, 60/40/100, 70/30/100, 80/20/100, 各 7wt% の 4 種類の組成比における前駆体溶液を検討した。一般的にマイクロ波チューナブル素子として研究されている組成比は Ba/Sr 比が 50/50 および 60/40 の常誘電体となる。そのことから本研究でも、主に BST(60/40)を取り上げて詳細に解析する。

図 2-11 に CSD 法による BST 薄膜キャパシタの作製プロセスを示す。まず、Pt 下部電極/グレースドアルミナ基板の上に BST 前駆体溶液をスピコートによって、500rpm/5 秒 + 4500rpm/20 秒の条件で基板に塗布し、ホットプレート上で乾燥(150 /3 分)および熱分解(350 /5 分)を連続的に行った。続いて急速熱処理装置(RTA: Rapid Thermal Annealing)により酸素雰囲気中で結晶化アニール(600-800 /5 分)を施した。各種熱処理条件を選定するために、前駆体溶液の熱分解や重量変化を TG-DTA 分析結果によって事前に確認した。しかし、結晶化アニールの熱処理温度は BST 薄膜の諸特性に大きく影響を及ぼすため、それぞれ 600, 700, 800 と熱処理条件を変化させて作製した。この工程を繰り返し、膜厚 140 ~ 280nm の BST 薄膜を作製した。1 回の塗布工程で得られる膜厚は約 70nm である。

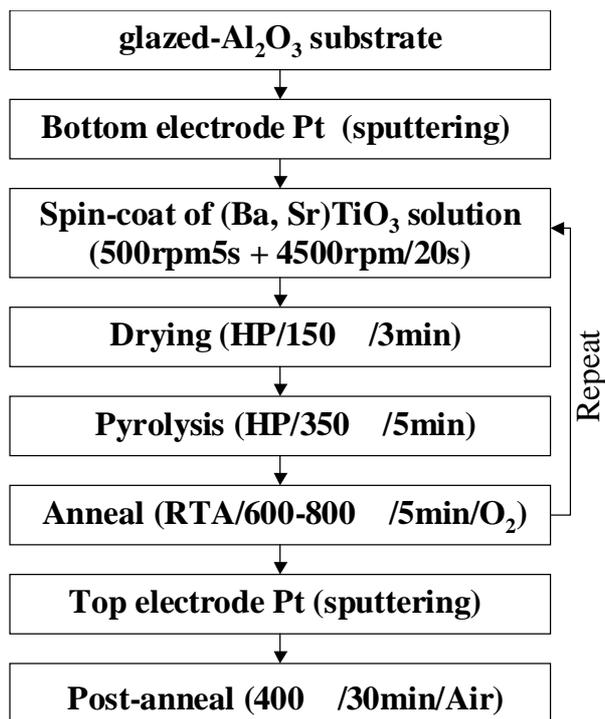


図 2-11 CSD 法による BST 薄膜の作製プロセス

2.3.3 スパッタリング法による上部電極の作製

上部電極は Pt または Au を RF スパッタ装置によって、BST 薄膜上にメタルシャドーマスクを用いて堆積した。それらのスパッタ条件は表 2-3 に示した。電極面積は直径 0.27mm または 0.15mm である。上記一連の工程を経て、MIM キャパシタを作製する。

また、後述するが上部電極の堆積後にポストアニールを施すことによって、電極と BST 薄膜の密着性を改善出来ることを明らかにした。その時の、ポストアニール条件は 400 /30 分であり、ホットプレートを用いて空气中で熱処理を行った。

表 2-3 各種上部電極の堆積条件

Target	Pt, Au
RF power	30W
Working pressure (Ar)	0.9Pa
Deposition time	4min
Thickness	150nm
Substrate temperature	R.T

2.4 BST 薄膜キャパシタの結晶構造の評価方法

BST 薄膜の結晶構造は X 線回折装置(XRD: X'Pert-MRD, Philips)によって分析し、その結晶構造および格子定数の算出は ASTM(American Society for Testing and Materials)カードによって同定した。BST 薄膜および Pt 電極薄膜の表面観察は電界放射型走査電子顕微鏡(FE-SEM: JSM-6301F, JEOL)を用いて行った。また、セラミック基板など低倍率における簡易的な観察と EDS 分析には走査電子顕微鏡(SEM: JSM-6510A, JEOL)を用いた。各種薄膜の膜厚の確認は主に FE-SEM による断面観察で行った。さらに、BST 薄膜のグレインサイズおよび表面粗さ Ra の測定には、原子間力顕微鏡 (AFM: Atomic Force Microscope, SPI3800N/SPA400, Seiko Instruments)を用いて観察した。Pt 電極表面の化学的結合状態については X 線光電子分光法 (XPS: KRATOS AXIS-165, 島津)を用いて解析した。BST 薄膜キャパシタの断面構造の観察および EDS 分析については、透過電子顕微鏡 (TEM: Transmission Electron Microscope, JEM-3100FEF, JEOL)を用いて行った。

2.5 BST 薄膜キャパシタの電気的特性の評価方法

誘電特性およびリーク特性などの一般的な電気的特性の評価方法については、図 2-12 に示したように測定プローブを下部および上部電極に接触させて測定を行った。計測する上で電極とプローブの接触抵抗の影響を考慮して、定期的にプローブの先端を研磨して計測を行った。

誘電特性の解析にはプレジジョン LCR メータ(4284A, Agilent) およびインピーダンスアナライザ(4191A, Agilent)を用いた。これらによって静電容量 C および $\tan \delta$ を測定し、式(2-1)から誘電率を算出した。

$$C = \epsilon_r \epsilon_0 \frac{S}{d}, \quad (2-1)$$

ここで C :静電容量, ϵ_r :比誘電率, ϵ_0 :真空の誘電率(8.854×10^{-12} F/m), d :膜厚, S :上部電極の面積をそれぞれ表す。 C - V (Capacitance-Voltage)特性における容量変化比は式(2-2)によって算出し、これをチューナビリティと定義する。

$$Tunability(\%) = \frac{r(E=0) - r(E=\max)}{r(E=0)}, \quad (2-2)$$

ここで、 $r(E=0)$:無電界(0kV/cm)の比誘電率, $r(E=\max)$:所定の電界印加時の比誘電率を表す。

J - E (Leakage current density-Electric field)特性の測定はデジタル超高抵抗 / 微小電流計 (R8340A, Advantest)を用いて測定を行った。標準測定条件はステップ電圧 0.1V, ステップ時間 20 秒とした。特に J - E 特性は試料によって測定条件を詳細に設定しなければ、緩和電流または TDDB(Time Dependent Dielectric Breakdown)の影響を受け、真のリーク電流密度を測定するこ

とが困難になる。この点に関しては第5章において説明する。

各種電気的特性の温度依存性については、-60 から 180 までの温度範囲で測定を行った。室温から 180 までの高温側はセラミックヒーターにて試料を加熱した。低温側については低温槽内にプローバを設置して測定を行った。その際の温度は、デジタルマルチサーモメータ (TR2114, ADVANTEST) によって、試料表面の温度を測定した。また、誘電特性およびリーク特性の DC バイアス印加極性は図 2-13(a) に示した方向を順方向とし、(b) を逆方向として定義した。

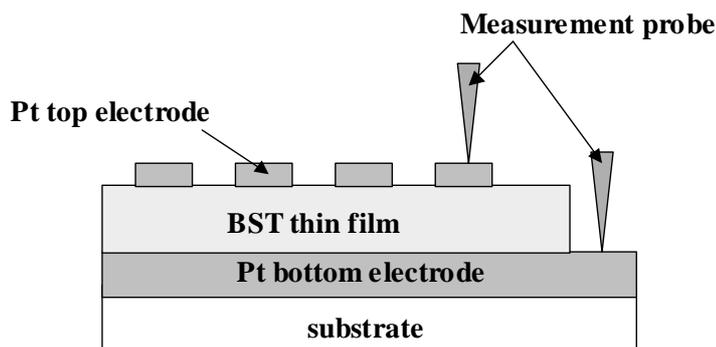


図 2-12 電気的特性の評価方法

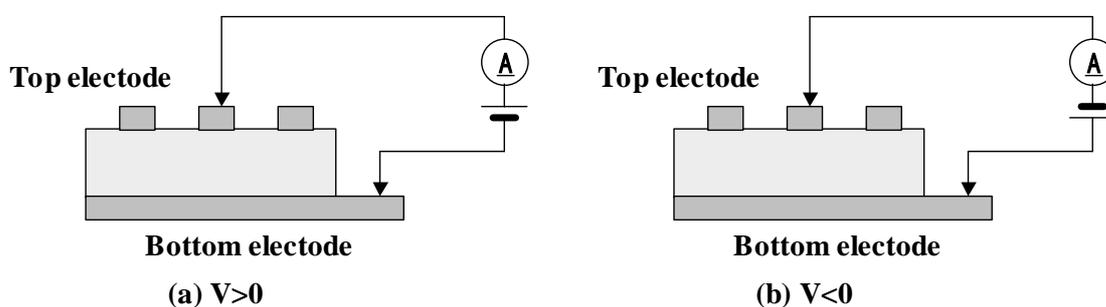


図 2-13 DC バイアス印加時の極性

前述した通り、マイクロ波用キャパシタの容量値は数 pF 程度のものが必要となり、誘電率の高い BST 薄膜で、そのキャパシタを作製するには精度の良い微細加工技術が求められる。Pt 電極のパターニングとしては、リフトオフ法やドライエッチング等の技術が必要となる。しかし現在は、高耐熱性に優れたレジスト溶液の選択やドライエッチング装置の導入準備を検討している段階であり、これらの技術を本研究に直ちに应用することは難しい状況である。そのことから、電極のパターニングについてはメタルシャドーマスクを用いることにより、数 100pF 程度のキャパシタを作製して評価する。そのため誘電特性については、最大 1MHz までの周波数でしか測定することができない。しかし、100Hz - 1MHz における誘電率の周波数分散が小さい試料では、問題無くマイクロ波帯でも誘電率が低下しないことが報告されていることから、周波数分散の影響についても詳細に検討する⁽²²⁾。

参考文献

- [1] 増田陽一郎, “理工領域-1 次世代人工物質・材料の探査的研究 誘電体薄膜の複合構造制御による高性能化と機能変換の多様化”, 平成8年～平成12年度 日本學術振興會未來開拓學術研究推進事業研究成果報告書 (2001)
- [2] 河崎 晋, “微細ミスト堆積法の開発とその強誘電体 $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ 薄膜の作製への応用に関する研究”, 奈良先端科学技術大学院大学博士学位論文 (2005)
- [3] 王谷 洋平, “次世代強誘電体薄膜メモリ応用に向けた強誘電体 $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ 薄膜の液体供給 MOCVD 成膜に関する研究”, 奈良先端科学技術大学院大学博士学位論文 (2006)
- [4] Y. Masuda, S. Fujita, T. Nishida, H. Masumoto, and T. Hirai, “Degradation of Perovskite $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ Thin films Fabricated by Pulsed Laser Ablation”, Proc. 11th IEEE, Switzerland pp. 23-26 (1998)
- [5] 岡村 総一郎, “強誘電体ナノオプトエレクトロニクスと微細加工”, 表面技術 56 pp862-867 (2005)
- [6] C.-K. Huang, C.-C. Wang, and T.-B. Wu “The memory characteristics of submicron feature-size PZT capacitors with PtOx top electrode by using dry-etching”, J. Phys. D: Appl. Phys. 40 pp.1635-1641 (2007)
- [7] J. F. Scott, “Ferroelectric Memories”, Springer-Verlag, Heidelberg, Springer Series in Advanced Microelectronics Vol. 3, Chap. 13, p. 179. (2000)
- [8] 塩寄 忠, 阿部 東彦, 武田 英次, 津屋 英樹, “強誘電体薄膜メモリ”, サイエンスフォーラム (1995)
- [9] 塩寄 忠 監修, “強誘電体薄膜集積化技術”, サイエンスフォーラム (1992)
- [10] 堀井 義正, “64M以上のFeRAM にメドインプリントの問題が解消”, 日経エレクトロニクス 842 pp.125-136 (2003)
- [11] N.V. Giridharan, R. Varatharajan, R. Jayavel, and P. Ramasamy, “Fabrication and characterisation of $(\text{Ba},\text{Sr})\text{TiO}_3$ thin films by sol-gel technique through organic precursor route”, Materials Chemistry and Physics 65 pp. 261-265 (2000)
- [12] T. Mihara, H. Watanabe, “Electronic Conduction Characteristics of Sol-Gel Ferroelectric $\text{Pb}(\text{Zr}_{0.4}\text{Ti}_{0.6})\text{O}_3$ Thin-Film Capacitors: Part I”, Jpn. J. Appl. Phys. 34 pp.5664-5673 (1995)
- [13] T. Mihara, H. Watanabe, “Electronic Conduction Characteristics of Sol-Gel Ferroelectric $\text{Pb}(\text{Zr}_{0.4}\text{Ti}_{0.6})\text{O}_3$ Thin-Film Capacitors: Part II”, Jpn. J. Appl. Phys. 34 pp.5674-5682 (1995)
- [14] T. Tick, J. Peräntiea, H. Jantunena, and A. Uusimäkia, “Screen printed low-sintering-temperature barium strontium titanate (BST) thick films”, Journal of the European Ceramic Society 28 pp.837-842 (2008)
- [15] B. Su and T. W. Button “Interactions between barium strontium titanate (BST) thick films and alumina substrates”, Journal of the European Ceramic Society 21 pp.2777-2781

(2001)

[16] B. Malic, I. Boerasu, M. Mandeljc, M. Kosec, V. Sherman, T. Yamada, N. Setter, and M. Vukadinovic, "Processing and dielectric characterization of $Ba_{0.3}Sr_{0.7}TiO_3$ thin films on alumina substrates", *Journal of the European Ceramic Society* 27 pp.2945-2948 (2007)

[17] 電子工業用セラミックス, データシート, 京セラ株式会社

[18] 浅井 誠, 後藤 隆平, "高信頼性半導体製品のためのアルミナ形成技術の適用", *OMRON TECHNICS* 49 pp.43-49 (2008)

[19] 野坂 隆, "不揮発性強誘電体薄膜メモリー材料の電気伝導に及ぼす界面効果に関する研究", 八戸工業大学大学院修士学位論文 (2004)

[20] N. Ikeo, Y. Iijima, N. Nimura, M. Sigematsu, T. Tazawa, S. Matsumoto, K. Kojima, and Y. Nagasawa, "Handbook of X-ray Photoelectron Spectroscopy", JEOL (1991)

[21] 川上 悠太, "アルミナ基板を用いたチタン酸バリウムストロンチウム薄膜の作製と誘電特性の評価", 奈良先端科学技術大学院大学修士学位論文 (2009)

[22] I. P. Koutsaroff, T. Bernacki, M. Zelner, A. C. Lawry, A. Kassam, P. Woo, L. Woodward, and A. Patel, "Microwave Properties of Parallel Plate Capacitors based on $(Ba,Sr)TiO_3$ Thin films Grown on SiO_2/Al_2O_3 Substrates", *Mat. Res. Soc. Symp. Proc.* 784 pp.319-325 (2004)

第3章 BST 薄膜の結晶構造および電気的特性の評価

3.1 緒言

近年、 $\text{MgO}^{(1)}$ 、 $\text{SrTiO}_3^{(2)}$ 、 $\text{LaAlO}_3^{(3-4)}$ 、サファイア⁽⁵⁾等の単結晶基板上に BST 薄膜をエピタキシャル成長させることによって、誘電特性を改善した高品質な BST 薄膜を作製する研究が活発に行われている。しかし、高価な単結晶基板を用いることは実用化の段階でコスト的に不利になると思われる。従来から、RF デバイスを作製する上で実績のある基板としては、安価で加工性に優れ、高周波特性の良好なアルミナ基板が挙げられる。本研究では、Pt 下部電極を堆積させたグレーズドアルミナ基板上に、CSD 法を用いて BST(60/40)薄膜を各種条件で作製する。特に、BST 薄膜の諸特性は熱処理プロセスに極めて依存することが知られているため、熱処理条件を 600-800 まで変化させ、それらの結晶構造と電気的特性の関係を解析する。また、グレーズドアルミナ基板上の BST 薄膜の妥当性を評価するため、化学的に安定な $\text{-Al}_2\text{O}_3$ (サファイア)基板上にも同条件で BST 薄膜を形成し、それらの特性比較を検討する。さらに、RF スパッタ法によって作製した BST 薄膜の諸特性も併せて評価する。これらの知見より、グレーズドアルミナ基板上に、高品質かつ再現性の高い BST 薄膜キャパシタの作製条件を確立させることを本章の目的とする。

3.2 CSD 法によって作製した BST 薄膜の結晶構造と電気的特性の評価

3.2.1 CSD 法によって作製した BST 薄膜の結晶構造の評価

図 3-1 に、800 で熱処理した Pt/グレーズドアルミナ基板上における BST 薄膜の断面構造の SEM 観察結果を示す。また、図 3-2 にその BST 薄膜の表面モフォロジーを示す。BST 薄膜はグレインが緻密に積層した構造を持ち、表面にピンホールやマイクロクラックの存在は無く、平滑性は良好であることを確認した。特に、BST 薄膜の熱膨張係数は約 $8.0 \times 10^{-6}/$ であるが、Pt 電極($9.1 \times 10^{-6}/$)、グレーズド層($6.8 \times 10^{-6}/$)およびアルミナ基板($7.2 \times 10^{-6}/$)もほぼ同等の熱膨張係数をそれぞれ示すことから、内部応力が蓄積され難い構造を持つことが予想される。一般的に電子部品の品質保証試験としては、温度サイクル試験(-55 ~ 125)が課せられる。この時、BST/Pt/グレーズドアルミナ基板の各接合部において応力の発生が少ないことから、温度サイクルの繰り返しによるクラックや破壊の影響が低減することが期待出来る。

また、BST 薄膜の誘電特性は基板の熱膨張係数に顕著に依存することが知られている。例えば、T. R. Taylor らは 100 - 500K の温度範囲において各種基板上に堆積した BST 薄膜における誘電率の温度依存性について評価し、基板の熱膨張係数が小さい程、BST 薄膜の誘電率も小さくなり、特にその違いは低温の温度範囲において顕著になることを報告している⁽⁶⁾。そのため BST 薄膜の誘電特性はその配向性やグレインサイズの他、基板の熱膨張係数によっても影響されることから、今後、各種基板上に堆積した際の BST 薄膜における結晶構造の変化について総合的に解析する必要があると思われる。

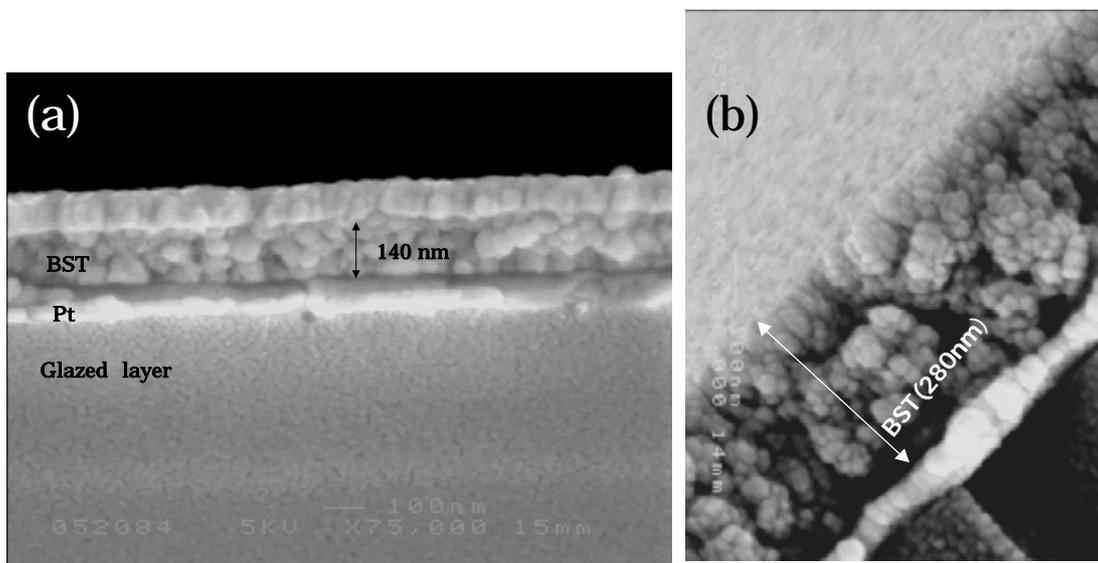


図 3-1 800 で熱処理した BST 薄膜の断面構造の SEM 観察結果
BST 薄膜の膜厚は(a)140nm および(b)280nm の時

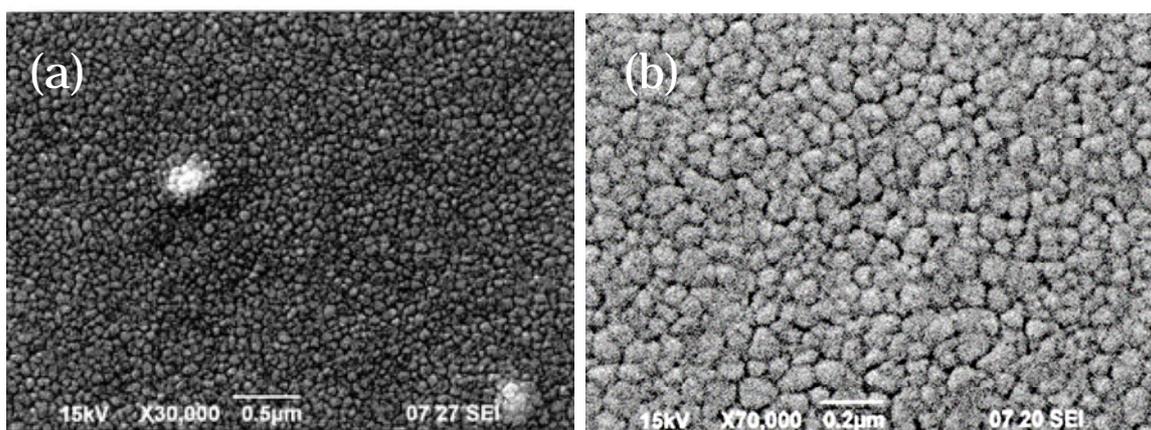


図 3-2 SEM による BST 薄膜の表面観察 (a)3 万倍および(b)7 万倍

図 3-3 に、各熱処理温度で結晶化させた Pt/グレースドアルミナ基板上における BST 薄膜の XRD パターンを示す。BST 薄膜は 600 以上の熱処理温度で単一なペロブスカイト相を形成した。どの熱処理温度においても BST 薄膜は Pt(111)電極における単一配向の影響を反映せず、無配向で成長した。また、BST 薄膜の組成比については、BST 前駆体溶液を 200 で乾燥させた試料を標準試料とした場合、その BST 薄膜の組成比は Ba:Sr:Ti=57:43:115 (熱処理温度 800 時)となり、若干 Ti リッチの傾向を示したが、ほぼ狙い通りの組成比を得ることが出来た。

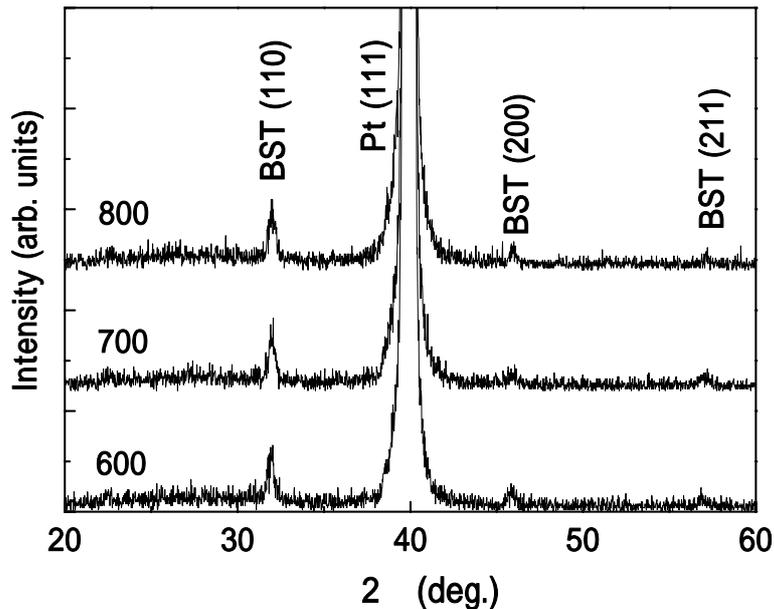


図 3-3 各熱処理温度で結晶化させた BST 薄膜の XRD 特性

図 3-4 に、各熱処理温度で結晶化させた BST 薄膜の表面モフォロジーを AFM によって観察した結果を示す。BST 薄膜のグレインサイズは熱処理温度に伴って増大する傾向を示し、それらの平均グレインサイズは 600 で 40nm、700 で 60nm、さらに 800 で 80nm まで成長した。それと同時に平均面粗さ Ra も増大する傾向を示した。その様子を、図 3-5 にグレインサイズおよび表面粗さの熱処理温度依存性として示す。

B. Malic らは CSD 法を用いて BST 薄膜をアルミナ研磨基板上に直接成膜し、700-900 で熱処理したときの BST 薄膜のグレインサイズとその誘電特性の関係を報告している⁽⁷⁾。その結果、熱処理温度の増大に伴ってグレインサイズが 40nm から 80nm まで増大し、誘電特性に大きな違いが表れたことを報告している。また、Kageyama らによると、BST 薄膜の膜厚によってもグレインサイズが変化すると報告しており、BST 膜厚が 90nm から 1050nm の間で、そのグレインサイズは 160nm から 650nm と極めて大きい依存性を示している⁽⁸⁾。どちらの文献もグレインサイズの増大に伴って、BST 薄膜の誘電率とチューナビリティは増大する結果を報告している。

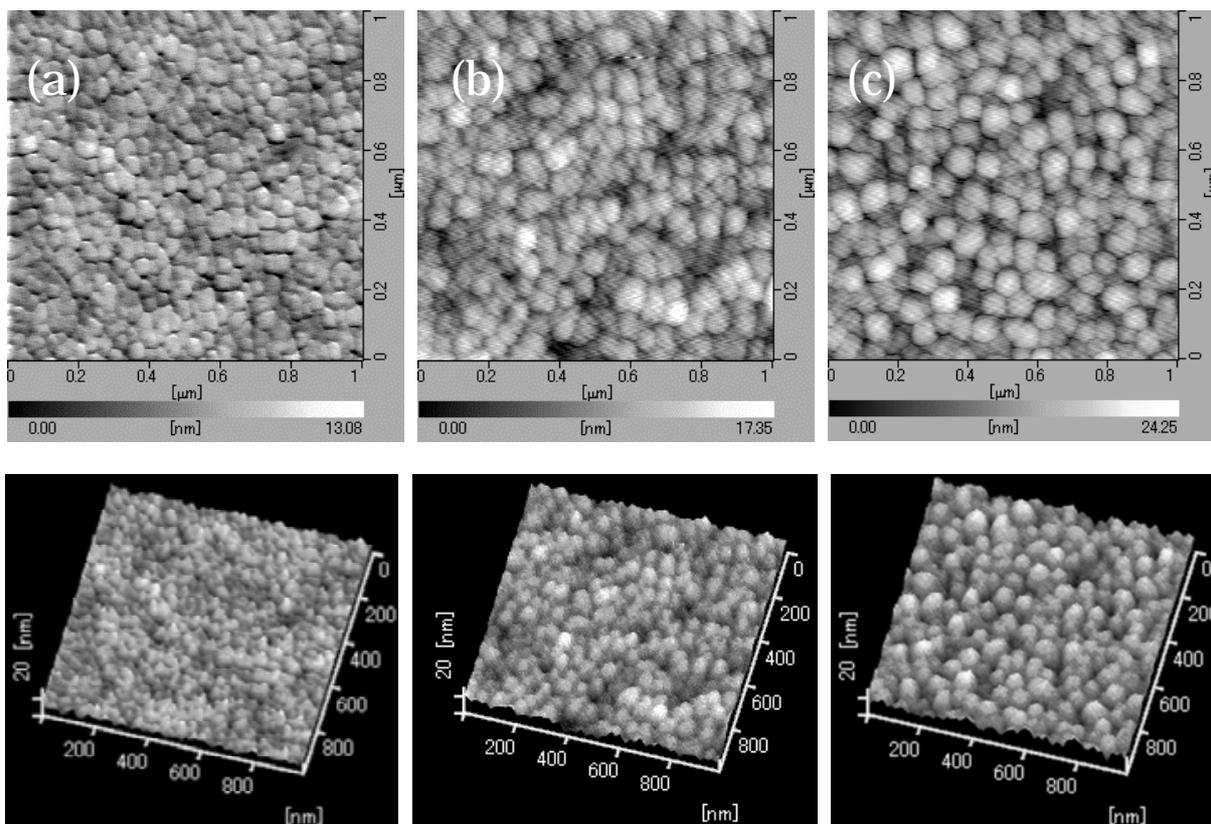


図 3-4 AFM による各熱処理温度で結晶化させた BST 薄膜の表面モフォロジー
 RTA による結晶化温度はそれぞれ(a)600 、(b)700 および(c)800 の時

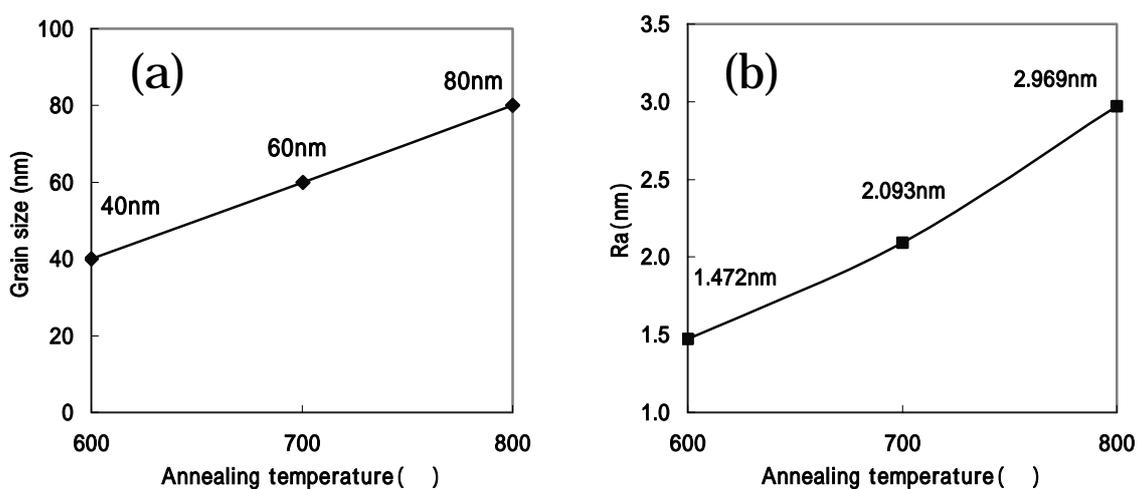


図 3-5 (a)グレインサイズおよび(b)表面粗さの熱処理温度依存性

次に、 $\text{-Al}_2\text{O}_3$ 基板にも同じ条件で BST 薄膜を堆積させ、グレーズドアルミナ基板を用いた場合の BST 薄膜の結晶構造と比較した。まず、図 3-6 に、熱処理温度 800 でそれぞれの基板上に形成した BST 薄膜の XRD パターンを示す。 $\text{-Al}_2\text{O}_3$ 基板上的 Pt 電極も(111)に単一配向を示したが、BST 薄膜はその影響を受けず無配向で成長した。図 3-7 に AFM 観察による Pt/ $\text{-Al}_2\text{O}_3$ 基板上的 BST 薄膜の表面モフォロジーを示した。これらについてもグレーズドアルミナ基板上的 BST 薄膜とまったく同じように成長し、そのグレインサイズは 80nm、表面粗さは 3.00nm をそれぞれ示した。

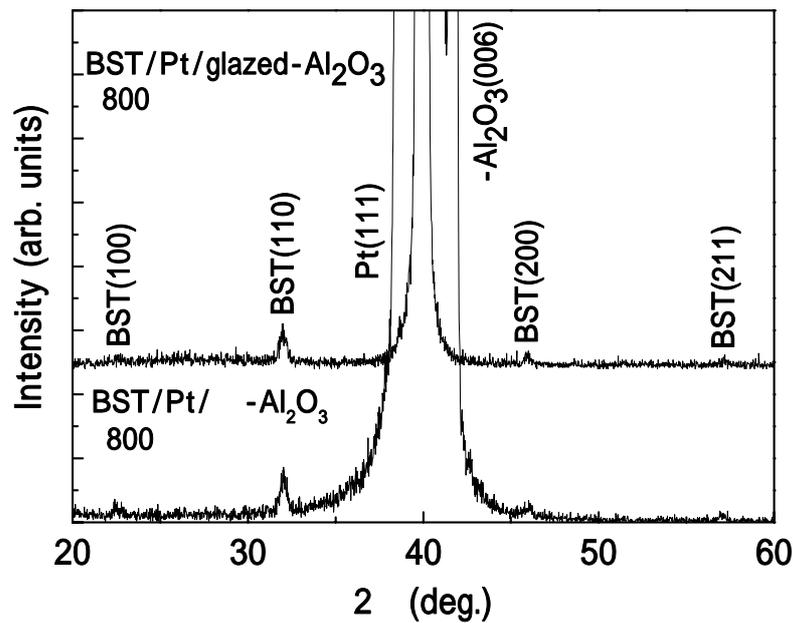


図 3-6 熱処理温度 800 で各種基板上に形成した BST 薄膜の XRD 特性

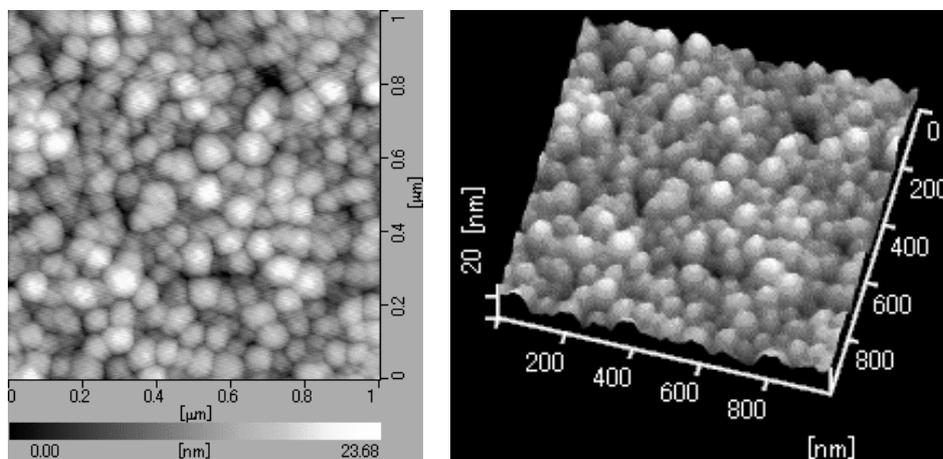


図 3-7 AFM 観察による Pt/ $\text{-Al}_2\text{O}_3$ 基板上的 BST 薄膜の表面モフォロジー

3.2.2 CSD 法によって作製した BST 薄膜の電気的特性の評価

次にこれらの BST 薄膜上に Pt 上部電極(0.27mm)を堆積して、Pt/BST/Pt 構造によるキャパシタの電気的特性を評価した。図 3-8 に各熱処理条件で作製した BST 薄膜の 1MHz における $C-V$ 特性を示す。BST 薄膜(膜厚 280nm)の誘電率とチューナビリティ(400kV/cm)は、600 時に 302, 36.8%、700 時に 356, 46.3%、800 時に 403, 58.3%をそれぞれ示した。特に、BST 薄膜キャパシタをマイクロ波チューナブル素子として応用するためには、小さなバイアス電圧(<12V)で大きなチューナビリティ(>50%)を発現させることが重要となる。図 3-9 に、各種 BST 薄膜のチューナビリティの電界依存性を示す。BST 薄膜のチューナビリティは高温で熱処理することによって、より良好な特性を示し、特に熱処理温度 700 および 800 の BST 薄膜は実用的なチューナビリティを発現している。これは BST 薄膜のグレインサイズと密接な関係を持っていることが示唆される。しかしながら、BST 薄膜の \tan については、600 時に 0.123、700 時に 0.0795、800 時に 0.0493 をそれぞれ示した。これらの値は参考文献と比較しても非常に損失が大きく、一般的に \tan は 0.02 以下が望ましい。 \tan 増加の原因として BST 薄膜の結晶欠陥に起因する問題も考えられるが、BST 薄膜の結晶構造の解析から大きな異常は見つかっておらず、BST 薄膜の誘電率についても所定の値が得られているため、この場合は主に電極と誘電体との界面、あるいは誘電体表面層に欠陥構造が生じているのではないかと示唆され、さらなる詳細な解析が必要となる。

図 3-10 に、Pt/ $\text{-Al}_2\text{O}_3$ 基板上に 800 で形成した BST 薄膜の $C-V$ 特性を示す。この BST 薄膜の誘電率、 \tan およびチューナビリティは 476, 0.0321, 68.6%を示した。この結果は、同条件でグレーズアルミナ基板上に作製した BST 薄膜と比較して誘電特性は良好になっている。このことは、僅かに下部電極 Pt(111)の影響を受け、BST(111)が成長している結果であると思われる。

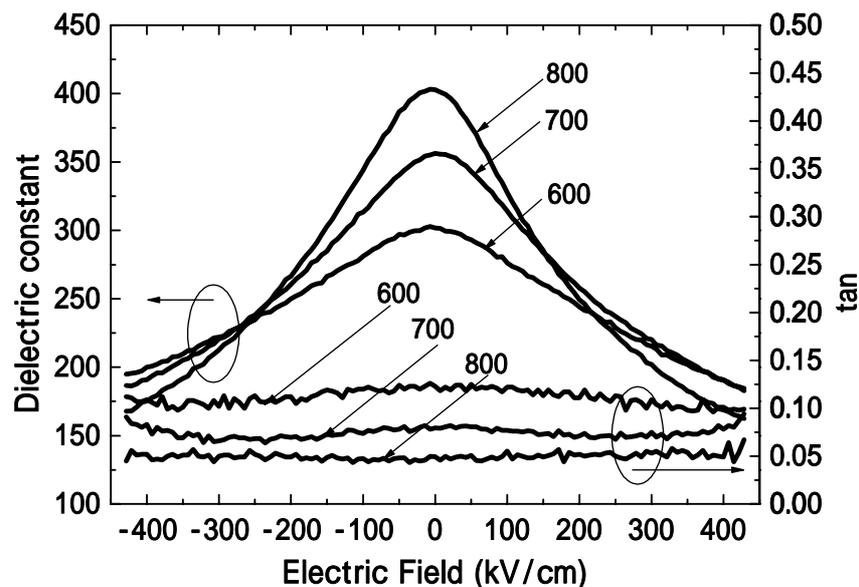


図 3-8 各熱処理温度で結晶化させた BST 薄膜の $C-V$ 特性

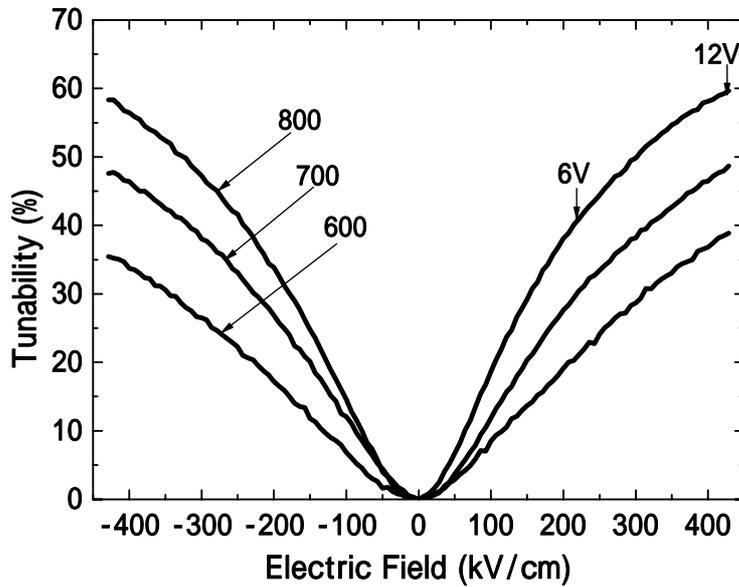


図 3-9 各熱処理温度で結晶化させた BST 薄膜のチューナビリティの電界依存性

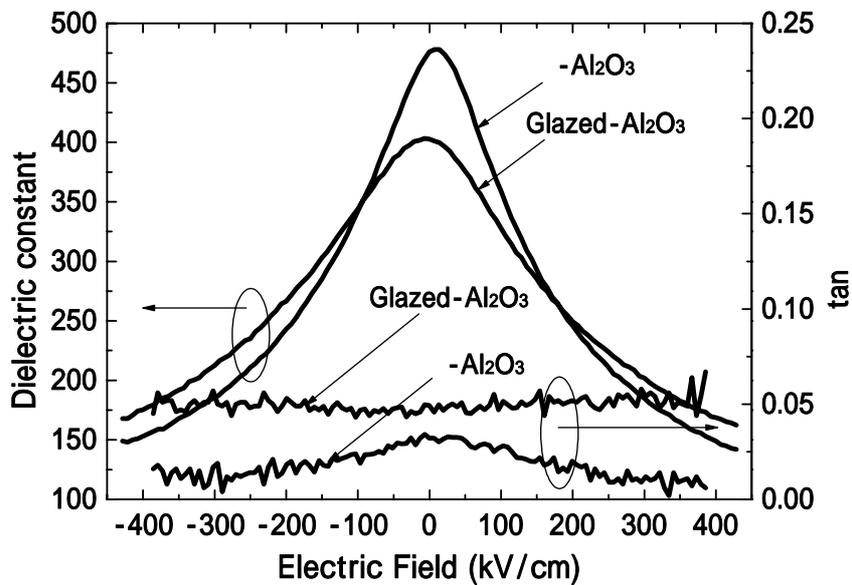


図 3-10 Pt/ $\text{-Al}_2\text{O}_3$ 基板と Pt/glazed- Al_2O_3 基板上に 800 °C で熱処理した BST 薄膜における C - V 特性の比較

BST 薄膜のチューナビリティを向上させるためにはグレインサイズを増大させる他に、BST 薄膜の配向制御が重要になると考えられる。表 3-1 に、他の研究グループによって各種条件で作製された BST 薄膜の誘電特性をまとめた。I. P. Koutsaroff らはスパッタ法および CSD 法によってアルミナセラミックス基板の上に BST 薄膜を形成して誘電特性を比較した⁽⁹⁻¹⁰⁾。それぞれのチューナビリティは、印加電界 350kV/cm 時において、スパッタ法による BST 薄膜で 60.0%、CSD 法による BST 薄膜で 58.0%の値を報告している。これらの値は本研究で作製した試料のチューナビリティより 15%程度大きくなっているが、主に Ba 量の違いが影響していると思われる。しかしながら、tan δ については 0.01 程度であり、極めて高品質な特性を示している。また、S. Ito らは SrRuO₃ 電極を選定することによって、SrRuO₃(111)/Pt(111)/TiO₂/SiO₂/Al₂O₃(ceramic)基板を作製し、スパッタ法によって BST 薄膜を形成した⁽²⁾。その BST 薄膜は下地基板の影響を受けることによって(111)方向へ優先配向した。その時のチューナビリティは 59.6%(250kV/cm 時)と良好な特性を示している。しかしながら、tan δ については 0.02~0.05 であり高い損失を持っている。従来から、酸化物電極である SrRuO₃ および LaSrCoO₃⁽¹¹⁾は BST 薄膜と同じ結晶構造と格子定数を持ち、さらに界面近傍で生じる酸素欠陥の影響を改善できることで注目されている。但し、マイクロ波デバイスの電極材料として使用する場合には、その抵抗率が高いことから、Pt や Au などの電極を積層させることが重要になると示唆される。また、J-Y. Hawang らは PLD 法(Pulsed Laser Deposition)を用いて Pt/Ti/SiO₂/Si 基板の上に BST 薄膜を形成した⁽¹³⁾。PLD 法では酸素ガス流量の調整によって、BST 薄膜の配向性は(100)、(110)、(111)の任意の方向へ制御可能であり、BST(100)薄膜のチューナビリティは 75.6%(500kV/cm 時)であることを報告している。一般的に CSD 法で BST 薄膜の配向制御を行なうことは、スパッタおよび PLD 法と比較して難しく、さらにチューナビリティを大きくする方法として、バッファ層やシード層の検討⁽¹⁴⁾が必要になると思われる。

表 3-1 報告されている BST 薄膜の誘電特性

Tunability	tan δ	Proces. Temp.	Ba Comp.	Deposition method	Substrate	Ref.
60% (@350kV/cm)	0.0127	700	x=0.7	RF sputter	Pt/TiO _x /SiO ₂ /Al ₂ O ₃	9
58% (@350kV/cm)	0.0079	670	x=0.7	CSD	Pt/TiO _x /SiO ₂ /Al ₂ O ₃	
37% (@350kV/cm)	0.0062	600	x=0.5	RF sputter	Pt/TiO _x /SiO ₂ /Al ₂ O ₃	
59.6% (@250kV/cm)	0.02	800	x=0.5	RF sputter	SRO/Pt/SiO ₂ /Al ₂ O ₃	2
66.6% (@250kV/cm)	0.05	800	x=0.5	RF sputter	SRO/SrTiO ₃ (111)	
49.4% (@455kV/cm)	0.015	600	x=0.6	RF sputter	Pt/Si(001)	12
75.6% (@500kV/cm)	0.02	650	x=0.5	PLD	Pt/Ti/SiO ₂ /Si	13

図 3-11 に 800 °C で熱処理した Pt/BST/Pt/グレーズドアルミナ基板における $C-V$ 特性の温度依存性を示す。また図 3-12 にはそのチューナビリティの電界依存性および温度依存性を示し、さらに図 3-13 にはその誘電率の温度依存性およびバイアス電圧依存性をそれぞれ示す。雰囲気温度の上昇に伴って、誘電率およびチューナビリティは顕著に低下する傾向を示した。ここで、室温および 125 °C 時の誘電率を用いて誘電率温度係数を算出したところ、 $-0.45\%/K$ であった。一般的に BST 薄膜をチューナブル素子へ応用する場合、50%以上のチューナビリティが必要となることを説明したが、図 3-12 に示したように、チューナビリティは 80 %程度まで 50%(429kV/cm, 12.0 V時)を保っており、それは実際のデバイス性能を決定する目安となる。実際には、このように大きな温度依存性を持った BST 薄膜キャパシタは高精度なチューナブル素子としては利用することが出来ず、これらの改善については第 4 章で詳細に議論することにする。

図 3-14 に 600 °C および 800 °C で熱処理した Pt/BST/Pt/グレーズドアルミナ基板および Pt/BST/Pt/ Al_2O_3 基板(800 °C)における誘電率の温度依存性の比較を示す。図 3-15 にはそれらのチューナビリティの温度依存性を示す。800 °C で熱処理した各種基板上的 BST 薄膜は室温で高い誘電率を持っているが、温度変化に対してもその変化量は大きく、それらの誘電率温度係数は $-0.60\%/K$ および $-0.48\%/K$ をそれぞれ示した。また、Pt/BST/Pt/glazed- Al_2O_3 基板(600 °C)については $-0.28\%/K$ と低い値を示した。いずれの試料もキュリー温度は -60 °C 付近にブロードに存在し、バルクセラミックスと比較して低温側へシフトしていた。このことは主に下部電極/基板による応力が特性に影響していると考えられる。また、BST 薄膜の組成比は 15%Ti 過剰となっており、これが特性にどのような影響を与えるかは明らかになっていない。これらの BST 薄膜におけるチューナビリティの温度依存性は、未だ詳しい報告例は少なく、さらに系統的なデータ取得が必要である。

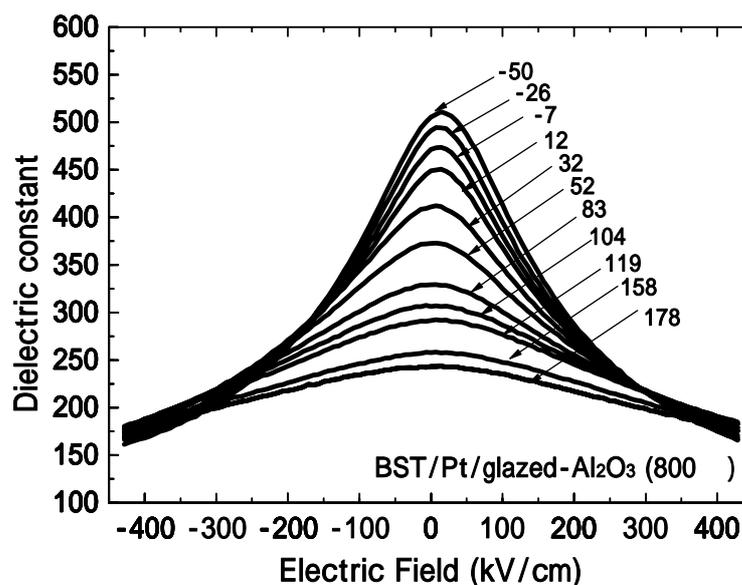


図 3-11 800 °C で熱処理した Pt/BST/Pt/グレーズドアルミナ基板における $C-V$ 特性の温度依存性

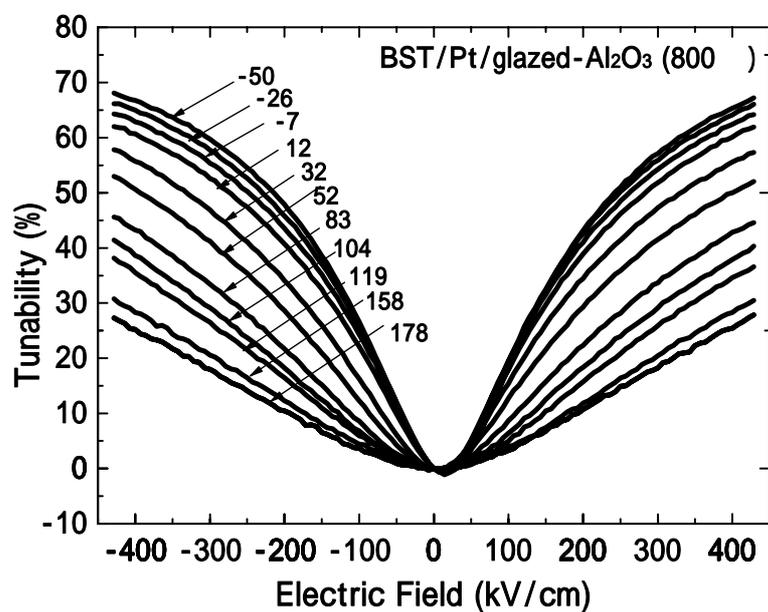


図 3-12 800 °C で熱処理した Pt/BST/Pt/グレーズドアルミナ基板におけるチューナビリティの電界依存性

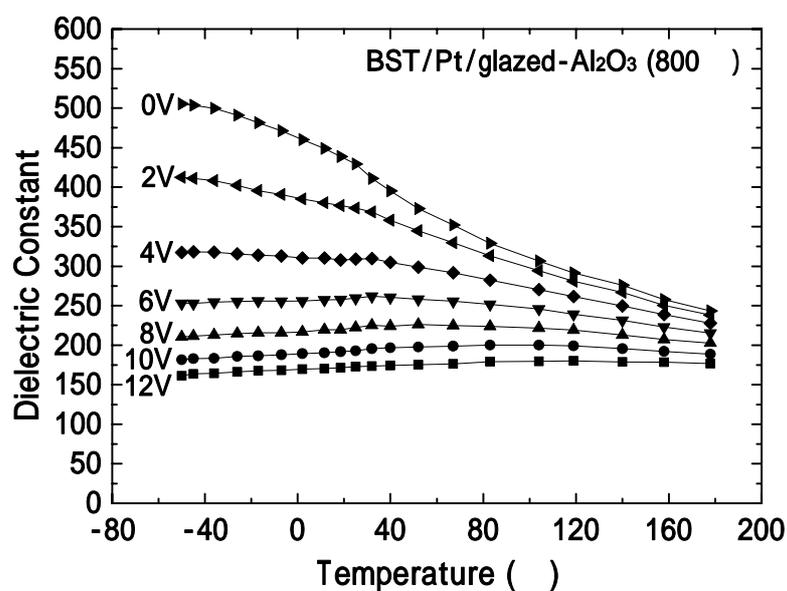


図 3-13 800 °C で熱処理した Pt/BST/Pt/グレーズドアルミナ基板における誘電率の温度依存性およびバイアス電圧依存性

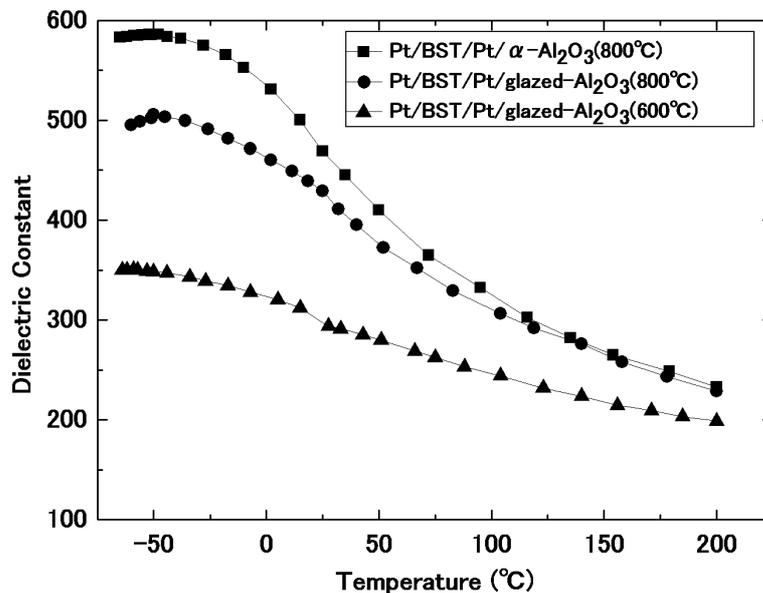


図 3-14 600 および 800 で熱処理した Pt/BST/Pt/グレーズドアルミナ基板および Pt/BST/Pt/ α -Al₂O₃基板(800)における誘電率の温度依存性

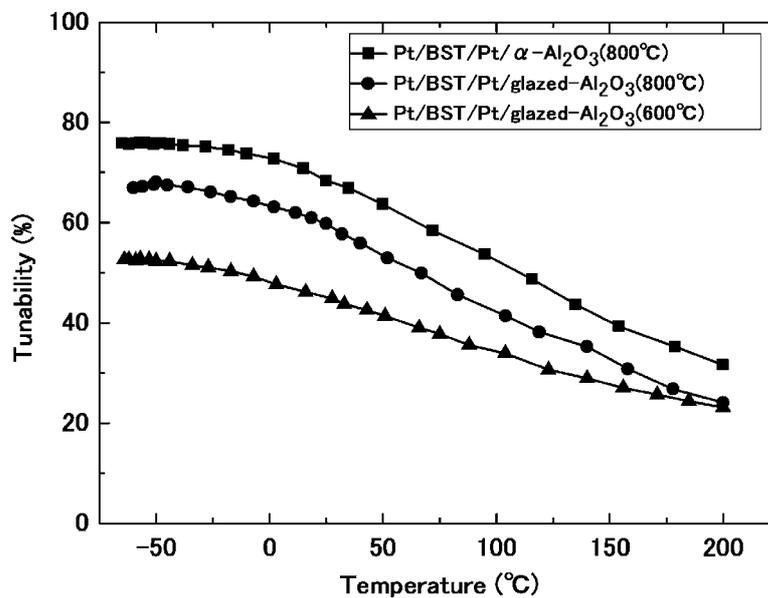


図 3-15 600 および 800 で熱処理した Pt/BST/Pt/グレーズドアルミナ基板および Pt/BST/Pt/ α -Al₂O₃基板(800)におけるチューナビリティの温度依存性

図 3-16 に 600 および 800 で熱処理した Pt/BST/Pt/グレーズドアルミナ基板および Pt/BST/Pt/ α -Al₂O₃基板(800)の J - E 特性を示す。各試料における正極側のリーク電流密度の違いは BST 薄膜と Pt 下部電極の界面状態に依存していると考えられ、Pt/BST/Pt/グレーズドアルミナ基板(800)については低電界領域の絶縁性が低下する傾向を示した。このことは、グレーズ層のガラス転移温度は 675 、軟化点は 865 であることから、800 の結晶化アニールを行なう場合には、Pt 下部電極の表面粗さが悪化することで絶縁性が低下してしまう恐れがある。今後、TEM による断面観察によって Pt 下部電極とグレーズ層の界面を検討する必要がある。

次に負極側の特性において、Pt/BST/Pt/ α -Al₂O₃基板(800)では著しくリーク電流密度が増加している。この原因は上部電極形成後にポストアニールを行っていないことから、上部電極 Pt と BST の界面は密着性に乏しく、界面状態が不均一であったためと示唆される。Pt/BST/Pt/グレーズドアルミナ基板(600)については、BST 薄膜の表面粗さ Ra が 1.47nm と極めて平滑なことから、低電界領域の漏れ電流が抑えられていると考えられる。これらの J - E 特性はまだリーク電流が大きく、さらにはその絶縁性を長期的に確保出来ていないことが予想される。そのため第 5 章において、電極と誘電体界面の結晶構造と電気的特性を詳細に解析し、その電気伝導機構を明らかにすることによって、BST 薄膜キャパシタの絶縁性と寿命を改善させることを詳細に検討する。

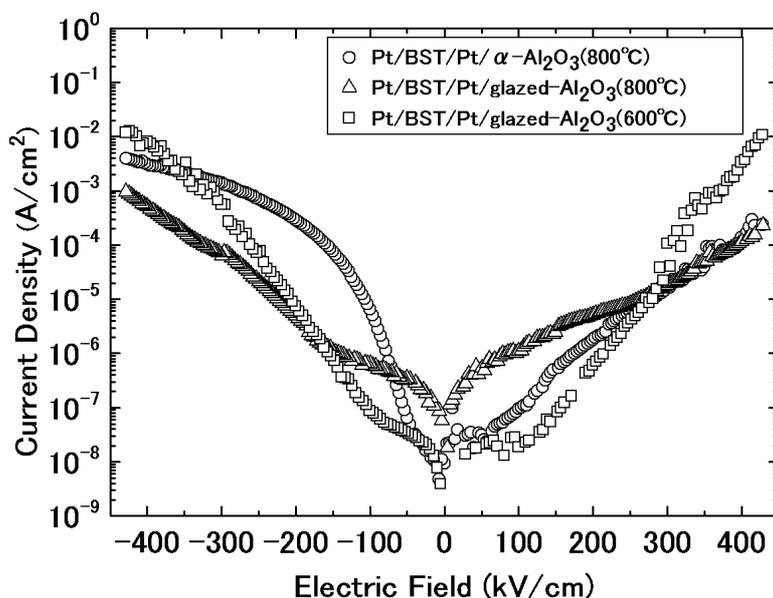


図 3-16 600 および 800 で熱処理した Pt/BST/Pt/グレーズドアルミナ基板および Pt/BST/Pt/ α -Al₂O₃基板(800)の J - E 特性

3.3 CSD 法および RF スパッタ法によって作製した BST 薄膜の特性比較

BST 薄膜の量産化を行う場合はスパッタ法で作製することも検討している。そのため、スパッタ法で作製した BST 薄膜の評価を行うため、各種基板上に BST 薄膜を成膜した。使用した基板は Pt/TiO₂/SiO₂/Si 基板および Pt/グレーズドアルミナ基板である。スパッタ法による BST 薄膜の組成比は Ba/Sr 比=50/50 であり、スパッタ時の基板温度は 600 とする。BST 薄膜の膜厚は 300nm である。上部電極については Pt 電極(0.15mm)を使用し、Pt/BST/Pt 薄膜キャパシタを形成して電気的特性の評価を行った。また、詳細な電気的特性の比較を行なうために、CSD 法による BST(50/50)薄膜キャパシタも併せて作製した。CSD 法による BST 薄膜の膜厚は 280nm であり、その熱処理温度は 600 および 800 とした。

まず、図 3-17 に各種基板上にスパッタ法を用いて堆積した BST 薄膜の XRD パターンを示す。BST 薄膜は単一なペロブスカイト相を形成していた。特に CSD 法で作製した BST 薄膜と比較して、スパッタ法による BST 薄膜は(111)方向への成長が顕著に表れた。さらにピーク強度も強く、良好な結晶性が得られていると示唆された。これまで強誘電体薄膜メモリの開発を通じて、SiO₂ 上の Pt 下部電極は(111)方向に自己配向する性質があり、さらにその格子定数は PZT や BST に代表されるペロブスカイト型酸化物と近い値を持つことから、BST 薄膜も(111)方向に優先配向させることに有利であることが分かっている⁽¹⁵⁾。スパッタ法で成膜した場合には、これらの効果が顕著に表れる結果となった。この性質は僅かであるが、Pt/グレーズドアルミナ基板上的 BST 薄膜にも現れていることから、電気的特性の改善に大きな効果が期待される。

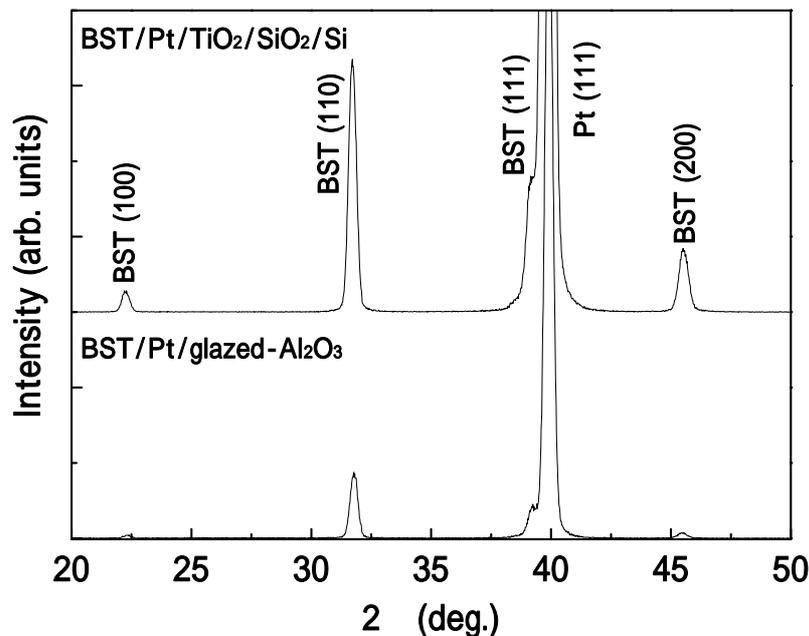


図 3-17 スパッタ法により各種基板上に堆積した BST 薄膜の XRD 特性

図3-18にスパッタ法およびCSD法で作製したBST薄膜の100kHzにおけるC-V特性を示す。また図3-19にそれらのtanの電界依存性を、図3-20にチューナビリティの電界依存性をそれぞれ示す。各種試料の誘電率、tanおよびチューナビリティ(200kV/cm, 約6V時)はスパッタ法によるBST/Pt/TiO₂/SiO₂/SiおよびBST/Pt/グレーズドアルミナ基板において、それぞれ252、0.0124、54.3%および228、0.0291、40.5%を示した。前節で評価したCSD法で作製したBST薄膜の誘電特性と比較して、誘電率の低下およびtanの高品質化が見られたが、これはBa組成比の影響であると思われる。しかしながら、チューナビリティについてはバイアス電圧6Vで50%近い値が得られており、BST(111)方向の成長に応じて極めて高品質なチューナビリティ特性を発現することが明らかになった。一方、CSD法で作製したPt/グレーズドアルミナ基板上的BST薄膜については、熱処理温度が600の場合122、0.0330、29.5%を示し、800の場合には204、0.0237、40.1%をそれぞれ示した。これらのCSD法によるBST薄膜は、図3-3で得られたXRD特性とほぼ同等であり、BST(111)方向の成長は見られなかった。また、BST薄膜のグレインサイズは600の時に40nm、800の時に80nmであった。結果的に、CSD法の場合800で熱処理することによってグレインサイズを大きく成長させ、チューナビリティの高いBST薄膜を得ることが出来るが、そのチューナビリティは600の低温で作製したスパッタ膜より小さいことが分かった。

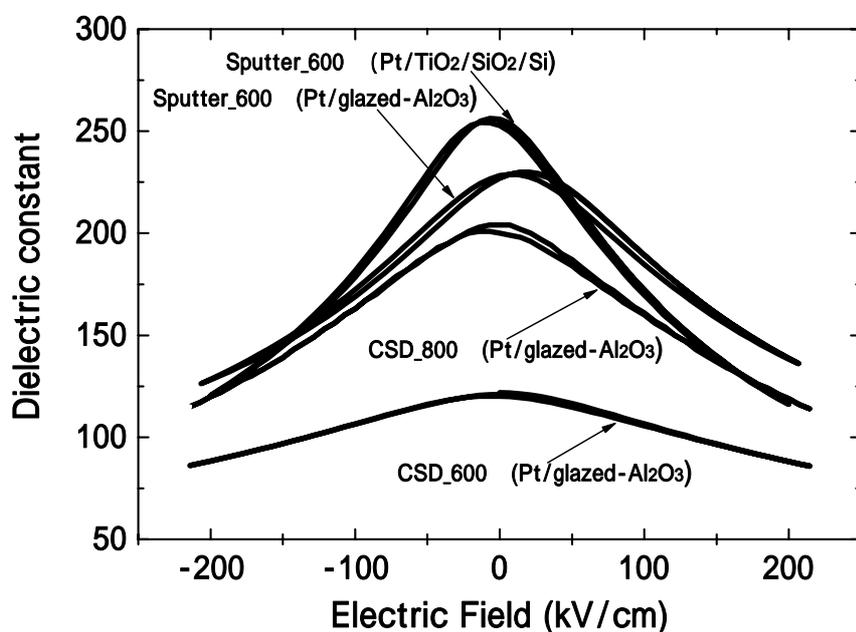


図3-18 スパッタ法およびCSD法で作製したBST薄膜のC-V特性

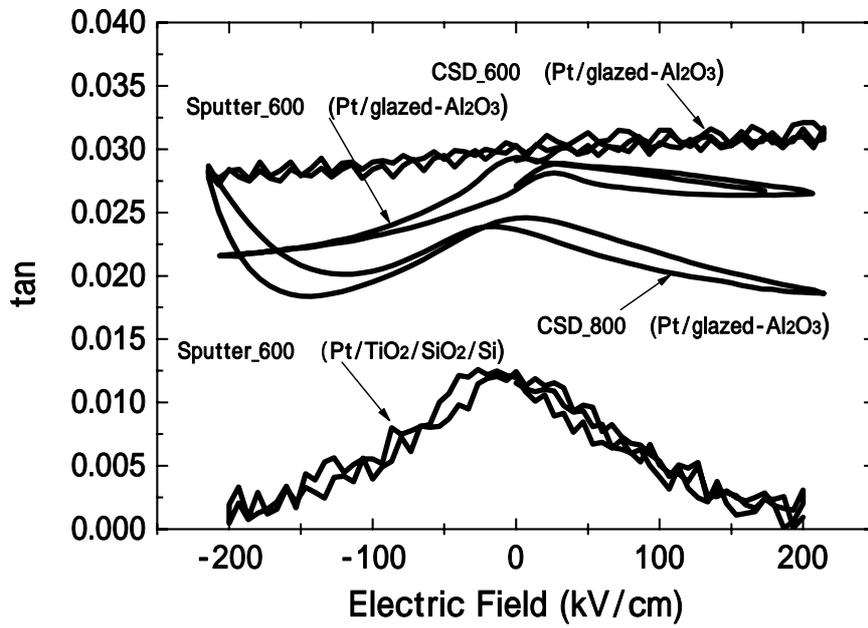


図 3-19 スパッタ法および CSD 法で作製した BST 薄膜の $\tan \delta$ の電界依存性

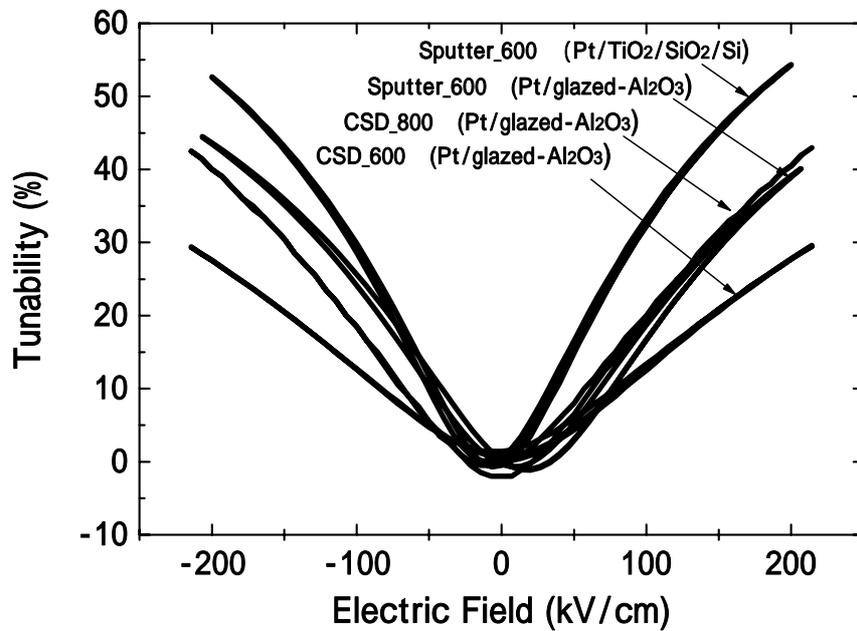


図 3-20 スパッタ法および CSD 法で作製した BST 薄膜のチューナビリティの電界依存性

図 3-21 にスパッタ法を用いてグレーズドアルミナ基板上に作製した BST 薄膜における $C-V$ 特性(100kHz 時)の温度依存性を示す。また図 3-22 にはそのチューナビリティの電界依存性および温度依存性を示し、さらに図 3-23 にはその誘電率の温度依存性およびバイアス電圧依存性をそれぞれ示す。これらの $C-V$ 特性の温度依存性を評価することで、この BST 薄膜は 200kV/cm の電界印加では完全に飽和しておらず、さらに高いチューナビリティを発現出来ることが示唆される。

図 3-24 にスパッタ法および CSD 法で作製した BST 薄膜の誘電率の温度依存性を示し、図 3-25 には各試料のチューナビリティ(200kV/cm 時)の電界依存性を示す。スパッタ法で作製した BST 薄膜についても、そのキュリー温度はバルクセラミックスと比較して低温側へシフトしており、室温付近での誘電率変化率が大きくなる結果を示した。図 3-26 には、各試料のゼロバイアス時における誘電率の温度変化率を示す。結果として、どの試料においても 85 付近においては誘電率の温度変化は約 15%と顕著に表れている。このことから、マイクロ波チューナブル素子の温度動作範囲を広く保証するためには、BST 薄膜における組成比の最適化が必要になり、温度特性の平坦化を図ることが重要になる。

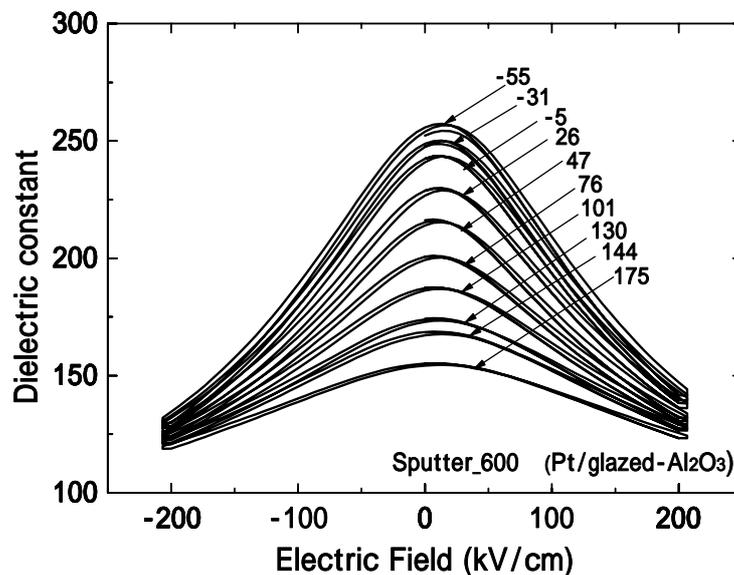


図 3-21 スパッタ法を用いてグレーズドアルミナ基板上に作製した BST 薄膜における $C-V$ 特性の温度依存性

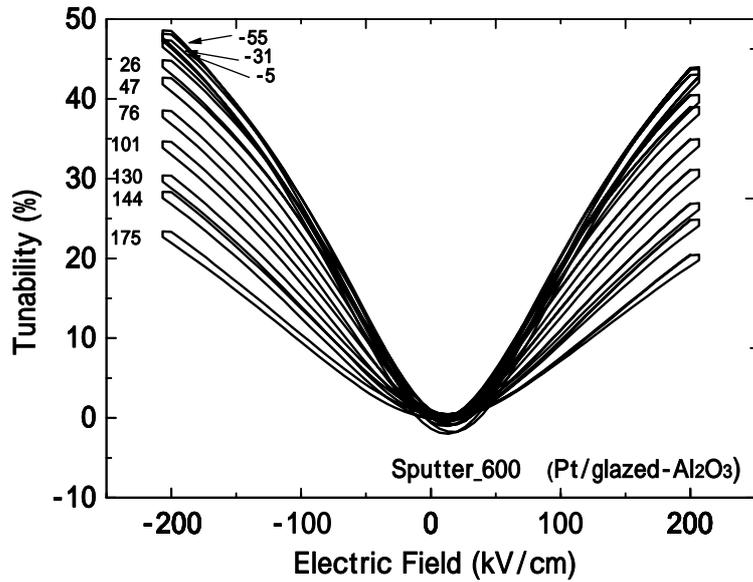


図 3-22 スパッタ法を用いてグレーズアルミナ基板上に作製した BST 薄膜における
チューナビリティの電界依存性および温度依存性

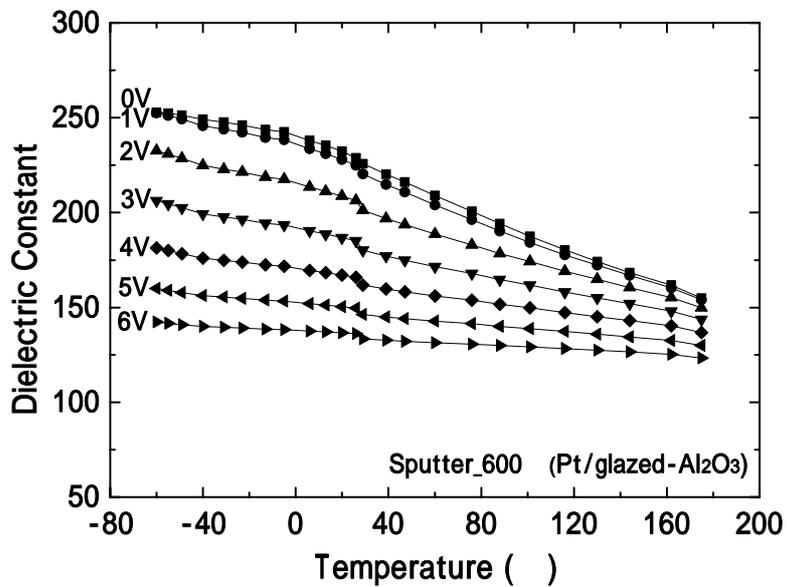


図 3-23 スパッタ法を用いてグレーズアルミナ基板上に作製した BST 薄膜における
誘電率の温度依存性およびバイアス電圧依存性

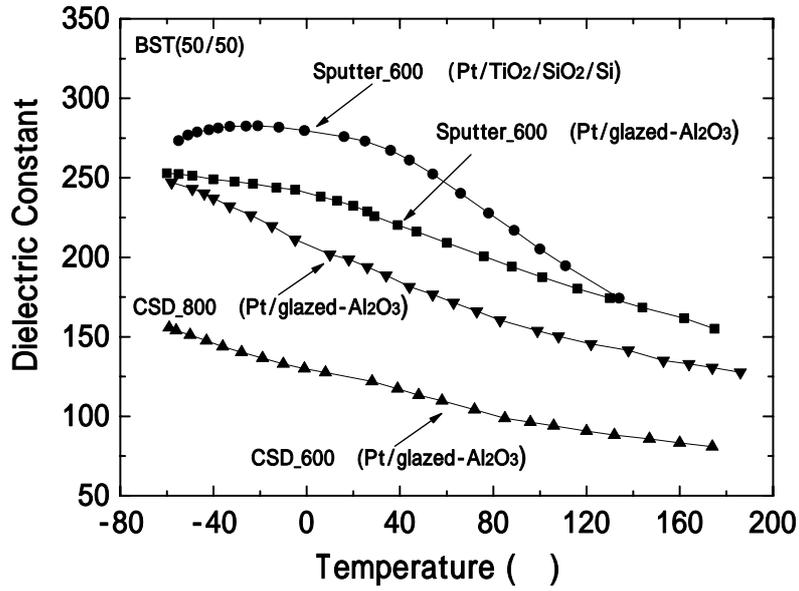


図 3-24 スパッタ法および CSD 法で作製した BST 薄膜の誘電率の温度依存性

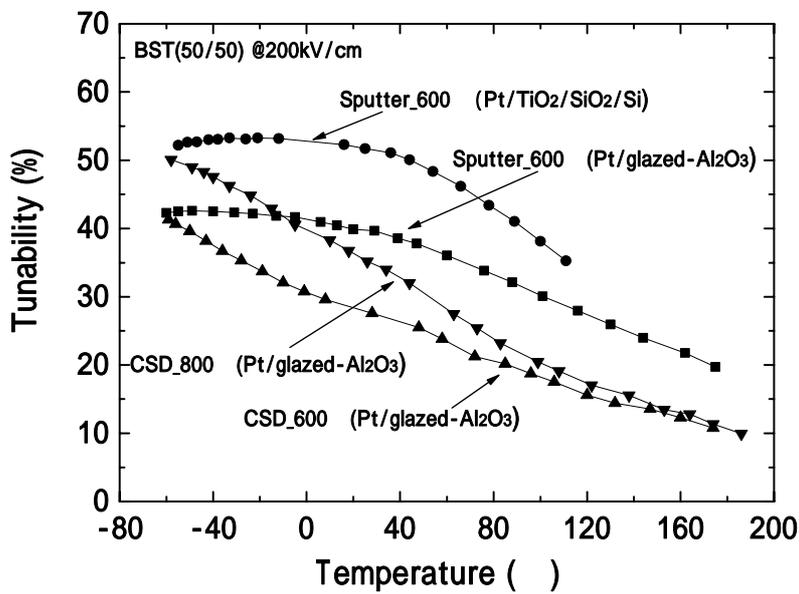


図 3-25 スパッタ法および CSD 法で作製した BST 薄膜における 200kV/cm 印加時のチューナビリティの温度依存性

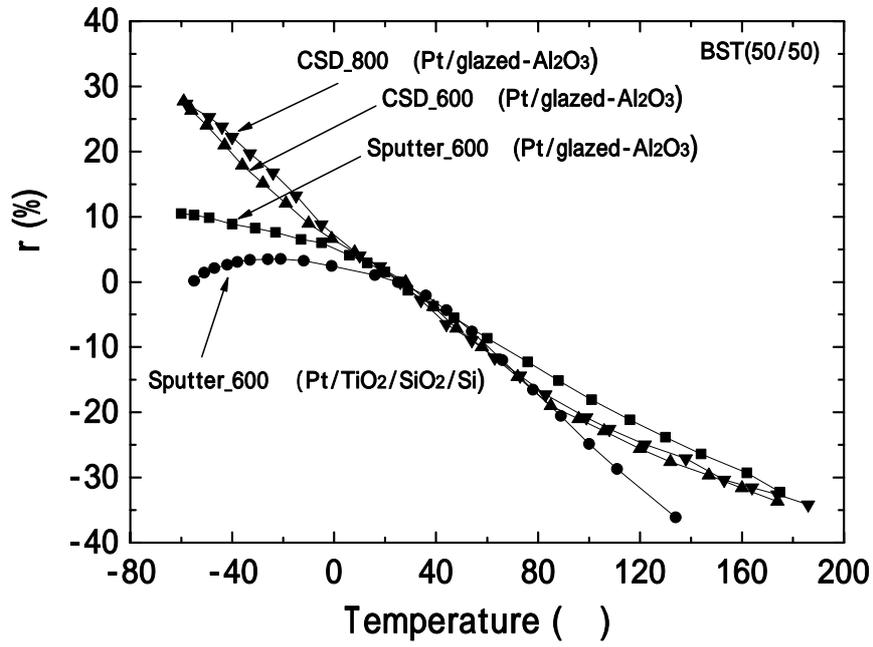


図 3-26 スパッタ法および CSD 法で作製した BST 薄膜における誘電率の温度変化率

3.4 熱刺激電流測定法による BST 薄膜の評価

熱刺激電流(TSC: Thermally Stimulated Current) 測定法は、有機薄膜や半導体材料の結晶欠陥により発生する空間電荷を定量的に評価するのに極めて効果的である。またこの評価方法は強誘電体不揮発性メモリで問題となる PZT 薄膜における分極疲労特性とその結晶欠陥の相互関係を調べることに効果を発揮し、すでに強誘電体キャパシタ構造の結晶欠陥の同定やその分極疲労メカニズムを明らかにすることに貢献している⁽¹⁶⁻¹⁷⁾。本研究においても多結晶 BST 薄膜の品質性を向上させるためには、界面や粒界に存在する結晶欠陥の制御が重要になるとと思われる。そのことから、BST 薄膜の結晶欠陥の定量的な評価法についてはこの熱刺激電流測定法を選定した。

図 3-26 に CSD 法を用いて Pt/グレーズアルミナ基板上に堆積した BST 薄膜の TSC 特性を示す。TSC の測定条件として、試料のトラップサイトにキャリア注入する際のトラッピング電圧を 0.5V とした。測定時に印加するコレクティング電圧は 5mV、昇温速度は 2K/min とした。また、昇温時の電流から降温時の電流を差し引き、バックグラウンドのノイズを除去してから解析を行った。この TSC 測定結果から、120 付近に明確なピークと、高温側のリーク電流成分に隠れた 220 付近のピークをそれぞれ確認出来た。まず、120 付近のピークは BaTiO₃ のキュリー温度と関係があると思われる。このことは BaTiO₃ および SrTiO₃ の融点はそれぞれ 1612 、2353 であることから、600 の低い熱処理温度においては BaTiO₃ 相が先に析出したことが考えられる。そのため、120 付近のピークは BST 薄膜内にわずかに存在する BaTiO₃ 相の焦電電流が観測されたと示唆される。しかし、800 で熱処理した試料では、異相がない均一な BST 薄膜が形成され、120 付近のピークは消滅していると予想される。これらの結果は図 3-14 に示した誘電率の温度依存性からは観察されておらず、熱刺激電流測定を用いてこのような現象を観測できることを新たに見出した。図 3-26 の結果より、真の TSC は 260 付近のピークであることが測定条件の最適化より確認された。今後、このピークの解析を進め、BST 薄膜の結晶欠陥を詳細に検討する必要がある。

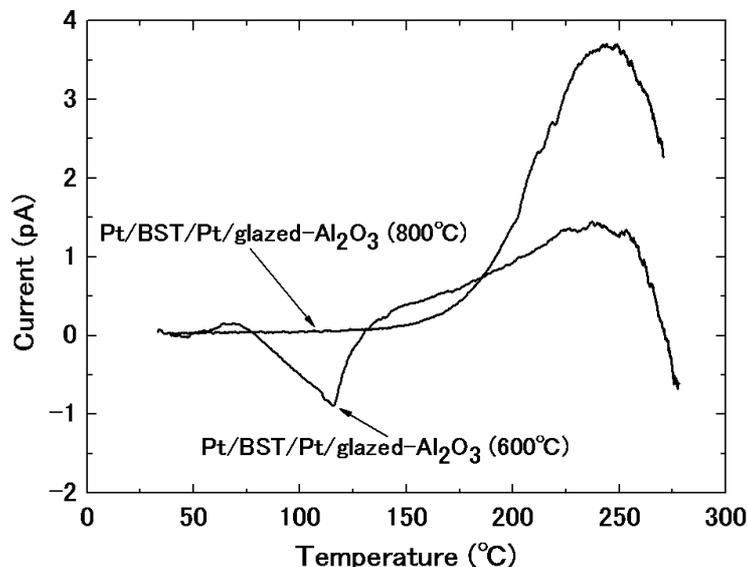


図 3-26 CSD 法を用いて Pt/グレーズアルミナ基板上に堆積した BST 薄膜の TSC 特性

3.5 まとめ

本章では、Pt 下部電極を堆積させたグレーズドアルミナ基板上に CSD 法を用いて BST(60/40) 薄膜を各種条件で作製し、それらの結晶構造と電気的特性の関係を解析した。RTA を用いて 600-800 °C で熱処理された BST 薄膜はすべて単一なペロブスカイト相を形成したが、Pt(111)の影響を反映せず無配向で成長した。また、BST 薄膜のグレインサイズは熱処理温度に伴って増大する傾向を示し、それらの平均グレインサイズは 600 °C で 40nm、700 °C で 60nm、800 °C で 80nm まで成長した。これらの BST 薄膜における $C-V$ 特性を評価した結果、それぞれの誘電率とチューナビリティ(400kV/cm)は、600 °C 時に 302, 36.8%、700 °C 時に 356, 46.3%、800 °C 時に 403, 58.3% を示し、グレインサイズの増大に伴って誘電率とチューナビリティは増加する傾向を示した。特に熱処理温度 700 °C および 800 °C の BST 薄膜は実用的なチューナビリティを得られた。しかしながら、BST 薄膜の $\tan \delta$ については良好なものでも 0.05 程度であり参考文献と比較して、それらの損失は非常に大きい。さらに $J-E$ 特性の非対称性からも電極と誘電体との界面あるいは誘電体表面層に欠陥構造が生じていることが示唆され、リーク電流が大きく、その絶縁性を確保出来ないことが予想される。このことは第 5 章において電極と誘電体界面の結晶構造と電気的特性を詳細に解析し、その電気伝導機構を明らかにすることによって、BST 薄膜キャパシタの絶縁性と寿命を改善させることを詳細に検討する。

次に、RF スパッタ法を用いて Pt/グレーズドアルミナ基板上に BST(50/50)薄膜を堆積し、その結晶構造と電気的特性を調査した。特に、スパッタ法による BST 薄膜の XRD 特性は BST(111) の成長が顕著に現れ、そのピーク強度も強く、CSD 法で作製した試料より良好な結晶性が得られた。その結果、BST 薄膜の誘電率、 $\tan \delta$ 、チューナビリティ(200kV/cm 時)はそれぞれ 228、0.0291、40.5%と高品質な誘電特性を示し、目的の性能を十分に満足する結果を得ることが出来た。

問題として CSD 法およびスパッタ法に関わらず、どの試料についても BST 薄膜のキュリー温度はバルクセラミックスと比較して低温側へシフトしており、室温付近での誘電率における温度変化が大きくなる結果を示した。特に 85 °C 付近において、誘電率変化は約 15%も低下してしまうため、マイクロ波チューナブル素子の温度動作範囲を広く保証することが出来ない。このことから、BST 薄膜における組成比の最適化と温度特性の平坦化を図ることが重要になる。このことは第 4 章で詳細に議論することにする。

参考文献

- [1] S. Hyun, J. H. Lee, S. S. Kim, K. Char, S. J. Park, J. Sok, and E. H. Lee, "Anisotropic tuning behavior in epitaxial $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ thin films", *Appl. Phys. Lett.* 77 p.3084 (2000)
- [2] S. Ito, K. Takahashi, S. Okamoto, I. P. Koutsaroff, A. C. Lawry, and H. Funakubo, "Orientation Dependence of Epitaxial and One-Axis-Oriented $(\text{Ba}_{0.5}\text{Sr}_{0.5})\text{TiO}_3$ Films Prepared by RF Magnetron Sputtering", *Jpn. J. Appl. Phys.* 44 pp.6881-6884 (2005)
- [3] J. Sok, S. J. Park, E. H. Lee, J. P. Hong, J. S. Kwak, and C. O. Kim, "Characterization of Ferroelectric BaSrTiO_3 Thin Films Using a Flip-Chip Technique at Microwave Frequency Ranges", *Jpn. J. Appl. Phys.* 39 pp.2752-2755 (2000)
- [4] C. L. Chen, H. H. Feng, Z. Zhang, A. Brazdeikis, Z. J. Huang, W. K. Chu, C. W. Chu, F. A. Miranda, F. W. Van Keuls, R. R. Romanofsky, and Y. Liou, "Epitaxial ferroelectric $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ thin films for room-temperature tunable element applications", *Appl. Phys. Lett.* 75 p.412 (1999)
- [5] G. Bhakdisongkhram, Y. Yamashita, T. Nishida, and T. Shiosaki, "Dependence of Microwave Properties of $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ Thin Films on Substrate", *Jpn. J. Appl. Phys.* 44 pp.7098-7102 (2005)
- [6] T. R. Taylor, P. J. Hansen, B. Acikel, N. Pervez, R. A. York, and S. K. Streiffer, "Impact of thermal strain on the dielectric constant of sputtered barium strontium titanate thin films", *Appl. Phys. Lett.* 80 p.1978 (2002)
- [7] B. Malic, I. Boerasu, M. Mandeljc, M. Kosec, V. Sherman, T. Yamada, N. Setter, and M. Vukadinovic, "Processing and dielectric characterization of $\text{Ba}_{0.3}\text{Sr}_{0.7}\text{TiO}_3$ thin films on alumina substrates", *Journal of the European Ceramic Society* 27 pp.2945-2948 (2007)
- [8] K. Kageyama, A. Sakurai, A. Ando, and Y. Sakabe, "Thickness effects on microwave properties of $(\text{Ba,Sr})\text{TiO}_3$ films for frequency agile technologies", *Journal of the European Ceramic Society* 26 pp.1873-1877 (2006)
- [9] I. P. Koutsaroff, T. Bernacki, M. Zelner, A. C. Lawry, A. Kassam, P. Woo, L. Woodward, and A. Patel, "Microwave Properties of Parallel Plate Capacitors based on $(\text{Ba,Sr})\text{TiO}_3$ Thin films Grown on $\text{SiO}_2/\text{Al}_2\text{O}_3$ Substrates", *Mat. Res. Soc. Symp. Proc.* 784 pp.319-325 (2004)
- [10] I. P. Koutsaroff, T. A. Bernacki, M. Zelner, A. C. Lawry, T. Jimbo, and K. Suu "Characterization of Thin-Film Decoupling and High-Frequency $(\text{Ba,Sr})\text{TiO}_3$ Capacitors on Al_2O_3 Ceramic Substrates", *Jpn. J. Appl. Phys.* 43 pp.6740-6745 (2004)
- [11] Il - D. Kim, J. - H. Park, and H. -G. Kim, "Stress Effect on the Tuning Properties of $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ Thin film", *Electrochemical and Solid-State Letters* 5 pp.F18-F21 (2002)
- [12] Y. Wang, B. Liu, F. Wei, Z. Yang, and J. Du, "Fabrication and electrical properties of (111) textured $(\text{Ba}_{0.6}\text{Sr}_{0.4})\text{TiO}_3$ film on platinized Si substrate", *Appl. Phys. Lett.* 90 p.042905 (2007)

- [13] J-Y. Hwang, J-S. Bae, S-A. Lee, S-Y. Jeong, and C-R. Cho, "Dielectric Properties of Artificially Textured $(\text{Ba}_{0.5}\text{Sr}_{0.5})\text{TiO}_3$ Thin Film Prepared by Pulsed Laser Deposition", *Journal of the Korean Ceramic Society* 49 pp.S621-S624 (2006)
- [14] J. Zhai and H. Chen, "Orientation Control and Dielectric Properties of Sol-gel Deposited $(\text{Ba,Sr})\text{TiO}_3$ Thin Films for Room-temperature Tunable Element Applications", *Journal of the Korean Ceramic Society* 40 pp.380-384 (2003)
- [15] 王谷 洋平, "次世代強誘電体薄膜メモリ応用に向けた強誘電体 $\text{Pb}(\text{Zr,Ti})\text{O}_3$ 薄膜の液体供給 MOCVD 成膜に関する研究", 奈良先端科学技術大学院大学博士学位論文 (2006)
- [16] H. Okino, Y. Toyoda, M. Shimizu, T. Horiuchi, T. Shiosaki, and K. Matsushige, "Thermally Stimulated Current Measurement for Degraded $\text{Pb}(\text{Ti,Zr})\text{O}_3$ Thin-Film Capacitors", *Jpn. J. Appl. Phys.* 42 pp.5947-5951 (2003)
- [17] T. Nishida, M. Matsuoka, S. Okamura, and T. Shiosaki, "Thermally Stimulated Current and Polarization Fatigue in $\text{Pb}(\text{Zr,Ti})\text{O}_3$ Thin Films", *Jpn. J. Appl. Phys.* 37 pp. 5137-5140 (1998)

第4章 BST 薄膜の誘電特性における温度依存性の改善

4.1 緒言

$Ba_{1-x}Sr_xTiO_3$ (BST)の結晶構造はその Ba/Sr 比によって決定され、室温においては Cubic(常誘電相)または Tetragonal(強誘電相)を示し、そのキュリー温度についても顕著に変動することが知られている。そのため、BST をマイクロ波チューナブル素子へ応用する場合には、その Ba/Sr 比について十分な検討を行なわなければならない。一般的には、室温において常誘電体であり誘電損失の小さい BST(50/50)及び BST(60/40)が研究の対象となっている。本研究においても、主に BST(60/40)薄膜を作製して、その結晶構造と電気的特性の評価を進めて来た。その結果、バイアス電圧 12V 以下で 50%以上のチューナビリティを示す BST 薄膜をグレーズドアルミナ基板上に形成することが出来た。しかし、上記で述べた誘電特性は室温に限った場合に限定され、未だ一般的なマイクロ波素子の温度動作範囲(-40 ~ +85)を満足するような誘電特性は得られていない。そのため本章においては、CSD 法を用いて BST 薄膜組成の最適化を行うことで、誘電特性の温度依存性の平坦化を実現することを目的とする。

4.2 マイクロ波チューナブル素子の温度特性規格

図 4-1 に BST(60/40)薄膜の温度依存性および DC バイアス依存性を示した様に、BST(60/40)薄膜における誘電率の温度特性は室温領域で顕著に変動することが分かった。特に、DC バイアスが 3V 未満の場合、-55 ~ +85 の温度範囲における BST(60/40)薄膜の誘電率変化量は $\pm 15\%$ 以上と非常に大きい。その結果から、0 ~ 2V 程度までの DC バイアス領域では高精度なチューニング用としてデバイス特性を補償することが出来ない。結果的に、この BST(60/40)薄膜は 3V 以上の DC バイアスを印加しなければ十分な温度特性を得られないことから、チューニング範囲は大きく狭まれてしまう。そのため一般的なマイクロ波チューナブル素子の動作温度範囲は少なくとも -40 ~ +85 ⁽¹⁾を満足しなければならない。

例として、従来からマイクロ波帯で使用されている小型通信機器に組み込まれる電子同調用素子のバラクタダイオードとその温度特性を比較してみる。図 4-2 に、そのバラクタダイオード (SKYWORKS 製)⁽²⁾における静電容量の電圧依存性と静電容量変化量の温度依存性を示した。DC バイアスが低い場合、その温度依存性は大きい。しかし、その変化量は -40 ~ +85 の温度範囲において $\pm 5\%$ 以内と極めて高精度に補償されている。また、静電容量の電圧依存性が飽和した領域では、その温度特性はさらに安定していることが分かる。これらの比較検討から、BST(60/40)薄膜における誘電率の温度依存性について、さらなる改善が必要である。

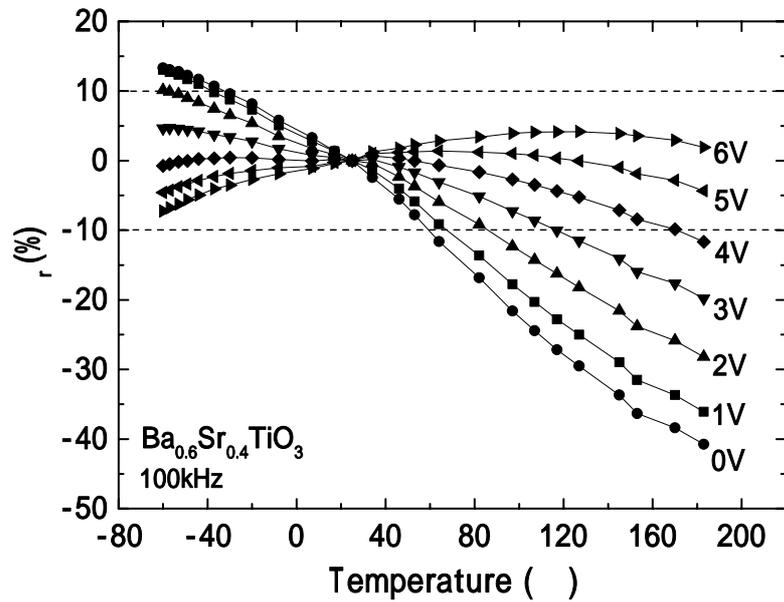


図 4-1 BST(60/40)薄膜における誘電率変化率の温度依存およびバイアス依存性

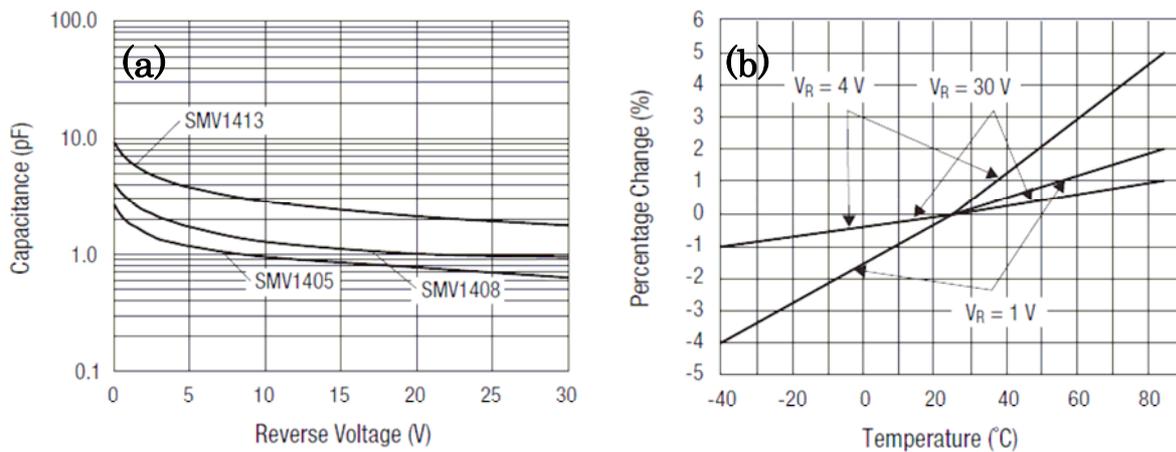


図 4-2 SMV1405-SMV1413 シリーズ(SKYWORKS 製)のデバイス特性⁽²⁾

(a) キャパシタンスの電圧依存性および(b)キャパシタンスの温度依存性(25 基準)

4.3 CSD 法による各組成比の BST 薄膜の作製とその評価

4.3.1 CSD 法による各組成比の BST 薄膜の作製

これまでの研究結果より、BST 薄膜の誘電特性はそのグレインサイズに大きく影響することが分かっている。そのため各組成比の BST 薄膜における誘電特性を比較する場合には、それらのグレインサイズを均一に揃える必要がある。そこで本章では BST の組成比依存性を調べるにあたり、各組成比の BST 薄膜を CSD 法によって作製し、それらの熱処理条件を同一にすることでグレインサイズをそれぞれ揃えた。特に、RTA による結晶化アニールは 800 °C/15 分とし、各サンプルを同じ RTA 炉において一括で熱処理した。

4.3.2 各組成比における BST 薄膜の結晶構造の評価

図 4-3 に 800 °C で熱処理した各組成比の BST 薄膜の XRD 特性を示す。これらの BST 薄膜はランダム配向で成長しており、特に Ba 量の増加に伴って BST(110) のピークは低角度側にシフトした。このことは、BST 薄膜の結晶構造が Ba 量の増加に伴って Cubic(常誘電相)から Tetragonal(強誘電相)に転移した結果と示唆される。また図 4-4、図 4-5 に R. C. Pullar らが BST バルクセラミックスにおけるキュリー温度の組成依存性を詳しく測定した結果を参考として示す⁽³⁻⁴⁾。

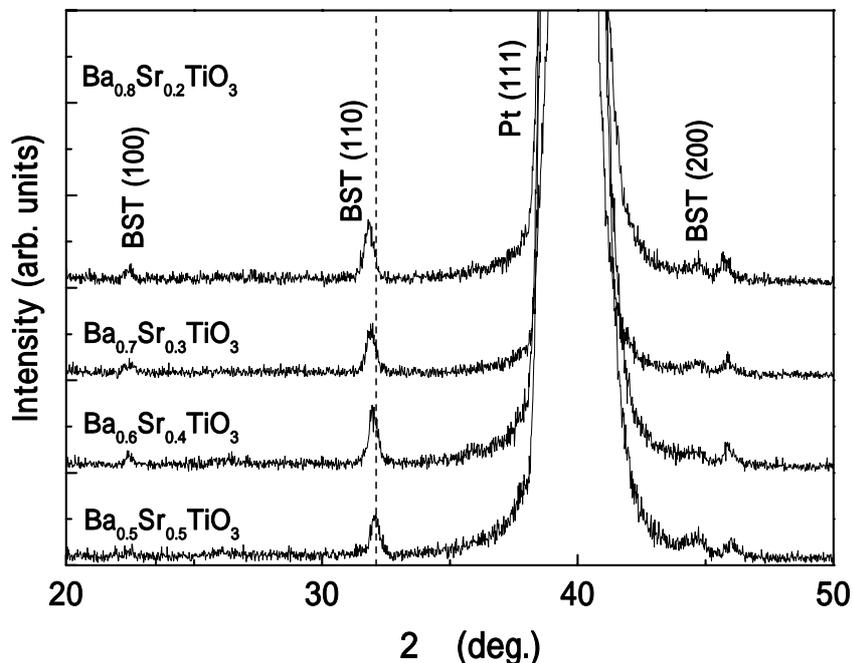


図 4-3 800 °C で熱処理した各組成比における $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ 薄膜の XRD 特性

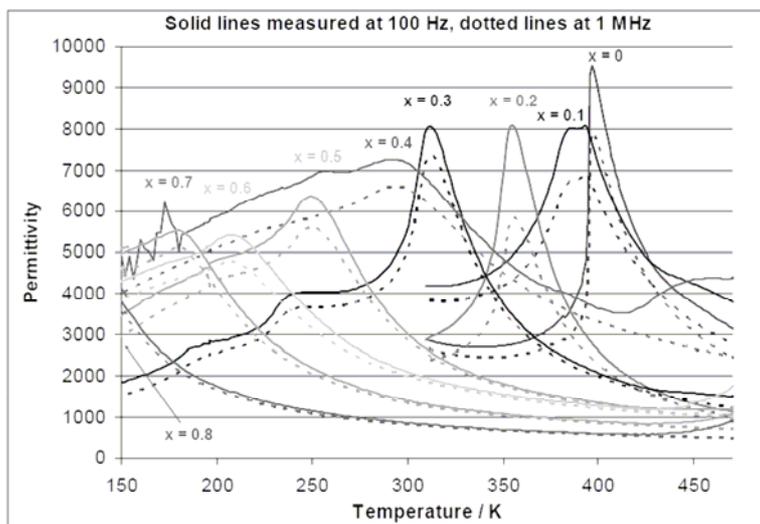


図 4-4 各組成比における $(\text{Ba}_{1-x},\text{Sr}_x)\text{TiO}_3$ バルクセラミックスの誘電率の温度特性⁽⁴⁾

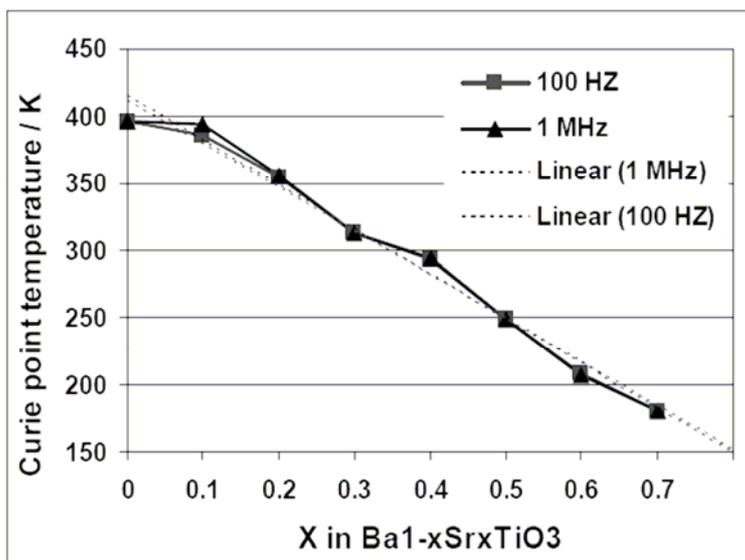


図 4-5 各組成比における $(\text{Ba}_{1-x},\text{Sr}_x)\text{TiO}_3$ バルクセラミックスのキュリー温度⁽⁴⁾

図 4-6 に 800 °C で熱処理した各組成比の BST 薄膜の表面状態を AFM により観察した結果をそれぞれ示す。グレインサイズはどの BST 薄膜においても約 80nm であった。また、各 BST 薄膜の表面粗さ Ra についても 3.9~ 4.4nm 程度と大きな差異は無く、ほぼ同じ表面状態で結晶化していた。このことからグレインサイズ依存性は考慮しなくても良いので、BST 薄膜の誘電特性における組成比依存性を詳細に解析出来る。

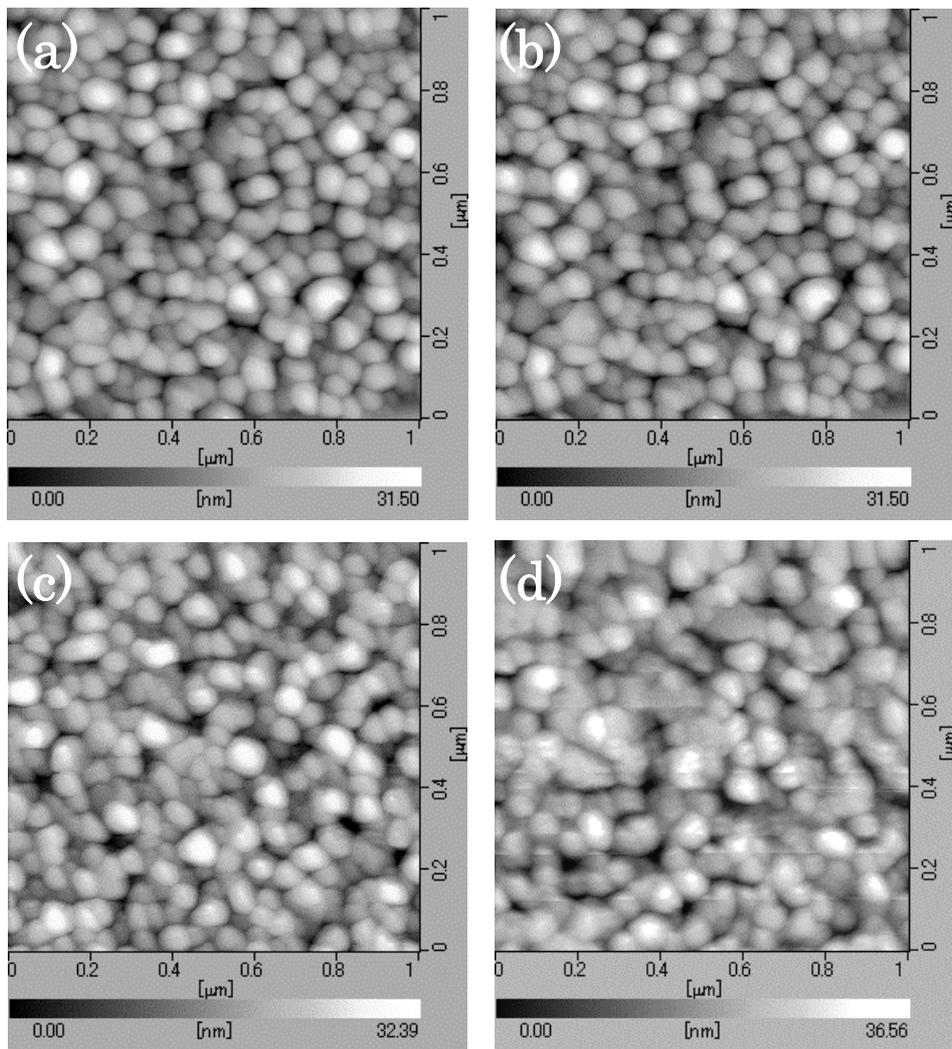


図 4-6 800 °C で熱処理した各組成比における $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ 薄膜の AFM 観察結果
 (a) BST(50/50)、(b) BST(60/40)、(c) BST(70/30)および (d) BST(80/20)薄膜の表面状態

4.3.3 各組成比における BST 薄膜の誘電特性の評価

図 4-7 ならびに図 4-8 に、100kHz 時における各組成比の BST 薄膜の誘電率と $\tan \delta$ の電界依存性を示し、表 4-1 でそれらのチューナビリティを比較した。Ba 量の増加に伴って BST 薄膜の誘電率は増加し、チューナビリティも大きくなる傾向を示した。特に、BST(80/20)薄膜の誘電率は 380、チューナビリティは 62.5% (214 kV/cm, 6.0 V)と良好な誘電特性を示した。しかしながら、BST(80/20)および BST(70/30)薄膜は強誘電性⁽⁵⁻⁶⁾を持つことから、それらの $C-V$ 特性は履歴特性を示し、 $\tan \delta$ も大きくなるのが分かった。さらに常誘電体である BST(60/40)薄膜および (50/50)薄膜の $C-V$ 特性にも僅かに電圧履歴が存在していた。このことは上部および下部電極界面の状態に差異が生じていることから、電気的特性に非対称性が現れた結果であると予想される。しかし、前章において常誘電体である BST(60/40)薄膜についても、組成分布に起因する結晶化温度の違いにより、僅かに析出相が生成され、微小な強誘電性が現れる場合があることを TSC 特性から観測している。

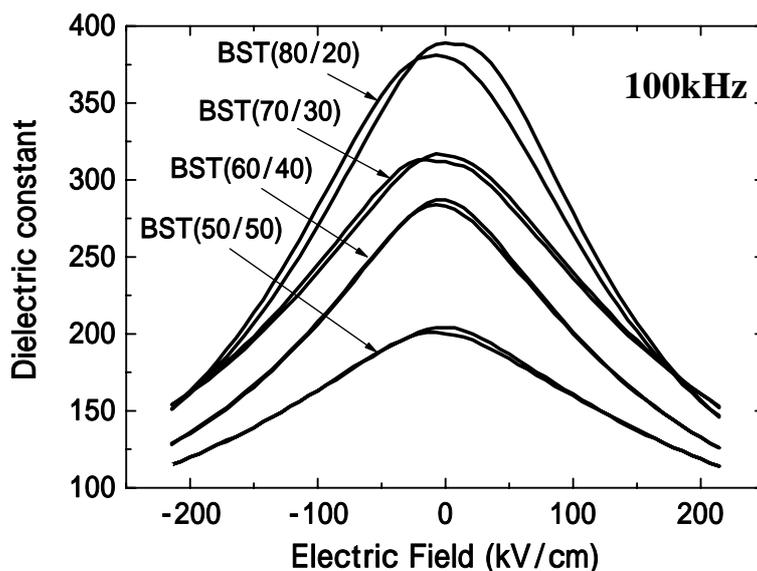


図 4-7 各組成比における $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ 薄膜の誘電率の電界依存性

表 4-1 各組成比における $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ 薄膜のチューナビリティ

Ba/Sr ratio	Tunability (@217kV/cm)
50/50	44.1%
60/40	56.1%
70/30	51.9%
80/20	62.5%

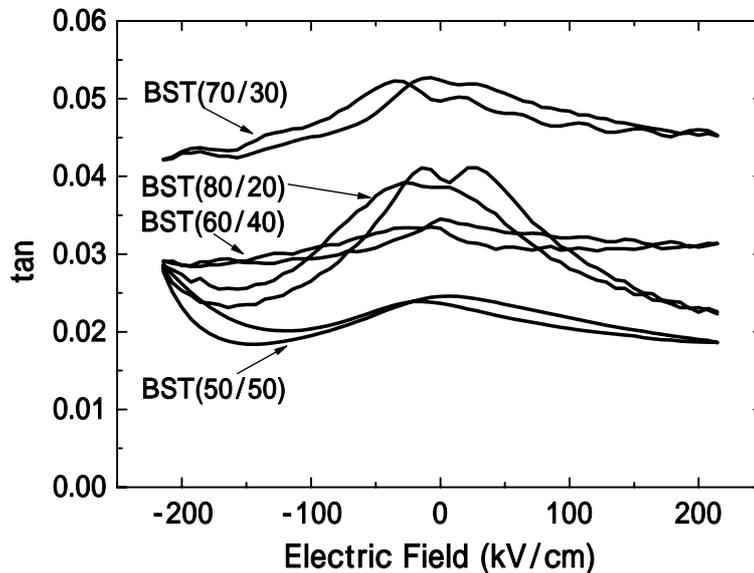


図 4-8 各組成比における $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ 薄膜の $\tan \delta$ の電界依存性

図 4-9 に、100kHz 時における各組成比の BST 薄膜における誘電率の温度依存性を示す⁽⁷⁻⁸⁾。また、図 4-10 に、25 °C 時の誘電率を基準とした各温度における誘電率変化率を示す。これらの結果はバルクセラミックスと比較して、キュリー温度が低温側へ大きくシフトしていることが分かった。常誘電体である BST(60/40)および BST(50/50)薄膜のキュリー温度は、-60 °C 以下に存在していることから、室温付近での ϵ_r-T の傾きは非常に大きくなっていった。このままではデバイスへの応用が難しく、温度特性の平坦化を行なうためデプレッサーやシフターの添加⁽⁹⁻¹⁰⁾が必要になる。しかしながら、強誘電体である BST(80/20)および BST(70/30)薄膜については、キュリー温度が室温付近に存在すると思われる、その温度特性は平坦性を持っていた⁽¹¹⁾。特に、BST(80/20)薄膜については -55 ~ +125 °C の温度範囲において $\pm 10\%$ 以内の誘電率変化量と良好な特性を示していた。このような Ba/Sr 比の調整による温度特性の改善はすでに提案されているが、Ba 量の増加によって強誘電性が現れることがデバイス応用への妨げとなる。

図 4-11 に、100kHz 時における各組成比における BST 薄膜の誘電率の温度依存性と DC バイアス依存性をそれぞれ示す。これらの結果を見ても、BST(70/30)および BST(80/20)薄膜については、広い温度範囲でチューナビリティが高く、さらにその温度特性についても良好であり、有望な材料であることが分かる。

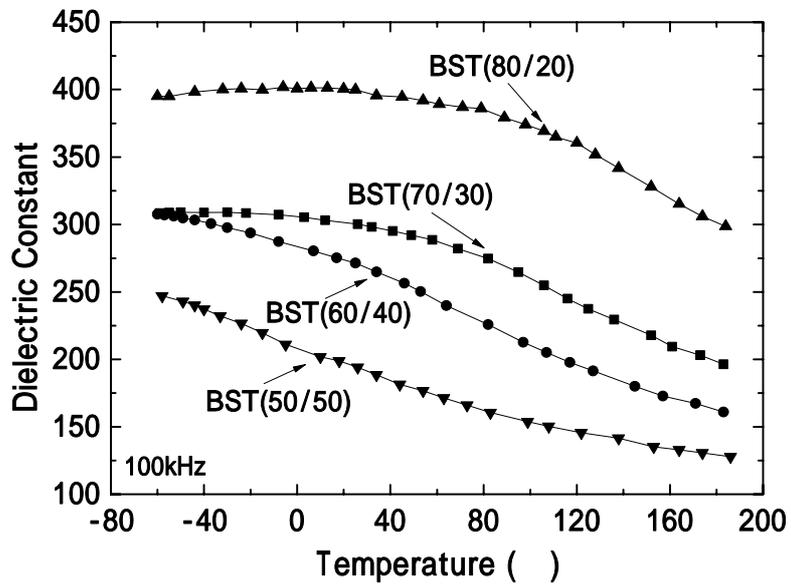


図 4-9 各組成比における $(\text{Ba}_{1-x}, \text{Sr}_x)\text{TiO}_3$ 薄膜の誘電率の温度依存性

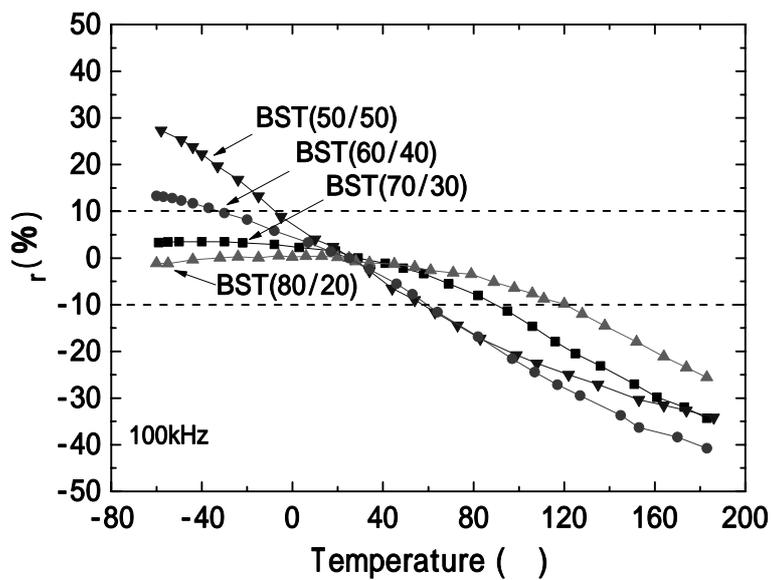


図 4-10 各組成比における $(\text{Ba}_{1-x}, \text{Sr}_x)\text{TiO}_3$ 薄膜の誘電率の温度変化率

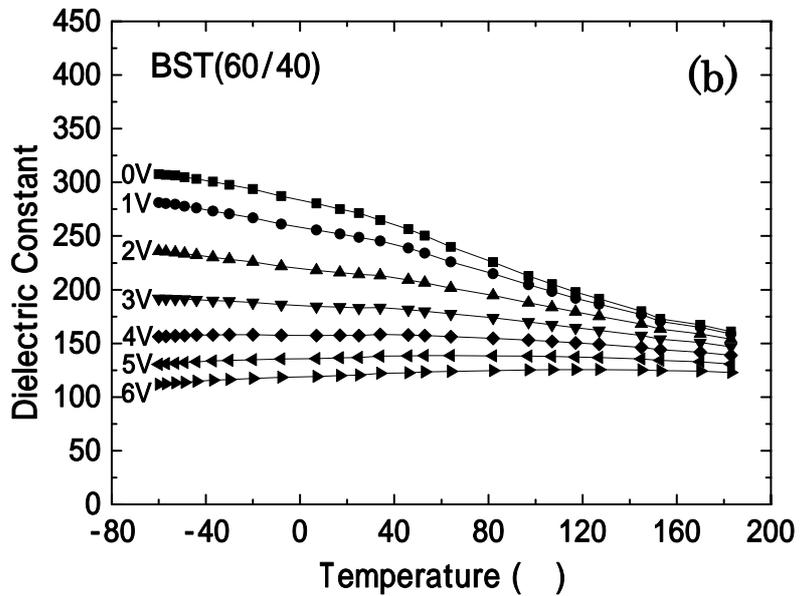
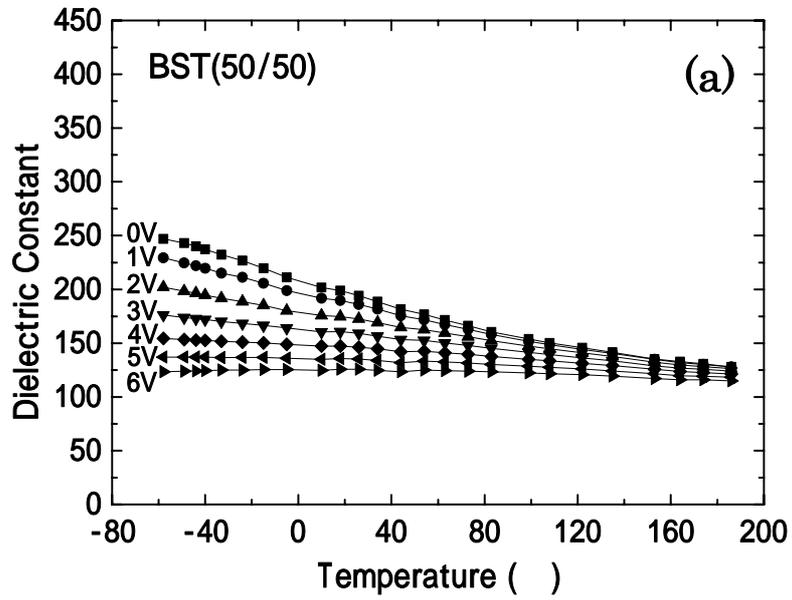


図 4-11 各組成比における $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ 薄膜の(a)誘電率の温度依存性と(b)DC バイアス依存性

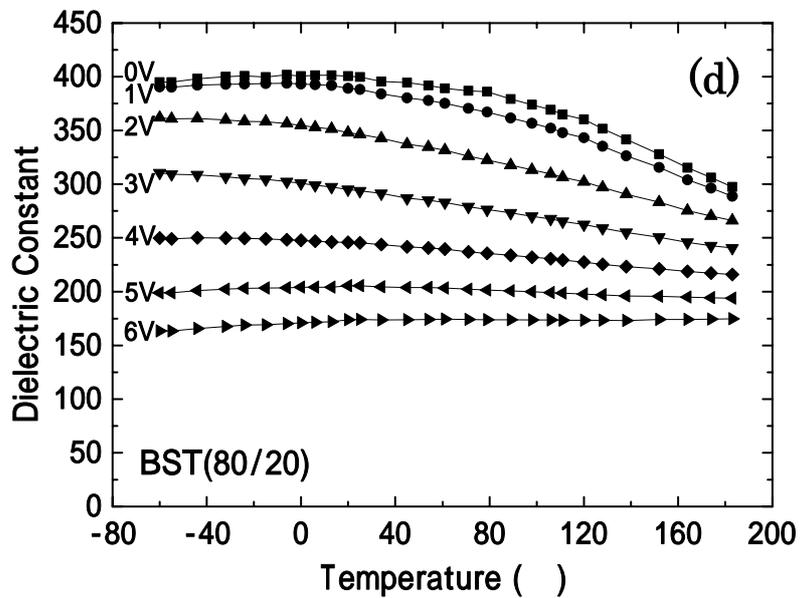
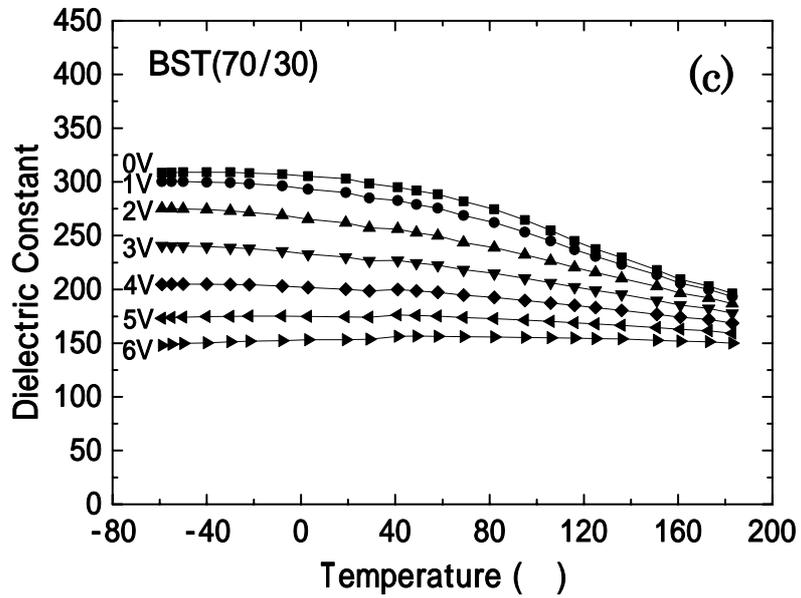


図 4-11 各組成比における $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ 薄膜の誘電率の温度依存性と DC バイアス依存性
 (a) BST(50/50)、(b) BST(60/40)、(c) BST(70/30)および (d) BST(80/20)薄膜

4.4 強誘電体 BST(80/20)薄膜における誘電特性の温度依存性の改善

4.4.1 BST(80/20)薄膜の強誘電性の影響

誘電率の温度特性が平坦であった800 で熱処理したBST(80/20)薄膜は室温において強誘電性を生じるためマイクロ波チューナブルデバイスへの応用には向かない。この理由として、図4-12ならび図4-13にBST(80/20)薄膜の誘電率およびtan のDCバイアス依存性を示した様に、これらのC-V特性には電圧履歴が現れることから、電圧制御によるチューニングが不安定になるためである。さらに強誘電体であるがために誘電損失が大きく、それはDCバイアス依存性も顕著に表れていた。さらに、強誘電体特有の性質である静電容量の経時変化⁽¹¹⁾が顕著に現れ、デバイスの品質を悪化させてしまうことが予想される。

図4-14に、BST(80/20)薄膜の誘電率およびtan の周波数依存性を示す。特に、tan の周波数依存性は100kHzから1MHz時において急激に0.0511まで損失が増大した。さらに、誘電率についても周波数分散の影響からマイクロ波帯では大きく低下してしまうことが示唆される。

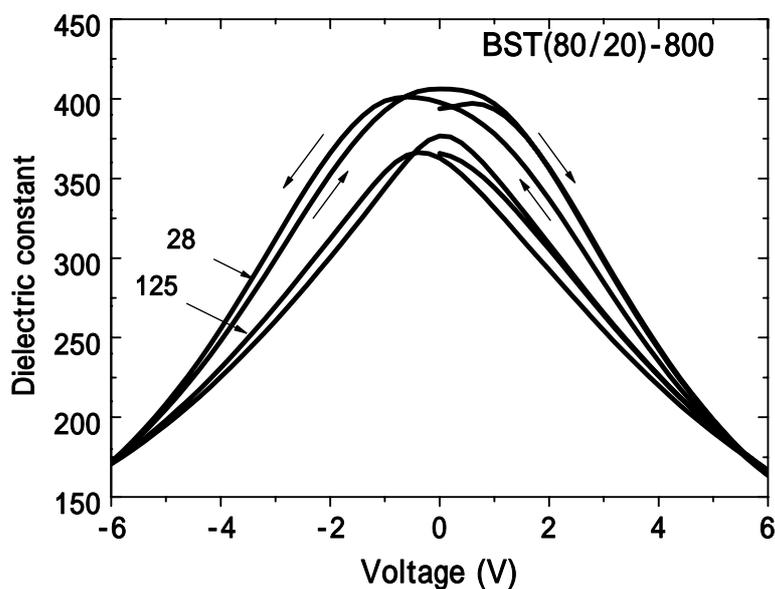


図4-12 BST(80/20)薄膜における誘電率のDCバイアス依存および温度依存性

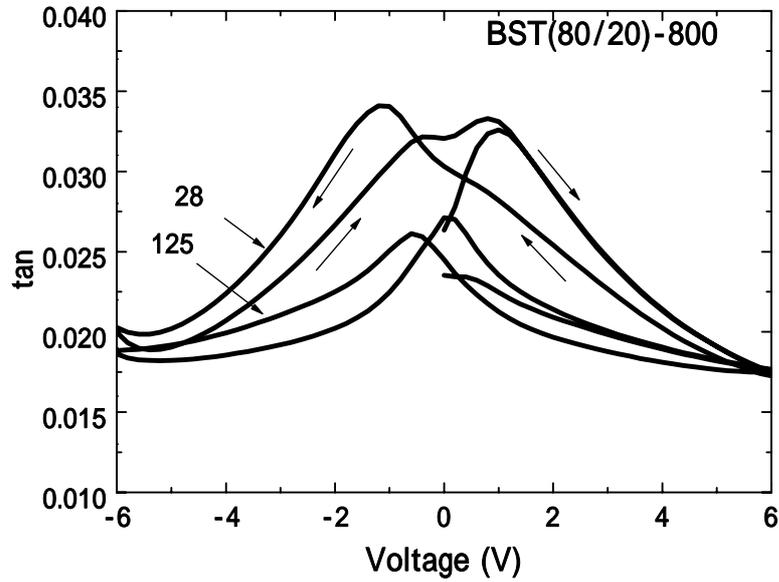


図 4-13 BST(80/20)薄膜における tan の DC バイアス依存および温度依存性

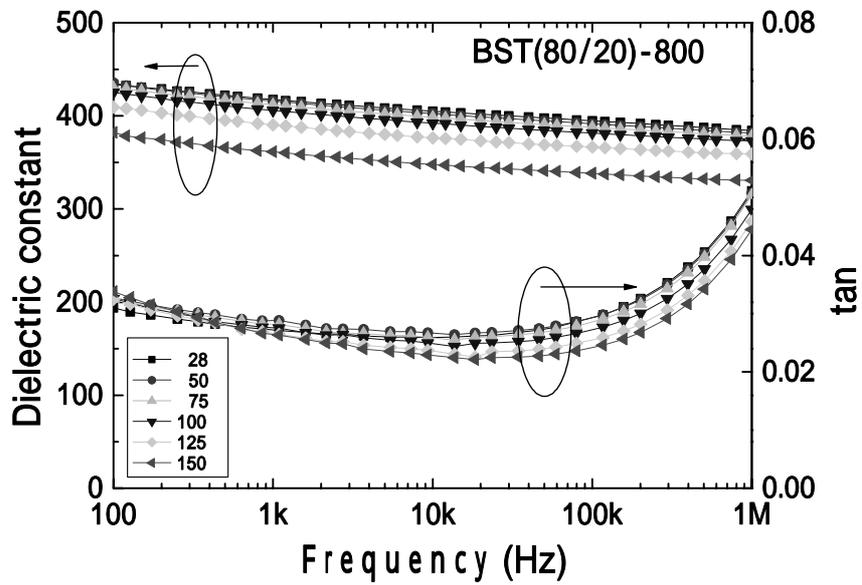


図 4-14 BST(80/20)薄膜の誘電率および tan の周波数依存性

4.4.2 BST(80/20)薄膜の強誘電性の抑制

本研究においては、BST(80/20)薄膜の非線形誘電特性をマイクロ波帯においても低損失で機能させるために、BST(80/20)薄膜の強誘電性を抑制させることを試みた。その方法として、RTAを用いて BST(80/20)薄膜を結晶化させる際に、これまでの熱処理温度より 600 と低温に設定し、グレインサイズの成長を抑えることで強誘電性の制御を試みた⁽¹²⁻¹⁶⁾。Uchino らによると、室温における純粋な BaTiO₃ パルクセラミックスにおいて、正方晶率(c/a 値で定義)にはグレインサイズ依存性があり、そのグレインサイズが 0.2 μm 以下になると急激に正方晶率が低下し、さらには 0.12 μm で完全に立方晶となって強誘電性が消滅する臨界粒径の存在を報告している。このことは BST においても同様に報告されており⁽¹⁷⁾、本研究でも強誘電性を消滅させるために、この方法を検討した。

図 4-15 に、600 および 800 で結晶化させた BST(80/20)薄膜の表面モフォロジーを AFM で観察した結果を示す。結果として、600 の低温で熱処理することによって、BST(80/20)薄膜のグレインサイズは 80nm から 40nm まで減少した。それに伴って、表面粗さ Ra についても 4.51nm から 2.35nm まで減少し、平坦性が向上した。

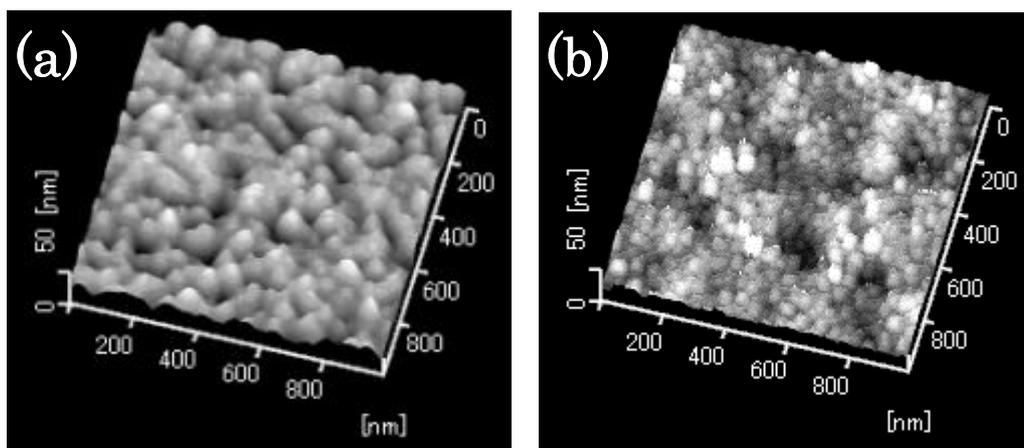


図 4-15 AFM による BST(80/20)薄膜の表面モフォロジーの観察
熱処理温度(a) 800 および(b) 600 の場合

図 4-16 および図 4-17 に、600 で熱処理した BST(80/20)薄膜の誘電率と $\tan \delta$ の電界依存性を示した。グレインサイズが 40nm まで減少することにより、その誘電率は室温において 100kHz 時に 394 から 158 まで低下した。また、熱処理温度 800 のサンプルと比較して、チューナビリティも 39.6% (214kV/cm, 6.0 V)まで低下したが、 C - V 特性の電圧履歴はほぼ消滅した。さらに、 $\tan \delta$ は 0.02 以下まで低下し、その電圧依存性も小さくなった。しかし、75 以上の高温領域において、-200kV/cm 以上の電界を印加すると $\tan \delta$ が急激に増大することが分かった。このことは上部電極と BST 薄膜の密着性の不足から生じる損失であり、次章で説明するリーク特性と深く関係するものと考えられる。

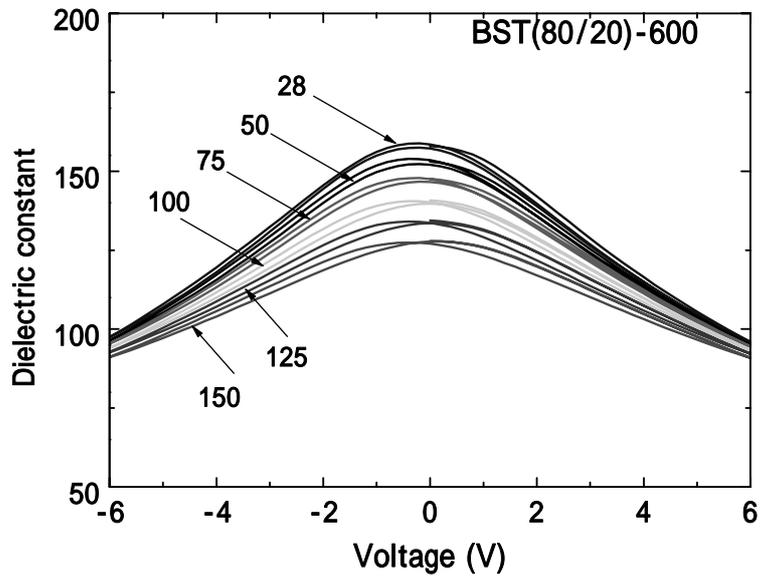


図 4-16 600 で熱処理した BST(80/20)薄膜における誘電率の DC バイアス依存性
および温度依存性

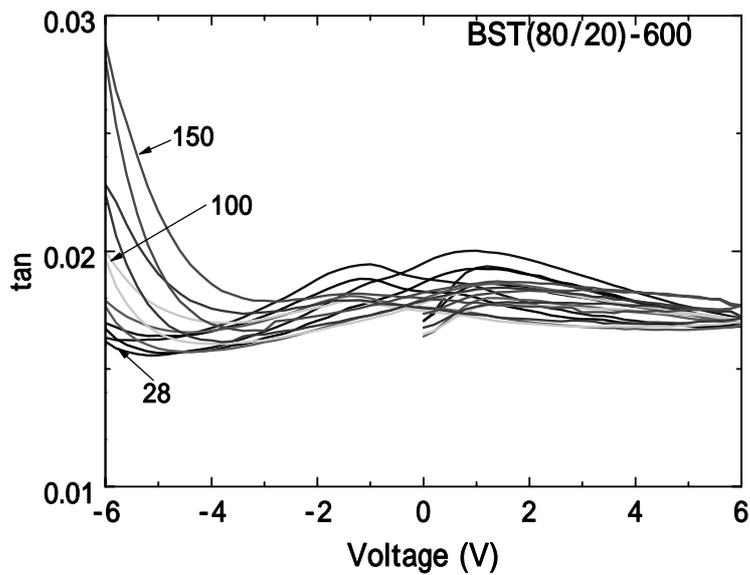


図 4-17 600 で熱処理した BST(80/20)薄膜における $\tan \delta$ の DC バイアス依存性
および温度依存性

図4-18に、600 で熱処理したBST(80/20)薄膜の誘電率およびtan の周波数依存性⁽¹⁸⁾を示す。tan については1MHz時においても0.0194と安定しており、誘電率の周波数分散も小さいことが分かった。これまでの結果から、グレインサイズを減少させることがBST(80/20)薄膜における強誘電性の抑制に効果があることが分かった。より低温で熱処理することによって、完全に強誘電性を除去することも可能と思われるが、デバイス特性に必要な誘電率およびチューナビリティが低下することが懸念されるため、その熱処理温度を見極める必要がある。

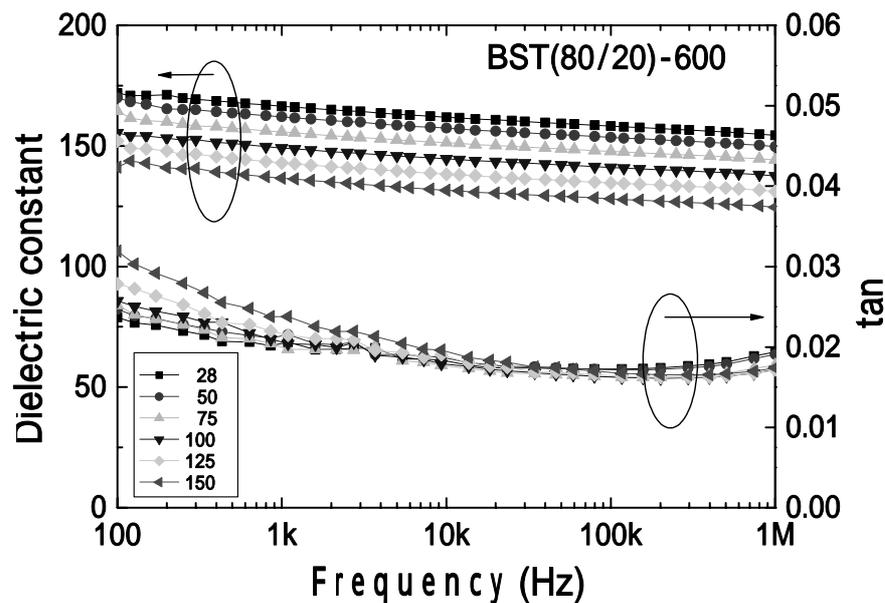


図4-18 600 で熱処理したBST(80/20)薄膜における誘電率およびtan の温度依存と周波数依存性

図4-19に、100kHz時における各種BST薄膜の誘電率の温度依存性を示す。また、図4-20に、25 時の誘電率を基準とした時の各温度における誘電率変化率を示す。強誘電性が抑制されC-V特性の電圧履歴が消滅したことから、各温度における誘電率のDCバイアス依存性は直線的になった。さらに、0V印加時の誘電率も-55 ~ +85 の温度範囲において±7%の変化量であり、十分な特性改善を行うことが出来た。また、グレインサイズとBa/Sr比の最適化を行うことによって、さらなる温度特性の改善が期待される。特に、グレーズドアルミナ基板のガラス転移温度である675より低温で作製出来ることは製品の高品質化において大変重要である。今後さらにマイクロ波帯においても良好な周波数特性および温度特性が得られるか検討を行っていく必要がある。

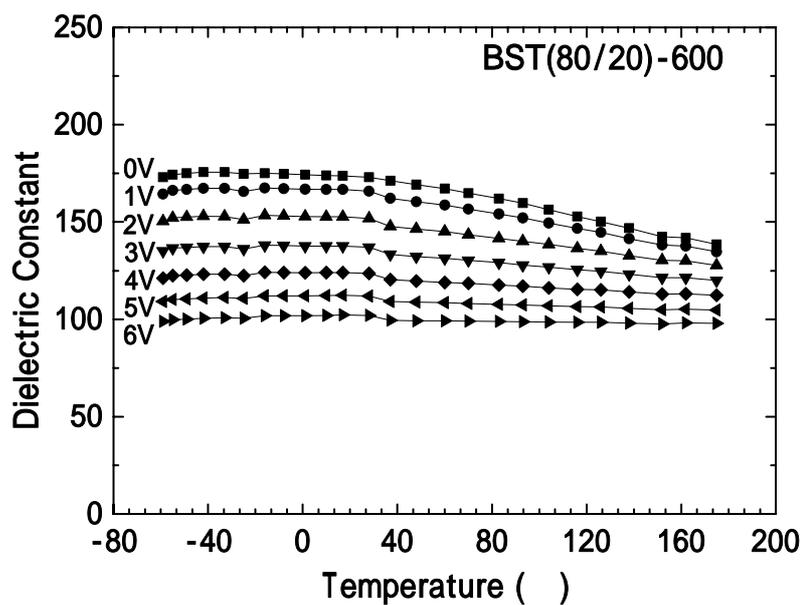


図 4-19 600 で熱処理した BST(80/20)薄膜における誘電率の温度依存性と DC バイアス依存性

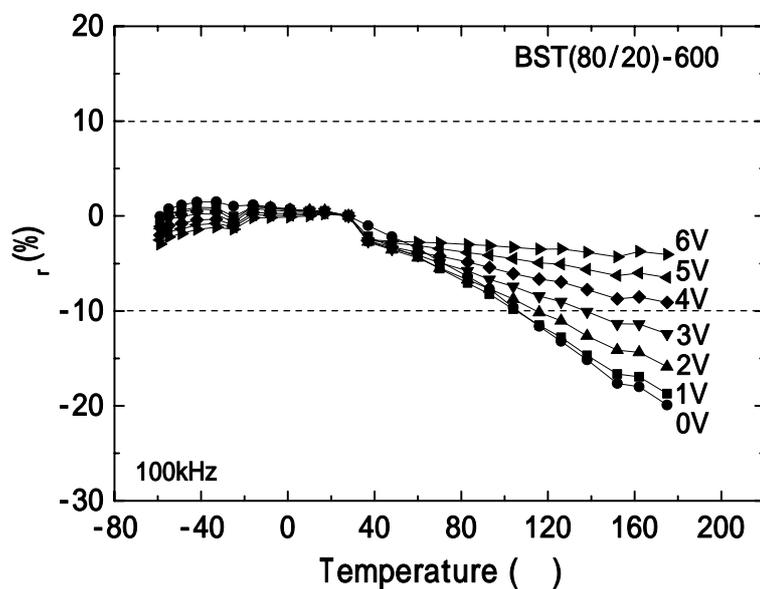


図 4-20 600 で熱処理した BST(80/20)薄膜における誘電率変化率の温度依存性

4.4.3 BST(80/20)薄膜のリーク特性の評価

図 4-20 に、BST(80/20)薄膜(600)の $J-E$ 特性の温度依存性を示す。下部および上部電極はどちらも同じ Pt を用いているが、実際の $J-E$ 特性は非対称であった。特に印加電界 100kV/cm 時におけるリーク電流密度を比較すると、正極(BST/下部電極界面)では $1.99 \times 10^{-7} \text{A/cm}^2$ に対して負極(上部電極/BST 界面)では $3.61 \times 10^{-5} \text{A/cm}^2$ と絶縁性が悪化していた。

まずここでは、主に BST 薄膜と Pt 電極の界面状態がリーク電流を支配的に制御していると考え、下部および上部電極界面のリーク電流特性を $\log J E^{1/2}$ プロットを用いることで、Schottky 電流の解析を行なった。

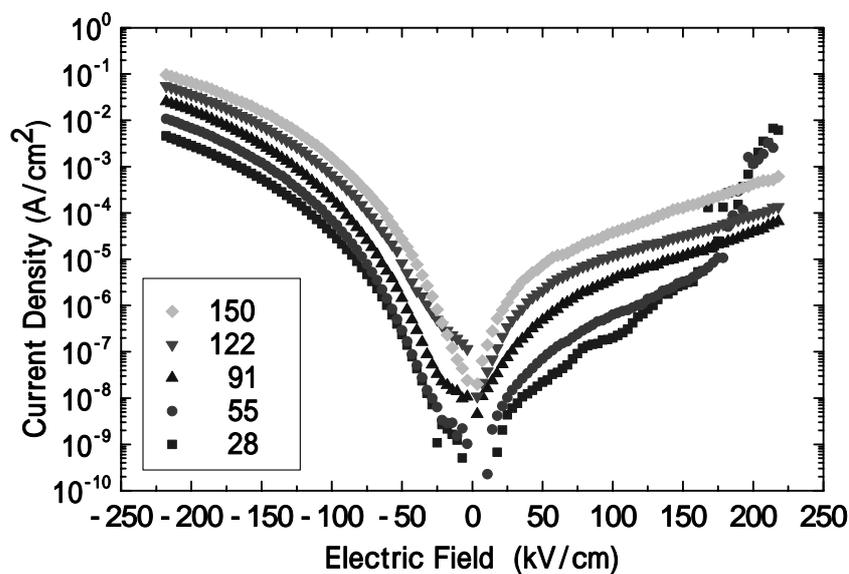


図 4-20 BST(80/20)薄膜(600)の $J-E$ 特性

図 4-21 に、正極側の $J-E$ 特性を $\log J E^{1/2}$ プロットで示す。各温度において 25kV/cm 以上の電界領域から Schottky 電流と思われる直線性が現れた。さらに、これらの直線性が現れた電界領域を $\log (A/T^2) - 1000/T$ プロットによって、活性化エネルギーの解析を行なった。図 4-22 に、 $\log (A/T^2) - 1000/T$ プロットの傾きから算出された各電界領域における Schottky 障壁の高さをそれぞれ示す。BST/下部電極界面には 0.74eV の Schottky 障壁が形成されていたが、上部電極/BST 界面の Schottky 障壁は 0.58eV と低い値であることが分かった。このことは、BST 薄膜の表面粗さと上部電極堆積時のスパッタ条件が影響していると考えられる。結果として、BST(80/20)薄膜 (600)上への電極堆積条件、さらには上部電極堆積後のポストアニール条件が最適化されていないため、界面での密着性の悪化が生じると示唆される。しかし、最適なポストアニールを施すことにより、キャパシタ構造の平滑性と密着性を確保することによって、リーク特性や $\tan \delta$ を改善できると予想される。そこで第 5 章において、界面の影響を考慮しながら詳細な電気伝導メカニズムの解析を行う予定である。

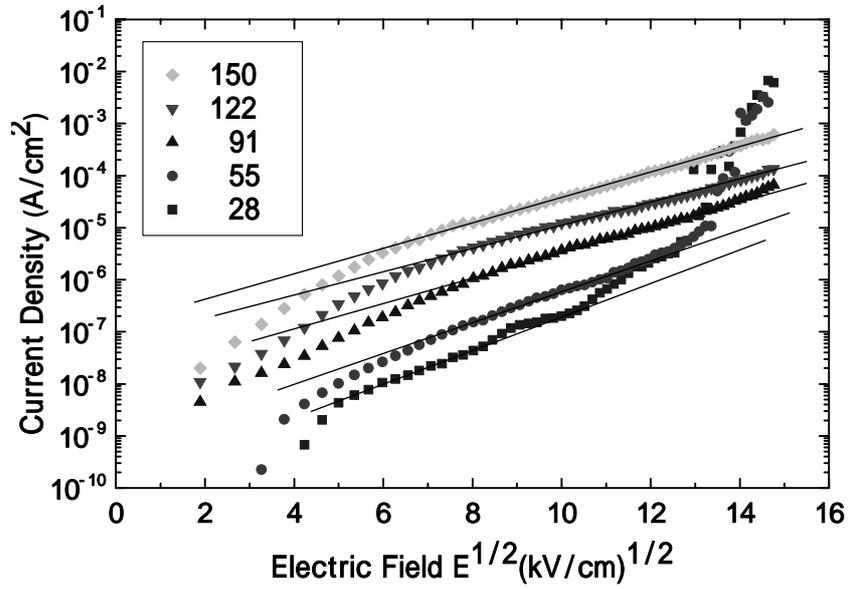


図 4-21 BST(80/20)薄膜(600 nm)の $\log J-E^{1/2}$ プロット (正極側)

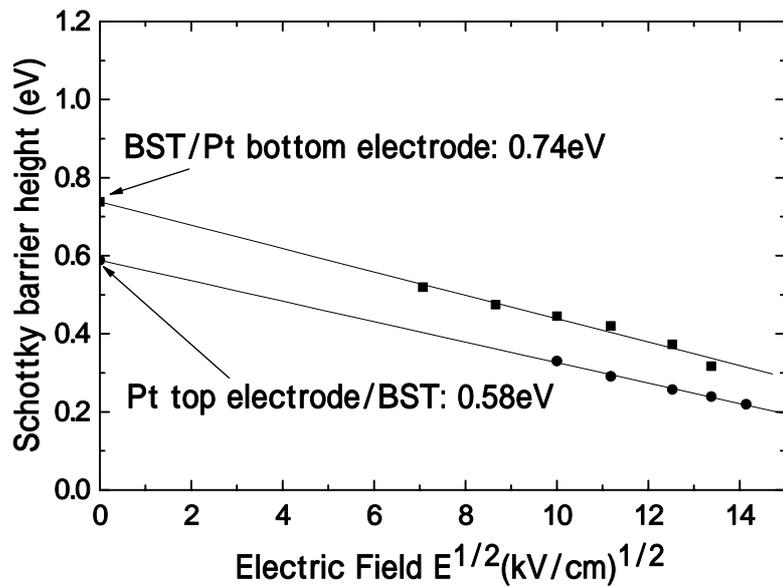


図 4-22 BST(80/20) 薄膜(600 nm)キャパシタの Schottky 障壁高さ算出結果

4.5 まとめ

3章において、常誘電体であり誘電損失の小さいBST(60/40)薄膜を選定して研究を進めて来た。しかしながら、グレーズドアルミナ基板上に堆積したBST(60/40)薄膜は誘電率の温度依存性が大きすぎるため、一般的なマイクロ波チューナブル素子に組み込まれる可変容量コンデンサとしては動作温度範囲を保証できないことが明らかになった。そのことから本章においては、 $-40 \sim +85$ の温度範囲においてBST薄膜の誘電率温度変化量を $\pm 10\%$ まで改善させることを目的に、BST薄膜の最適な組成比の選定、さらにはその結晶化温度について詳細な検討を行なった。

BST薄膜の最適な組成比を検討するために、各組成比の(Ba/Sr比 = 50/50、60/40、70/30および80/20)の前駆体溶液を用いて、Pt下部電極/グレーズドアルミナ基板上にCSD法によって各組成比のBST薄膜を形成した。この時、誘電特性の詳細な比較検討を行なうために熱処理条件を同一にして、それぞれのBST薄膜のグレインサイズを約80nmと均一に揃えた。

各組成比におけるBST薄膜の誘電特性を比較した結果、BST(80/20)薄膜は高いチューナビリティを持っており、さらに誘電率の温度依存性についても室温付近で一定となることが分かった。しかしながら、このBST(80/20)薄膜は強い強誘電性を持ち、そのC-V特性は顕著な電圧履歴を示した。このような強誘電性の存在は、チューナブル素子における電圧制御の直線性を損なう可能性がある。さらに強誘電性を持つがゆえに、その誘電損失は大きく、高周波領域(1MHz)においてtan δ が0.0511まで増大した。しかしBST(80/20)薄膜は広い温度範囲でチューナビリティが高く、その温度特性についても良好であり、大変魅力的な材料であることを明らかにした。

そこで600の低温で熱処理することによって、BST(80/20)薄膜のグレインサイズを40nmまで小さくし、その強誘電性を抑制させた。その時、BST薄膜の100kHz時における誘電率、tan δ およびチューナビリティは158, 0.0170および39.6%(214kV/cm, 6.0V)をそれぞれ示した。さらに、誘電率の温度依存性(0V時)については、 -55 から 85 の範囲において $\pm 7\%$ 以内の変化量であった。よって、このBST薄膜はマイクロ波チューナブルデバイスの動作温度範囲を広く補償することが出来ると示唆される。

さらに、グレーズドアルミナ基板のガラス転移温度である675より低温の600において温度特性の良いBST薄膜が作製出来るため、作製工程の時間短縮化およびコスト改善の観点からも有利性があると考えられる。本研究ではこれらの素子の高品質化において大変重要な知見を明らかにした。しかし、上部電極とBST薄膜界面の密着性の不足により、J-E特性は非対称性を示し、絶縁性が悪化していた。これは上部電極堆積後のポストアニールの最適化を行なうことによって解決できる問題である。第5章にて、これらの問題を改善するためにキャパシタ構造の安定化について検討し、界面近傍の結晶欠陥が電気伝導機構に与える影響を詳細に解析する。

参考文献

- [1] PS214-315: Voltage Controlled Phase Shifter 1700-2800 MHz, (SKYWORK) DATA SHEET
- [2] SMV1405-SMV1413: Abrupt Junction Tuning Varactors (SKYWORKS), DATA SHEET
- [3] R. C. Pullar, Y. Zhang, L. Chen, S. Yang, J. R. G. Evans, P. K. Petrov, and N. M. Alford, "Manufacture and measurement of combinatorial libraries of dielectric ceramics, Part I, Physical characterization of $Ba_{1-x}Sr_xTiO_3$ libraries", *Journal of European Ceramic Society* 27 pp.3861-3865 (2007)
- [4] R. C. Pullara, Y. Zhangb, L. Chenb, S. Yangb, J. R. G. Evansb, P. K. Petrova, A. N. Salakc, D. A. Kiselevc, A. L. Kholkin, V. M. Ferreira, and N. M. Alforda, "Manufacture and measurement of combinatorial libraries of dielectric ceramics: Part II. Dielectric measurements of $Ba_{1-x}Sr_xTiO_3$ libraries", *Journal of the European Ceramic Society* 27 pp.4437-4443 (2007)
- [5] W. Hu, C. Yang, W. Zhang, and G. Liu, "Characteristics of $Ba_{0.8}Sr_{0.2}TiO_3$ ferroelectric thin films by RF magnetron sputtering", *Ceramics international* 33 pp.1299-1303 (2007)
- [6] S. S. Gevorgian and E. L. Kollberg, "Do we really need ferroelectrics in paraelectric phase only inelectrically controlled microwave devices?", *IEEE Transactions on Microwave Theory and Techniques* 49 pp. 2117-2124 (2001)
- [7] B. Su, J. E. Holmes, C. Meggs, and T. W. Button, "Dielectric and microwave properties of barium strontium titanate (BST) thick films on alumina substrates", *Journal of the European Ceramic Society* 23 pp.2699-2703 (2003)
- [8] D. Zhang, W. Hu, M. Carl, B. Su, P. Tim, I. David, M. J. LANCASTER, and T. W. Button, "Fabrication and characterisation of barium strontium titanate thick film device structures for microwave applications", *Journal of the European Ceramic Society* 27 pp.1047-1051 (2007)
- [9] 塩崎 忠, "電気電子材料", series 電気・電子・情報系, 共立出版株式会社, pp149-158 (1999)
- [10] 塩崎 忠 監修, "絶縁・誘電セラミックス", 新材料シリーズ, シーエムシー, pp69-74 (1985)
- [11] 村田製作所 編, "セラミックコンデンサの基礎と応用- エレクトロニクス産業を支える", オーム社 p.255 (2003)
- [12] K. Kinoshita and A. Yamaji "Grain-size effects on dielectric properties in barium titanate ceramics", *J. Appl. Phys.* 47 p.371 (1976)
- [13] K. Uchino, E. Sadanago, and T. Hirose, "Dependence of the Crystal Structure on Particle Size in Barium Titanate", *J. Am. Ceram. Soc.* 72 p.1555 (1989)
- [14] M. H. Frey and D. A. Payne, "Nanocrystalline barium titanate: Evidence for the absence of ferroelectricity in sol-gel derived thin-layer capacitors", *Appl. Phys. Lett.* 63 pp.2753 (1993)
- [15] J-G. Cheng, X-J. Meng, B. Li, J. Tang, S-L. Guo, J-H. Chu, M. Wang, H. Wang, and Z. Wang "Ferroelectricity in sol-gel derived $Ba_{0.8}Sr_{0.2}TiO_3$ thin films using a highly diluted

precursor solution”, Appl. Phys. Lett. 75 pp.2132-2134 (1999)

[16] 内野 研二, 石井 孝明 共訳, ”強誘電体デバイス”, 森北出版株式会社 pp.79-84 (2005)

[17] T. Yamakawa, and K. Uchino, Proc. Int'l. Symp. Appl. Ferroelectrics '90, p.610 (1991)

[18] S. Xing, Z. Song, and C. Lin, “Optimized deposition of PLD-derived $\text{Ba}_{0.8}\text{Sr}_{0.2}\text{TiO}_3$ thin films capacitor”, Materials Letters 54 pp.447-451 (2002)

第5章 BST 薄膜の電気伝導機構に及ぼす界面構造の影響

5.1 緒言

近年、BST 薄膜のマイクロ波チューナブル素子への応用については、多くの研究グループによって精力的に報告されている⁽¹⁻²⁾。しかしながら、その内容としては試作したデバイスの高周波特性に関するものが主で、マイクロ波デバイスとして BST 薄膜に求められる絶縁性やその寿命性（電気伝導特性および経時変化）についての報告はいまだ少ないのが現状である。特に BST 薄膜キャパシタの電気伝導特性を理解することは、デバイスの発熱やそれに伴う絶縁破壊を制御する上で重要であり、強誘電体不揮発性メモリやギガビット世代の DRAM 用キャパシタの開発と共通するところが多い⁽³⁻⁵⁾。その中で、本研究で作製したグレーズドアルミナ基板上的 BST 薄膜については、 $\tan \delta$ は約 0.05 と損失が大きく、また $J-E$ 特性の非対称性を有していることから、電極/BST 界面に欠陥が存在することを見出した。このことから、本章ではより一層の BST 薄膜キャパシタ構造の安定化と絶縁性の向上を得るため、BST 薄膜キャパシタの電極/BST 界面の影響について電気伝導特性を調べることによってその絶縁性と寿命について評価し、マイクロ波チューナブル素子としてのデバイス性能を向上することを目的とする。

5.2 TEM-EDS 分析による Pt/BST/Pt 薄膜キャパシタ構造の解析

本研究の開始当初、Pt 下部電極の膜厚は 100nm としていたが、Pt の抵抗率は $9.59 \mu\Omega \cdot \text{cm}$ と比較的大きく、マイクロ波帯で導体損を発生する可能性があった。Y. Wang 等は Si 基板上に Pt/BST/Pt 薄膜キャパシタを作製し、その誘電特性を測定した。その際の Pt 下部電極の膜厚は 100nm であった。誘電率の周波数依存性を測定した結果、1Hz-1MHz でその誘電率は 5.67% 減少した。また、 $\tan \delta$ は 100kHz 時に 0.015 であるが、1MHz 時には約 0.06 まで急激に増加した。この原因は Pt/BST/Pt 薄膜キャパシタの持つ直列抵抗成分が影響していると考察している⁽⁶⁾。

本研究ではこの問題の改善策として、Pt より抵抗率の低い Au ($2.01 \mu\Omega \cdot \text{cm}$) を下部電極として用いる方法を考えたが、Au ($14.3 \times 10^{-6} / \text{K}$) と BST 薄膜 (約 $8.0 \times 10^{-6} / \text{K}$) の熱膨張係数は大きく異なり、RTA で 800 °C の急速熱処理を行うとクラックが生じやすい傾向があった。そのことから Pt 下部電極の膜厚を 200nm に厚くすることで電極の持つ直列抵抗成分を小さくした。その Pt/BST/Pt/薄膜キャパシタ構造を TEM によって観察した結果を図 5-1 に示す。この試料はグレーズド層のガラス転移温度 (675 °C) よりも高い、800 °C の熱処理を施して作製しているが、Pt とグレーズド層の界面は相互拡散も無くスムーズに形成されていた。また、Pt 下部電極上の BST 薄膜についてもグレインが緻密に積層した構造を持ち、CSD 法特有の多層塗りに起因する界面⁽⁷⁾ は存在しなかった。

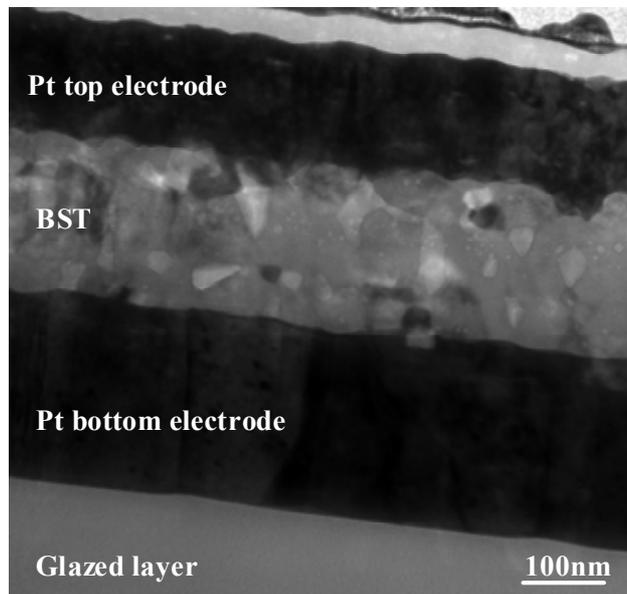


図 5-1 Pt/BST/Pt/グレーズアルミナ基板のキャパシタ構造の TEM 観察結果

図 5-2 に高分解能 TEM による BST 薄膜の観察結果を示す。BST 薄膜中の粒界は反応や変質層の存在は確認されず理想的な構造を示していた。図 5-3 に BST 薄膜/Pt 下部電極の界面構造と図 5-4 に Pt 上部電極/BST 薄膜の界面構造をそれぞれ高分解能 TEM によって観察した結果を示す。BST 薄膜/Pt 下部電極の界面構造はスムーズに形成されているが、800 の高温で熱処理することによって生じた BST と Pt の相互拡散と思われる変質層⁽⁸⁾が約 8nm の厚さで存在していた。さらに、Pt 上部電極/BST 薄膜の界面構造については、BST 薄膜の表面粗さが影響し、局所的な 20nm 程度の荒れが存在しており、上部電極との密着性に乏しい状態であった。特に、これまでの電気的特性の評価から、上部電極側を負極とした場合に高電界領域で急激な $\tan \delta$ の増加や絶縁破壊を引き起こすことから、この BST 薄膜キャパシタの欠陥構造は、主に Pt 上部電極/BST 界面に起因していると予想される。このことから、界面構造の密着性を確保するために最適なポストアニールを施す必要があると思われる⁽⁹⁾。

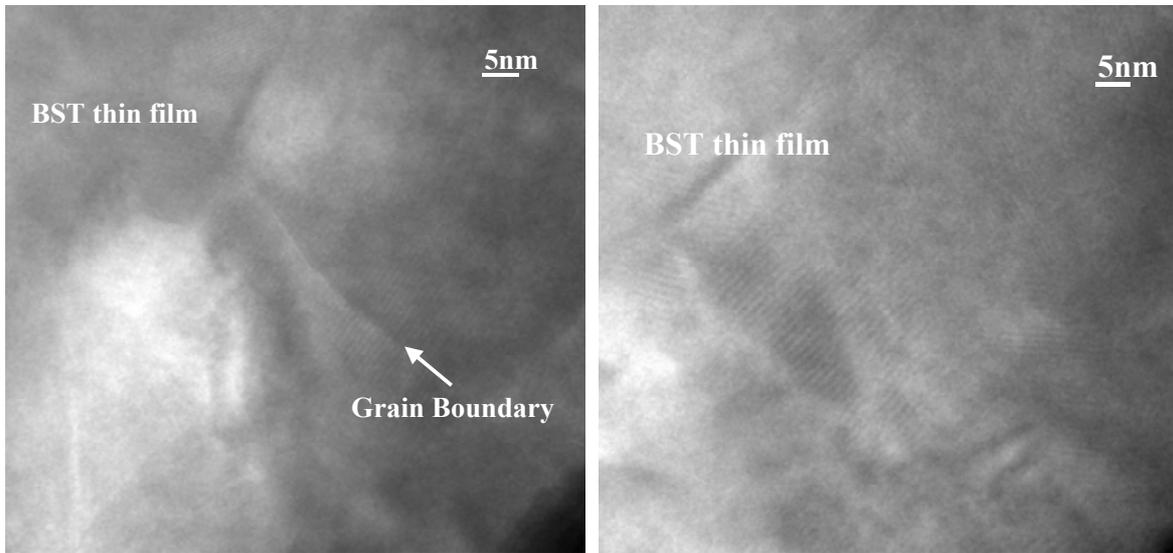


図 5-2 高分解能 TEM による BST 薄膜の観察結果

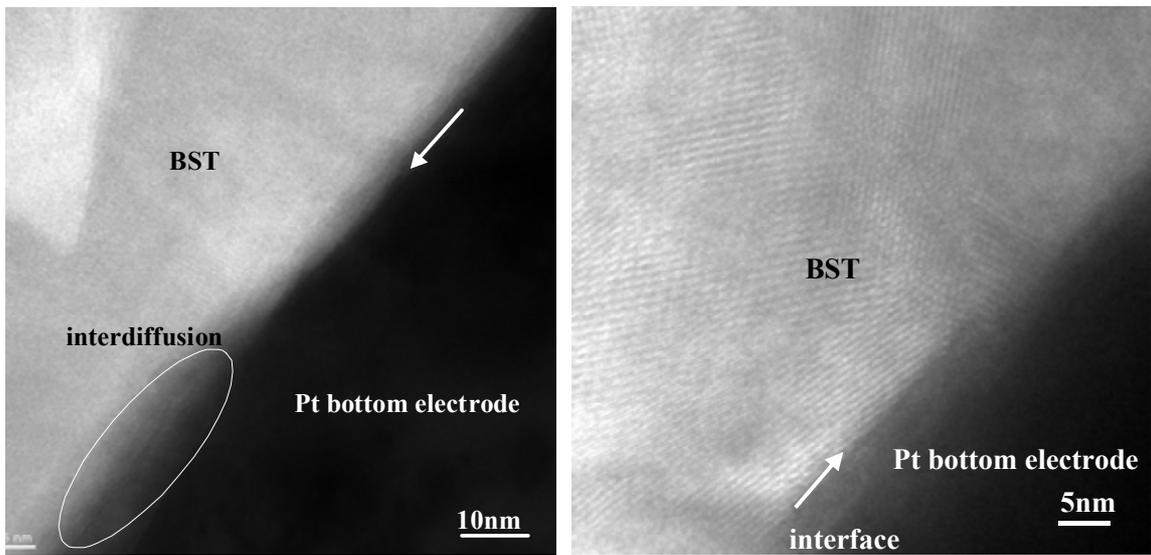


図 5-3 BST 薄膜/Pt 下部電極界面の高分解能 TEM 像

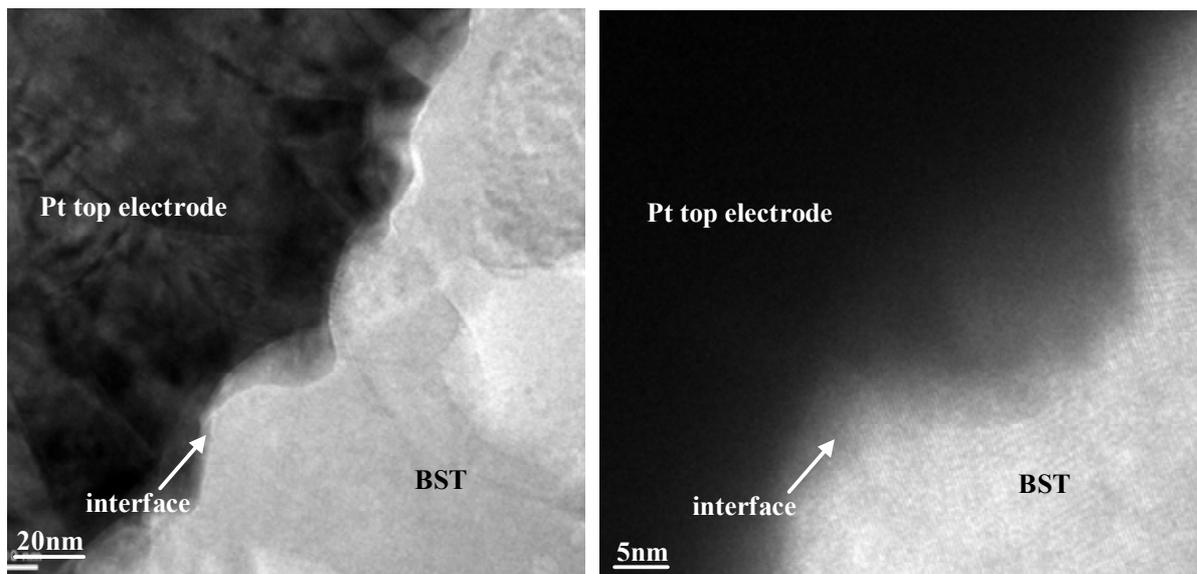


図 5-4 Pt 上部電極/BST 薄膜界面の高分解能 TEM 像

次に、TEM-EDS 分析⁽¹⁰⁾によって Pt/BST/Pt キャパシタの組成分布を解析した。まず、図 5-5 に Pt/BST/Pt キャパシタ構造の各領域における測定領域を示す。図 5-6(a)-(e)にそれぞれの測定領域に対応する EDS スペクトルの分析結果を示した。(a)Pt 上部電極(測定領域 004)および(e)Pt 下部電極(測定領域 008)の EDS スペクトルに BST の存在は無く、熱処理による顕著な相互拡散は生じておらず良好な界面を形成していた。しかし、(b)上部電極近傍の BST 薄膜(測定領域 005)において僅かに Pt のピークが観測された。このことは BST 薄膜の表面粗さに起因して局所的に Pt が食込んで観察された結果と推定される。また、(c)BST 薄膜中(測定領域 006)および(d)下部電極近傍の BST 薄膜(測定領域 007)は BST を構成する元素のみ観測された。

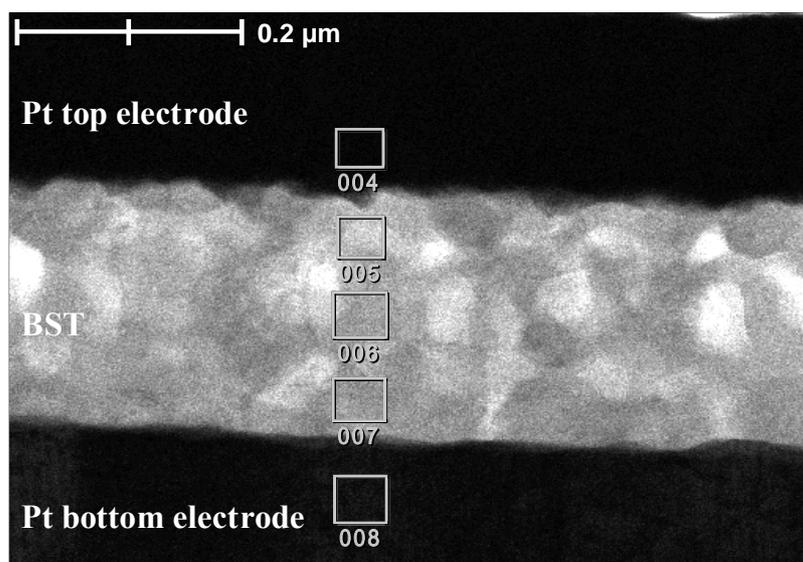
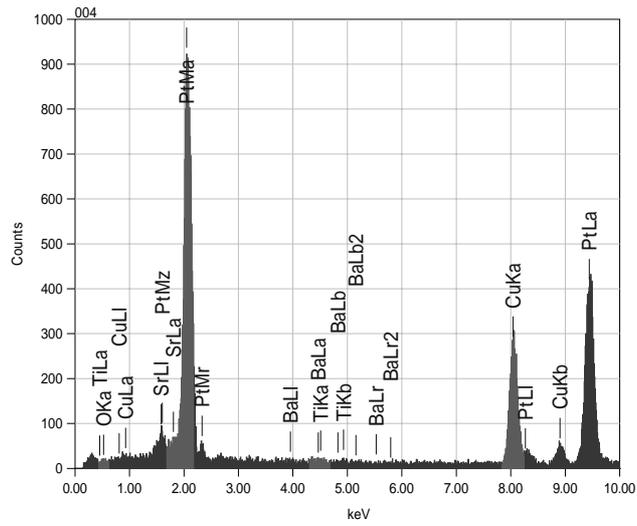
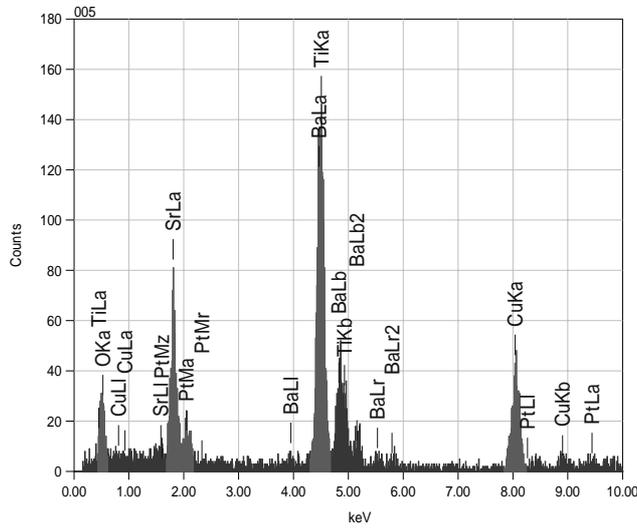


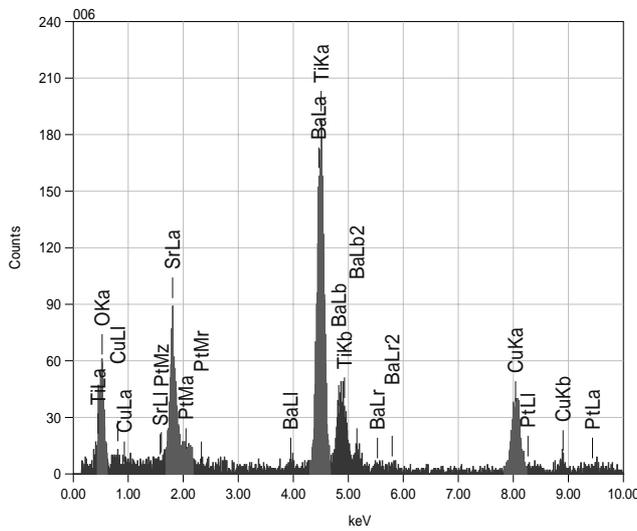
図 5-5 Pt/BST/Pt キャパシタ構造における EDS スペクトルの分析領域



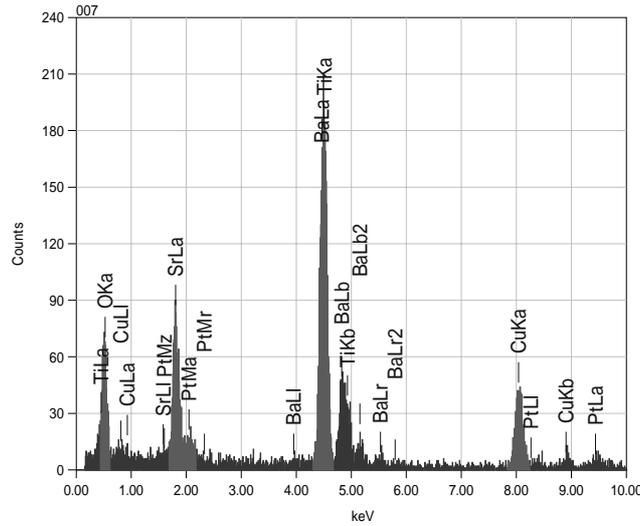
(a) Pt 上部電極(測定領域 004)



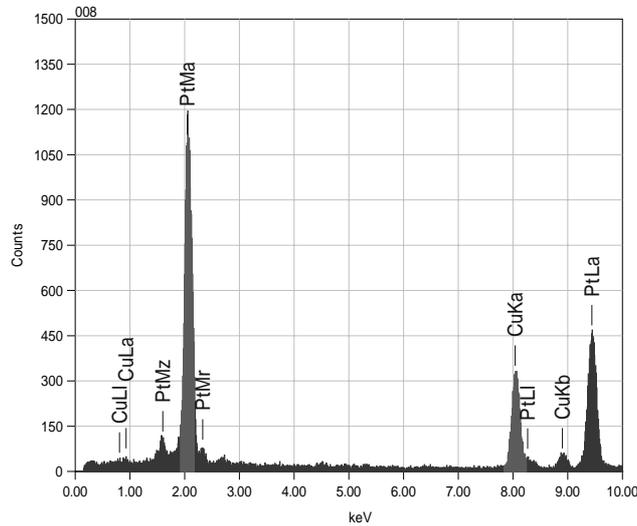
(b) 上部電極近傍の BST 薄膜(測定領域 005)



(c) BST 薄膜中(測定領域 006)



(d)下部電極近傍の BST 薄膜(測定領域 007)



(e)Pt 下部電極(測定領域 008)

図 5-6(a)-(e) 図 5-6 に対応する EDS スペクトルの分析結果

次に、図 5-7 に Pt 上部電極/BST 界面ならびに図 5-8 に BST/Pt 下部電極界面近傍の EDS 定量マッピングをそれぞれ示す。前述したとおり、BST/Pt 下部電極の界面構造はスムーズに形成されているが、Pt 上部電極/BST 界面は BST 薄膜の表面粗さのために、界面が荒れており、密着性に乏しい状態であった。また、BST/Pt 下部電極界面には、Ba, Sr 成分の Pt 中への拡散による欠損が生じていると思われる。しかしながら、CSD 法による BST 薄膜の組成分布の制御や BST 薄膜表面の欠陥制御は非常に難しく、さらに高品質な膜質を得るためには RF スパッタ法による成膜が必要である。

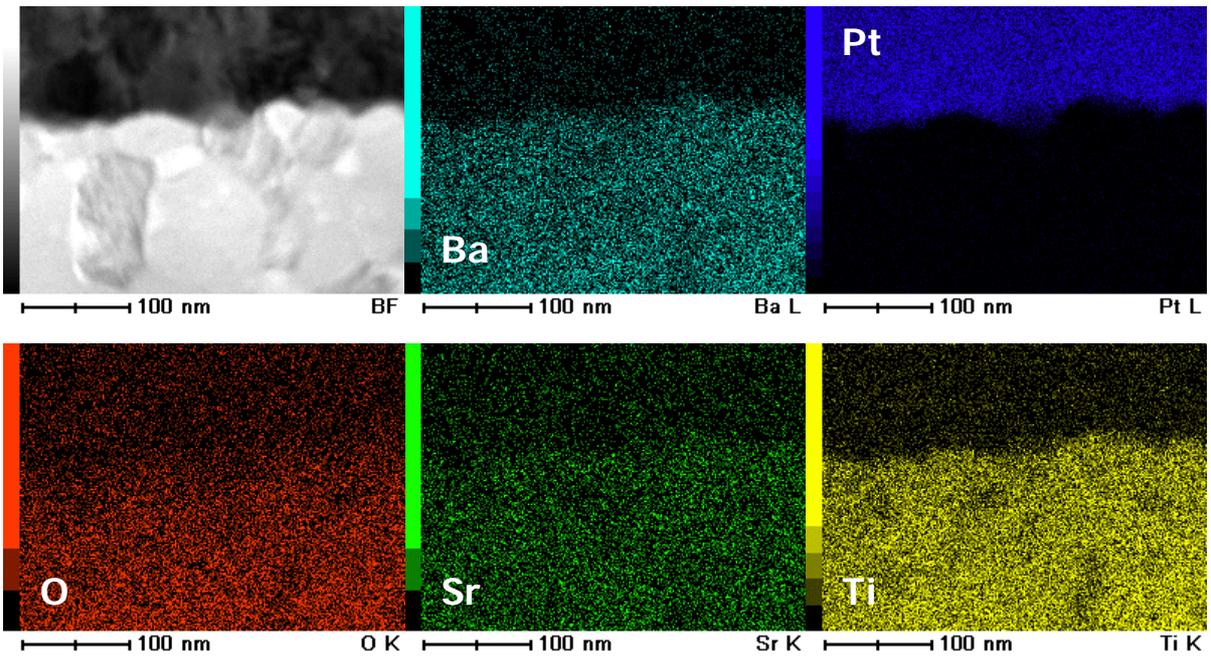


図 5-7 Pt 上部電極/BST 界面近傍の EDS 定量マッピング

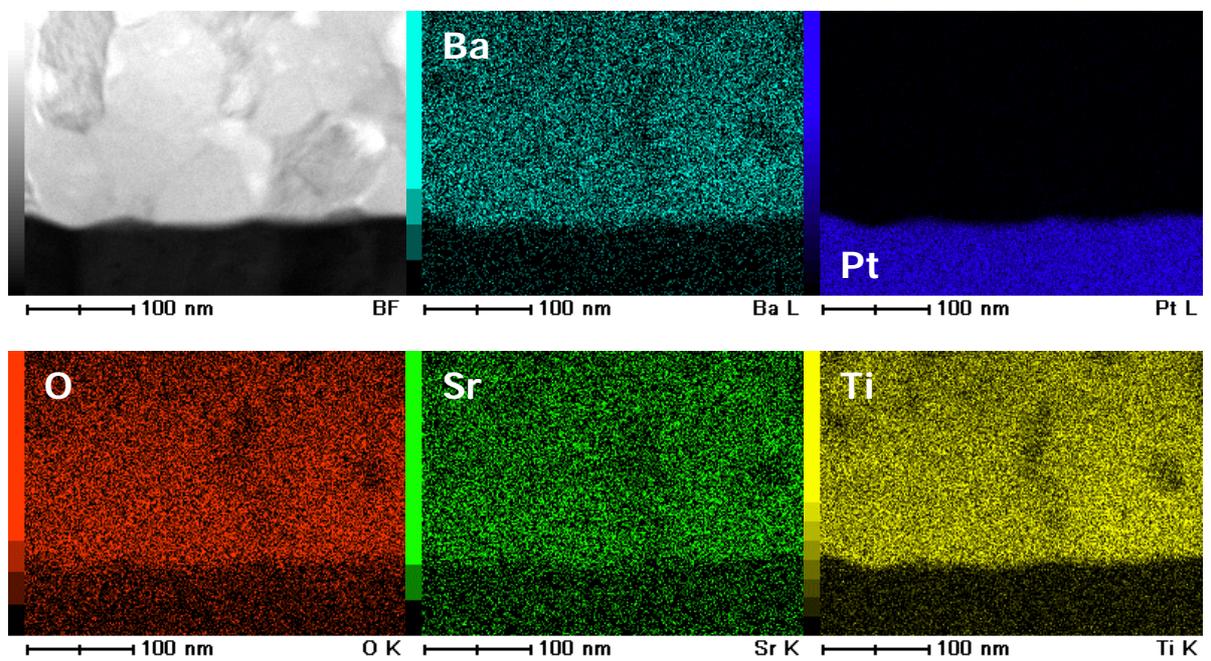


図 5-8 BST/Pt 下部電極界面近傍の EDS 定量マッピング

5.3 上部電極形成後のポストアニールによる BST 薄膜キャパシタの電気的特性の改善

上部電極/BST 界面については、BST 薄膜の表面粗さの影響や上部電極の堆積条件⁽¹¹⁾が電気的特性に極めて影響する。特に、上部電極形成後のポストアニールは絶縁性および誘電損失の改善に極めて効果的であり、本研究についてもポストアニールの最適条件について考察しなければならない。そこで、BST 薄膜と電極の界面に注目し、上部電極材料を Pt および Au とした時の電気的特性の比較、さらには上部電極を形成した後のポストアニールの効果について解析を行った。

図 5-11 に、1MHz 時における各上部電極を用いた BST 薄膜キャパシタの誘電率および tan の電界依存性を示した。Pt 上部電極の堆積後に 400 /30 分のポストアニールを施すことによって、誘電率は約 30 の低下を生じるが、tan は大幅に改善する。このことは、熱処理することによって、上部電極/BST 界面の構造が平坦になり、密着性が向上したためと思われる。それぞれの試料における誘電率、tan およびチューナビリティ (214kV/cm, 6.0V 時)は、上部電極形成後のポストアニールを施していない試料となる Pt/BST/Pt 薄膜(as-depo)で 281, 0.0380, 51.4%、またポストアニールを施した Pt/BST/Pt(post-anneal)で 253, 0.0207, 52.6%、Au/BST/Pt 薄膜(post-anneal)で 200, 0.0178, 53.7%の値を示した。この結果は、Pt 下部電極の膜厚を 100nm とした試料(図 3-9)より、チューナビリティは約 10%向上した。Pt 下部電極の膜厚を増加させることで、Pt 自体の結晶性が向上し、それに伴って BST の結晶性も改善された結果と示唆される。図 5-12 に各上部電極を用いた BST 薄膜キャパシタのチューナビリティの電界依存性を示す。チューナビリティについては、ポストアニールの処理前後でほとんど変化は無かった。

図 5-13 に誘電率および tan の周波数依存性を示した。Pt/BST/Pt 薄膜(as-depo)の誘電率は 100Hz から 1MHz までに 19.7%と大きく低下するが、ポストアニールを施すことにより、その周波数分散の影響が緩和され、誘電率の低下は僅か 6.1%となった。tan については 100kHz 時に 0.0128 と極めて良好な値を示し、広い周波数範囲で 0.02 以下を保つまで改善した。Au/BST/Pt 薄膜については誘電率の低下率は 5.3%であり、さらに tan の周波数特性も Pt 電極を用いた試料より優れていることを確認した。これらの特性は表 5-1 で詳細にまとめた。

図 5-14 に、それらの試料における誘電率の温度依存性を示した。この BST 薄膜のキュリー温度は -60 付近にブロードに存在していることから、室温領域での傾きが特に大きくなることが分かっている。ポストアニールを施した試料については、Pt および Au 電極とも同じ傾きを持っており、25 から 125 までに、それらの誘電率は約 25%低下した。これらの値は BST 薄膜における真の誘電率温度係数と考えられ、さらに温度特性の平坦化を求める場合には、Ba/Sr 比の調整が必要となる。

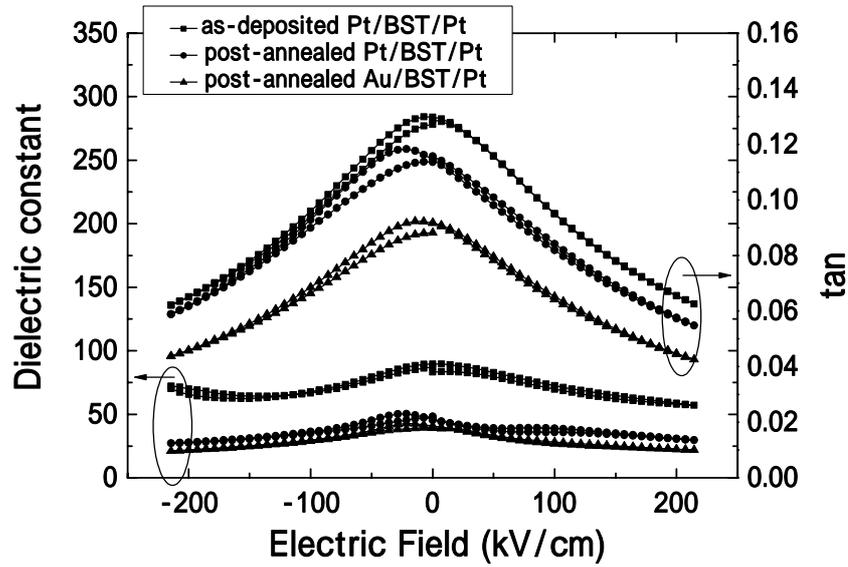


図 5-11 各上部電極を用いた BST 薄膜キャパシタの誘電率および $\tan \delta$ の電界依存性

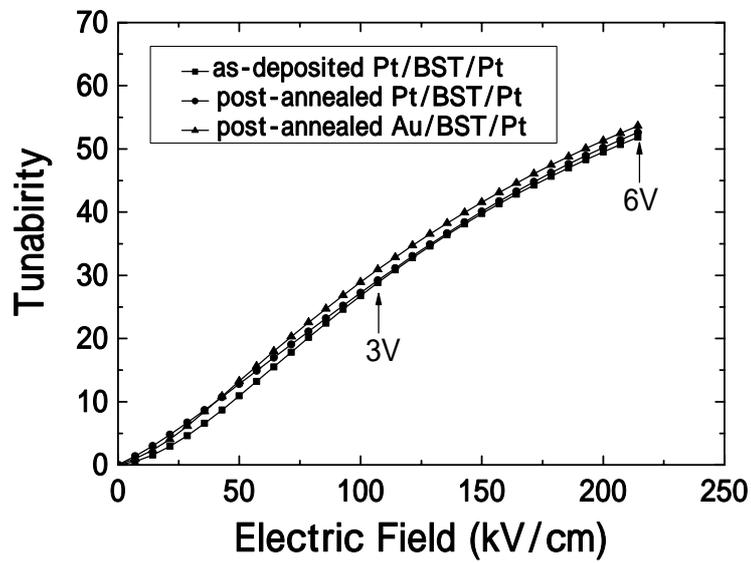


図 5-12 各上部電極を用いた BST 薄膜キャパシタのチューナビリティの電界依存性

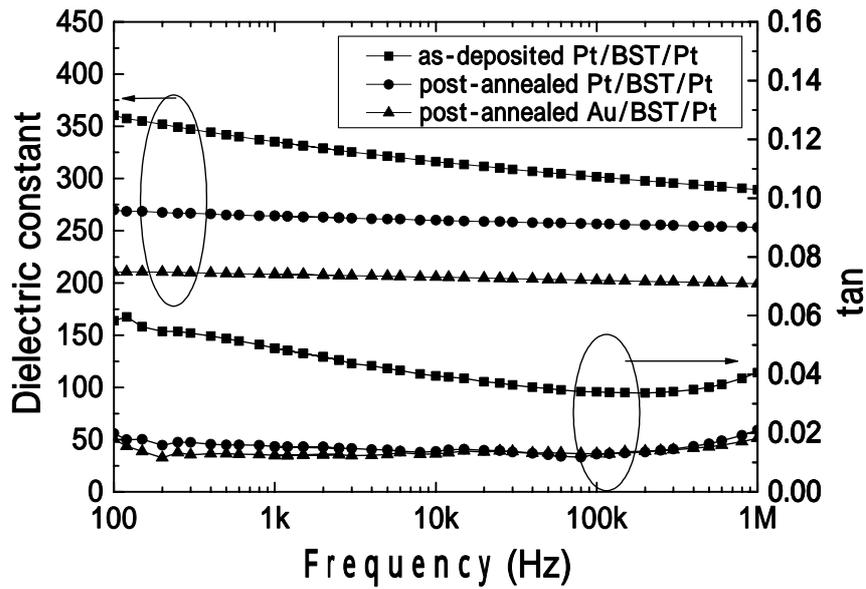


図 5-13 各上部電極を用いた BST 薄膜キャパシタの誘電率および tan の周波数依存性

表 5-1 各上部電極を用いた BST 薄膜キャパシタの誘電率の周波数分散

sample	Dielectric constant			tan	
	100Hz	1MHz	ϵ_r	100Hz	1MHz
as-deposited Pt/BST/Pt	360	289	-19.72%	0.0583	0.0406
post-annealed Pt/BST/Pt	270	253	-6.30%	0.0199	0.0210
post-annealed Au/BST/Pt	210	200	-4.76%	0.0179	0.0182

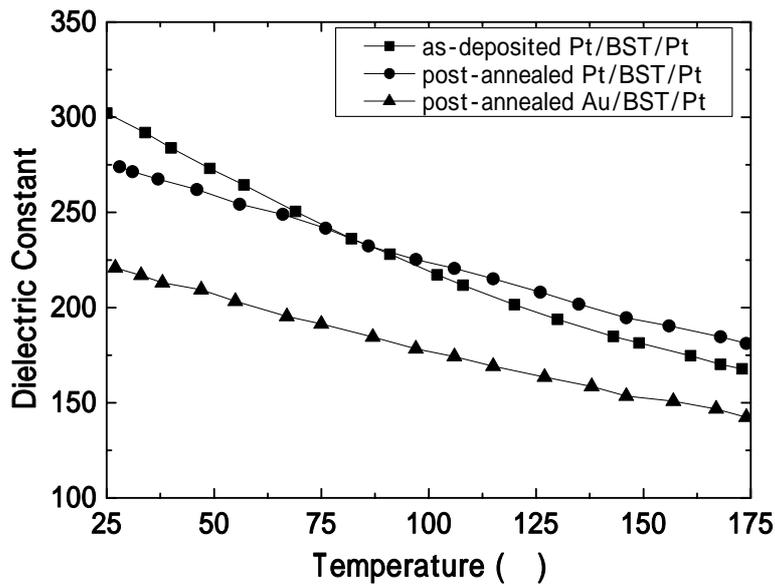


図 5-14 各上部電極を用いた BST 薄膜キャパシタの誘電率の温度依存性

5.4 BST 薄膜の電気伝導機構に及ぼす界面構造の影響

一般的に、強誘電体薄膜や高誘電率誘電体薄膜における MIM キャパシタは、その界面やバルク領域に多種の結晶欠陥を持ち、非常に複雑な内部構造を形成していることから、その電気伝導機構は電子、正孔およびイオンのすべてが電気伝導に寄与している。図 5-15 に BST 薄膜キャパシタのバンド構造を示し、その界面およびバルク領域で制限される重要な電気伝導機構をまとめる。ここで、BST と電極の界面には各種電極材料の仕事関数 ϕ_M と BST の電子親和力 χ の差に応じて Schottky 障壁が形成され、その障壁高さによって制限される Schottky 電流⁽¹²⁻¹³⁾は式(5-1)で表すことが出来る。

$$J = AT^2 \exp\left(-\frac{e\phi_B - \beta_{SE}\sqrt{E}}{kT}\right), \quad (5-1)$$

ここで、 A はリチャードソン・ダッシュマン定数、 T は温度、 ϕ_B (eV) は Schottky 障壁高さ、 E は印加電界、 k はボルツマン定数、 β_{SE} は $(e^3/4\epsilon_r\epsilon_0)^{0.5}$ である。さらに、界面で制限される電流として BST 薄膜キャパシタに高電界が印加される際、量子力学的な Fowler-Nordheim 電流⁽⁸⁾が表れ、それは式(5-2)で表すことが出来る。

$$J = AE^2 \exp\left(-\frac{B}{E}\right), \quad (5-2)$$

ここで、 A および B は電極/誘電体間の仕事関数を含む定数である。一般的に、この Fowler-Nordheim 電流は強誘電体酸化物薄膜において約 400kV/cm 以上の高電界領域で顕著に表れることが報告されている。また、バルク内のトラップ準位で制限される電気伝導機構として、Poole-Frenkel 電流および空間電荷制限電流(SCLC: Space Charge Limited Currents)⁽¹⁴⁾がある。Poole-Frenkel 電流は式(5-3)で表す。

$$J = AE \exp\left(-\frac{e\phi_t - \beta_{PF}\sqrt{E}}{kT}\right), \quad (5-3)$$

ここで、 A はトラップ密度と移動度に依存する定数、 ϕ_t (eV) はトラップ準位、 β_{PF} は $(e^3/4\epsilon_r\epsilon_0)^{0.5}$ である。次に、空間電荷制限電流は式(5-4)で表す。

$$J = K\left(\frac{V^2}{d^3}\right), \quad (5-4)$$

ここで、 K は定数、 V は印加電圧、 d は誘電体の膜厚である。また、式(5-4)は経験則から得られた式(5-5)でも置き換えることが出来る⁽¹⁴⁾。

$$J = AE + B(E - E_0)^2, \quad (5-5)$$

ここで、 A の項はオームの法則に従うバルクに関する定数、 B の項は薄膜表面に関する定数、 E_0d (eV)は界面準位である。

実際のBST薄膜キャパシタの電気伝導機構を解析する際、上記の様な界面およびバルク内で制限される複数の伝導機構が同時に進行するため、単純な J - E 特性の評価では詳細な考察は出来ない。そのため温度特性や電極材料の変化、さらには界面やバルク内の結晶欠陥に関する物理的評価を組み合わせた評価法が必要になる。

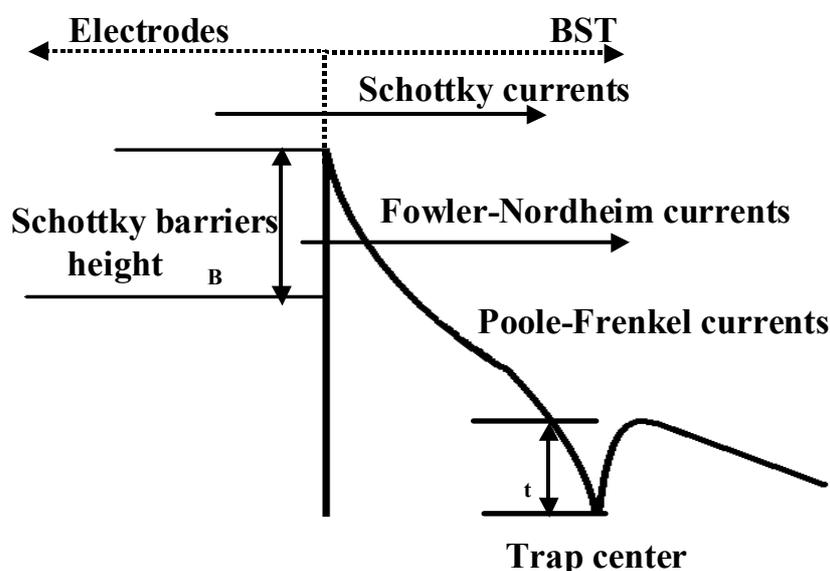


図 5-15 BST 薄膜キャパシタの電気伝導機構

次に実際のBST薄膜のリーク電流特性を解析する。図 5-16 および図 5-17 に、Au/BST/Pt 薄膜における I - t 特性の電界依存性および温度依存性を示す。この時、電圧の極性は Pt 下部電極を負極とした。一般的に BST 薄膜のリーク電流密度の時間依存性については、Curie-von Schweidler のモデル⁽¹⁵⁾に依存することが知られており式(5-6)で表す。

$$J(t) = J_0 t^{-n} \quad (5-6)$$

ここで J_0 は定数、 t は時間、 n は \log - \log プロットの傾きである。室温での低電界領域では、このモデルに従って緩和電流が顕著に観察され、BST 薄膜の真のリーク電流を測定するためには約 500 秒の時間を要することが分かる。この緩和電流は電界と温度の上昇に伴って除去される傾向にある。また、室温にて 286kV/cm の電界を 400 秒間印加したとき、BST 薄膜の抵抗値劣化 (degradation) が生じることによりリーク電流密度の増大が観測された。このことから J - E 特性の測定条件についての最大印加電界は 286kV/cm 以下が望ましい。

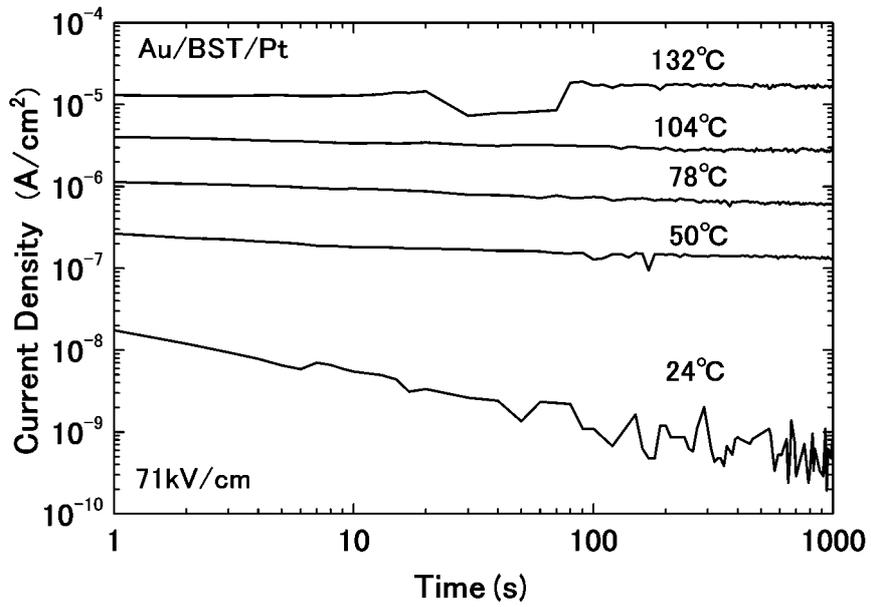


図 5-16 Au/BST/Pt 薄膜における $I-t$ 特性の電界依存性

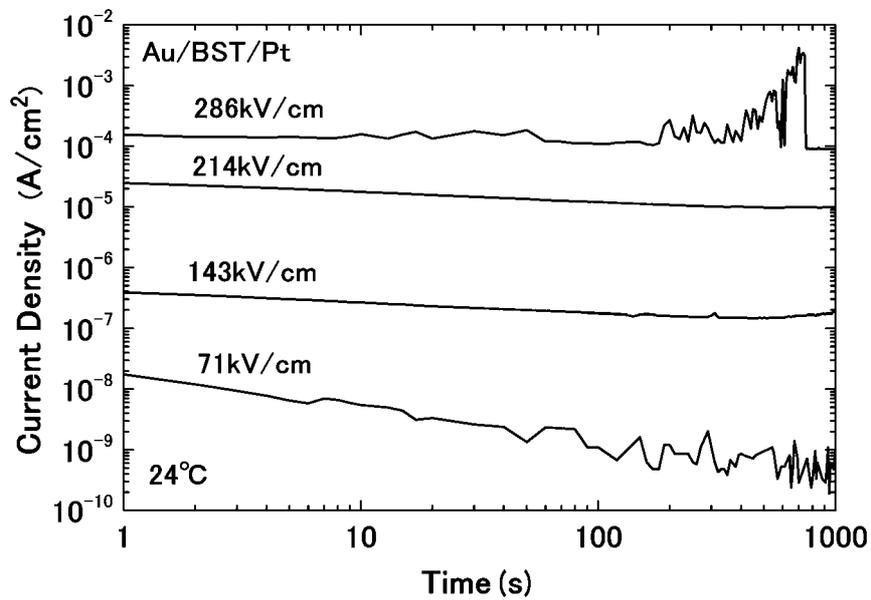


図 5-17 Au/BST/Pt 薄膜における $I-t$ 特性の温度依存性

J - E 特性の測定条件は、 I - t 特性の解析から緩和電流の影響とBST薄膜の劣化を考慮して、wait時間20秒、ステップ電圧0.1V、最大印加電界214kV/cm(約6V)と設定した。図5-18に、各上部電極の電圧の極性を負極とした場合における J - E 特性を示した。BST/Pt下部電極界面およびBSTのバルク領域は同じ状態で成長したと仮定する時、これらの J - E 特性の違いは各上部電極/BST界面⁽¹⁶⁾で表れる。すでに、BST薄膜キャパシタの電気伝導機構は、主に電極/BST界面で制限され、低電界領域(250kV/cm以下)でSchottky電流、高電界領域(400kV/cm以上)でFowler-Nordheim電流が支配的となることが報告されている。ポストアニールを行った試料については、印加される電界によって、その電気伝導メカニズムは変化する傾向を示し、50kV/cm以下の電界領域については緩和電流が支配的である。この時のリーク電流は計測条件であるWait時間によって、そのオーダーが変わり、オーミックな挙動を示した。続いて50kV/cm以上の電界領域においてはSchottky電流が支配的になると考えられる。Pt/BST/Pt薄膜(as-depo)についてはPt/BST上部電極界面の不均一性がSchottky障壁の形成に悪影響を及ぼし絶縁性が低下していることが予想される。ここで界面に形成されるSchottky障壁は金属の仕事関数 ϕ_M (Pt=5.3eV, Au=4.8eV)とBSTの電子親和力 χ の差で表せられる。そのため理論上では、Au/BST界面に形成されるSchottky障壁の高さはPt/BST界面と比較して0.5eVだけ低くなり、その分リーク電流が増大したと思われる。

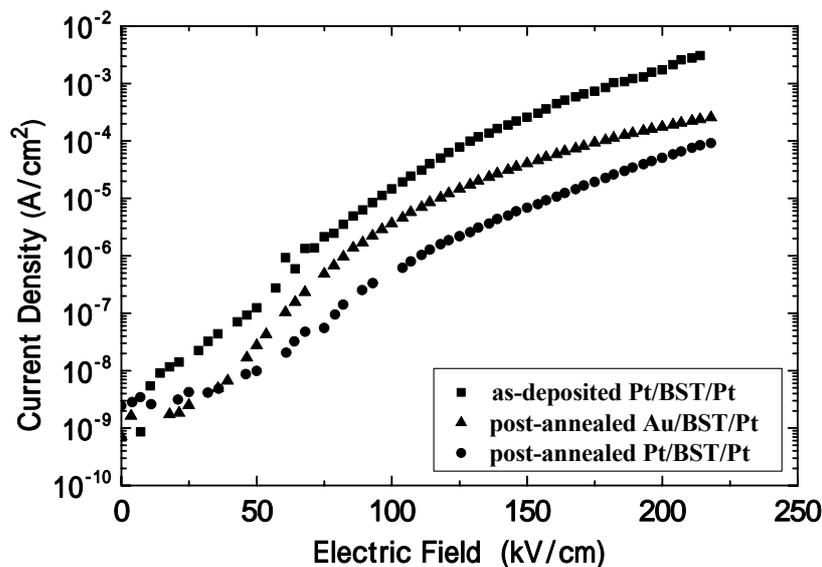


図5-18 各上部電極の電圧の極性を負極とした場合における J - E 特性

図5-19に、ポストアニールを施したAu/BST/Pt薄膜の J - E 特性の温度依存性を示す。電圧の極性はPt下部電極を負極とした時に順方向と定めた。この時、Schottky電流とPoole-Frenkel電流は、電界および温度特性に対してほぼ同様の依存性を持つ。これらの電気伝導機構を分離して解析するには、上部電極および下部電極の材料を各種変化させ、 J - E 特性の非対称性を測定する必要がある。よって、図5-19のAu/BST/Pt薄膜の J - E 特性は上部電極および下部電極の界面状態が影響するため、極性によってプロットの傾きやリーク電流のオーダーに違いが見られる。

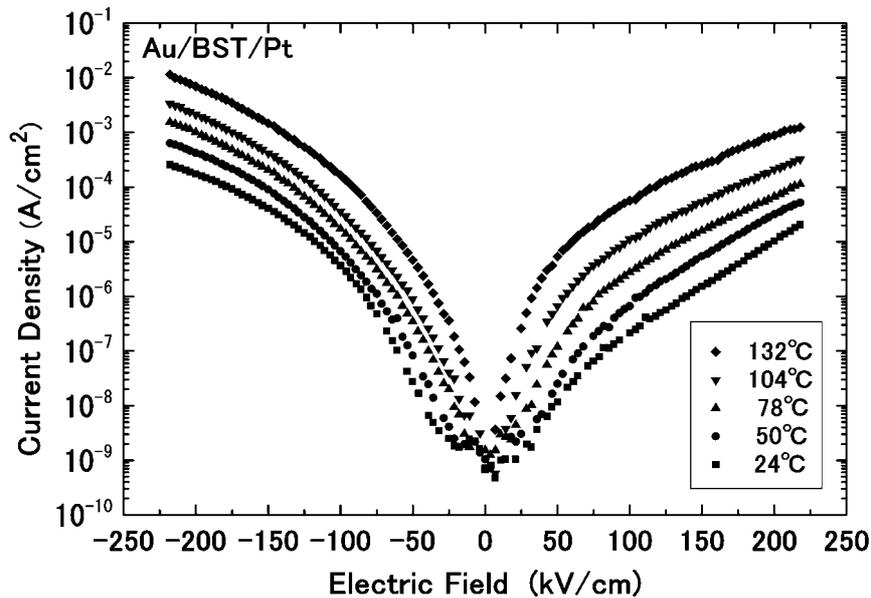


図 5-19 ポストアニールを施した Au/BST/Pt 薄膜の J - E 特性の温度依存性

図 5-20 および図 5-21 に Au/BST/Pt 薄膜の J - E 特性を $\log J-E^{1/2}$ プロットを用いて示す。これらのリーク電流密度は 50kV/cm 以上の電界領域において直線的にフィッティングされることから、Schottky 電流であることが予想される。図 5-22 および図 5-23 に、この 50 200kV/cm の電界領域について、 $\log (A/T^2)-1000/T$ プロットを用いて解析を行った結果を示す。式(5-1)より、これらの傾きから各電界での Schottky 障壁の高さを算出することが出来る。その結果を図 5-24 に示す。さらに図 5-25 に上記で述べた一連の解析方法を用いて、ポストアニールを施した Pt/BST/Pt 薄膜における各電極/BST 界面に形成された Schottky 障壁の高さを示す。 $E=0$ の時、BST/Pt 下部電極界面はどちらも約 1.0eV を示している。参考として Pt/SiO₂/Si 基板上に堆積された BST 薄膜のリーク電流特性は数多く報告されているが、それらの Schottky 障壁の高さも 0.8 1.2eV⁽¹⁷⁾ を示している。しかしながら、これらの値は Pt の仕事関数 ϕ_M と BST の電子親和力 χ から算出された値である 1.6eV より小さいことが分かる。この原因は 800 °C の高温で熱処理した時、BST が Pt 下部電極へ拡散することによって界面状態が悪化したためと示唆される。また、Pt/BST 上部電極界面ではポストアニールを施すことにより絶縁性の改善が得られ、その Schottky 障壁の高さは 1.06eV を示した。特に、S. Halder 等は O₃ 雰囲気中⁽¹⁸⁾で 350 °C のポストアニールを施すことで、その Schottky 障壁の高さは約 1.35eV まで大きくなることを報告している。また、Au/BST 上部電極界面では 0.73eV の Schottky 障壁の高さが得られたが、この値は Au の仕事関数 ϕ_M から妥当な値⁽³⁾であると考えられる。

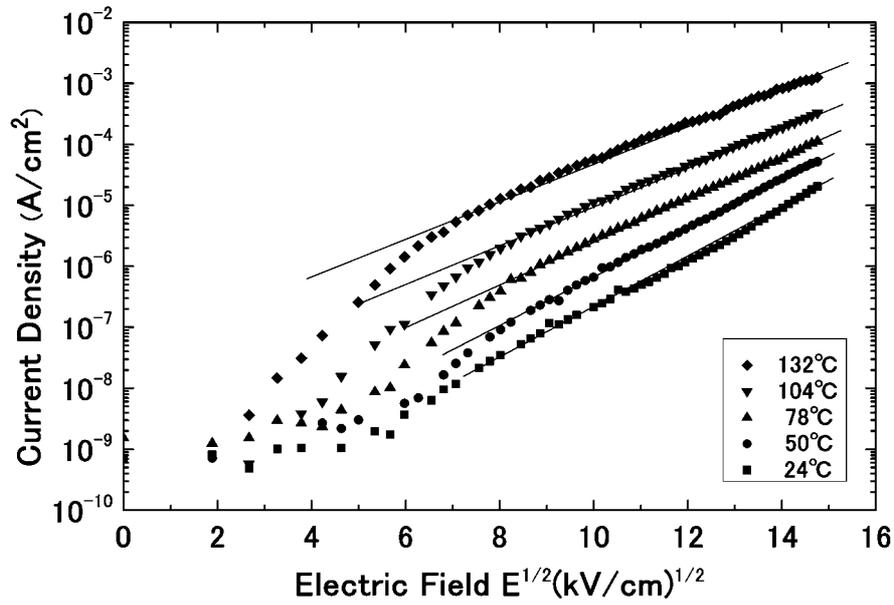


図 5-20 Au/BST/Pt 薄膜における順方向の J - E 特性 ($\log J$ - $E^{1/2}$ プロット)

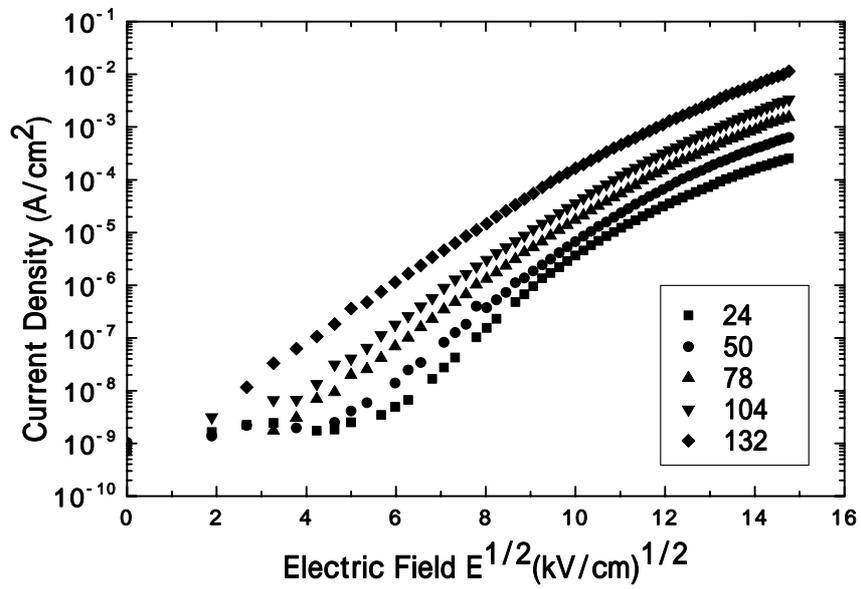


図 5-21 Au/BST/Pt 薄膜における逆方向の J - E 特性 ($\log J$ - $E^{1/2}$ プロット)

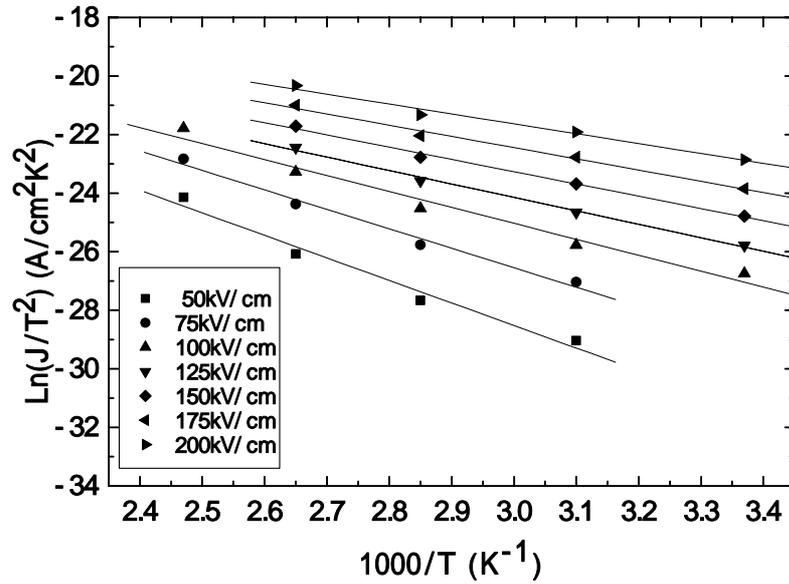


図 5-22 Au/BST/Pt 薄膜における順方向の $J-E$ 特性 [$\log(A/T^2)$ - $1000/T$ プロット]

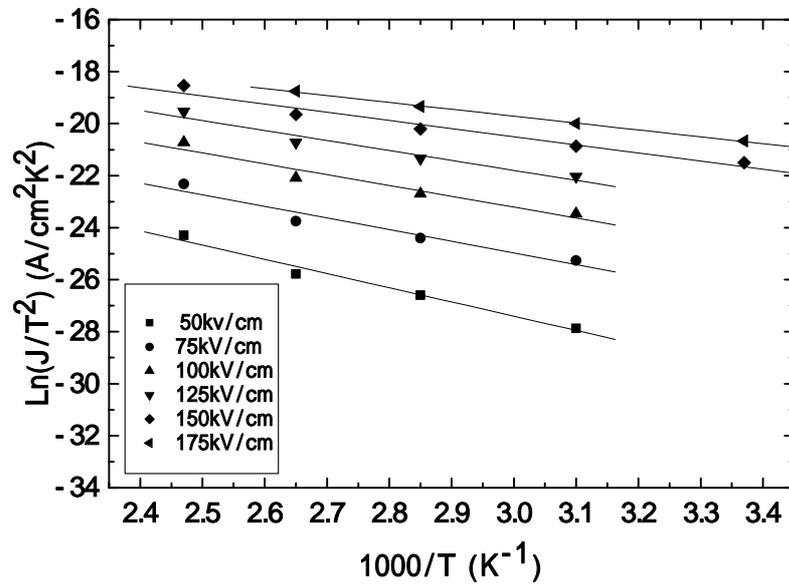


図 5-23 Au/BST/Pt 薄膜における逆方向の $J-E$ 特性 [$\log(A/T^2)$ - $1000/T$ プロット]

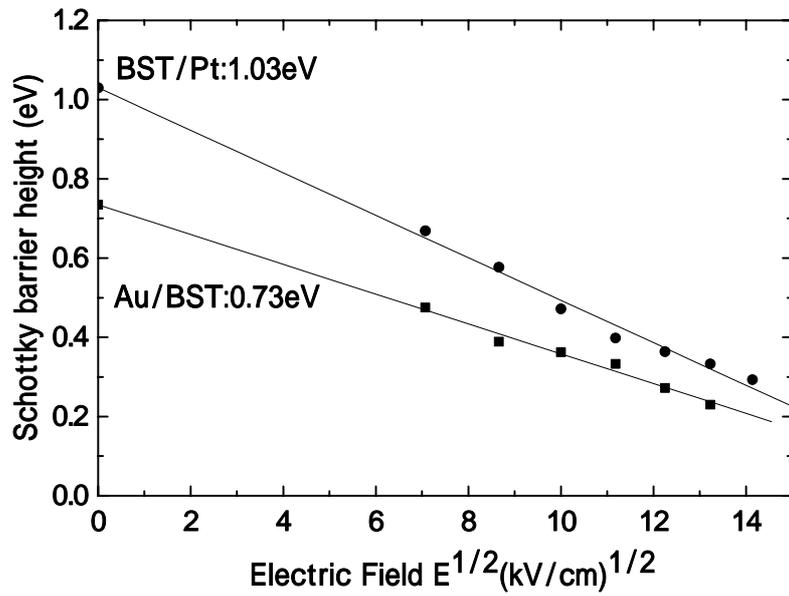


図 5-24 Au/BST/Pt 薄膜における各電界での Schottky 障壁の高さ

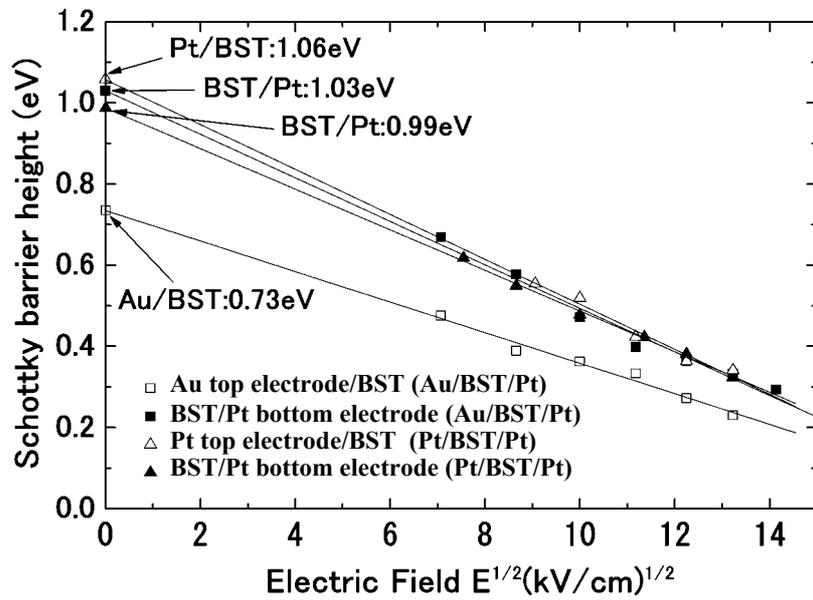


図 5-25 Au/BST/Pt 薄膜および Pt/BST/Pt 薄膜における各電界での Schottky 障壁の高さ

5.5 BST 薄膜の電氣的寿命の解析

次に、絶縁破壊時間(T_{DB})の電界依存性について調べ、約 55%のチューナビリティを発現する 250kV/cm の電界を印加し続けた時の BST 薄膜キャパシタの電氣的寿命を推定する。まず、その解析を行うためには 250kV/cm 以上の電界領域における BST 薄膜キャパシタの電気伝導機構を理解する必要がある。図 5-26 に Pt/BST/Pt 薄膜の J - E 特性を $\log(J/E^2)$ - $1/E$ プロットで示す。この時、BST 薄膜の J - E 特性は 200kV/cm 以上の高電界領域で負の傾きを示し、さらに温度特性の依存性が小さいため、BST/Pt 電極界面で発生する Fowler-Nordheim 電流が支配的になっていることを意味する。この際、BST 薄膜キャパシタの電氣的寿命は $\log(T_{BD})$ - $1/E$ プロットから算出できる⁽¹⁹⁾。

図 5-27 に Pt/BST/Pt 薄膜の高電界印加時(368–546kV/cm)の絶縁破壊時間を示す。BST 薄膜のリーク電流は時間経過にしたがって劣化が始まり、さらには絶縁破壊を引き起こした。図 5-28 にその絶縁破壊時間の電界依存性を用いて推定した高電界印加時における電氣的寿命を示す。このデータから 55%のチューナビリティを発現する 250kV/cm の電界を印加し続けた時、その寿命は 7 日程度であることが予想される。実際に BST 薄膜をデバイス応用した際は、10 年間の電氣的寿命を保証することが必要となる。しかし、この BST 薄膜を 10 年間保証するためには、チューナビリティの性能値を引き下げ、BST 薄膜への印加電界を低下させなければならない。その時の寿命を推定する場合も BST 薄膜の電気伝導機構に基づいて算出する必要がある⁽¹⁹⁻²¹⁾。

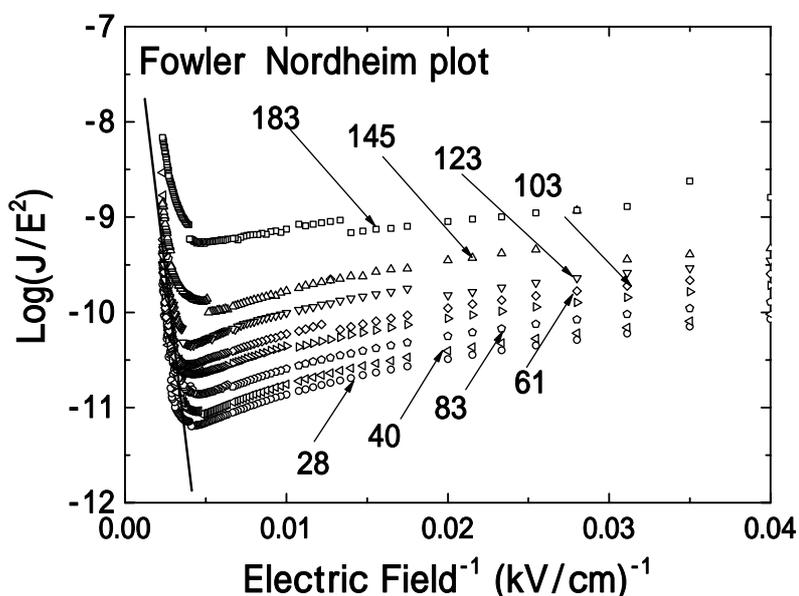


図 5-26 Pt/BST/Pt 薄膜における順方向の J - E 特性 [$\log(J/E^2)$ - $1/E$ プロット]

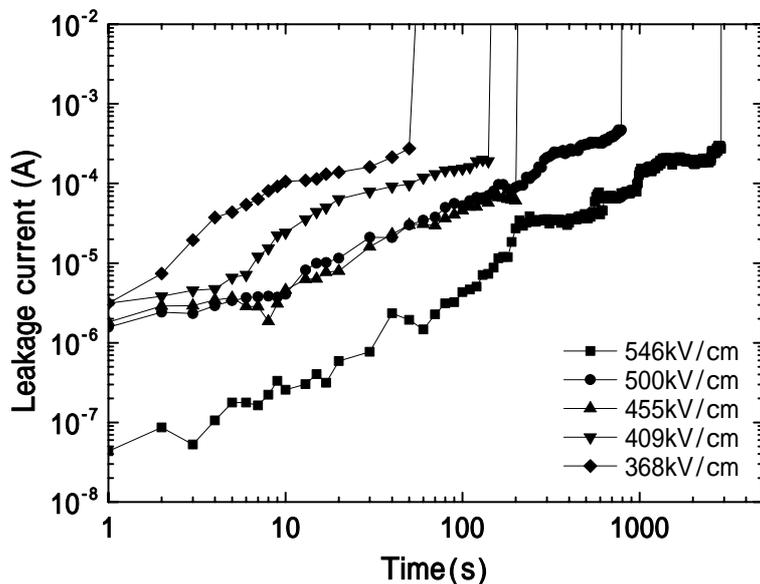


図 5-27 Pt/BST/Pt 薄膜の高電界印加時の絶縁破壊時間

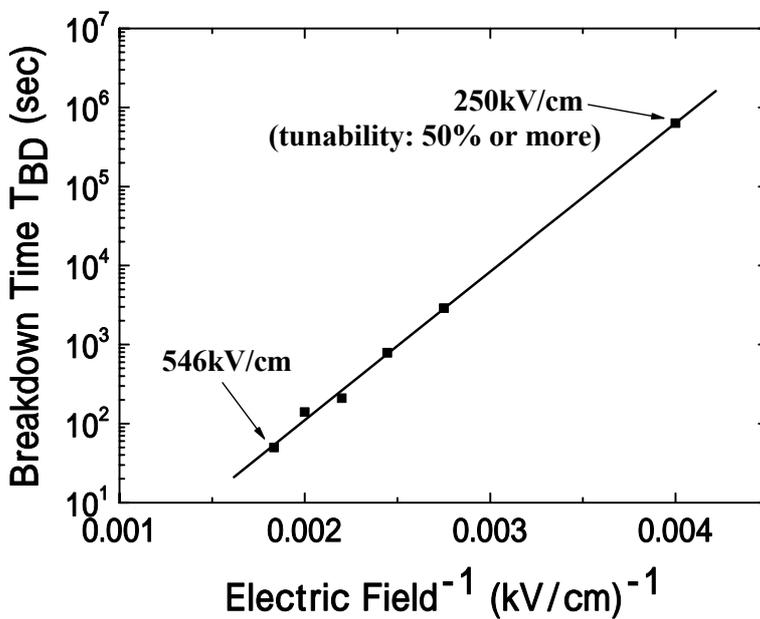


図 5-28 Pt/BST/Pt 薄膜の高電界印加時における電氣的寿命の推定

さらに詳細な電氣的寿命を解析するため、図 5-29 に Pt/BST/Pt 薄膜の J - E 特性を $\log(J)$ - $\log(E)$ プロットを用いて示す。BST 薄膜の電氣伝導機構は低電界領域と高電界領域でそれぞれ異なる。前述した通り、低電界領域においては Schottky 電流が支配的となり、その直線の傾きは 0.61 となる。一方、高電界領域においては Fowler-Nordheim 電流が支配的になり、その直線の傾きは 10.4 と増大していることが分かり、電氣的寿命を算出する場合にはこの傾きを反映させなくてはならない。ここで、約 30%のチューナビリティを発現する 100kV/cm の電界を印加し続けた時の BST 薄膜キャパシタの電氣的寿命を推定する。

図 5-30 に、約 30%のチューナビリティを発現する時の BST 薄膜キャパシタの電氣的寿命を $\log(T_{BD})$ - $\log(E)$ プロットで示す。まず、図 5-27 から得られた絶縁破壊時間をプロットして、その直線の傾きを調べると-9.78 が得られる。これは、図 5-29 の高電界領域における傾き 10.4 に近い値を示していた。しかし、この傾きだけで 100kV/cm 時の寿命を推定する場合は大きな誤差を生じることになる。それは図 5-29 で示した様に、リーク電流密度の傾きは低電界領域と高電界領域において大きく異なるためである。そのことから、図 5-29 で得られた低電界領域の傾き 0.61 を用いて、図 5-30 における電氣伝導機構が変化する電界領域から、絶縁破壊時間を推定する傾きを補正しなければならない。その結果、30%のチューナビリティを発現する時の BST 薄膜キャパシタの電氣的寿命は約 1.5 年であると算出される。

この様に BST 薄膜キャパシタの寿命特性が悪化している原因として、BST 薄膜の表面粗さの影響が考えられる。これまで、BST 薄膜の表面粗さの影響は AFM 観察および高分解能 TEM 像によって解析した結果を電氣的特性と併せて考察してきた。しかしながら、800 で熱処理した BST 薄膜については、図 3-2(a)に示した様に、SEM を用いて BST 薄膜表面の広い範囲を観察すると、直径 0.3 μm 程度の異常粒が存在していた。この異常粒は Pt/BST 界面において、ホットスポットを形成し、著しくリーク電流を増大させている可能性がある。

図 5-31 に 800 で熱処理した BST(60/40)薄膜キャパシタにおける $\tan \delta$ の素子面積依存性を示す。結果として、素子面積が大きいほど $\tan \delta$ は増大する傾向を示し、前述した異常粒と密接な関係を持っていると思われる。図 5-32 には、第 4 章で組成比と熱処理条件の最適化を行った試料である 600 で熱処理した BST(80/20)薄膜キャパシタにおける $\tan \delta$ の素子面積依存性を示す。この試料については素子面積に関わらず $\tan \delta$ は一定の値を示した。このことは、BST(80/20)薄膜(600)における表面粗さ Ra は 2.35nm と非常に平滑であり、異常粒の存在も無かったことが原因であると予想される。

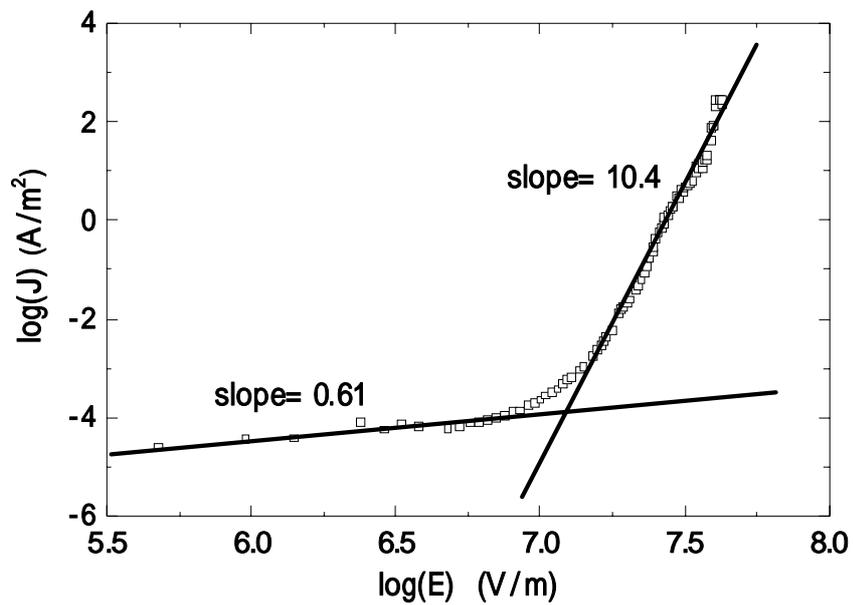


図 5-29 Pt/BST/Pt 薄膜の J - E 特性 [$\log(J)$ - $\log(E)$ プロット]

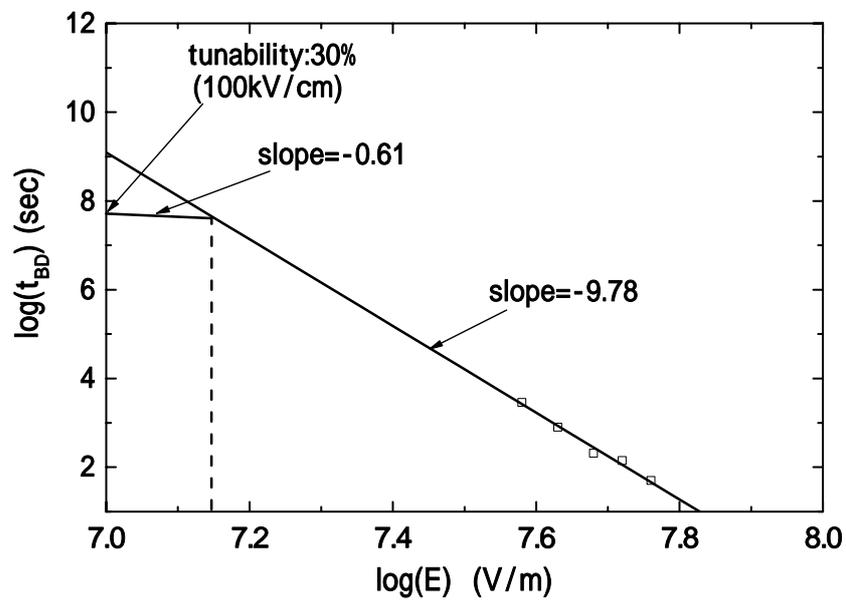


図 5-30 約 30% のチューナビリティを発現する時の BST 薄膜キャパシタの電氣的寿命

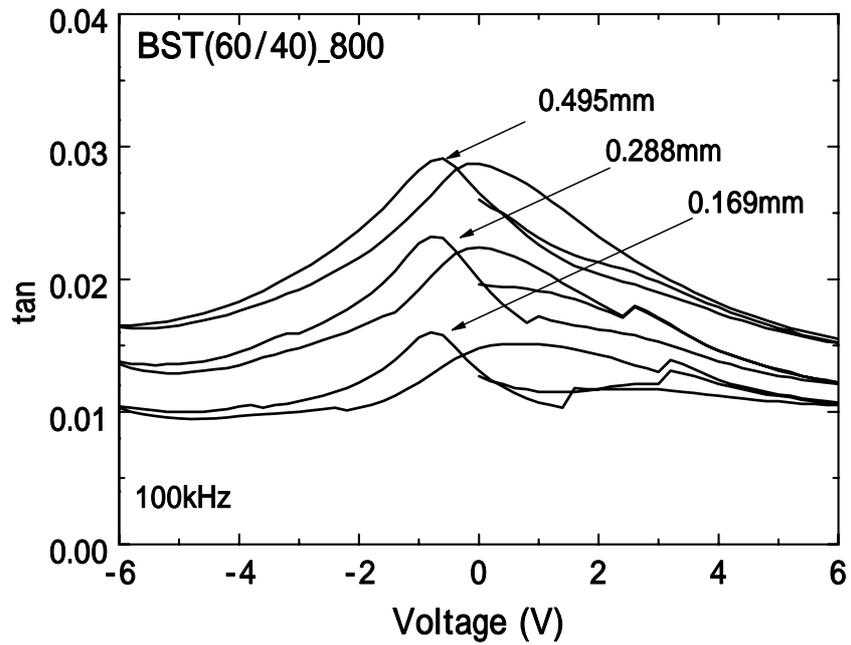


図 5-31 800 で熱処理した BST(60/40)薄膜キャパシタにおける $\tan \delta$ の素子面積依存性

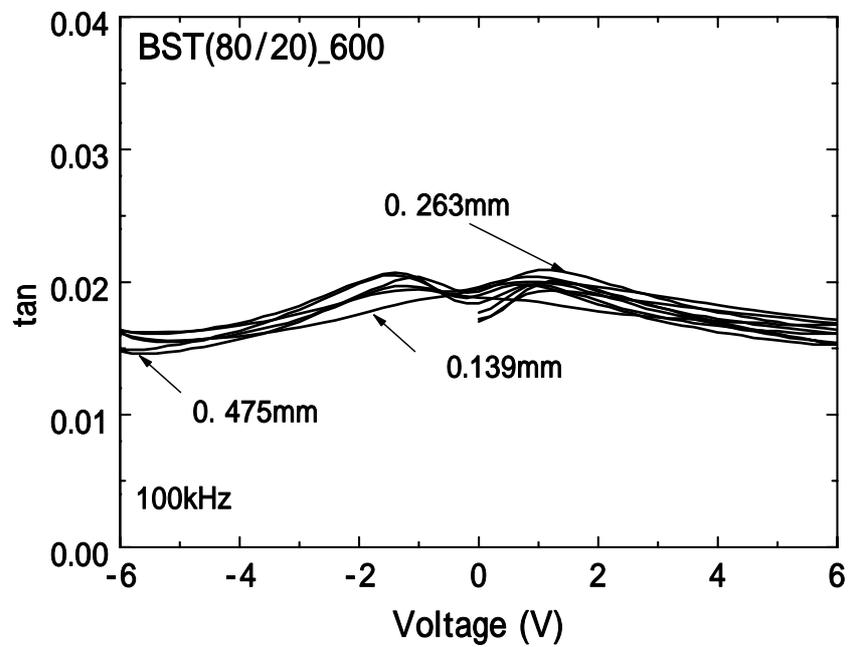


図 5-32 600 で熱処理した BST(80/20)薄膜キャパシタにおける $\tan \delta$ の素子面積依存性

BST(80/20)薄膜(600)の電氣的寿命については、まだ測定を行っていないが、次に示す問題点が影響して寿命特性に劣化が生じる可能性がある。

まず、図 5-33 に BST(60/40)薄膜(800)および BST(80/20)薄膜(600)におけるチューナビリティの電界依存性の比較を示す。BST(80/20)薄膜(600)のチューナビリティは、十分に目標性能値を確保している。しかし、50%のチューナビリティを発現するためには、300kV/cm の高電界を印加しなければならない。また、図 5-34 には BST(60/40)薄膜(800)および BST(80/20)薄膜(600)における J - E 特性の比較を示す。BST(80/20)薄膜(600)は150kV/cm以上の電界領域で、急激にリーク電流密度が増加している。このことはBST薄膜のグレインサイズが40nmと小さいことから、粒界の総表面積が増えたことに原因があると思われる。同様に、BST薄膜のグレインサイズが小さいほど寿命が短くなり、特にその粒界がキャパシタの信頼性に大きく影響するとの報告がある⁽²²⁾。今後、これらの影響を詳細に解析して、さらなる絶縁性の改善を行う予定である。

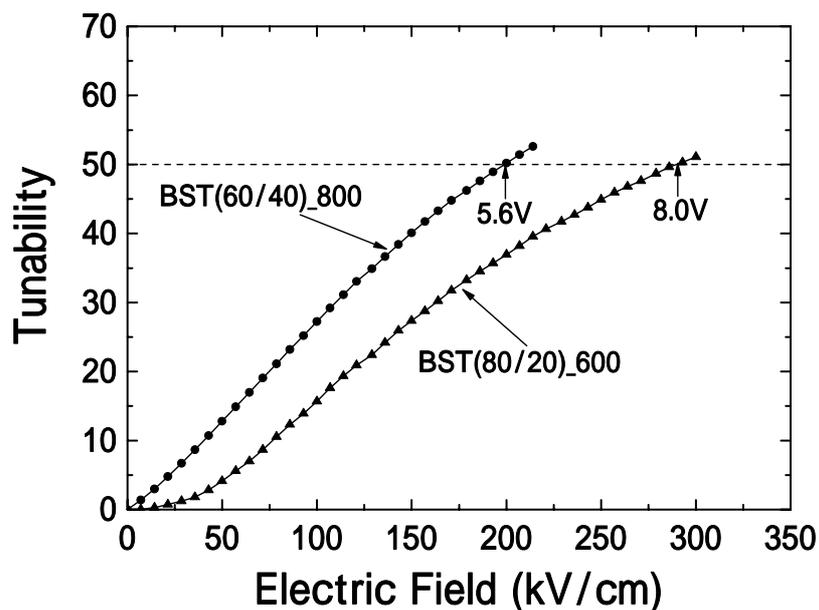


図 5-33 BST(60/40)薄膜(800)および BST(80/20)薄膜(600)におけるチューナビリティの電界依存性の比較

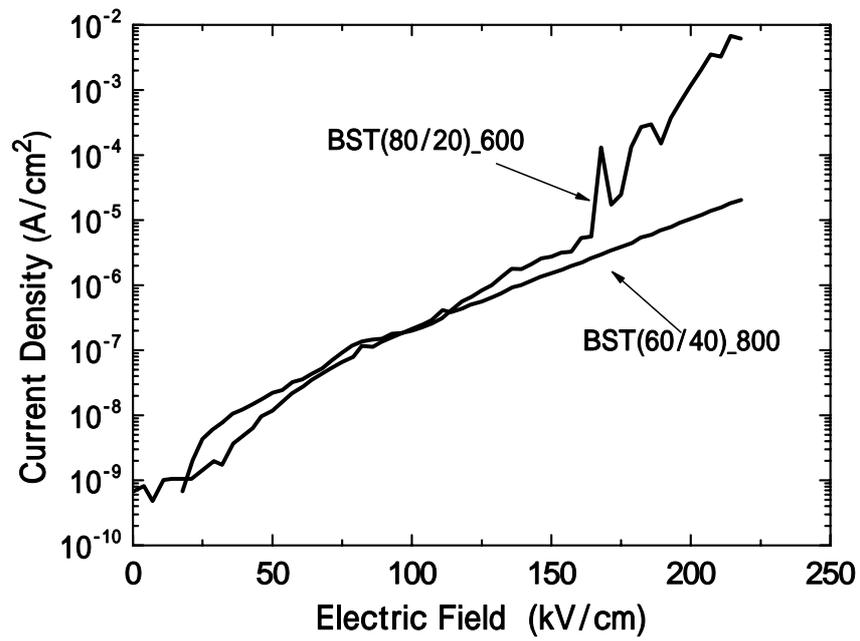


図 5-34 BST(60/40)薄膜(800)および BST(80/20)薄膜(600)における J - E 特性の比較

5.6 まとめ

本章では、BST 薄膜キャパシタ構造の安定化と絶縁性の向上を得るため、電極/BST 界面の電気伝導特性と TEM-EDS 法による解析結果より、界面構造の欠陥が電気的特性に与える影響を解析した。結果として、本研究で作製した Pt/BST/Pt 薄膜キャパシタの電気的特性は、上部電極/BST 界面に起因しており、特に BST 薄膜の表面粗さが界面構造の密着性を低下させ、絶縁性と \tan を悪化させていることを明らかにした。この際の誘電率の周波数分散は 100Hz から 1MHz までに 19.7%と大きく低下した。しかし、上部電極形成後に適切なポストアニールを施すことによって、その周波数分散の影響が緩和され、誘電率の低下は僅か 6.1%となった。 \tan については 100kHz 時に 0.0128 と極めて良好な値を示し、広い周波数範囲で 0.02 以下を保つまで改善した。また、ポストアニールを施すことにより、BST 薄膜の $J-E$ 特性はオーミック的な伝導機構から Schottky 放出型に変化し、Schottky 障壁高さは 1.06eV と高い値を示しその絶縁性が改善された。このことは、ポストアニールを施すことによって、上部電極/BST 界面の構造が平坦になり、密着性が向上したためと思われる。

しかしながら、絶縁破壊時間の電界依存性について調べ、BST 薄膜キャパシタの電気的寿命を算出した結果、約 50%のチューナビリティを発現する 250kV/cm の電界を印加し続けた際に、その寿命は僅か 7 日程度であることが示唆された。また、第 4 章で組成比と熱処理条件の最適化を行った試料である 600 で熱処理した BST(80/20)薄膜キャパシタについても、寿命特性に不安を残している。そのことから、これらの BST 薄膜をデバイス応用した際に 10 年間の電気的寿命を保証するためには、今後さらなる絶縁性の向上を必要とする。

参考文献

- [1] K. Entesari and G. M. Rebeiz, "RF MEMS, BST, and GaAs varactor system-level response in complex modulation systems", *International Journal of RF and Microwave Computer-Aided Engineering* 18 pp.86-98 (2008)
- [2] Y-K. Yoon, J. S. Kenney, A. T. Hunt, and M. G. Allen, "Low-loss microelectrodes fabricated using reverse-side exposure for a tunable ferroelectric capacitor application", *J. Micromech. Microeng.* 16 pp.225-234 (2006)
- [3] Y-B. Lin and J. Y-m. Lee, "The temperature dependence of the conduction current in $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ thin-film capacitors for memory device applications", *J. Appl. Phys.* 87 p.1841 (2000)
- [4] S. Ezhilvalavan and T-Y. Tseng, "Progress in the developments of $(\text{Ba,Sr})\text{TiO}_3$ (BST) thin films for Gigabit era DRAMs", *Materials Chemistry and Physics* 65 pp.227-248 (2000)
- [5] D. E. Kotechi, S. D. Athavale, J. D. Baniecki, C. Cabral, Jr, H. Shen, P. R. Duncombe, R. B. Laibowitz, M. Gutsche, K. L. Saenger, G. Kunkel, J. J. Lian, Y.-J. Park, T. M. Shaw, Y.-Y. Wang, and R. Wise, " $(\text{Ba,Sr})\text{TiO}_3$ dielectrics for future stacked-capacitor DRAM", *IBM J. RES. DEVELOP.* 43 pp.367-382 (1999)
- [6] Y. Wang, B. Liu, F. Wei, Z. Yang, and J. Du, "Fabrication and electrical properties of (111) textured $(\text{Ba}_{0.6}\text{Sr}_{0.4})\text{TiO}_3$ film on platinized Si substrate", *Appl. Phys. Lett.* 90 p.042905 (2007)
- [7] 野坂 隆, 増田 陽一郎, "分極疲労特性に及ぼす Pt/PZT/Pt 薄膜の界面効果", *電気学会論文誌 A* 126 pp.821-829 (2006)
- [8] Y. Masuda and T. Nozaka, "Investigation into Electrical Conduction Mechanisms of $\text{Pb}(\text{Zr,Ti})\text{O}_3$ Thin-Film Capacitors with Pt, IrO_2 and SrRuO_3 Top Electrodes", *Jpn. J. Appl. Phys.* 43 pp. 6576-6580 (2004)
- [9] Y. L. Qin, C. L. Jia, K. Urban, R. Liedtke, and R. Waser, "Structural and morphologic evolution of $\text{Pt}/\text{Ba}_{0.7}\text{Sr}_{0.3}\text{TiO}_3/\text{Pt}$ capacitors with annealing processes", *Appl. Phys. Lett.* 80 p.2728 (2002)
- [10] T. Nozaka and Y. Masuda, "Interface effects of $\text{Pb}(\text{Zr,Ti})\text{O}_3$ Thin Film Capacitors with Pt, IrO_2 and SrRuO_3 Top Electrodes", *Ferroelectrics* 357 pp. 276-282 (2007)
- [11] K. H. Lee, C. S. Hwang, B. T. Lee, W. D. Kim, H. Horii, C. S. Kang, H-J. Cho, S. I. Lee, and M. Y. Lee, "Variation of Electrical Conduction Phenomena of $\text{Pt}/(\text{Ba,Sr})\text{TiO}_3/\text{Pt}$ Capacitors by Different Top Electrode Formation Processes", *Jpn. J. Appl. Phys.* 36 pp. 5860-5865 (1997)
- [12] S. H. Paek, J. Won, K.-S. Lee, J-Y. Seong, S-H. Oh, M-S. Jeon, D-K. Chol, J-P. Mah, and C-S. Park, "Leakage current mechanism of $(\text{Ba,Sr})\text{TiO}_3$ film with various $(\text{Ba}+\text{Sr})/\text{Ti}$ ratio on a RuO_2 electrode", *Journal of Material Science Letters* 17 pp.1457-1460 (1998)
- [13] M-S. Jeon and D-K. Choi, "Influences of the $[(\text{Ba,Sr})\text{TiO}_3]$ -modified RuO_2 interface on the dielectric constant and current-voltage characteristics", *J. Vac. Sci. Technol. B* 15 pp.928-934 (1997)
- [14] J. F. Scott, "Ferroelectric Memories", Springer-Verlag, Heidelberg, Springer Series in

Advanced Microelectronics Vol. 3, Chap. 4, p. 79. (2000)

- [15] P. Ehrhart and R. Thomas, "Electrical properties of (Ba,Sr)TiO₃ thin films revisited: The case of chemical vapor deposited films on Pt electrodes", J. Appl. Phys. 99 p.114108 (2006)
- [16] C. S. Hwang, B. T. Lee, C. S. Kang, J. W. Kim, K. H. Lee, H-J. Cho, H. Horii, W. D. Kim, S. I. Lee, Y. B. Roh, and M. Y. Lee, "A comparative study on the electrical conduction mechanisms of (Ba_{0.5}Sr_{0.5})TiO₃ thin films on Pt and IrO₂ electrodes", J. Appl. Phys. 83 p.3703 (1998)
- [17] R. Liedtke, M. Grossmann, and R. Waser, "Capacitance and admittance spectroscopy analysis of hydrogen-degraded Pt/(Ba,Sr)TiO₃/Pt thin-film capacitors", Appl. Phys. Lett. 77 p.2045 (2000)
- [18] S. Halder, T. Schneller, R. Meyer, and R. Waser, "Effect of ozone treatment on the electrical properties of (Ba_{0.7}Sr_{0.3})TiO₃ thin films", J. Appl. Phys. 97 p.114904 (2005)
- [19] S-C. Huang, H-M. Chen, S. C. Wu, and J. Y-M. Lee, "Time dependent dielectric breakdown of paraelectric barium-strontium-titanate thin film capacitors for memory device applications", J. Appl. Phys. 84 p.5155 (1998)
- [20] J-L. Chen, H-M. Chen, and J. Y-M. Lee, "An investigation on the leakage current and time dependent dielectric breakdown of ferroelectric lead-zirconate-titanate thin film capacitors for memory device applications", Appl. Phys. Lett. 69 p.4011 (1996)
- [21] T. Mori and K. Kakegawa, "Improved Reliability in Thin-Film Capacitors Fabricated with Mn-Doped Pb(Zr,Ti)O₃ Annealed at Low Temperatures", Jpn. J. Appl. Phys. 45 pp. 7270-7274 (2006)
- [22] 野田淳史, 土田大助,"GaAsIC 用 BST キャパシタの信頼性に及ぼす粒界の影響", 信学技報 p53-58 (1996)

第6章 結論

本論文では、BST 薄膜の長所を生かしながら、安価で実用性に優れたチューナブル素子を実現するため、基板にアルミナセラミックス基板を選択し、その上に高品質な BST 薄膜を形成することを目的とした。さらに、これまで十分に検討が成されていなかった BST 薄膜における誘電特性の温度依存性の最適化、および BST 薄膜キャパシタの電極/BST 界面の影響について電気伝導特性を調べることによってその絶縁性と寿命について評価し、マイクロ波チューナブル素子としてのデバイス性能を向上することについて考察した。以下に本研究で明らかになった各章の主要な成果をまとめ、最後に今後の課題と展望について述べる。

第1章「序論」では、モバイル機器を用いた高速大容量性のワイヤレス通信技術を支えるマイクロ波集積回路の動向を示すとともに、今後、マイクロ波素子に求められる広帯域特性およびチューナブル特性を兼ね揃えた BST 薄膜キャパシタの重要性について概説し、本研究の背景と目的を明確にした。

第2章「試料作製と評価方法」では、BST 薄膜形成用のアルミナセラミックス基板の選定、CSD 法による BST 薄膜キャパシタの作製方法、並びに BST 薄膜キャパシタの結晶構造および電気的特性の評価方法について示した。

第3章「BST 薄膜の結晶構造および電気的特性の評価」では、CSD 法を用いてグレーズドアルミナ基板上に Pt/BST/Pt 薄膜キャパシタを各種熱処理条件で作製し、その結晶構造と電気的特性の関係について検討した。熱処理温度を 600-800 まで変化させた BST 薄膜はすべて単一なペロブスカイト相を形成し、BST 薄膜のグレインサイズは熱処理温度の高温化に伴って 40-80nm まで増大する傾向を示した。この時、グレインサイズの増大に伴って誘電率とチューナビリティは高くなる傾向を示し、特に 800 で作製した BST 薄膜の誘電率とチューナビリティは 403 および 59.7%(12V, 428kV/cm 時)と実用的な値であった。しかしながら、この BST 薄膜のキュリー温度はバルクセラミックスと比較して低温側(約-60)へシフトしており、室温付近における誘電率の温度変化率が大きくなる結果を示した。このことは 25 から 85 において、その誘電率は 15% も低下してしまうため、マイクロ波チューナブル素子の温度動作範囲を広く補償することが出来ない。このことから、BST 薄膜における組成比の最適化と温度特性の平坦化が必要になった。さらに、この試料の $\tan \delta$ は約 0.05 と損失が大きく、また $J-E$ 特性の非対称性を有していることから、電極/BST 界面に欠陥が存在することを見出した。

第4章「BST 薄膜の誘電特性における温度依存性の改善」では、BST 薄膜の組成依存性について検討し、最適な組成比と熱処理温度を見出すことで、BST 薄膜における誘電特性の温度依存性を改善させた。各組成比における BST 薄膜の誘電特性を比較した結果、BST(80/20)薄膜は高いチューナビリティを持っており、さらに誘電率の温度依存性についても室温付近で一定となることが分かった。しかしながら、800 で熱処理した BST(80/20)薄膜は強い強誘電性を持ち、その $C-V$ 特性は顕著な履歴特性を示した。このような強誘電性の存在はチューナブル素子における電圧制御

の直線性を損なうことから、熱処理を 600 °C の低温で行うことによって、BST(80/20)薄膜のグレインサイズを 40nm まで小さくし、その強誘電性を抑制した。その結果、BST 薄膜の誘電率、tan δ およびチューナビリティは 158、0.0170、39.6%(6V, 214kV/cm 時)と良好な特性を示した。さらに誘電率の温度依存性は、-55 °C ~ +85 °C において $\pm 7\%$ 以内の変化量に抑えることに成功し、マイクロ波チューナブル素子の動作温度範囲を広く補償することができた。

さらに、グレースドアルミナ基板のガラス転移温度(675 °C)より低温の 600 °C において低損失で温度特性の良い BST 薄膜が作製出来るため、作製工程の時間短縮化およびコスト性の改善に期待することができる。しかしながら、いまだ $J-E$ 特性は非対称性を有しており、その絶縁性は悪化したままであった。特に上部電極側を負極としてバイアス電圧を印加した場合は、tan δ の急上昇と Schottky 障壁の低下が顕著に表れた。このことは、上部電極と BST 薄膜のルーズコンタクトにより発生していると示唆され、上部電極堆積後のポストアニールを行いキャパシタ構造の安定化を図る必要がある。

第 5 章「BST 薄膜の電気伝導機構に及ぼす界面構造の影響」では、BST 薄膜キャパシタ構造の安定化と絶縁性の向上を得るため、電極/BST 界面の電気伝導特性と TEM-EDS 法による解析結果より、界面構造の欠陥が電気的特性に与える影響を解析した。結果として、本研究で作製した Pt/BST/Pt 薄膜キャパシタの電気的特性は、上部電極/BST 界面に起因しており、特に BST 薄膜の表面粗さが界面構造の密着性を低下させ、絶縁性と tan δ を悪化させていることを明らかにした。この際、誘電率の周波数分散は 100Hz から 1MHz までに -19.7% と大きく低下した。しかし、上部電極形成後に適切なポストアニールを施すことによって、その周波数分散の影響が緩和され、誘電率の低下は僅か -6.1% となった。tan δ については 100kHz 時に 0.0128 と極めて良好な値を示し、広い周波数範囲で 0.02 以下を保つまで改善した。また、ポストアニールを施すことにより、BST 薄膜の $J-E$ 特性はオーミック的な伝導機構から Schottky 放出型に変化し、Schottky 障壁高さは 1.06eV と高い値を示しその絶縁性が改善された。このことは、ポストアニールを施すことによって、上部電極/BST 界面の構造が平坦になり、密着性が向上したためと示唆された。

本研究はこれらの成果を得たことにより、安価で実用性に優れたグレースドアルミナ基板上に高品質な BST 薄膜を作製することに成功した。しかしながら、新たな問題点もいくつか見出した。まず BST 薄膜キャパシタの寿命の問題である。このことは BST 薄膜の絶縁破壊時間の電界依存性について調べた結果、約 50% のチューナビリティを発現する 250kV/cm の電界を印加し続けた際に、その寿命は僅か 7 日程度であると推定された。本来であれば、10 年間の長期寿命性を確保することが望ましい。この改善策としては、RF スパッタ法によってさらに高品質な BST 薄膜を形成することが重要となる。

僅かではあるが、本研究においても RF スパッタ法によって作製した BST 薄膜の評価は進めてきた。特に、RF スパッタ法による BST 薄膜の XRD 特性は BST(111) の成長が顕著に表れ、そのピーク強度も強く、CSD 法で作製した試料より良好な結晶性が得られた。このことは、CSD 法を用いて 800 °C の高温熱処理で作製した試料と比較して、RF スパッタ法で 600 °C の基板温度で

作製した試料のチューナビリティがほぼ同等の値を示すことから期待される。BST 薄膜を高温で作製することはチューナビリティの増大に貢献することを明らかにしたが、BST 薄膜のグレインサイズが大きくなり、その表面平滑性が悪化することで、Pt/BST 界面の密着性が乏しくなり、電極内に絶縁性の弱いホットスポットが形成される恐れがある。そのため BST 薄膜はなるべく低温で作製することが望ましいが、それには RF スパッタ法が有効であり、根本的な BST の膜質改善が可能であることを見出した。

すでに筆者は横浜電子精工株式会社において BST 薄膜の量産用 RF スパッタ装置の導入を進めており、本格的なマイクロ波チューナブル素子の実用化に着手している。これらの製品開発の礎は正しく本論文の研究成果によるところであり、今後、製品開発中に生じてくるであろう幾多の問題に対して、本論文の知見が解決の方針を導くことを期待して本論文を締めくくる。

謝辞

本論文は、奈良先端科学技術大学院大学 物質創成科学研究科 演算・記憶素子科学講座において、筆者が博士後期課程在学中に行った研究の成果をまとめたものです。

本論文を結ぶにあたり、終始御指導御鞭撻を頂いた奈良先端科学技術大学院大学 物質創成科学研究科 演算・記憶素子科学講座の塩寄忠教授には深く感謝の意を表し、厚く御礼申し上げます。

同研究科 光機能素子科学講座の太田淳教授、ならびに微細素子科学講座の冬木隆教授には、本論文の審査を引き受けて頂くとともに、多くの有益な御助言を頂きました。深く感謝いたします。

演算・記憶素子科学講座の内山潔准教授には、本論文の執筆に際して、多くの御指導と御助言を頂きました。深く感謝いたします。同講座の西田貴司助教には、実験環境の整備に御協力を頂くとともに、実験結果の解析についても深く議論を頂きました。深く感謝いたします。東京工業大学 工学部 無機材料工学科の武田博明准教授(元 奈良先端科学技術大学院大学 物質創成科学研究科 演算・記憶素子科学講座 助教)には、日々の研究生活において多くの御助言を頂きました。深く感謝いたします。

八戸工業大学 増田陽一郎名誉教授には、筆者が八戸工業大学 工学部 電気工学科 学士課程および八戸工業大学大学院 工学研究科 博士前期課程の在学中における指導教員として、本研究の礎となる強誘電体薄膜の作製とその評価方法について御指導頂きました。また、筆者が奈良先端科学技術大学院大学に入学した後も終始有益な御助言を頂き、日々、研究生活を支えて頂きました。深く感謝いたします。

東京理科大学 理学部 応用物理学科の岡村総一郎教授には、学術論文投稿の際、強誘電体薄膜の電気伝導特性について多くの御指導と御助言を頂きました。深く感謝いたします。

横浜電子精工株式会社の武本達也代表取締役社長、ならびに長崎敏幸専務取締役には、社会人博士課程としての貴重な機会と多くの御支援を頂きました。深く感謝いたします。また、横浜電子精工株式会社 開発技術部 研究開発課の水谷陽司係長、ならびに Gun Bhakdisongkhram 博士には本研究の実験に関して多くの御助言を頂きました。深く感謝いたします。

八戸工業大学 工学部 電子知能システム学科の馬場明技師には、筆者が八戸工業大学在学中に、電子計測の基礎や真空成膜装置の取り扱い等、多くの実用的な実験方法を御指導頂いたおかげで、本研究を円滑に遂行させることができました。深く感謝いたします。

奈良先端科学技術大学院大学 物質創成科学研究科 演算・記憶素子科学講座 博士後期課程 の越前正洋氏には、筆者の厳しい研究生活を日々励まして頂くとともに、本論文に関して深く議論を頂きました。深く感謝いたします。

同講座 博士前期課程の土川卓也氏、川上悠太氏には本論文の実験に関して多くの御協力を頂き、深く感謝いたします。また、同講座の皆様にはいつも御支援を頂いたことを改めて感謝致します。

最後に社会人博士課程の研究生活を支えて頂いた両親に感謝致します。

研究業績

学位論文の主たる部分を公表した論文

[1] T. Nozaka, Y. Mizutani, G. Bhakdisongkhram, M. Echizen, T. Nishida, H. Takeda, K. Uchiyama and T. Shiosaki, "Effect of Interface Structure on Electric Properties of (Ba,Sr)TiO₃ Thin Films on Glazed Alumina Substrate," Japanese Journal of Applied Physics, Vol.47 (2008) pp.7494-7499

[2] T. Nozaka, T. Nishida, Y. Mizutani, G. Bhakdisongkhram, T. Tsuchikawa, M. Echizen, H. Takeda, K. Uchiyama and T. Shiosaki, "Structural and Electric Properties of (Ba,Sr)TiO₃ Thin Films on Glazed Alumina Substrate," Transactions of the Materials Research Society of Japan, Vol.33 (2008) pp.65-68

[3] T. Nozaka, Y. Mizutani, G. Bhakdisongkhram, T. Tsuchikawa, M. Echizen, T. Nishida, H. Takeda, K. Uchiyama and T. Shiosaki, "Preparation of (Ba,Sr)TiO₃ Thin Films on Glazed Alumina Substrate and Analysis of Their Electric Properties," Key Engineering Materials, Vol.388 (2009) pp.191-194

[4] T. Nozaka, Y. Mizutani, G. Bhakdisongkhram, Y. Kawakami, M. Echizen, T. Nishida, H. Takeda, K. Uchiyama and T. Shiosaki, "Preparation of (Ba_{1-x},Sr_x)TiO₃ Thin Films on Glazed Alumina Substrate and Improvement of Temperature Dependence of Dielectric Properties, " Key Engineering Materials, (accepted)

参考論文

[1] T. Nishida, T. Nozaka, T. Tsuchikawa, M. Echizen, H. Takeda, K. Uchiyama and T. Shiosaki, "Analysis of Nonlinear Dielectric Characteristics of (Ba,Sr)TiO₃ Thin Films and Their Frequency Conversion Application," Key Engineering Materials, Vol.388 (2009) pp.183-186

[2] T. Nozaka and Y. Masuda, "Interface effects of Pb(Zr,Ti)O₃ Thin Film Capacitors with Pt, IrO₂ and SrRuO₃ Top Electrodes," Ferroelectrics, Vol.357 (2007) pp.276-282

[3] 野坂 隆, 増田 陽一郎, "分極疲労特性に及ぼす Pt/PZT/Pt 薄膜の界面効果", 電気学会論文誌 A, Vol.126 (2006) pp.821-829

[4] Y. Masuda and T. Nozaka, "Investigation into Electrical Conduction Mechanisms of Pb(Zr,Ti)O₃ Thin-Film Capacitors with Pt, IrO₂ and SrRuO₃ Top Electrodes," Japanese Journal of Applied Physics, Vol.43 (2004) pp.6576-6580

[5] Y. Masuda and T. Nozaka, "The Influence of Various Upper Electrodes on Fatigue Properties of Perovskite Pb(Zr,Ti)O₃ Thin Films," Japanese Journal of Applied Physics, Vol.42 (2003) pp.5941-5946

国際会議発表

[1] Composition Dependence of Electric Properties of (Ba_{1-x},Sr_x)TiO₃ Thin Films on Glazed Alumina Substrate

Takashi Nozaka, Yoji Mizutani, Bhakdisongkhram Gun, Yuta Kawakami, Masahiro Echizen, Takashi Nishida, Hiroaki Takeda, Kiyoshi Uchiyama and Tadashi Shiosaki

The 6th Asian Meeting on Electroceramics (AMEC-6), P-A-23

October 22-24, 2008, Tsukuba, Japan

[2] Interface effects of Pb(Zr,Ti)O₃ Thin-Film Capacitors with IrO₂ and SrRuO₃ Top Electrodes

Takashi Nozaka and Yoichiro Masuda

The 5th Asian Meeting on Ferroelectrics (AMF-5), P-4-15

September 3-7, 2006, Tokyo University of Science, Noda, Japan

[3] Investigation into Electrical Conduction Mechanisms of Pb(Zr,Ti)O₃ Thin-Film Capacitors with Pt, IrO₂ and SrRuO₃ Top Electrodes

Yoichiro Masuda and Takashi Nozaka

12th US-Japan Seminar on Dielectric and Piezoelectric Ceramics, Proceedings pp.479-482

November 6-9, 2005, Annapolis, Maryland

[4] Leakage Current Properties of PZT Thin Film Capacitors

Yoichiro Masuda and Takashi Nozaka

The 5th International Meeting of Pacific Rim Ceramic Societies Incorporating the 16th Fall Meeting of the Ceramic Society of Japan (PacRim-5), 06-P-10,

October. 2003, Nagoya, Japan

国内学会発表

[1] Sol-gel SiO₂ /アルミナ基板上の(Ba,Sr)TiO₃ 薄膜の作製と特性評価

川上 悠太, 土川 卓也, 野坂 隆, 西田 貴司, 武田 博明, 内山 潔, 塩崎 忠

2008 年秋季 第 69 回応用物理学会学術講演会, 2p-B-2

愛知県春日井市, 中部大学, 2008 年 9 月

[2] (Ba,Sr)TiO₃ 薄膜の電気的特性に及ぼす組成および温度依存性

野坂 隆, 水谷 陽司, パックディソククラーム ガン, 川上 悠太, 西田 貴司, 武田 博明,
内山 潔, 塩崎 忠

2008 年秋季 第 69 回応用物理学会学術講演会, 2p-B-3

愛知県春日井市, 中部大学, 2008 年 9 月

[3] (Ba,Sr)TiO₃ 薄膜によるマイクロ波チューナブル素子の誘電特性の解析

西田 貴司, 野坂 隆, 越前 正洋, 川上 悠太, 武田 博明, 内山 潔, 塩崎 忠

2008 年秋季 第 69 回応用物理学会学術講演会, 2p-B-4

愛知県春日井市, 中部大学, 2008 年 9 月

[4] アルミナセラミック基板上への(Ba,Sr)TiO₃ 薄膜の作製と電気的特性

野坂 隆, 水谷 陽司, パックディソククラーム ガン, 越前 正洋, 西田 貴司, 武田 博明,
内山 潔, 塩崎 忠

第 25 回強誘電体応用会議(FMA-25), 30-T-14

京都市, コーポイン京都, 2008 年 5 月

[5] スパッタリング法によるアルミナ上の(Ba,Sr)TiO₃ 薄膜の作製と特性評価

川上 悠太, 土川 卓也, 野坂 隆, 西田 貴司, 武田 博明, 内山 潔, 塩崎 忠

2008 年春季 第 55 回応用物理学関係連合講演会, 27p-ZK-8

千葉県船橋市, 日本大学, 2008 年 3 月

[6] (Ba,Sr)TiO₃ 薄膜の電気的特性に及ぼす界面構造の影響

野坂 隆, 水谷 陽司, パックディソククラーム ガン, 西田 貴司, 武田 博明,
内山 潔, 塩崎 忠

2008 年春季 第 55 回応用物理学関係連合講演会, 27p-ZK-9

千葉県船橋市, 日本大学, 2008 年 3 月

[7] (Ba,Sr)TiO₃ 高誘電体薄膜の温度-電気伝導特性の評価・解析(II)

西田 貴司, 野坂 隆, 土川 卓也, 川上 悠太, 武田 博明, 内山 潔, 塩寄 忠

2008 年春季 第 55 回応用物理学関係連合講演会, 27p-ZK-10

千葉県船橋市, 日本大学, 2008 年 3 月

[8] アルミナ基板上への BST 誘電体薄膜の作製と電気的特性の評価

野坂 隆, 水谷 陽司, パックディソクラー ム ガン, 西田 貴司, 武田 博明,

内山 潔, 塩寄 忠

第 99 回誘電体研究委員会

東京都新宿区, 東京理科大学 森戸記念館, 2008 年 3 月

[9] グレーズドアルミナ基板上に作製した(Ba,Sr)TiO₃ 薄膜の構造と電気的特性

野坂 隆, 西田 貴司, 水谷 陽司, パックディソクラー ム ガン, 土川 卓也,

越前 正洋, 武田 博明, 内山 潔, 塩寄 忠

第 18 回日本 MRS 学術シンポジウム, A-P22-G

東京都千代田区, 日本大学 (駿河台校舎), 2007 年 12 月

[10] グレーズドアルミナ基板上への(Ba,Sr)TiO₃ 薄膜の作製と電気的特性の解析

野坂 隆, 水谷 陽司, パックディソクラー ム ガン, 土川 卓也, 越前 正洋, 西田 貴司,

内山 潔, 塩寄 忠

第 27 回エレクトロセラミックス研究討論会, 2P20

東京都新宿区, 東京理科大学 森戸記念館, 2007 年 10 月

[11] (Ba,Sr)TiO₃ 高誘電体薄膜の作製と電気的特性の解析

西田 貴司, 野坂 隆, 土川 卓也, 越前 正洋, 武田 博明, 内山 潔, 塩寄 忠

第 27 回エレクトロセラミックス研究討論会, 2A04

東京都新宿区, 東京理科大学 森戸記念館, 2007 年 10 月

[12] (Ba,Sr)TiO₃ 高誘電体薄膜の温度-電気伝導特性の評価・解析

西田 貴司, 野坂 隆, 河野 琢磨, 土川 卓也, 武田 博明, 内山 潔, 塩寄 忠

2007 年秋季 第 68 回応用物理学会秋季学術講演会, 5p-ZK-9

北海道札幌市, 北海道工業大学, 2007 年 9 月

[13] TEM-EDX 分析による PZT 薄膜の界面効果の解析

野坂 隆, 増田 陽一郎

第 61 回応用物理学会東北支部学術講演会, 8aB12

仙台市, 東北大学工学部 青葉記念会館, 2006 年 12 月

[14] PZT 薄膜の電気伝導メカニズムに及ぼす界面効果

野坂 隆, 増田 陽一郎

第 21 回強誘電体応用会議(FMA-21), 26-T-10

京都市, コープイン京都, 2004 年 5 月

[15] 強誘電体薄膜の電気伝導に及ぼす界面現象について

野坂 隆, 増田 陽一郎

第 75 回誘電体研究委員会

東京都新宿区, 東京理科大学 森戸記念館, 2004 年 3 月

[16] 不揮発性強誘電体薄膜メモリー材料の電気伝導に及ぼす界面効果に関する研究

野坂 隆, 越前 正洋, 増田 陽一郎

平成 16 年東北地区若手研究者研究発表会「音・光・電波とその応用」, YS-2-49

仙台市青葉区, 東北文化学園大学, 2004 年 2 月

[17] Sol-Gel 法による PZT 薄膜の漏れ電流特性

野坂 隆, 馬場 明, 増田 陽一郎

平成 15 年度電気関係学会東北支部連合大会, 2B-7

岩手県岩手郡, 岩手県立大学, 2003 年 8 月

平成 15 年度電気学会論文発表賞 B 受賞

[18] PZT 薄膜の強誘電性に及ぼす電極構造の影響

野坂 隆, 馬場 明, 増田 陽一郎

日本セラミックス協会東北北海道支部研究発表会,

第 23 回基礎科学部会東北北海道地区懇話会, 1O 08

仙台市青葉区, 東北学院同窓会館, 2003 年 8 月

[19] PZT 薄膜の強誘電性に及ぼす電極構造の影響

野坂 隆 , 馬場 明 , 増田 陽一郎

第 20 回強誘電体応用会議(FMA-20), 29-T-20

京都市, コープイン京都, 2003 年 5 月