

ナノドットを電荷保持ノードとする
薄膜トランジスタ型不揮発性メモリの研究

博士学位論文

2008年3月

奈良先端科学技術大学院大学

物質創成科学研究科 物質創成科学専攻

市川 和典

目次

第 1 章 緒言

1-1	研究背景	1
1-2	システムオンパネルとは	3
1-3	微細化への課題	5
1-4	バイオテクノロジーを用いたデバイスの提案	6
1-5	フラッシュメモリについて	7
1-6	研究の位置づけと特徴	11
1-7	本研究で目指すフラッシュメモリのメモリ特性	12
1-8	本論文の構成	12

第 2 章 Side-Wall 電極型 PECVD による Si ドットの形成と MOS キャパシタの電気特性評価

2-1	はじめに	
2-1-1	Si ドットを用いる利点について	14
2-1-2	Si ドット MOS キャパシタについて	15
2-1-3	Side-Wall 電極型 PECVD について	17
2-2	実験	
2-2-1	Si ドット MOS キャパシタの作製	19
2-2-2	Si ドット形状評価	21
2-2-3	C-V 測定による Si/SiO ₂ の界面評価	23
2-2-4	Si ドット MOS キャパシタの C-V 特性および I-V 特性評価	27
2-2-5	C-V 特性の周波数依存性および Sweep rate 依存性の評価	30
2-2-6	1 ドットに保持される電子数の計算	32
2-2-7	Si ドットの粒径のばらつきとしきい値電圧のシフト量の関係	34
2-2-8	クーロンブロッケード効果と低温 C-V 測定	35
2-2-9	電流測定および容量測定からの電荷量の比較	38
2-3	まとめ	39

第 3 章 Si ドット MOSFET の作製とメモリ特性評価

3-1	はじめに	41
3-2	Si ドット MOSFET のメモリ特性評価	41
3-2-1	Si ドット MOSFET の作製手順と評価	41
3-2-2	MOSFET の初期特性	43
3-2-3	入力特性評価	44
3-2-4	リテンションタイム（電子の保持時間）の測定	47
3-3	電子の注入機構	49
3-3-1	ドレイン電流の経過時間変化	49
3-3-2	入力特性の充電時間依存性	50
3-3-3	Si ドットへの電荷注入量の算出	51
3-3-4	電子の注入の電圧依存性	51
3-3-5	電子の注入の温度依存性	52
3-3-6	信頼性評価	53
3-4	まとめ	54

第 4 章 積層型 Si ドット MOS メモリの電気特性評価

4-1	はじめに	56
4-2	実験	57
4-2-1	積層型 Si ドット MOS キャパシタおよび MOSFET の作製	57
4-2-2	積層型 Si ドット形状	58
4-2-3	積層型 Si ドット MOS キャパシタの C-V 特性評価	59
4-2-4	注入電子量依存性	59
4-3	積層型 Si ドット MOSFET の特性	62
4-3-1	入力特性評価	62
4-3-2	電子の注入のゲート電圧依存性	63
4-3-3	リテンションタイムの測定	64
4-4	まとめ	65

第 5 章 Si ドット低温 poly-Si TFT メモリの作製と メモリ特性評価

5-1	はじめに	67
5-2	poly-Si TFT と MOSFET	68
5-3	実験	69
5-3-1	低温 poly-Si TFT メモリ作製プロセスにおける改良点	69
5-3-2	Si ドット低温 poly-Si TFT メモリの作製と評価	70
5-3-3	低温 poly-Si TFT の初期特性	72
5-3-4	低温 poly-Si 基板上の Si ドットの形状評価	73
5-3-5	低温 poly-Si TFT メモリの入力特性評価	74
5-3-6	リテンションタイムの測定	78
5-3-7	トンネル酸化膜厚依存性	78
5-4	高圧水蒸気処理による特性改善効果	79
5-4-1	高圧水蒸気処理とは	79
5-4-2	高圧水蒸気処理後の特性	80
5-4-3	リテンションタイムの測定	82
5-5	まとめ	83

第 6 章 フェリチンコア低温 poly-Si TFT メモリの作製と メモリ特性評価

6-1	フェリチンコアの特徴	84
6-2	フェリチンコアの形成	85
6-2-1	アポフェリチンへのコア導入と精製	85
6-2-2	ゲルろ過によるフェリチン単量体（モノマー）の採取	86
6-2-3	純水置換法	87
6-3	実験	87
6-3-1	APTES 修飾膜を利用したフェリチンコアの高密度吸着	87
6-3-2	フェリチンコアの形状評価	89
6-3-3	フェリチンコア低温 poly-Si TFT メモリの作製	90
6-3-4	入力特性評価	91
6-3-5	クーロンブロッケードについて	94

6-3-6	リテンションタイムの測定	95
6-3-7	書き込み消去特性評価	96
6-3-8	信頼性の測定	97
6-4	超高密度フェリチンコア低温 poly-Si TFT メモリ	98
6-4-1	はじめに	98
6-4-2	フェリチンコアの密度評価	98
6-4-3	高密度フェリチンコア低温 poly-Si TFT メモリの入力特性	99
6-4-4	リテンションタイムの測定	100
6-5	まとめ	

第7章 結論

7-1	本論分の主要結果	102
7-2	今後の課題と指針	104
	参考文献	105
	研究業績	108
	謝辞	112

第 1 章 緒言

1-1 研究背景

大量の情報を高速に処理することのできるコンピュータの出現により、高度情報化社会が到来し、情報通信機器の高速化、高機能化や家電製品のデジタル化が急速に進展し、生活はより便利により豊かになった。さらに、ネットワークが隅々まで行き渡り、時間や場所の制限を受けず、必要とする情報や知識を、誰もが自由に共有できるブロードバンドネットワーク (Broad Band Network) が構築されつつある。これらの背景には大規模集積回路 (LSI : Large Scale Integration) や、液晶ディスプレイ (LCD: liquid crystal display) にみられるようなめざましい半導体技術の進歩によるものである^[1]。

従来型のブラウン管 (CRT: Cathode Ray Tube) は安価で高精細であるが、奥行きや軽量化に課題があり、CRT に代わるディスプレイ技術として、液晶ディスプレイ、プラズマディスプレイ (PDP : Plasma Display Panel)、エレクトロルミネッセンスディスプレイ (ELD : Electro Luminescence Display) などのフラットパネルディスプレイ (FPD : Flat Panel Display) が注目されている。その中でも液晶ディスプレイは、これらのディスプレイの中でも薄くて軽く、消費電力の少ないため、携帯電話やデジタルカメラ、ノートパソコンなどの携帯機器に使用されている。

その駆動方式は、現在アクティブ・マトリックス駆動が主流であり、マトリックス状に構成された表示画素の一つ一つにスイッチ素子を搭載したものである。液晶ディスプレイの画素部分の等価回路を図 1-1 に示す。このスイッチ素子には、薄膜トランジスタ (TFT : Thin Film Transistor) が用いられ、走査線を介してゲート電極に選択電圧が印加されると、信号線を介してドレイン電極に印加された信号電圧が、ソース電極、画素電極から液晶と補助容量に蓄積される^[2]。ゲート電圧に非選択電圧が印加されると、液晶と補助容量に印加された電圧は保持されることになる。この動作を走査線ごとに順次行い、ディスプレイ全体を表示する。このように、液晶ディスプレイ内での TFT の役割は非常に大きく、高精細化などの性能向上には、微細化、移動度、S 値 (Subthreshold)、信頼性などが重要となる。

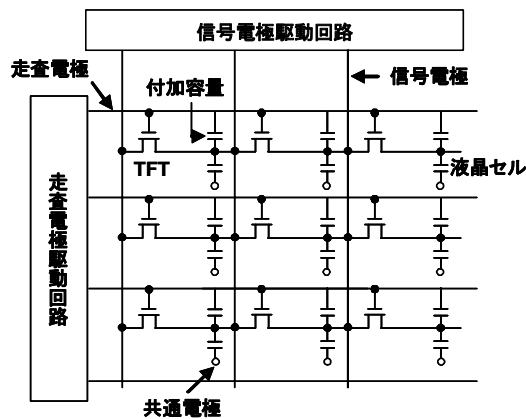


図 1-1 アクティブマトリクス LCD 付加電極方式の等価回路

TFTには形成方法や結晶化の温度によって、非晶質シリコン(a-Si: amorphous silicon) TFT、高温 poly-Si TFT (HTPS-TFT: High temperature poly-Si TFT) 低温 poly-Si TFT (LTPS-TFT: Low temperature poly-Si TFT) に分けられる。それぞれの TFT の特徴を表 1-1 に示す。液晶ディスプレイには開発当初、a-Si TFT が用いられ、無アルカリガラス基板上にプラズマ CVD (PECVD: Plasma Enhanced Chemical Vapor Deposition) 法を利用して、約 350°C の基板温度で堆積し、安価で大面積に TFT を作製してきた^[3-4]。しかし、1983 年ごろから a-Si TFT に比べ電界効果移動度が 100 倍以上高い、poly-Si TFT の研究が盛んに行われるようになり、1986 年 a-Si 膜をエキシマレーザーアニール (ELA: Excimer Laser Annealing) による結晶化を行い、その技術を用いた低温 poly-Si TFT の作製が報告されて以来、その主役は低温 poly-Si TFT へと変わりつつある^[5-10]。

さらなる移動度の向上を目指し、poly-Si の大粒径化の研究が盛んになり、1992 年東工大の松村らによって ELA 誘起ラテラル成長で大結晶粒を形成できる、位相制御 ELA (PMELA: Phase-modulated ELA) 法や^[11]、PMELA の問題点である間隙揺らぎを抑制した、振幅・位相制御 PMA-ELA (PAMELA: Phased and Amplitude Modulated ELA) が提案され^[12]、ELA を用いた結晶の大粒径化の研究は日に日に進歩している。それに伴い、低温 poly-Si TFT においても電界効果移動度は約 500 cm²/Vs を有し、単結晶 Si 並の移動を達成しつつある。このような低温 poly-Si TFT の高移動度化により、画素駆動回路とディスプレイを同一基板上に作製したシステムオンパネル (SOP: System On Panel) が次世代ディスプレイとして注目されている。

表 1-1 各 TFT の特徴

TFT の種類	成膜方法	温度	基板	大面積	信頼性	コスト	移動度
a-Si TFT	CVD	低温	ガラス	○	△	○	×
高温 poly-Si TFT	a-Si を熱処理	高温	石英	×	○	×	△
低温 poly-Si TFT	a-Si をレーザーにより結晶化	低温	ガラス	○	○	○	◎ a-Si の 100 倍

1-2 システムオンパネルとは

画素駆動回路とディスプレイを同一基板上に作製が実現すれば、部品点数が削減でき、外部回路の接続数を大幅に低減でき、信頼性の向上や、コストダウンや組み立ての簡便化につながる。また、応用機器の実装面積の削減による小型化や、低消費電力化が可能となり、ユビキタス社会の扉が開かれると言われている^[13-14]。2002年にソニーが低温 poly-Si TFT 技術を用いて、PDA(Personal Digital Assistant)用の 26 万色表示の Half-VGA (Video Graphics Array) (320-RGB-480) TFT-LCD に要求されるすべての駆動回路を、ガラス基板上に世界で初めて成功した^[15]。更に、2007年に NEC が 4.1 型ながら WVGA (800×480pixel) 表示を実現するなど^[16]、多くの企業や研究機関でシステムオンパネルの研究がされている。

ゲートドライバやデータドライバなどを同一基板上に形成し、コントローラやコンバータなどは外部より接続したシステムオンパネルを、システムオンパネル第一世代 (図 1-2) と言われるのに対し、コントローラやコンバータを同一基板上に作製したシステムオンパネルは、システムオンパネル第二世代といわれている (図 1-3)^[17]。

さらに第二世代に続く、システムオンパネル第三世代として、電界効果トランジスタ (MOSFET: Metal Oxide Semiconductor Field Effect Transistor) で用いられていた微細加工技術や、CMOS (Complementary MOS) 回路技術を融合

させ、周辺の駆動回路だけではなく、中央演算処理装置(CPU：Central Processing Unit)、DRAM (Dynamic random access memory)、SRAM (Static Random Access Memory)、フラッシュメモリなどのメモリ素子やLSIを、ディスプレイと同一基板上に作製し、外部接続を一切行わないシステムオンパネルの実現に向けて研究がされている(図 1-4) [17]。その実現の背景には、主流となっていたレーザーによる poly-Si の結晶化の他に、Ni シリサイドを結晶核として Si 結晶成長させ、低温で大粒径の結晶を成長させる金属誘起固相成長法 (MIC: Metal Induced Crystallization) [18-19]や金属誘起横方向成長法 (MILC: Metal Induced Lateral Crystallization) [20-21]や熱プラズマジェット法[22]など、Poly-Si の結晶粒の大粒径化技術の進歩によるものである。また、高圧水蒸気処理装置などを用いた、界面準位低減技術や LSI の集積技術の進歩も大きく、2007 年に NEC が 230k ビット DRAM と、6 ビット DAC、コントローラなどで構成される周辺回路を液晶ディスプレイと同一ガラス基板上に形成し、ガラス基板上に集積した回路としては世界最大規模となる、40 万個のトランジスタを含むシステム LSI の構築に世界で初めて開発に成功している [23]。

そして第四世代として、プラスチックなどの安価なフレキシブル基板上に、第三世代に搭載された周辺回路や CPU やメモリなどを形成しフレキシブルシートコンピュータを作製することである(図 1-5)。この実現により、衣服にコンピュータを取り付けたウェアラブルディスプレイや壁掛けテレビ、商品などに付ける IC (Integrated Circuit) タグが実現可能となり、ユビキタスネットワーク社会の実現に大きく前進する。しかし、プラスチック基板上に直接 TFT を作製するには、低温プロセス、熱や水分などでの基板のサイズ変化、基板の反りなどの課題がある。また、プラスチック基板の耐熱温度は、一般的にプラスチック基板として用いられるポリカーボネート (Polycarbonate) やポリエチレンナフタレート (PEN: polyethylene naphthalate) やポリエーテルスルホン (PES: polyethersulfone) で約 200°C 程度であり [24]、従来の a-Si の堆積温度は 300°C 程度に比べ低い。これまで直接 TFT 作製技術が研究されてきたが [25-26]、低温プロセスは、TFT の駆動電流の低下、OFF 電流の増加による ON/OFF 比の低下や、信頼性の低下を引き起こしてしまう。現在フレキシブル TFT は、一度従来の低温 poly-Si TFT の技術を用いて TFT を作製し、プラスチック基板に転写する転写技術が用いられているが、コストなどに問題があり課題は多い [27]。

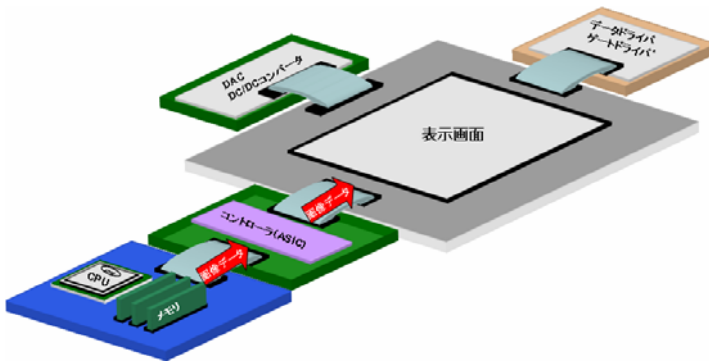


図 1-2 システムオンパネル第 1 世代

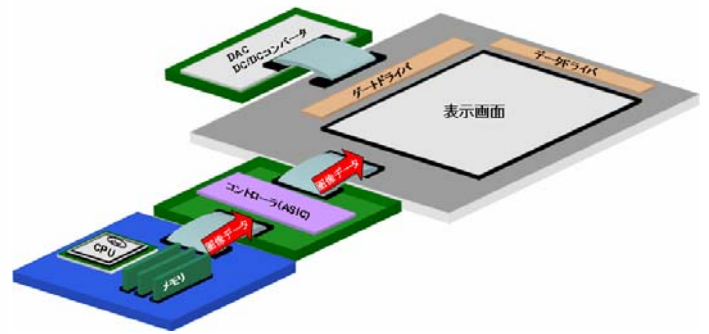


図 1-3 システムオンパネル第 2 世代

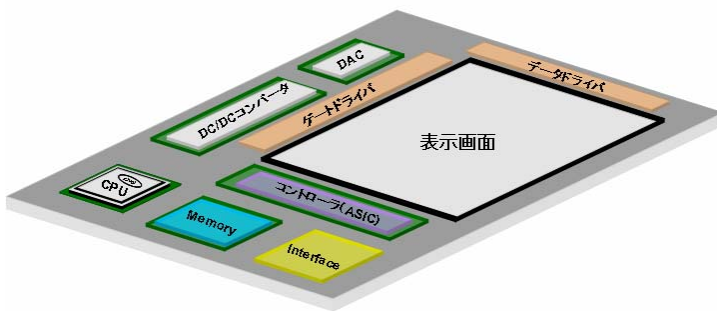


図 1-4 システムオンパネル第 3 世代

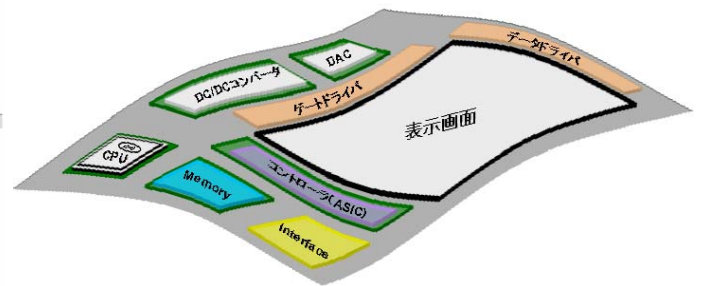


図 1-5 システムオンパネル第 4 世代

1-3 微細化への課題

TFT の高性能化には、移動度の増加とチャンネル長の微細化やゲート絶縁膜の薄膜化が重要であり、今後は LSI 並みの微細加工技術を用いて、より高性能な TFT を作製することが必要になる。

これまでの LSI の集積技術は、その集積率が 3 年で 4 倍になるというムーアの法則に従って現在にいたるまで成長してきた。近年の集積回路は、高速化や低消費電力化や高集積化への要求には MOSFET を微細化することで達成してきた [28]。その基盤となる技術として、フォトリソグラフィーを主流として微細化を行ってきたが、この後の MOSFET のゲート長は ITRS (International Technology Roadmap for Semiconductors) の予測によると、2015 年には 10nm に達するとみられ、リソグラフィーの技術は光の波長による制限で加工限界に達する。そこで、フォトリソグラフィーに変わる加工技術として電子線や X 線を

用いたリソグラフィーが用いられており、ナノメートルの加工が可能であるが、コストや生産効率など課題が残る。さらに微細化により、駆動電流などは向上するものの、短チャネル効果が顕著に現れ、パンチスルーやしきい値電圧の低下 (V_{th} ロールオフ) やサブスレッショルド係数 S の劣化により、オフのリーク電流が増大する。そのため、従来のデバイス構造では実現困難であり、LDD(Lightly doped drain) 構造^[29]やダブルゲート構造、FinFET 構造^[30]など三次元的なマルチゲート構造などを用いた、短チャネル効果抑制技術が必要となる。

ゲート絶縁膜については、MOSFET のスケーリング則によると、今後の微細化を行うことで SiO_2 の有効膜厚 (EOT: Equivalent Oxide Thickness) は 1nm であるといわれている。この厚さでは酸化膜を流れるトンネル電流が増加し、集積回路の待機時さえ消費電力が非実用的に大きくなる。そこで、これまでゲート絶縁膜に用いられてきた SiO_2 に代わる材料として、高誘電率材料 (High-k 材料) が盛んに研究されている^[31-32]。このように諸問題により今後、MOSFET や TFT の特性向上には新材料や新構造の導入と新しいナノ構造作製技術の開発が望まれている。

1-4 バイオテクノロジーを用いたデバイスの提案

現在のバイオテクノロジー分野における研究はめざましく発展している。この分野の基本となるサイズ単位は、nm あるいは分子単位であり、このようなナノメートルサイズ材料 (ナノブロック) が自己組織的に組み上がることにより微細構造を構築している。半導体の分野では、フォトリソグラフィーに代表されるように、大きなものを削ることで、小さいものを作製するトップダウン方式が行われてきたが、生物の世界では、小さいものから積み上げて大きいものを作製する、ボトムアップ方式が基本的手法となっている。このボトムアップ方式を可能にしているのは「DNA」という設計図である。その設計図によって、全く同一の生体超分子が合成される。新しいナノ構造作製技術の構築を目指す時、生物が長年培ってきたボトムアップの手法を模倣することは非常に期待できるアプローチであると考えられる。ここで、同じ設計図 (DNA) から作られる全く同じ構造をもつタンパク質に無機材料を担持させて「ナノブロック」として利用し、ナノ構造を作製してタンパク質部分などの有機物を除去すれば、非常に精密な無

機材料のナノ構造が作製できる可能性がある。この手法を用いたデバイス作製プロセスは、微細化の限界を打ち破る手法の一つとして期待できる。

本研究では、そのタンパク質にフェリチンを用いる。フェリチンは生体内に存在するかご状タンパク質である。図 1-6(a)および(b)にフェリチンの外部構造と内部構造を示す。通常、生体内のフェリチンは直径 12nm の球状の外殻タンパク質を持っており、内側に直径 7nm の酸化鉄コア ($5 \text{Fe}_2\text{O}_3 \cdot 9\text{H}_2\text{O}$ 、フェリハイドライト)を保持している。外殻のタンパク質部分は 1 本のポリペプチド鎖から形成される 2 種類のサブユニット (L-サブユニットと H-サブユニット、ただし L は Light、H は Heavy を意味する)が合計で 24 個集合することで形成されており、その割合はさまざまである。通常のタンパク質に比べ高い熱安定性と pH 安定性を示す。本来フェリチンは生体内での鉄イオン量を調節する働きをする。すなわち周囲の環境に応じて鉄イオンの吸収と供給が可能となる。この鉄イオンの吸収は H-サブユニットだけが持つ酸化活性部位によって行われ、その結果、タンパク質球殻内に酸化鉄結晶を形成する。

一方、L-サブユニットにはカドミウム結合部位といわれる箇所が存在する。これをフェリチン-フェリチン間でカドミウムを塩橋とした結合を結ぶことで可能にする部位である。したがって、カドミウム結合部位を利用することでフェリチンタンパク質結晶を作製することも可能である。本研究室で用いたフェリチンタンパク質は DNA という設計図によって、精密に構造が規定されている。この DNA を用いることで同一のタンパク質を無数に生成できる。現在では、DNA の解読・操作 (置換) 技術の発展により自然界には存在しない人工のタンパク質構造を生成することが可能である。この DNA の置換、いわゆる遺伝子操作技術によって特定の構造に再構成されたフェリチンをリコンビナントフェリチンとよぶ。また、自然界のフェリチンコアは酸化鉄で構成されることを既に述べたが、このコアは人為的に抽出・内包することが可能である。現在ではニッケル、インジウム、コバルト、亜鉛などの酸化物やカドミウムセレンなどの化合物の内包が可能になっており、さらに金や白金などの貴金属の内包も研究されている。我々は新材料や新構造の導入と新しいナノ構造作製技術の開発に、従来の半導体プロセス技術とバイオテクノロジーを融合した新しいデバイス作製プロセスである「バイオナノプロセス (BNP)」を提案している。 [33-35]

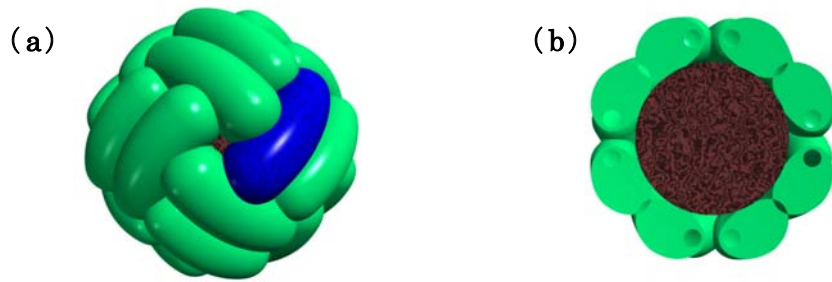


図 1-6 フェリチン (a) 外部構造 (b) 内部構造

1-5 フラッシュメモリについて

フラッシュメモリは不揮発性メモリとして携帯電話やビデオカメラのメモリとして用いられる Si/SiO₂ の二重障壁構造から成る共鳴トンネルデバイスである。このメモリの構造は、通常 MOSFET 構造とほぼ同様であるが、ゲート絶縁膜中に Si に代表されるような電荷保持ノードを埋め込んだ構造であり、この電荷保持ノードが、ゲート絶縁膜中で浮遊（フローティング）しているように見えるため、フローティングゲートメモリとも呼ばれている。このフローティングゲート直下の酸化膜をトンネル酸化膜と呼ばれ、フローティングゲートの周りの酸化膜をコントロール酸化膜と呼ばれる。その構造を図 1-7 に示す。このフローティングゲートに電子を注入し、トランジスタのしきい値を変化させることによって書き込み/消去の認識が行われる。

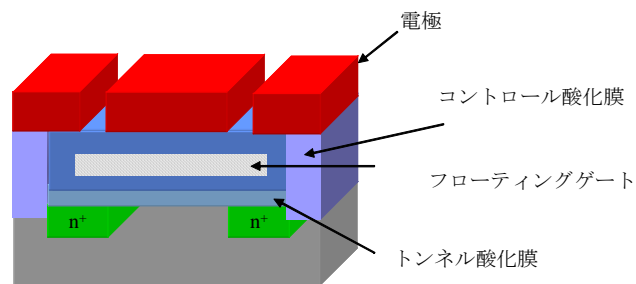


図 1-7 フラッシュメモリの構造

半導体メモリの理想的な形は電源を切っても記録された情報が保持される不揮発性メモリである。近年、セルサイズの小さなフラッシュメモリである NAND 型フラッシュメモリが出現し、その集積のしやすさから最終的に集積化が進めば現在の HDD (Hard disk drive) に代わるメモリとしても期待されており^[36]、今後のシステムオンパネル実現を考えた時、同一基板上に搭載することで、デバ

イスの大きさが現状のサイズより大きくなならないよう、低消費電力化、集積化に優れたフラッシュメモリは欠かせないメモリである。

フラッシュメモリには、その書き込み消去のメカニズムや回路構成などの違いから、NAND型フラッシュメモリとNOR型フラッシュメモリが存在する。NOR型フラッシュメモリの書き込みは、ドレインとゲートの電圧の両方に高電圧の印加し、メモリセルのドレイン近傍で発生したホットエレクトロンをフローティングゲートに注入して行う。書き込みをホットエレクトロンで行っているため、メモリセルトランジスタに大電流が流れるという欠点がみられる。

一方、NAND型のフラッシュメモリは、書き込み消去は共にチャネル前面のF-N (Fowler Nordheim) 電流を流して、基板とのフローティングゲートとの間での電荷の出し入れをする方式をとっている。したがって、メモリセルに関してのみ考えれば、原理的には書き込むために必要な電流は、フローティングゲートへのFN電流のみであり、ホットエレクトロン注入によるNOR型フラッシュメモリと比較して非常に小さく、何ビット同時に書いても消費電力の増加はほとんどない。このことから、トンネル酸化膜の膜厚を薄くし、電子のトンネル確率を向上させることで、ゲートの電圧をより小さくすることができるため、低消費電力が可能である。また、酸化膜容量も増加するため駆動電流も向上する。

書き込み/消去の過程において、電子がトンネル酸化膜をトンネルするため、トンネル酸化膜にとって負担が大きく、耐久性の問題が生じる。現在実用化されているフラッシュメモリは、図1-7に示すようなフローティングゲートが層状になったプレートタイプが用いられているが、書き込み消去の繰り返しにより、トンネル酸化膜のSi-Si結合やSi-O結合が切断されることで、リークパスが発生した場合、フローティングゲート中に保持していた電荷がすべて消失し、メモリとしての役割を果たさなくなる。さらに充電後、電源を切った場合、フローティングゲートからトンネル効果により、直接電子がリークし不揮発性メモリとしての役割を果たさなくなる。現在実用化されているメモリのトンネル酸化膜の膜厚は約10nmであり、現状の構造において薄膜化は難しいといえる^[37]。

この問題の解決方法の1つとして、ナノドットをフローティングゲートとしたフローティングゲートメモリがある。その構造を図1-8に示す。このメモリの特徴は、フローティングゲートがドットタイプの場合、酸化膜が一部破損しても、一つのドットに保持されている電荷が消失するだけで、しきい値電圧のシフトは

維持され、メモリとしての機能は保持される。よって、ドットタイプのものは従来のプレートタイプに比べ信頼性に優れている。これにより、トンネル酸化膜の薄膜化も可能となり、更にドットのサイズを小さくし、量子効果として電子を閉じ込めることができれば、電子の保持時間も向上する。すなわち、高い信頼性を維持したまま書き込み電圧の低電圧化や、電子の保持時間の向上など、デバイス特性を向上が期待できる。このドット型フラッシュメモリは、ドットの密度、サイズがデバイスの特性に影響を与える。ドットの密度はメモリウインドの大きさに寄与し、サイズのばらつきは、しきい値などの素子特性にばらつきをもたらす。すなわち、フローティングゲートメモリにおいては、粒径が均一なドットを高密度に形成することが必要となる。

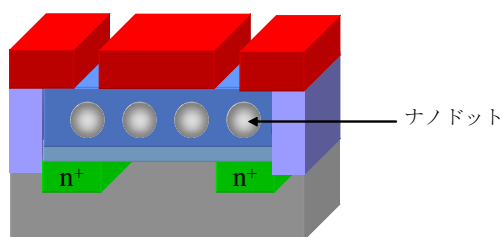


図 1-8 ドット型フラッシュメモリの構造

これまでドットの種類には、現状のプロセスと互換性の高い Si の半導体ドットが主に用いられてきた。しかし、半導体ナノドットはメモリ保持特性を考えると、いくつかの問題点が存在する。標準的な大きさである直径 5nm の Si ドットでは、量子閉じ込め効果により、Si ドットのバンドギャップは Si 基板のバンドギャップよりも大きくなり、導伝帯底は約 0.1eV 上昇する。そのため電荷保持状態では、Si 基板へのバックトンネルが起りやすく、結果的にリテンションタイムは減少する。そこで現在、フローティングゲートに半導体ナノドットを用いるのではなく、金属ナノドットを用いたフラッシュメモリが注目されている。

金属ナノドットは仕事関数が大きいこと電荷注入効果を損なうことなく長い電荷保持特性を実現することが可能となる。ドットの低温形成や粒径の均一性など課題が残るが、フェリチンを用いることで、粒径の均一な金属ドットを高密度に形成することが可能となる。この特徴については第 6 章で詳しく説明する。

1-6 研究の位置づけと特徴

システムオンパネルの有用性や必要性が言われているが、2007年に行われたTFTの国際学会であるITC07 (International TFT Conference) で発表されたポスターセッションを含む全81件の内、poly-Siを用いたメモリの発表わずか2件であった。また、AM-FPD07 (Active Matrix Flatpanel Displays and Device) では75件中、本研究の1件であった。TFTの分野では移動度の向上の研究や結晶化技術や信頼性評価が主流であり、TFTメモリの分野ではほとんど研究されていない。

低温 poly-Si TFT フラッシュメモリの研究が盛んではない理由として、a-Si TFTの基板として用いられる無鉛アルカリガラスの耐熱温度である600℃以上の高温プロセスが使えないこと、すなわち、熱酸化膜が使用することができないという問題点があるためである。酸化膜の膜質は、フラッシュメモリの特性を決める大きな要因であるため、いかに低温プロセスで高品質の膜を形成し、トンネル酸化膜にダメージを与えずドットを高密度に堆積し、堆積後の後処理をどのように行うかなどプロセスの検討が重要となる。酸化膜には、CVD (Chemical Vapor Deposition) やスパッタなどの堆積によって形成するゲート絶縁膜の中で、良好な絶縁耐性が得られるTEOS (Tetraethoxysilane) ガスを原料とするSiO₂を活性化アニールと同時に熱処理することで絶縁耐性を向上させ、トンネル酸化膜に用いている。またフローティングゲートは、従来の平行平板型CVDよりもプラズマダメージが小さいSide-Wall電極型プラズマCVDにより形成されたSiドットを用いている。

本研究では、単結晶Si基板を用いた現在のフラッシュメモリ技術を応用し、第3世代システムオンパネル搭載に向けて、トンネル酸化膜のトンネルによる書き込み消去方式を用いて、ドット型低温 poly-Si TFT フラッシュメモリの研究を行う。プロセス技術および評価技術を確立後、最終目標としてフェリチンコアを用いた、金属ドット低温 poly-Si TFT フラッシュメモリの作製評価を目指す。その金属ドットの形成に、低温、低ダメージで粒径の均一性が高いフェリチンコアを用いて作製を試みる。仕事関数が大きな金属ナノドットを用いていることや、ウエットプロセスを用いるため、トンネル酸化膜へのダメージが小さくなり、Siドットを用いた場合よりも電子の保持時間 (リテンションタイム) などのメ

メモリ特性の大幅な向上や低電圧動作が期待できる。

1-7 本研究で目指すフラッシュメモリのメモリ特性

本研究では DRAM のようなメインメモリ応用を目指すのではなく、大容量メモリへの応用を目指す。そのメモリ特性の中でも重要な信頼性、電子の保持時間、書き込み速度の 3 点について現在実用化されている値より、本研究で目指すメモリ特性の目標値を設定した^[38]。信頼性については 1 万回から 10 万回の書き込み消去後しきい値電圧のシフトを維持。電子の保持時間は 10 年、書き込み速度を 1s 以下とした。

1-8 本論文の構成

本研究では、最終的に低温プロセスを用いてシステムオンパネルに搭載可能なフェリチンコアを用いた低温 poly-Si TFT メモリの開発を目指す。本研究では次の 6 つのステップで研究を進めた。

- ① Si ドットの形状評価および MOS キャパシタ構造での電子の充放電を評価
- ② Si ドット MOSFET でのメモリ特性の評価
- ③ 積層型 Si ドット MOSFET での充放電のメカニズムの解明
- ④ Si ドット低温 poly-Si TFT メモリのメモリ特性評価および高圧水蒸気処理によるメモリ特性評価
- ⑤ Si ドット低温 poly-Si TFT メモリのメモリ特性評価
- ⑥ フェリチンコア低温 poly-Si TFT メモリのメモリ特性評価

本論文の構成は以下の通りである。

第 2 章では、Side-Wall 電極型 PECVD について述べた後、走査型電子顕微鏡 (SEM: Scanning Electron Microscope)、原子間力顕微鏡 (AFM: Atomic Force Microscopy)、透過型電子顕微鏡 (TEM: transmission electron microscopy) を用いて、Si ドットの形状について述べる。その後、Al ゲートを用いた MOS

キャパシタ構造を作製し、高周波 C-V (容量-電圧) 特性および I-V (電流-電圧) 特性の電気的特性評価から Si ドットへの電子の充放電特性について述べる。さらに、クーロンブロッケードの起こる条件や、ドットのばらつきがしきい値電圧のシフト量に及ぼす影響について考察する。

第 3 章では、ドットが埋め込まれていない MOSFET の作製プロセスを確立後、Si ドットを酸化膜中に埋め込み、Si ドット MOSFET の電気特性から Si ドットへの電子の注入および放出をドレイン電流のしきい値電圧のシフトより測定する。さらに、Sweep rate 依存性や電圧幅依存性より、電子注入量の変化によるしきい値電圧のシフトをより詳細に調べる。また、リテンションタイムや信頼性評価からメモリ特性を評価について述べる。

第 4 章では、しきい値電圧のシフト量の増加およびリテンションタイムの向上を目指し、Si ドットを積層構造にし、そのメモリ特性について述べる。またその結果より、Si ドットへの電子注入のメカニズムについて考察する。

第 5 章では、Si ドット低温 poly-Si TFT メモリの入力特性、信頼性、リテンションタイムのトンネル酸化膜依存性などのメモリ特性を評価する。また、メモリ特性向上のため高圧水蒸気処理を行い、その処理後のメモリ特性評価についても述べる。

第 6 章では、フェリチンコアを用いて低温 poly-Si TFT メモリを作製し、入力特性により評価し、信頼性やリテンションタイムや書き込み消去速度などのメモリ特性を評価する。これらの結果と Si ドットを用いた場合とを比較して述べる。更にドット密度を向上させ、ドット密度としきい値電圧幅、リテンションタイムの関係について考察した。

第 7 章では、以上をまとめて結論とする

第2章 Side-Wall電極型PECVDによるSiドットの形成と SiドットMOSキャパシタの電気特性評価

2-1 はじめに

2-1-1 Siドットを用いる利点について

フラッシュメモリは次世代メモリとして研究されており、そのフローティングゲートの材料には主にSiドットが用いられている。その理由として、CVDやスパッタなどといった、これまでのプロセスとの互換性がある手法を用いてSiドットを形成していることである。それにより、従来技術をそのまま使用することができ、コスト面においてもドットの形成時間も数秒間と短く、大面積にSiドットを高密度に形成することが可能である。

バンド構造においても特徴を持つ。図2-1にSiドットフラッシュメモリのバンド構造を示す。基板にP型のSi基板を用いてMOS構造を作製すると、真性半導体であるSiドットのフェルミ準位(E_F)とP型Si基板のフェルミ準位が同じエネルギー準位になるため、Siドットの導電帯(E_c)のエネルギー準位が、Si基板の導電帯のエネルギー準位よりも低くなる。そのため、電圧を印加することでできた反転層の電子が低い電圧で注入が起こる。また、電圧を印加してない $V_g=0V$ の状態では、ドットの導電帯のエネルギーが低いため、電子も放出されにくい。これらの理由から、低電圧動作や長いリテンションタイムが得られる。

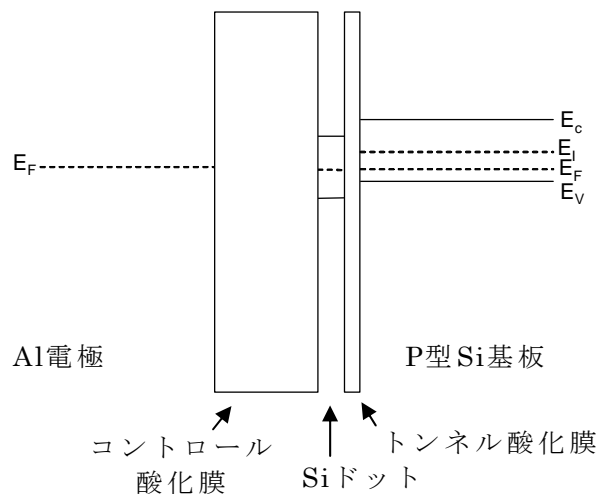


図2-1. Siドットを用いたフラッシュメモリのバンド構造

2-1-2 Si ドット MOS キャパシタについて

フラッシュメモリは、ドットへ電子が充放電され、電子保持ノードとして機能することで、書き込み/消去を認識し、メモリとして動作することが知られている。図 2-2 にフローティングゲート MOS キャパシタの等価回路を示す。従来の MOS キャパシタのゲート絶縁膜層の中にフローティングゲートが埋め込まれている構造のため、フローティングゲートから基板の容量（シリコン表面の容量を含む） C_{FS} とフローティングゲートからの容量 C_{FG} の二つの容量が存在する。

その評価には、MOS キャパシタ構造での C-V 測定や I-V 測定などが用いられる。C-V 測定において MOS キャパシタのゲート電極に電圧を印加し、電荷が注入されると、しきい値のシフト (ΔV_{th}) が現れることで‘1’および‘0’を認識する。

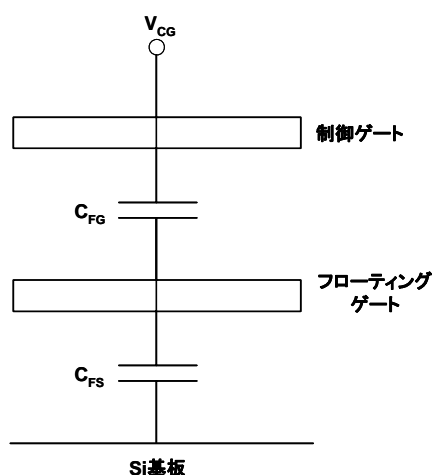


図2-2. フローティングゲートMOSキャパシタの等価回路

フローティングゲートと制御ゲートが容量結合しているとする、ゲート電圧と蓄積電荷量 Q の関係は、次の式で表される^[39]。

$$Q = CV \text{ より}$$

$$C_{FS}(V_{FG} - V_S) + C_{FG}(V_{FG} - V_{CG}) + Q = 0 \dots (2-1)$$

V_{FG} =フローティングゲート電圧、 V_{CG} =ゲート電圧、 V_S =基板電圧、

Q =フローティングゲート内に蓄積された容量

フローティングゲートに電荷が注入されていない時のフローティングゲート電圧は

$$V_{FG} = \frac{C_{FG}}{C_T} V_{CG} \dots (2-2)$$

C_T = 総容量 ($C_{FS} + C_{FG}$)

フローティングゲート内に電荷が注入された場合、しきい値電圧の変化量 ΔV_{th} は

$$\Delta V_{th} = \frac{Q}{C_{FG}} = \frac{1}{C_{FG}} \int_0^t J_G dt \dots (2-3)$$

J_G = フローティングゲートへの注入電流密度

このときのフローティングゲート電圧は

$$V_{FG} = C_{FG} \frac{V_{CG}}{C_T} - \Delta V_{th} \dots (2-4)$$

電子がフローティングゲートに蓄積されると、基板のチャネル表面に正孔が誘起されるため反転層ができにくく、制御ゲートからみたしきい値電圧は高くなり、しきい値電圧のシフトがおこる。注入の機構は次章で詳しく述べるが、市販されているフラッシュメモリの電子の注入機構は、トンネル酸化膜に 10nm 以上の酸化膜が用いられているため、F-N トンネル電流による注入が行われる^[40-41]。しかし本研究では、前章に記述通り、フローティングゲートにドットを用いる特徴を活かし、トンネル酸化膜を 3nm まで薄膜化し、直接トンネルによりフローティングゲートへ電子注入を試みた。

メモリ特性を決定する 1 つの要因として、トンネル酸化膜の膜質が大きく影響する。特に、Si ドット形成時のトンネル酸化膜へのダメージによる膜質の劣化は、リテンションタイムに大きく影響する。これまでの Si ドットの形成方法は、LPCVD、スパッタ法や Si リッチの SiO₂ 膜をアニールする方法が主に用いられ

てきた^[42-45]。しかし、これらは従来技術が使用できる反面、高温プロセスであることや、低温プロセスで行う場合でも、プラズマやスパッタにより膜中にダングリングボンド（未結合手）などの欠陥を形成するため、トンネル酸化膜へのダメージが懸念されている^[46]。そこで、従来用いられている平行平板型 PECVD を用いて Si ドットを形成するのではなく、新しい堆積手法である Side-Wall 電極型 PECVD 法を用いることで下地の酸化膜へのダメージも少なく、Si ドットを形成することができる^[47]。

本章では、ドットの評価、デバイス作製プロセスの確立、電子注入のメカニズムを理解するため、単結晶 Si 基板を用いて Si ドットをフローティングゲートとした、Si ドット MOS キャパシタを作製し、その C-V 特性や I-V 特性から、充放電のメカニズムの考察を行った。Si ドットの密度、形状、大きさ、および組成はそれぞれ、SEM (JEOL JSM-7400)、AFM (SPI-3800)、TEM (H-9000) を用いて観察を行った。

2-1-3 Side-Wall 電極型 PECVD について

プラズマ CVD は、原料ガスプラズマ中で生成された活性化粒子により、基板表面での化学反応を促進させ、薄膜を形成する技術である。その主流は、電極が並行に設置されている平行平板型 PECVD である。しかし、プラズマを用いることで下地の基板へのプラズマダメージは避けられないのが現状である。そこで、電極をチャンバーの側壁に設置することでプラズマダメージを抑制し、低温で高品質膜の成膜が可能という特徴を持つ、Side-Wall 電極型 PECVD を Si ドットの形成に用いた。図 2-3 (a) にその装置の側面図を (b) に上面図を示す。この装置を用いた Si ドットの生成過程は、SiO₂ 上に水素プラズマ中の Si 原子のマイグレーションにより核形成を行う「核形成過程」と、その核形成層にシランプラズマを用いて低温で Si ドットを堆積する「Si 成長過程」の 2 段階のステップによって形成される。

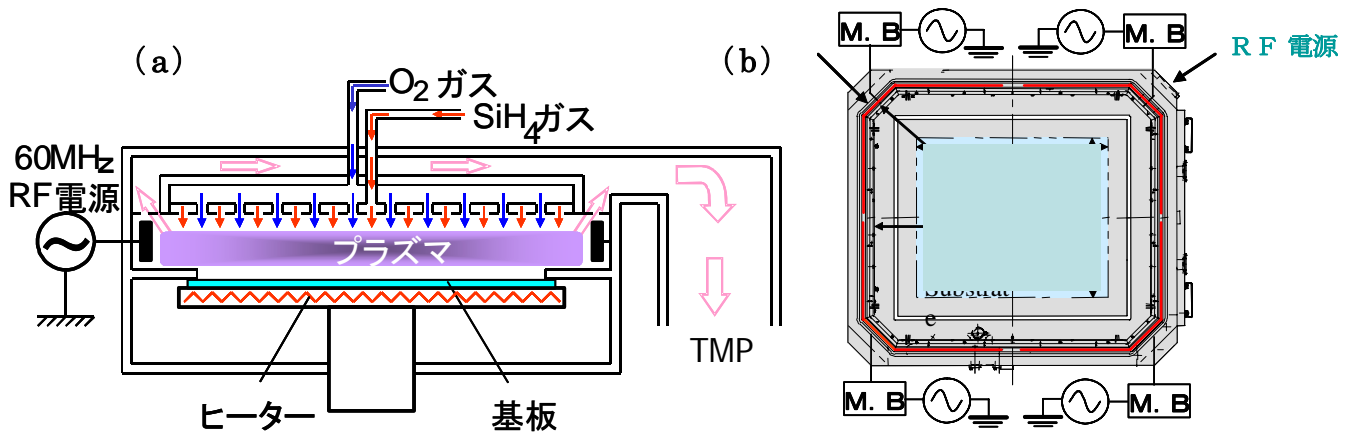


図2-3. (a) Side-Wall電極型PECVDの側面図(b)上面図

プラズマダメージを抑制し、高品質膜の成膜を可能にするためには、低プラズマポテンシャルで高密度にプラズマを形成し、シランガスを高分解効率で解離させる必要がある。そのため、Si 成長過程において低ポテンシャルで、高密度のプラズマを低いプロセス圧力で安定に維持するため、電極に VHF 帯の高周波励起を可能とする RF 電極を設置している。この電極は、側壁に絶縁体で保持されて設置されており、4 分割されている。従来の平行平板型では、電極に 13.56MHz の高周波電源が用いられているが、この装置では、各コーナーから整合器を介して 60MHz の高周波電力が供給される。また、4 台の高周波電源は、60MHz の波形を同期し位相制御も可能であり、1 台あたり最大 2kW で同時に供給することで 8kW の電力が供給できる。よって、同じプラズマ体積で比較した場合、Side-Wall 電極型 PECVD のガス圧は 0.665Pa に対して平行平板型では、66.5Pa であり SiH₄ の分子の密度は約 100 倍である。

一方供給する高周波電力は、Side-Wall 電極型 PECVD が 6000W に対して平行平板型では 200W であり、約 1/30 倍の高周波密度となる。よって SiH₄ の 1 分子に与える励起電子密度は、平行平板型の場合、Side-Wall 電極型 PECVD の 1/3000 となり、SiH₄ 分子の分解率は Side-Wall 電極型 PECVD の方が極端に高くなる。

通常、平行平板型 PECVD の場合、プラズマ密度を増加させる為には、高周波電力を増加する必要があるが、プラズマ密度の増加によりプラズマポテンシャルが増加してしまう。しかし、この装置では電力の増加に対し大きな増加傾向を示さず 6000W の大電力を投入してもプラズマポテンシャルを低く維持することが

できる。すなわち、Side-Wall 電極型 PECVD はシランガスの分解効率およびプラズマ密度が高いまま、プラズマポテンシャルを低く維持することができ、プラズマダメージを抑制できる。また、マルチチャンバーを装備しているため、真空搬送により各チャンバーに移動させるため、Si ドットとコントロール酸化膜を一度も大気暴露せず連続性膜が可能となる。それにより、汚染も少なく高品質な薄膜を形成することが可能である。

2-2 実験

2-2-1 Si ドット MOS キャパシタの作製

Side-Wall 電極型 PECVD を用いて形成した SiO_2 の膜質および Si ドットの形状や密度の評価のため、MOS キャパシタ構造を作製し評価した。単層膜の MOS キャパシタの作製プロセスを図 2-4 に、Si ドット MOS キャパシタの作製プロセスを図 2-5 に示す。

- ① P 型 Si(100)基板 ($2\sim 5\Omega\cdot\text{cm}$) の RCA 洗浄を以下のプロセスで行った。
基板を 80°C の温浴で温められた濃硫酸に 15 分間浸し、さらに過酸化水素水を同量加え 10 分間温浴させ有機汚染物を除去した。次に SC1 溶液（アンモニア水：過酸化水素水：水： $=1:1:5$ ）中で 5 分間温浴しながら洗浄を行い、超純水で洗浄後、SC2 溶液（塩酸：過酸化水素水：水 $=1:1:5$ ）中で 5 分間温浴し洗浄を行った。次に超純水で洗浄後、0.5% 希フッ酸に 1 分間浸し、基板に形成された化学酸化膜を除去した。最後に超純水で洗浄後、窒素ブローによって基板を乾燥させた。
- ② 自然酸化膜を最小限に抑えるため、直ちにサンプルを 700°C の加熱された熱酸化炉内に搬送し、酸化温度 950°C ($\text{N}_2:\text{O}_2=4.5\text{slm}/0.5\text{slm}$)、酸化時間 8 分でトンネル酸化膜である熱酸化膜をドライ酸化法により 3nm 形成した。酸化膜形成後、 $950^\circ\text{C}\cdot 1$ 時間窒素雰囲気中でアニール処理を行い、1 時間かけて 700°C まで冷却し、酸化炉から取り出した。その後膜厚評価は分光エリプソメトリにより行った。

- ③ Si ドット MOS キャパシタを作製する場合、基板を Side-Wall 電極型 PECVD の Si ドット形成用のチャンバーに入れ、圧力 $1 \times 10^{-4} \text{Pa}$ 以下の真空中に、シランガス(SiH_4)/ H_2 を導入し、成膜温度 430°C で熱酸化膜上に Si ドットの形成を行った。その後真空搬送により、コントロール酸化膜堆積用のチャンバーに移動させ、コントロール酸化膜を堆積し、Si ドットを埋め込んだ。膜質評価用の Si ドットが埋め込まれていないものは、Si ドットを堆積せずコントロール酸化膜のみを堆積した。これらの構造の総膜厚が 20nm になるように、コントロール酸化膜の膜厚を調節した。
- ④ 試料の表面に 3000rpm 、15 秒のスピンコートによってレジスト（クラリアントジャパン製：AZ GXR-602 (29cP) を塗布し、ホットプレートで 100°C 、5 分間プリベイクを行い、表面保護膜を形成した。その後、BHF ($\text{HF}:4.7\%$ 、 $\text{NH}_4\text{F}:36.1\%$ 、 $\text{pH}=5.9$) に 5 分間浸し裏面の酸化膜を除去し、アセトン、メタノールの順で洗浄を行い、レジストを除去した。
- ⑤ 抵抗線加熱式の真空蒸着装置（アルバック製：真空蒸着ユニット VPC 型 VOC-110ST）を用いて以下の方法でアルミを蒸着した。アルミの粒を 1 粒蒸着用タングステンボートに乗せ、チャンバー内をターボ分子ポンプにより $4 \times 10^{-4} \text{Pa}$ 以下まで真空引きを行い、電流 50mA で 1 分間加熱し、試料の裏面にアルミを約 300nm 蒸着させ、1 時間の自然冷却後、裏面電極を形成した。続いて同様に表面にアルミを蒸着した。
- ⑥ 裏面電極のオーミック接合性および基板と SiO_2 との界面特性を向上させるため、室温から 400°C までは窒素雰囲気中で約 1 時間かけて昇温させ後、フォーミングガス中 ($\text{N}_2:\text{H}_2 = 4.5\text{slm}/0.5\text{slm}$) 400°C -30 分で PMA (Post Metallization Anneal) を行い、その後も水素を流しながら降温し、 200°C 以下で取り出し、Si ドット MOS キャパシタを作製した。C-V 特性評価は、プレシジョン LCR メータ（アジレントテクノロジー製：4284A）を、絶縁破壊耐性の評価は半導体パラメータ・アナライザー（ヒューレットパッカー製：HP4156B）を用いて行った。Si ドットの密度、形状、大きさ、および組成の評価は SEM、AFM、TEM を用いて観察を行った。

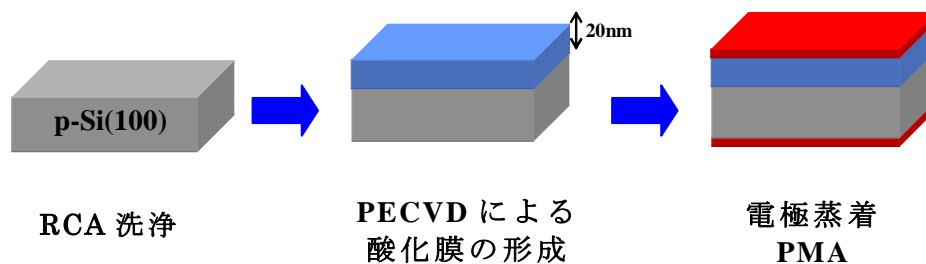


図 2-4. Side-Wall 電極型 PECVD 単層膜の作製プロセス

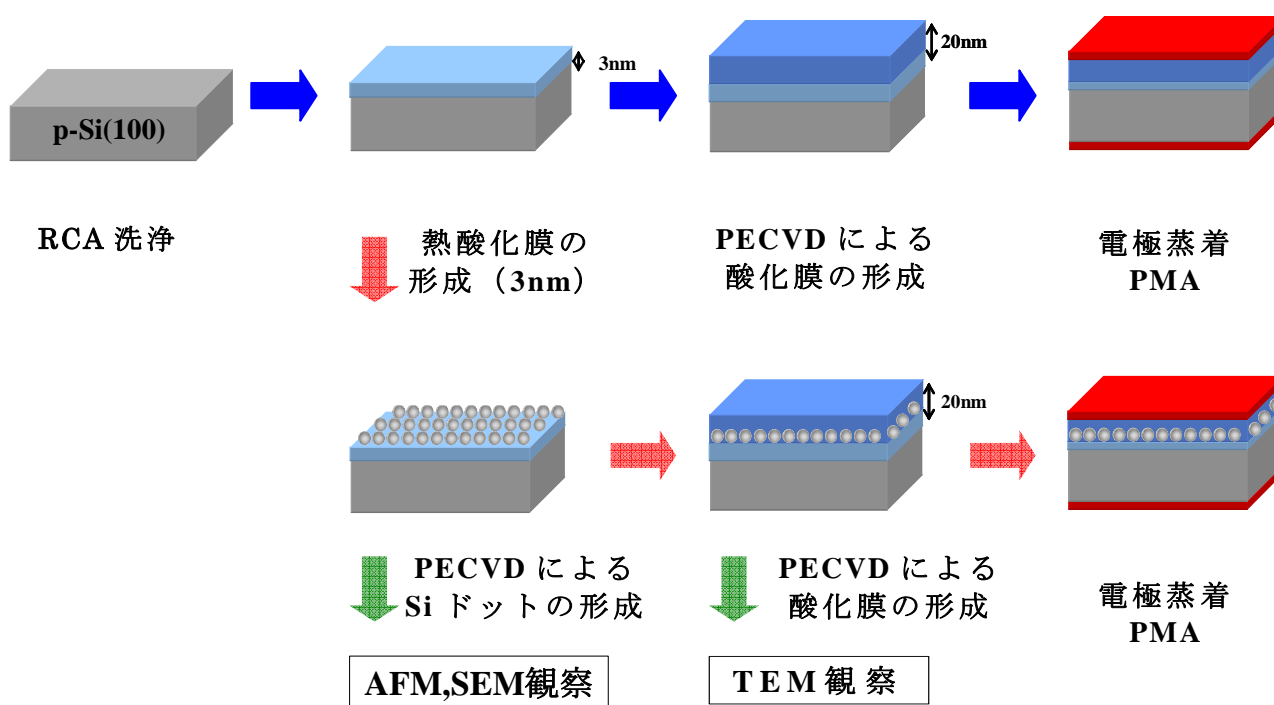


図 2-5. Si ドット MOS キャパシタの作製プロセス

2-2-2 Si ドット形状評価

AFM、SEM で観察した Si ドットの形状を図 2-6 (a) および (b) に示し、TEM で観察した Si ドットの形状を図 2-7 (a) および (b) に示す。AFM および SEM による評価において、球状の Si ドットが観察され、Si ドットが高密度に形成されていることが分かる。AFM 像より求めた Si ドットの直径は 10~30nm であり Si ドットが積み重なったような積層構造に見える。これは、AFM のカンチレバーのチップ（材料 Si）の直径が約 20nm であることから、Si ドットの直径は実際よりも大きく観察され、積層構造のようにみえたものと考えられる。

断面 TEM による評価においても、球状の Si ドットが見られた。このときのドットの直径は約 5nm であり、Si ドットは AFM での測定にみられたような積層構造ではなく、単層構造であることがわかる。さらに結晶格子が確認され、この結晶格子は Si の格子間隔 5.4307Å とほぼ一致するため、この Si ドットは単結晶であることが分かる。

SEM 像を用い 10 μm^2 の領域から Si ドットの密度を計算したところ、ドット密度は約 $8.5 \times 10^{11}/\text{cm}^2$ であった。この密度は再現性にすぐれており、その後堆積を繰り返しても同様に高密度が得られた。これらの結果より、従来の LPCVD による単一 Si ドットの作製方法とは異なった、低温のプラズマ CVD によってもナノサイズの単一 Si ドットの形成が可能であることがわかった。

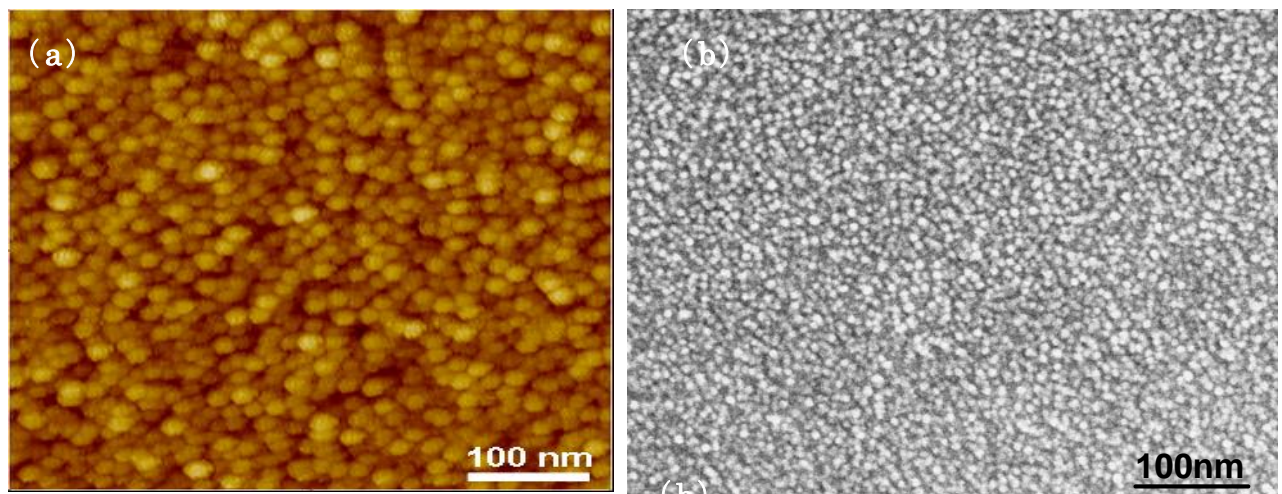


図 2-6. (a) SiドットのAFM像(b)SEM像

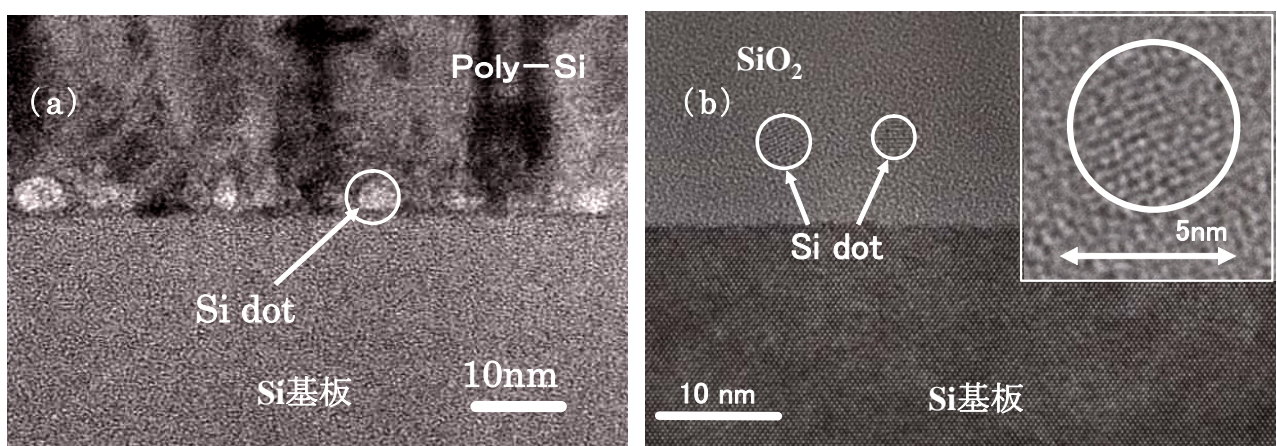


図 2-7. SiドットのTEM像(a) Poly-Si膜中 (b)SiO₂膜中

2-2-3 C-V 測定による Si/SiO₂ の界面評価

デバイスの特性には、界面準位や固定電荷などの界面特性が、しきい値電圧や移動度などのデバイス特性に大きく影響を及ぼすため、界面状態の評価は非常に重要となる。熱酸化による酸化膜は、種々の絶縁膜の中でも最も安定した絶縁膜といえるが、プラズマダメージなどで、膜中にキャリアが注入されると界面準位が形成し、キャリアの捕獲が起こる。酸化膜中に注入されたキャリアの大部分が酸化膜中の電界によりドリフトによってゲート電極に流れ込むが、一部は酸化膜中に存在する深いレベルに捕まってそのまま保持される。SiO₂ 膜中に 3 価 Si で界面近傍に存在すると Si 基板と相互作用し、正の固定電荷として作用する。界面準位は界面に局在する準位で、Si のバンドギャップ内に分布し、4 つの結合のうち周りの 3 つを Si と結合し、残りの 1 つが未結合手の状態をいう。界面準位はバンドギャップの中心で最小となり中心から離れると増加し、面方位 (100) で最も小さいため、LSI 用の半導体基板には Si (100) 面が主に用いられる。そのため、熱酸化膜形成前の基板洗浄の技術は非常に重要なプロセスである。

界面準位や固定電荷などの算出方法として、一般的には MOS キャパシタの C-V 特性を評価することで可能となる。その算出法として、C-V 特性を積分して求める低周波 C-V 法 (Berglund 法)^[48]や、C-V の温度依存性や周波数依存性およびコンダクタンスから求める G-V 法などがある^[49]。今回は、トラップがない理想の C-V 特性を基準として、界面準位密度、固定電荷密度を算出することができる Terman 法を用いた^[50]。この方法では、蓄積から反転にゲート電圧を印加した場合、理想曲線に比べ、しきい値電圧のシフトが正側もしくは負側にシフトしているかによって、固定電荷を評価することができる。しきい値電圧のシフトが正側にシフト場合、酸化膜中には負の固定電荷 (電子) が、負側にシフトした場合、正の固定電荷 (ホール) が存在する。固定電荷は、C-V 測定の理論曲線でのフラットバンドシフトを ΔV とし、金属半導体仕事関数差 ϕ_{ms} とすると次式が成立する。

$$Q_{fix} = \frac{C_{ox}(\Delta V + \phi_{ms})}{q} \dots (2-5)$$

界面準位密度 (D_{it}) は単位面積当たりの界面電荷量を Q_{ss} 、表面ポテンシャルを ϕ_s とした時、次式で表される。

$$D_{it} = \frac{1}{q} \frac{dQ_{ss}}{d\phi_s} \dots (2-6)$$

表面ポテンシャル ϕ_s から $\phi_s + d\phi_s$ に変化する時、表面電荷が Q_{ss} から $Q_{ss} + dQ_{ss}$ に変化し、その結果、高周波 C-V 曲線の理論曲線とのずれが V_d から dV_d に変化した場合、 C_{ox} を酸化膜容量、 q を電荷素量とすると次式が成立する。

$$dQ_{ss} = C_{ox} \cdot dV_d \dots (2-7)$$

$$D_{it} = \frac{C_{ox}}{q} \frac{dV_d}{d\phi_s} \dots (2-8)$$

ϕ_s は半導体の不純物密度から計算できるため、上式により D_{it} のエネルギー分布を求めることができる。測定は LCR メータを用いて高周波 (1MHz) C-V 測定を行い、表面ポテンシャルとフェルミ準位から界面準位密度のエネルギー分布を求めた。

絶縁破壊の評価は I-V 特性より F-N トンネル電流をプロットすることで算出できる。F-N トンネル電流とは、電圧を印加することで絶縁膜中にかかる電界によって、電極と界面に形成される三角ポテンシャルを通じてトンネル効果によりキャリアが伝導する電流伝導機構である。F-N トンネル電流は q を電荷素量、 ϕ_{sn} を障壁高さ、 E_{FN} を電荷強度、 h をプランク定数、 m_{sn} を膜中の電子有効質量、 m を電子の静止質量とすると以下に示した式により表される。

$$J_{FN} = C_{FN} E^2 \exp\left(\frac{-E_{FN}}{E}\right) \dots (2-9)$$

$$C_{FN} = \frac{q^3 m}{16\pi^2 h^2 m_{sn} \phi_{sn}} \dots (2-10)$$

$$E_{FN} = \frac{8\pi\phi_{sn}^{3/2}(2m_{sn})^{1/2}}{3qh} \dots (2-11)$$

上記の式から $\ln(J_{FN}/E_2)$ と $1/E$ が直線性を示せば電流伝導機構は F-N Tunneling 電流であると判断できる。

電圧はゲート電極側から印加し、電氣的にシールドされた暗状態で測定を行った。測定条件は以下の通りである。

測定条件

- ・ 電極直径：200 μ m
- ・ 周波数：1MHz
- ・ 振幅：30mV
- ・ ステップ：40mV
- ・ 理想酸化膜容量：47.2 pF

ドットが埋め込まれていない熱酸化膜と CVD 酸化膜の積層 MOS キャパシタおよび、PECVD 単層 MOS キャパシタにおける C-V 特性評価の結果を図 2-8(a) および (b) に示す。高周波(1MHz)C-V 測定において、ゲート電圧を蓄積側の $V_g = -4V$ から正方向に $V_g = 4V$ まで掃引後、折り返し $V_g = 4V$ から負方向に $V_g = -4V$ まで掃引させた場合、どちらも掃引によるしきい値電圧のシフトはみられなかった。これは、プラズマ CVD 法で堆積された SiO_2 膜中に固定電荷や深い界面準位が存在しても、トンネル酸化膜を介しての電荷のやりとりが可能な浅い準位は存在しないことを示している。また、蓄積側の酸化膜容量が理論値の 40.2pF とほぼ一致した。

積層 MOS キャパシタの固定電荷密度は負の固定電荷が $6.9 \times 10^{10} \text{cm}^{-2}$ 存在し、フラットバンド電圧は $-1.04V$ であった。また PECVD 膜単層については、負の固定電荷が $2.5 \times 10^{11} \text{cm}^{-2}$ 存在し、フラットバンド電圧は $-1.56V$ であった。この結果より、固定電荷の量も少なく良質な膜が形成していることがわかる。

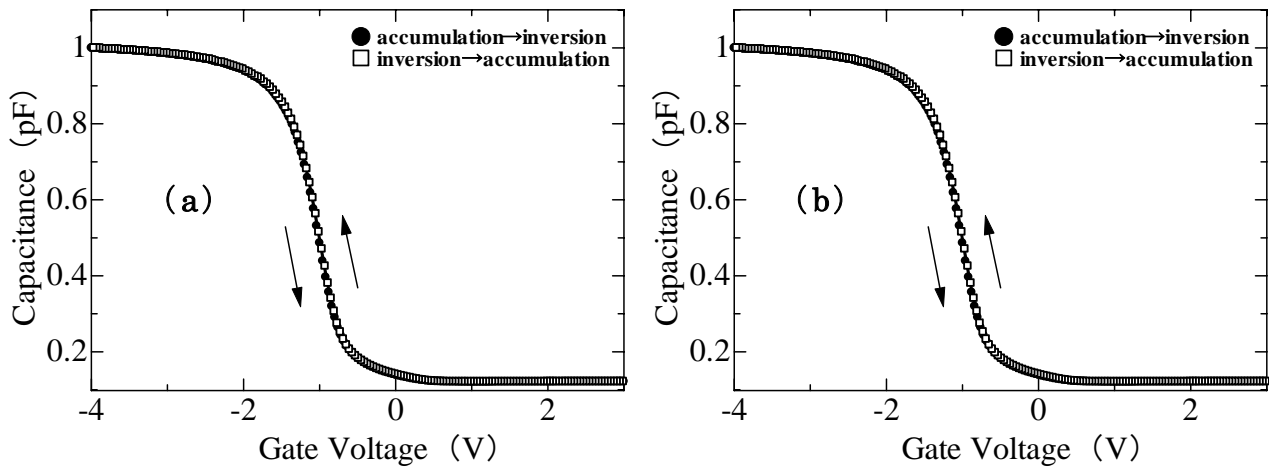


図2-8. MOSキャパシタのC-V特性(a)PECVD単層 (b)積層膜 (PECVD+熱酸化膜)

次にこの C-V 曲線より求めた界面準位のエネルギー分布を図 2-9 に示す。ゲート酸化膜を積層にした場合の界面準位は、ミッドギャップ付近の界面準位密度から $3.1 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$ であり、PECVD 単層の場合の界面準位密度は、 $6.1 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$ であり、両方の膜において良好な界面特性を得ることができた。

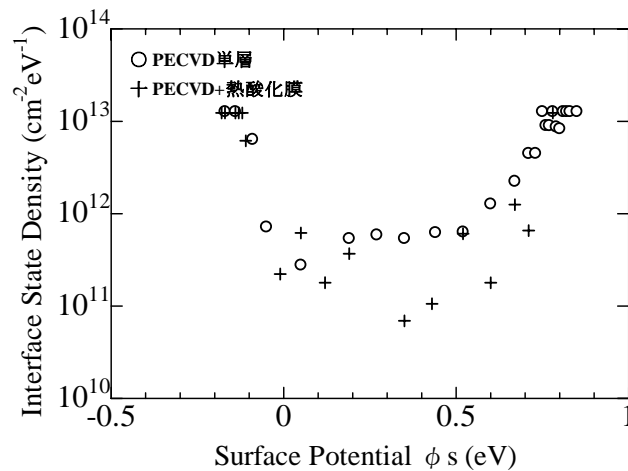


図2-9. C-V特性より求めた界面準位のエネルギー分布

さらに、I-V 測定より電流密度-電界強度 ($J \cdot E$) 特性を求め、その結果から $\ln (J_{Fn}/E^2) - 1/E$ 特性を行った。その結果を図 2-10 (a) および (b) に示す。熱酸化膜に比べ比較的リークしやすい PECVD 膜単層でも、20nm の膜厚において 5MV/cm 以上の高電界領域でも絶縁破壊電界に達していない。また、積層膜においては良好な絶縁耐性を有し $\ln (J_{Fn}/E^2)$ と $1/E$ のグラフにおいて直線性がみられ F-N トンネル電流が見られた。

これまでの C-V 特性および I-V 特性の結果から、PECVD 膜および熱酸化膜の

界面特性、膜質ともに良好であり、この CVD 装置で形成された SiO₂ 膜は、メモリに用いる酸化膜として十分な特性であるといえる。

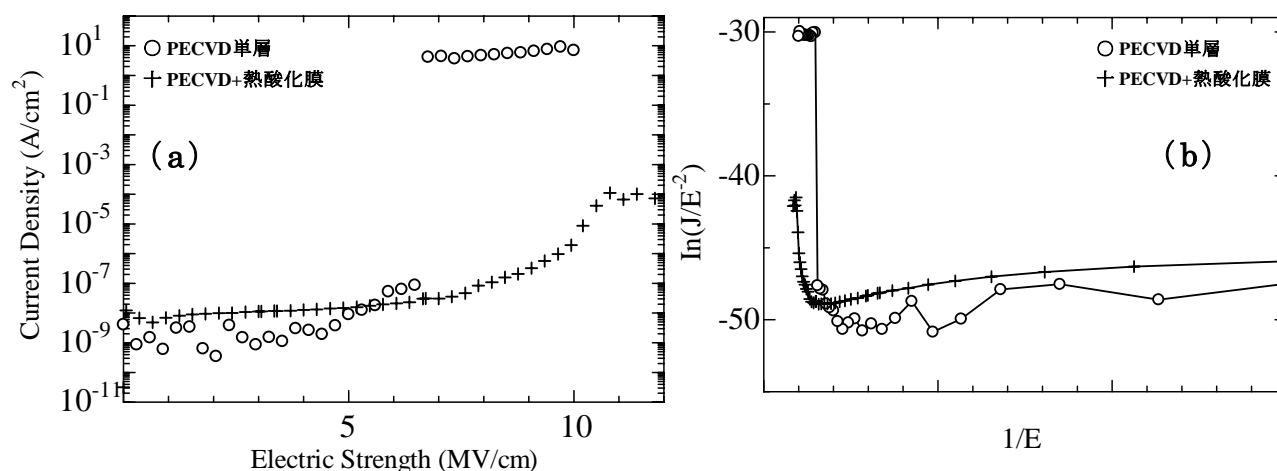


図 2-10. (a) J-E 曲線 (b) $\ln(J/E^2) - 1/E$ 特性

2-2-4 Si ドット MOS キャパシタの C-V 特性および I-V 特性評価

Si ドットへの電子の充放電を評価するため、C-V 特性評価より Si ドット MOS キャパシタの充放電特性を評価した。その結果を図 2-11 に示す。高周波 (1MHz) の C-V 測定において、ゲート電圧を $V_g = -5V$ から正方向に掃引後、折り返し $V_g = 4V$ から負方向に掃引させた場合、C-V 曲線に $V_g = 0V$ 付近でピークが現れ、しきい値電圧は正方向に 1.2V シフトが見られた。このシフトはドットが埋め込まれていない MOS キャパシタでは見られないことから、Si ドットへの電子の充放電によるしきい値電圧のシフトであると考えられる^[44]。

この電子注入のメカニズムをバンド図 2-12 (a) - (d) を用いて説明する。ゲート電圧を正バイアス方向に掃引した場合、反転層が形成され Si 基板中の電子がトンネル酸化膜をトンネルし、Si ドットへ電子が注入される。そのため、しきい値電圧がシフトしたものと推測できる^[51]。次にゲート電圧を負バイアス方向に電圧を掃引した場合は、フラットバンド電圧に達した後、Si ドットに保持されている電子の放電が開始される。さらにゲート電圧を負バイアス方向に掃引すると、容量値が減少していき電子がすべて放出されると、 $V_g = -0.7V$ 付近から再び多数キャリアである正孔が蓄積し始めることで容量値が上昇し、 V_g を $-5V$ から掃引したときの C-V 曲線と一致すると考えられる。

I-V 特性では、C-V 特性と同様に掃引させていくとある電圧において、正もしくは負の電流のピークが現われる。この電流のピークが正の電流の場合、正の電荷すなわち正孔の放出を表し、負の電流の場合電子の放出を表す。電子の放出はフラットバンド電圧に達した時に起こるため、C-V 特性と合わせて考えると、電子の放出する量とその電圧を知ることができる。I-V 特性評価の結果を図 2-13 に示す。V_g = -5V から正方向に掃引した場合、-2V 付近で正電流のピークが見られた。これは、-5V からの掃引によって Si ドットに注入された正孔が放出することによるものと考えられる。さらに、折り返し V_g = -4V から負方向に掃引させた場合、V_g = 0V 付近で負電流のピークがみられる。C-V 特性においてこのピークのゲート電圧と同じ電圧では、容量値が減少し始めるゲート電圧の値とはほぼ同じ値を示している。すなわちこの電流は、Si ドットからの電子の放電に伴う過渡電流であると考えられる。これらの結果より、Si ドットへの電子の充放電の可能性が示唆される。

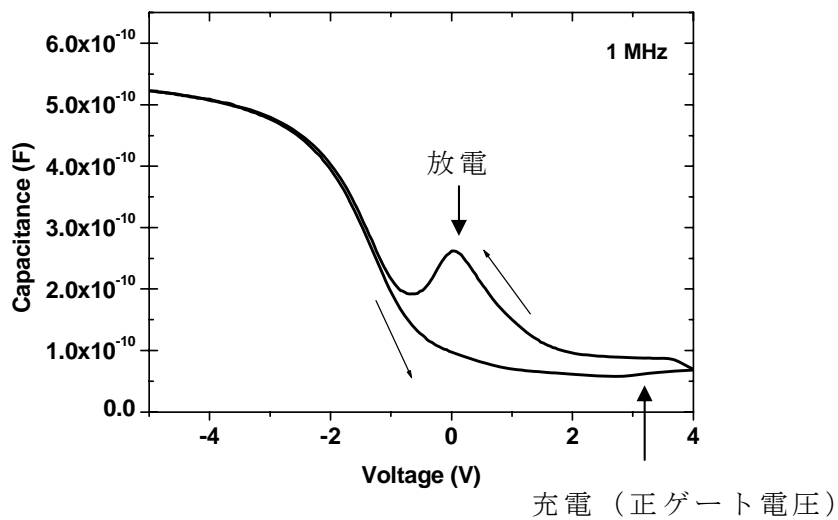
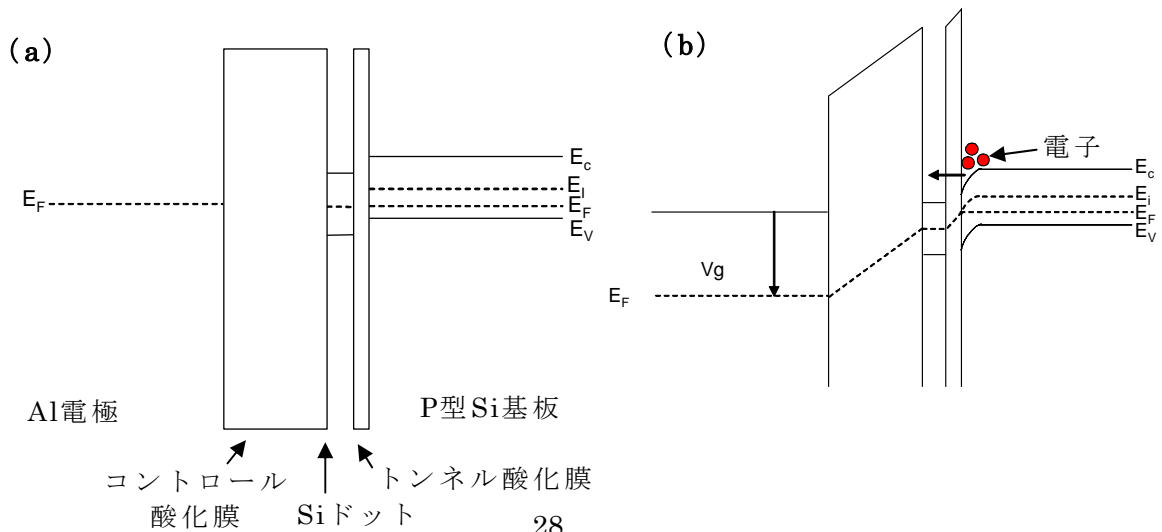


図2-11. SiドットMOSキャパシタのC-V特性



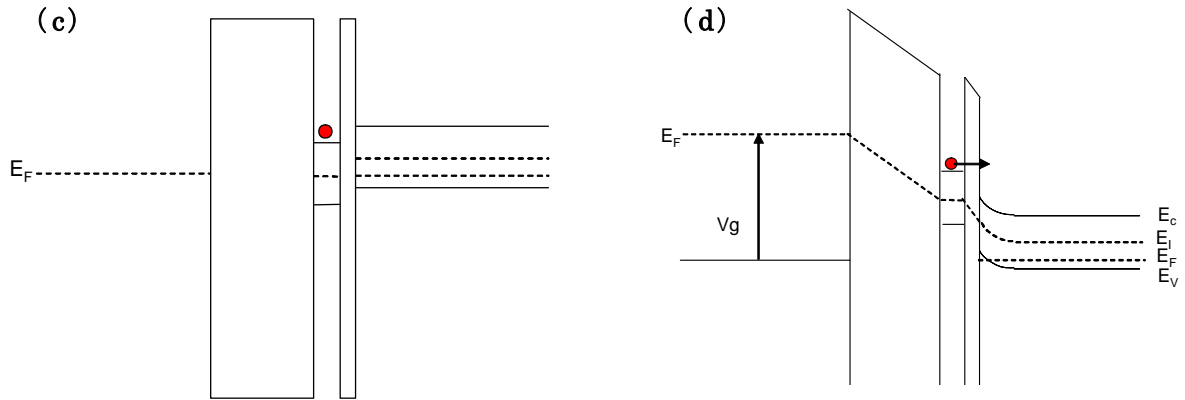


図2-12. SiドットMOSキャパシタのバンド構造
 (a) $V_g=0V$ (b) 電子注入 (c) 電子保持 (d) 電子放出

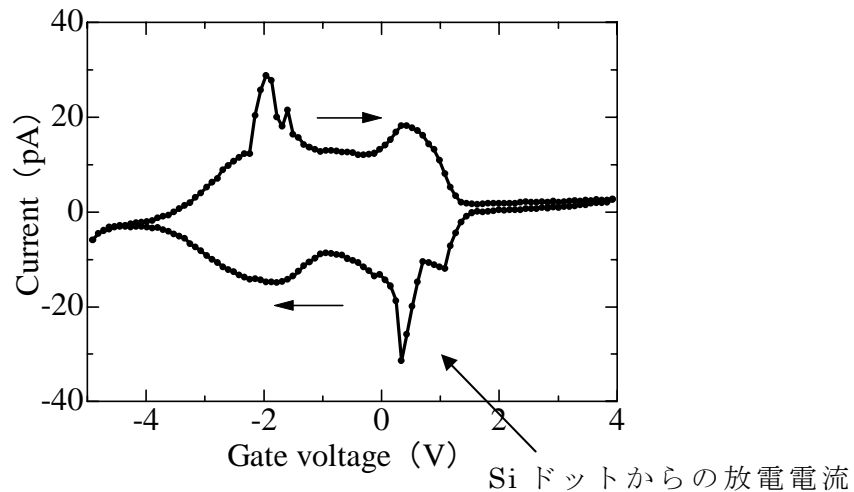


図2-13. SiドットMOSキャパシタのI-V特性

C-V 特性および I-V 特性の結果より、この $V_g=0V$ 付近の容量値のハンプのメカニズムを考察する。図 2-14 に示すように、理想的なメモリ特性は、ハンプのような容量の減少は起こらずしきい値のシフトを維持したまま平行シフトする。Si ドットへの電子の注入量は容量値の増減には影響せず、しきい値電圧のシフトは注入量に起因するため、フラットバンド電圧に達し容量値が減少する $V_g=0.3V$ 付近から、Si ドット中の電子の放電によるしきい値電圧のシフト量の減少と、ゲート電圧掃引による蓄積層形成までの空乏層の広がりによる容量値の減少が同時に起こると考えられる。Si ドットから電子が放電し、蓄積層が形成され始めると容量値の上昇がおり、 V_g を $-5V$ から掃引したときの C-V 曲線と一致するものと考えられる。この V_g を $-5V$ から掃引したとき C-V 曲線と一致する現象は、フローティングゲートへの注入および放出をゲート電圧により制御して

いると考えられるため、界面準位などのトラップサイトへのトラップの影響は小さいと考えられる。

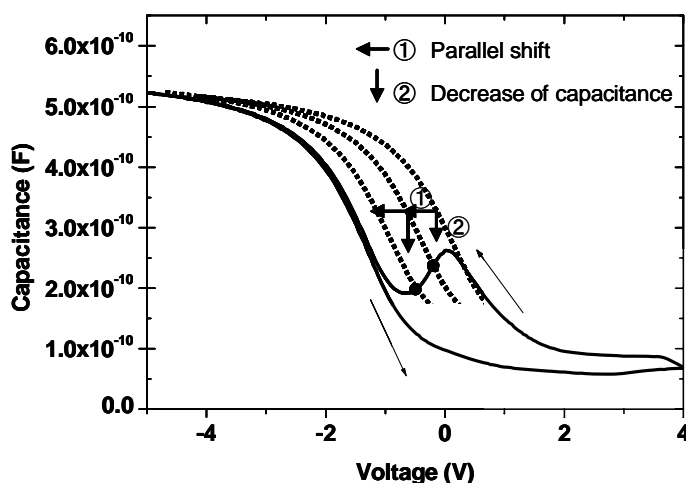


図2-14. ハンプのメカニズム

2-2-5 C-V 特性の周波数依存性および Sweep rate 依存性の評価

先の項でも記述したが、しきい値電圧が正方向にシフトした場合、電子が Si ドットに保持する場合と、界面準位やゲート酸化膜中の欠陥によるトラップサイトにトラップされる場合の 2 つの可能性が考えられる。先ほどの I-V 特性の結果では界面準位などのトラップサイトへのトラップの影響は小さいと考えられるが、更に詳しく調べるには C-V 特性の周波数依存性を測定することが必要となる。実際には 1MHz から 10KHz まで周波数の値を変化させ、C-V 特性の周波数依存性を評価した。その結果を図 2-15 に示す。もし、電子が界面準位にトラップされていた場合、トラップ、デトラップに時定数が存在し、周波数依存性に分散が考えられる。測定周波数の低下に伴い界面準位の時定数が信号周波数に追従できるようになるため、しきい値電圧のシフト量に周波数依存性が現れる。一方ドットに電荷が注入されている場合、電荷の充放電は掃引電圧のみに依存し周波数依存性はほとんど現れないことが知られている^[52]。

この Si ドット MOS キャパシタについて、周波数を変化させた C-V 特性をみると、どの周波数においても、正の電圧を印加すると充電シフラットバンドに達した時に容量値が減少し元の曲線に戻っていることから、周波数依存性は少ないといえる。また、 $V_g = 0V$ 付近での容量ピークの最大容量値が周波数を低くして

いくにつれて増加する傾向がみられた。これについて図 2-16 (a) および (b) のバンド図を用いて説明する。周波数を高くしていくにつれてキャパシタの総容量は、電子および正孔がトンネル酸化膜をトンネルしにくくなるため、コントロール酸化膜の容量とドットの容量とトンネル酸化膜の容量 3 つの直列の容量の和となる。一方、低周波の場合では、電子および正孔がトンネル酸化膜をトンネルし基板の伝導帯（正孔は価電子帯）とドットの価電子帯（正孔は価電子帯）を行き来するため、容量は高周波のものと異なり、コントロール酸化膜のみの容量になるため容量が大きくなる^[53]。すなわち、容量値はドットの注入量に大きく依存すると考えられる。また、高周波にするとしきい値電圧のシフト量が小さくなるのもこのような理由からであり、界面準位などのトラップによるものではないと考えられる。

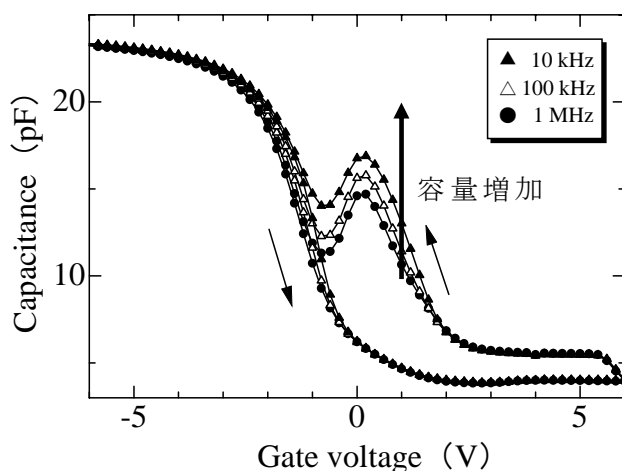


図2-15. C-V特性の周波数依存性

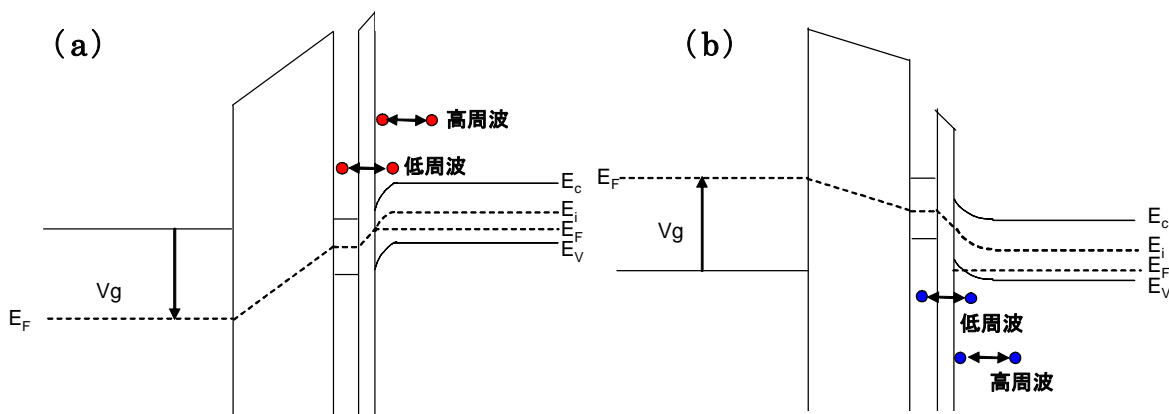


図2-16. 注入の周波数変化によるバンド構造 (a) 電子 (b) 正孔

電子の Si ドットへの充放電特性をさらに詳しく解析するため、高周波 (1MHz)C-V 測定における Sweep rate 依存性 (Step 40mV/s Speed 1m~1s) を評価した。その結果を図 2-17 に示す。Sweep rate が増加するにつれて、 $V_g=0V$ 付近での容量ピークの最大容量値が増加する傾向がみられる。これは容量ピーク的位置 (ゲート電圧) は Sweep rate に依存しないが、容量が減少し再び増加する電圧をみると、Sweep rate を速くするにつれてマイナス側にシフトしていることが分かる。先の周波数依存性より容量値は Si ドットへの注入量で変化することがわかっており、再び増加する電圧に周波数依存はみられない。すなわち Sweep rate を速くしていくにつれて放電が遅れていることが分かる。このことから、Sweep rate が速い場合、放電が遅れるため Si ドットへの注入量が多くなり、先の低周波における容量増加のような状態になり、しきい値電圧のシフト量増加と容量ピークの最大値が増加すると考えられる。

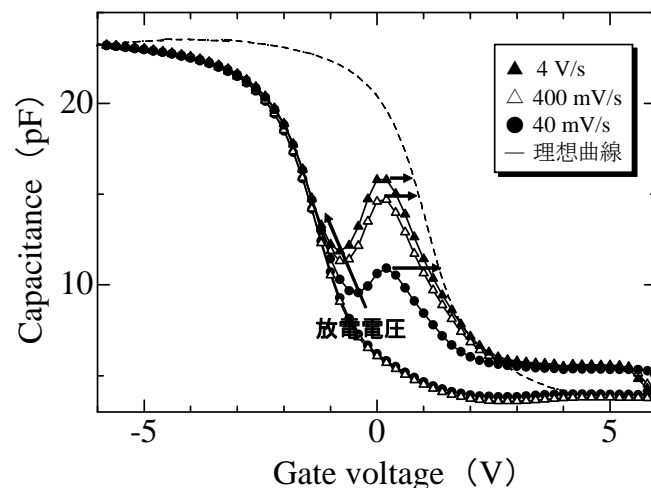


図2-17. C-V特性のsweep rate依存性

2-2-6 1 ドットに保持される電子数の計算

1 つの Si ドットに充電されている電子の数の平均をしきい値電圧のシフト量から算出することが可能である。これまでの C-V 特性の結果から、Si ドット 1 個に保持されている電子数の計算を式 (2-12) を用いて行った^[54]。

$$\Delta V = \frac{en_{dot}}{\epsilon_{OX}} \left(t_{upper} + \frac{1}{2} \frac{\epsilon_{OX}}{\epsilon_{Si}} t_{dot} \right) \dots (2-12)$$

ΔV :しきい値電圧のシフト量 e :電荷素量
 ϵ_{si} :Siの誘電率 ϵ_{ox} :酸化膜の誘電率 n_{dot} :ドット密度
 t_{upper} :コントロール酸化膜の膜厚 t_{dot} :ドット直径

計算で使用した値

Si ドット密度 $8.5 \times 10^{11} / \text{cm}^2$ (SEM より)

Si ドット直径 5 nm (TEM より)

コントロール酸化膜厚 20 nm

電荷素量 $1.6 \times 10^{-19} \text{ C}$

Si の誘電率 11.9

SiO₂ の誘電率 3.9

真空の誘電率 $8.85 \times 10^{-12} \text{ F/m}$

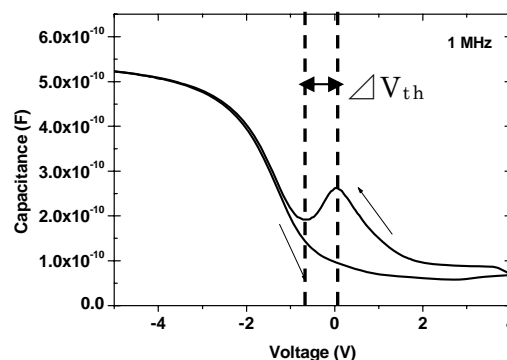


図2-18 各 Sweep rate の実測値 ΔV_{th}

$$\Delta V = \frac{1.60 \times 10^{-19} \times 8.5 \times 10^{-11}}{3.5 \times 10^{-13}} \left(20 \times 10^{-6} + \frac{1}{2} \times \frac{3.5 \times 10^{-13}}{1.1 \times 10^{-12}} \times 5 \times 10^{-6} \right) = 0.82 \text{ V}$$

上記の計算結果より、Si ドット間での電子注入による影響がなく、Si ドットの直径が 5 nm と均一な場合この構造では、 0.82 V のシフトがみられる。

各 Sweep rate の実測値 ΔV_{th} は、図 2-18 に示すように放電が始まるハンプの頂点から再び容量値が上がるまでの電圧とし、計算で求めた理想的なシフト量から Si ドット 1 個に保持されている電子数を求めた。その結果を表 2-1 に示す。Sweep rate を速くしていくにつれて、ドット 1 個あたりに注入される電子の数が増大している。この結果より、トンネルした電子がすべて Si ドットに注入されると考えると、1 ドットに保持されている電子の数の平均は 1 個以上であることがわかった。しかし、この結果は 2-2-2 の Si ドット形状評価で示したように、Si ドットの粒径にばらつきがあるため、計算結果と実測値に誤差があることを考慮する必要がある。Si ドットのばらつきとしきい値電圧の関係は次の項で検討する。

表2-1. Siドット1つに保持されている電子数

Sweep rate	しきい値電圧シフト [V]	Siドットの電子の数[個]
40 mV/s	0.68	0.84
400mV/s	0.96	1.19
4V/s	1.04	1.29

2-2-7 Siドットの粒径のばらつきとしきい値電圧のシフト量の関係

これまで、SEM像に3nm～8nmのSiドットの粒径にばらつきがみられた。このばらつきがしきい値電圧のシフト量にどのような影響を与えるかを(2-12)の計算式を用いて考察した。この時の計算に用いた値は、前項の1ドットに保持される電子数の計算で用いた値を使用した。

Siドットの粒径3nmの場合

$$\Delta V = \frac{1.60 \times 10^{-19} \times 8.5 \times 10^{-11}}{3.5 \times 10^{-13}} \left(20 \times 10^{-6} + \frac{1}{2} \times \frac{3.5 \times 10^{-13}}{1.1 \times 10^{-12}} \times \underline{3 \times 10^{-6}} \right) = 0.81V$$

Siドットの粒径5nmの場合

$$\Delta V = \frac{1.60 \times 10^{-19} \times 8.5 \times 10^{-11}}{3.5 \times 10^{-13}} \left(20 \times 10^{-6} + \frac{1}{2} \times \frac{3.5 \times 10^{-13}}{1.1 \times 10^{-12}} \times \underline{5 \times 10^{-6}} \right) = 0.82V$$

Siドットの粒径8nmの場合

$$\Delta V = \frac{1.60 \times 10^{-19} \times 8.5 \times 10^{-11}}{3.5 \times 10^{-13}} \left(20 \times 10^{-6} + \frac{1}{2} \times \frac{3.5 \times 10^{-13}}{1.1 \times 10^{-12}} \times \underline{8 \times 10^{-6}} \right) = 0.84V$$

これらの計算結果から、Siドットの粒径のばらつきはしきい値電圧のシフト量に影響が少ないことが分かる。これはこの式からわかるように、コントロール

酸化膜の膜厚が非常に厚くコントロール酸化膜の膜厚の項が支配的になるため、数 nm のドットのばらつきでは大きく影響しないといえる。この結果から、20nm から 10nm に薄膜化し同様に計算を行うと、しきい値電圧のシフト量は大きく変化する。

20nm の場合

$$\Delta V = \frac{1.60 \times 10^{-19} \times 8.5 \times 10^{-11}}{3.5 \times 10^{-13}} \left(\underline{20 \times 10^{-6}} + \frac{1}{2} \times \frac{3.5 \times 10^{-13}}{1.1 \times 10^{-12}} \times 5 \times 10^{-6} \right) = 0.82V$$

10nm の場合

$$\Delta V = \frac{1.60 \times 10^{-19} \times 8.5 \times 10^{-11}}{3.5 \times 10^{-13}} \left(\underline{10 \times 10^{-6}} + \frac{1}{2} \times \frac{3.5 \times 10^{-13}}{1.1 \times 10^{-12}} \times 5 \times 10^{-6} \right) = 0.43V$$

コントロール酸化膜を 10nm 薄くした状態での粒径のばらつきを同様に計算すると、Si ドットの粒径を 3nm、5nm、8nm ではそれぞれ 0.41V、0.43V、0.45V とほとんど変化は見られず、ドットの粒径の影響は少ないことがいえる。しかし、ドット密度は大きく影響し、コントロール酸化膜 20nm、ドットの粒径を 5nm とし、ドットの密度を $4.2 \times 10^{11} / \text{cm}^2$ と半分にして計算すると 0.41V に減少する。

このことから、大きなしきい値電圧のシフトを得るには、理論上コントロール酸化膜を厚くすることが必要であるが、膜厚を厚くすると電子注入に大きなゲート電圧を必要とするため、実デバイスの応用には適していない。よって同じコントロール酸化膜厚で high-k 材料などを用いて物理膜厚を小さくすることや、ドットを高密度に形成するなどの工夫が必要である。

2-2-8 クーロンブロッケード効果と低温 C-V 測定

Si ドットなどの量子ドットはそのサイズを変えることで、バルクにはない物理現象がみられるため、近年注目されている。その応用例は、本研究のような高密度のドットが必要とされるメモリだけではなく、単電子メモリや単電子トランジスタなどさまざまな場所で提案されている^[55]。

ナノサイズの半導体に閉じ込められた電子のエネルギーは、バルクでみられるような連続的なバンド構造ではなく、離散的なエネルギー準位をとるようになる。

また、電子に閉じ込めている壁である量子ドットのサイズが変化することでも、電子のエネルギー状態も変化する。一般に量子ドットのサイズが小さくなると、最も低い位置にあるエネルギー準位が上昇し、他のエネルギー準位との差も大きくなる量子サイズ効果が現れる。また、ドットの性質は閉じ込められた電子数の違いによっても変化する。複数個の電子がドットに閉じ込められた場合、電子同士の影響が見られ1つのドットに電子が閉じ込められた場合、新たに別の電子が注入されるとその反発力を受けて電子の移動がブロックされる「クーロンブロックード現象」がおこる。電子の移動によるエネルギー変化 E は以下の式によって求められる。

$$KT < E \dots (2-13)$$

$$E = \frac{e^2}{2C} \dots (2-14)$$

KT : 静電エネルギー C : 微小電気容量 e : 電荷素量

誘電体中の孤立 Si ナノドットの静電容量 C は以下のように表される。

$$C = 4\pi\epsilon_0\epsilon_{Si}r \dots (2-15)$$

ϵ_0 : 真空の誘電率 ϵ_{Si} : Si の誘電率 r : ドット直径 π : 円周率

すなわちクーロンブロックードをおこす場合、ドットの粒径を小さくするか温度を下げる必要がある。そこで、今回の Si ドットの直径を 5nm と均一とした場合のクーロンブロックードがおこる温度を計算した。

計算に用いた値

Si ドット直径 5 nm (TEM より)

電荷素量 1.6×10^{-19} C

酸化膜の誘電率 3.9

真空の誘電率 8.85×10^{-12} F/m

ボルツマン定数 K 1.38×10^{-23}

$1V = 6.24 \times 10^{18} eV$

$$E = \frac{e^2}{2C} = \frac{e^2}{8\pi\epsilon_0\epsilon_{Si}r} = \frac{(1.6 \times 10^{-19})^2}{8 \times 3.14 \times 8.85 \times 10^{-12} \times 11.9 \times 3.5 \times 10^{-9}} = 3.87 \times 10^{-21} \text{ V} = 24 \text{ meV}$$

$$T = \frac{e^2}{2CK} = \frac{3.87 \times 10^{-21}}{1.38 \times 10^{-23}} = 280 \text{ K} = 7^\circ \text{ C}$$

この結果より Si ドットの直径が 5nm と均一とした場合、計算上では 7°C まで冷却することでクーロンブロッケードがおこる。また、今回作製した Si ドットにばらつきがあることから 8nm の場合で同様に計算したところ、-97°C でクーロンブロッケードがおこる。逆に室温でクーロンブロッケードを起こす場合では 4.6nm 以下のドット粒径が必要となる。このことから、クーロンブロッケードにおけるドットの粒径は nm 単位で大きく影響を与えるということが分かった。これまでに、5nm の Si ドットを用いた単電子トランジスタにおいて、クーロンブロッケードが観測されており^[56]、更に 8nm の粒径の Si ドットを酸化処理により粒径を小さくし、25nm のゲート長を持つ極微細構造において、単電子メモリとして動作が報告されている^[55]。このことから、上記の計算結果は妥当であるといえる。

次に低温下での Si ドット MOS キャパシタの C-V 測定を行った。先ほどの計算式より 250K でクーロンブロッケードが起こるドットの直径を調べたところ 5.6nm であり、150K では 9.4nm となる。Si ドット MOS キャパシタの C-V 測定の結果を図 2-19 に示し、表 2-2 に各温度における放電が始まるハンプの頂点から再び容量値が上がるまでの電圧の幅を示す。温度を室温から 250K まで冷却した時に、放電が始まるハンプの頂点から再び容量値が上がるまでの電圧のシフト量が大幅に小さくなる。更に低温にしていくと 200K と 150K とでは、シフト量の差はほとんど見られなかった。室温から低温にするにつれてしきい値電圧のシフト量が急激に減少していることから、クーロンブロッケードの効果が考えられるが、これまで隣接するドット間の影響などによる見解はほとんどなく、今後詳しい解析が必要になる。

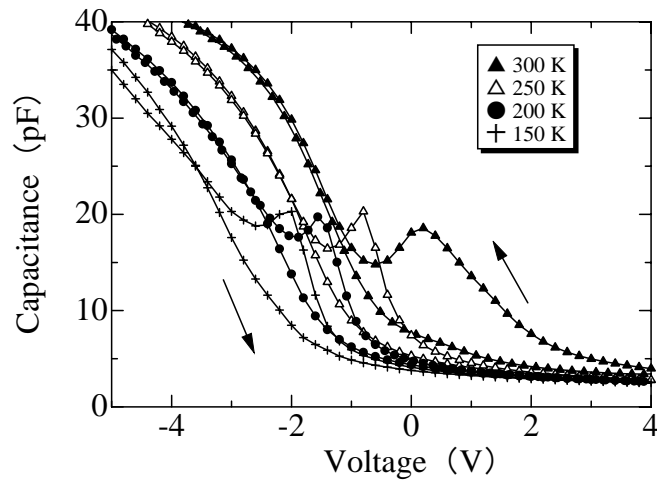


図2-19. C-V特性の温度依存性

表2-2. Siドット1つに保持されている電子数

	室温	250K	200K	150K
電圧幅[V]	0.84	0.58	0.40	0.41

2-2-9 電流測定および容量測定からの電荷量の比較

C-V 特性のしきい値電圧のシフト量から電荷量を求め、その理論値と I-V 特性から実際に流れた電流値から求めた電荷量とを比較検討を行った。

理論値の計算方法は、2-2-6 の 1 ドットに保持される電子数の計算で用いた計算式 (2-12) から電荷量を求めた。I-V 測定の sweep rate は 100mV/s でありそれに近い sweep rate である 40mV/s の値から求めた電荷量は $1.4 \times 10^{-5} \text{C/cm}^2$ であった。

I-V 測定の実測値からの計算は、C-V 特性において正から負の電圧を印加後、負の方向に電圧印加したとき、 $V_g = 0\text{V}$ 付近で電子が放電され、さらにゲートを負バイアス方向に電圧を掃引すると容量値が減少していくが、再び容量値が上昇していくこの領域に電子が放出するものと考え、この領域の電流値の積分値から電荷量を求めた。電荷量と時間の関係は次の式で表される。

$$Q = It \dots (2-16)$$

Q =電荷量、 I =電流、 t =放電時間

この式から電荷量を求めるには放電時間が必要である。この時の V_g が 0.3V から -0.7V の 1V を放電領域と考え、sweep rate は 100mV/s であるため、この領域の時間は 10s となる。時間と電流密度の積分値より電荷量を計算したところ、電荷量の絶対値は $1.95 \times 10^{-5} \text{ C/cm}^2$ であった。この値は理論値とほぼ同じであり、この電荷量によるしきい値電圧のシフト量を計算したところ 1.4V であり、理論値と一致することがわかった。

2-3 まとめ

Side-Wall 電極型 PECVD を用いた Si ドットの形状およびドット密度の評価のため、トンネル酸化膜上に堆積した Si ドットの様子を SEM、AFM および TEM により観察した。その結果、球状の Si ドットが $8.5 \times 10^{11}/\text{cm}^2$ の高密度に形成した。しかし、粒径にばらつきがみられ 3nm~8nm であった。また、隣接するドットどうしは孤立し、Si ドットは単結晶であることがわかった。よって、新規堆積法によってナノサイズの Si ドットの形成が可能であることがわかった。しかし今後、堆積温度や圧力などを変化させ、Si ドットの粒径のばらつきをなくするような条件の最適化が必要である。

PECVD 膜単層および積層膜の C-V 特性および I-V 特性より算出された、固定電荷や界面準位密度や絶縁耐性の結果から、トンネル酸化膜およびコントロール酸化膜の界面特性、膜質ともに良好でメモリに用いる酸化膜として使用することができる特性を示した。

Si ドット MOS キャパシタを作製し、Si ドットへの電子の充放電特性を C-V 特性、I-V 特性により行い評価を行った。その結果、C-V 曲線に掃引によるヒステリシスが現われた。このシフトは Si ドットへの電子注入によるしきい値電圧のシフトであると考えられる。また周波数依存性を測定したところ、界面準位の影響が少ないことがわかった。さらに周波数を低くすることで、容量値に増加がみられ、これは低周波にすることで、基板の電子がトンネルしやすくなるためであることがわかった。sweep rate 依存性を測定すると、正方向に 0.68~1.04V シフトが見られ、sweep rate を速くすると容量ピークは増大するが、これは速い電圧の変化に電子の放出が遅れるためであると考えられる。各 sweep rate のしきい値電圧のシフト量から 1 ドットに保持されている電子の数を算出した結

果、1 ドットに保持されている電子の数は 1 個以上であることが分かった。このシフト量からの電荷量と実測値からの電荷量がほぼ一致していた。

ドットのばらつきはヒステリシス幅に影響は少ないが、クーロンブロケード効果を起こすにはナノ単位での制御が必要であるということが分かった。更に、広いヒステリシス幅を得る場合は、理論上はコントロール酸化膜厚を厚くする必要があるが、電子注入に高電圧を必要とするため、ドットの密度を高くすることや high-k 材料を用いるなど工夫が必要となる。

これらの結果よりこの Si ドットは形状にばらつきがあるものの、新規堆積法を用いて作製した Si ドットをフローティングゲートに用いたメモリに応用可能であることが示唆された。

第 3 章 Si ドット MOSFET の作製とメモリ特性評価

3-1 はじめに

これまでの結果から、MOS キャパシタ構造での Si ドットへの充放電が確認され、この Si ドットは実際のフローティングゲートメモリに応用可能であることが示唆された。そこで、MOSFET 構造での評価を行うため、基本となるトランジスタ作製プロセスを確立させ、Si ドット MOSFET の試作および評価を行った。

本章では、キャパシタの時と同様に Side-Wall 電極型 PECVD を用いて Si ドットとコントロール酸化膜を連続成膜し、Si ドット MOSFET を作製した。MOS キャパシタ構造では容量値で測定していたが、MOSFET 構造にすることでドレイン電流を測定することが可能になる。そのため、これまで測定できなかったリテンションタイムの測定などが行えるようになり、より詳しいメモリ特性について評価をおこなった。

3-2 Si ドット MOSFET メモリ特性評価

3-2-1 Si ドット MOSFET の作製と評価

Si ドット MOSFET のプロセスフローを図 3-1 に示す。

- ① P 型 Si(100) 基板上に素子分離のため、LOCOS (Local oxidation of silicon) (90nm) を形成し、ソース/ドレイン (S/D) (ドーズ量 $4 \times 10^{15}/\text{cm}^2$) としきい値電圧制御のためのイオン注入を行い、活性化を行った後、0.5% 希フッ酸に 7 分間浸し LOCOS によって酸化されたゲート領域の酸化膜 20nm を除去した。
- ② この基板をキャパシタと同様の方法で RCA 洗浄を行った後、トンネル酸化膜である熱酸化膜を 950°C で 3nm 堆積し、Side-Wall 電極型 PECVD で Si ドットと SiO₂ を連続堆積した。
- ③ 試料の表面に 3000rpm-15 秒でスピコートによってレジストを塗布し、

ホットプレートで 100℃、5 分間プリベイクを行った後、マスクアライナー（SUSS 製 MJB）で 8 秒間露光を行い、現像溶液（東京応化工業製：NMD-3）に 1 分間浸し現像を行い、超純水で洗浄後、窒素ブローを行い乾燥させた。さらに、ホットプレートで 120℃、5 分間ポストベイクを行った後、BHF に 1 分間浸し、超純水で洗浄後、超音波洗浄によりアセトン、メタノールの順番でレジストを除去および洗浄を行い、コンタクトホールを形成した。

- ④ コンタクトホール形成後、再度レジスト、ベーキング、露光、現像を行い、電極領域を作製した。ゲート電極には EB（electron beam）蒸着装置を用いて Ti を約 300nm 蒸着させ、リムーバ（AZ remover 200）の中に試料を入れ、80℃に温められた温浴に浸し、リフトオフによってゲート電極およびソース/ドレイン電極を形成した。その後 PMA を 400℃で 30min 行い MOSFET を作製した。ドットの有無による特性の比較のため、ドットが埋め込まれていない MOSFET（以下積層膜 MOSFET）も作製した。

- ⑤ Si ドットにおける電子の充放電特性を入力特性により評価し、さらに、リテンションタイムの測定や信頼性について検討を行い、メモリ特性を評価した。

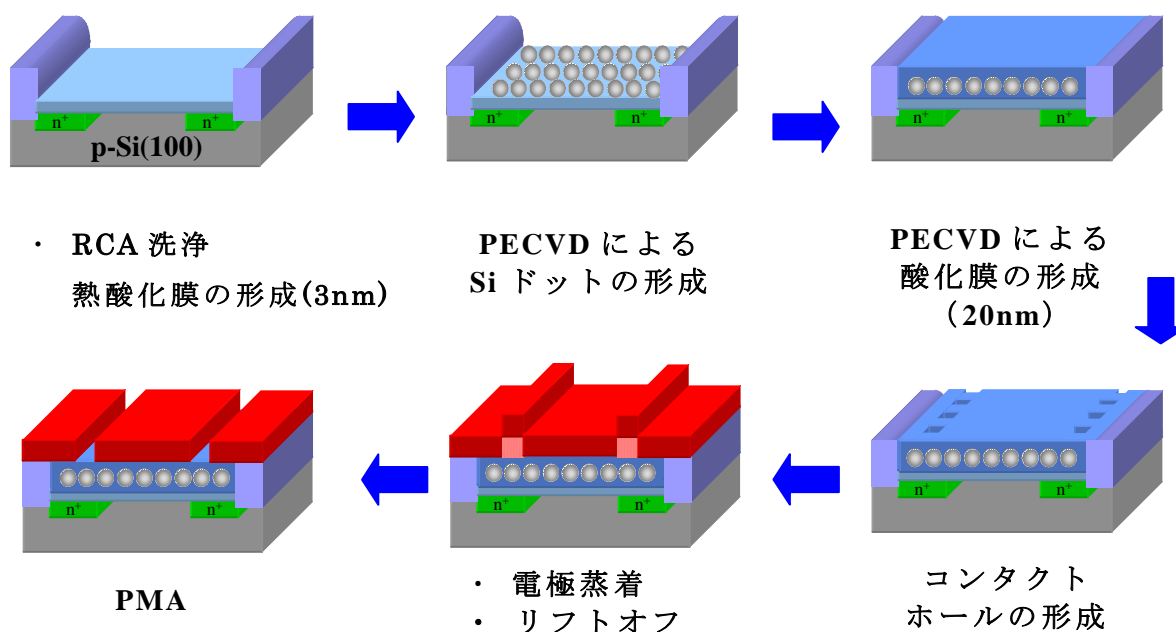


図 3-1. Si ドット MOSFET の作製プロセス

3-2-2 MOSFET の初期特性

図 3-2 に実際に作製した MOSFET の微分干渉顕微鏡像と図 3-3 に素子構造を示す。マスク合わせの精度は $1\mu\text{m}$ 以下であり、設計での最も大きなサイズは $W/L=50\mu\text{m}/20\mu\text{m}$ であり、最も小さいサイズは $W/L=2\mu\text{m}/0.5\mu\text{m}$ である。ゲート絶縁膜には MOS キャパシタと同様に 20nm の PECVD 単層を用いている。

図 3-4 (a) に MOSFET の入力特性 (ドレイン電流-ゲート電圧特性) と (b) に出力特性 (ドレイン電流-ドレイン電圧特性) の基本特性を示す。ゲート電圧によりチャンネルが形成されており、トランジスタ動作していることが分かる。また、OFF 電流も 10^{-13}A と低く、On/Off 比が 8 桁と良好なトランジスタ特性を示している。この MOSFET の初期特性を以下に示す。

電界効果移動度 = $200\text{cm}^2/\text{Vs}$

しきい値電圧 = 1.5V

S 値 (subthreshold) = $0.1\text{V}/\text{dec}$

線形領域での On/off 比 = 8 桁

この特性は、従来の MOSFET に比べ移動度が低いが、この MOSFET がメモリに用いる基本トランジスタとして十分な特性を有している。

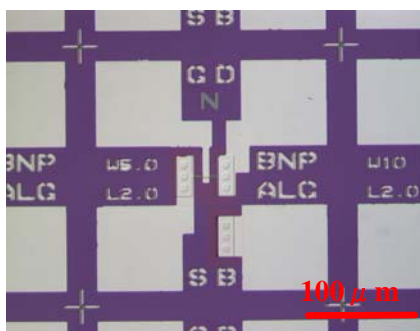


図 3-2. 実際に作製した MOSFET

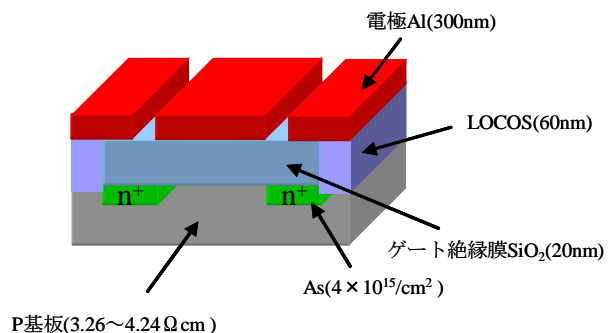


図 3-3. MOSFET の素子構造

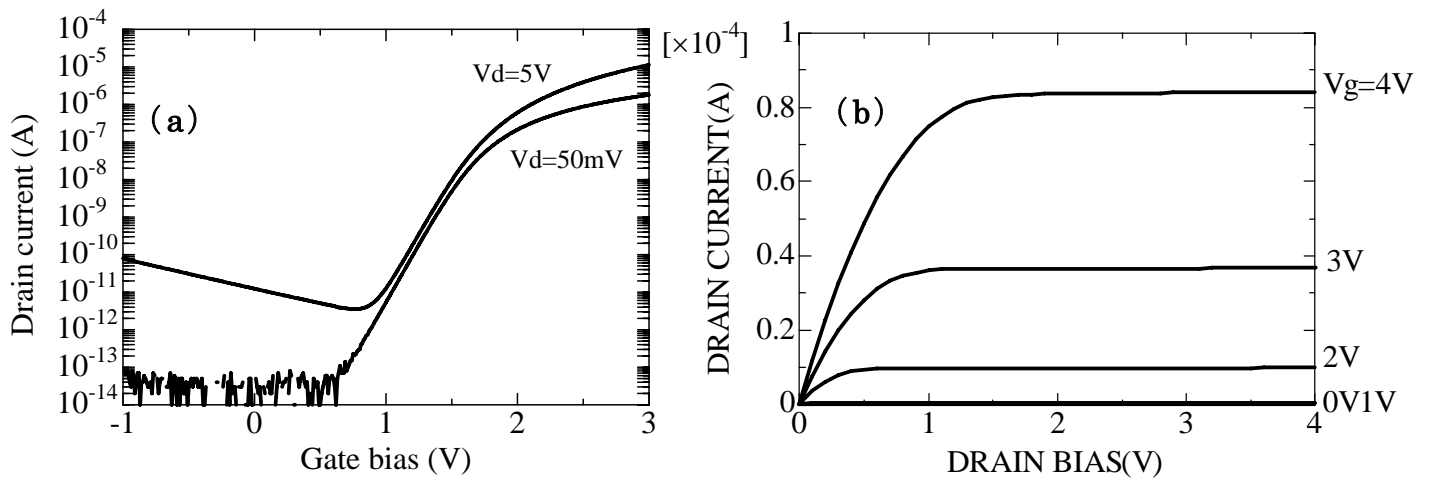


図 3-4. (a) MOSFET の入力特性 (b) 出力特性

3-2-3 入力特性評価

積層膜 MOSFET と Si ドット MOSFET の入力特性評価を行った。その結果を図 3-5 (a) および (b) に示す。ドレイン電圧を $50mV$ と一定とし、ゲート電圧を $V_g = -2V$ から正方向に掃引後、折り返し $V_g = 3V$ から負方向に掃引すると、積層膜 MOSFET の場合では、しきい値電圧のシフトはみられなかったが、Si ドット MOSFET については、掃引によりしきい値電圧は正電圧側に $0.7V$ のシフトがみられた。Si ドット MOS キャパシタの結果からも、このシフトは、ドットへの電子注入により起こるしきい値電圧シフトであると考えられる。また、図 3-6 に示すゲート長 W/L が $2\mu m/0.5\mu m$ の狭チャネル MOSFET の入力特性においても、掃引によるしきい値電圧のシフトを確認している。このことから、集積化にも適したメモリの作製技術といえる。

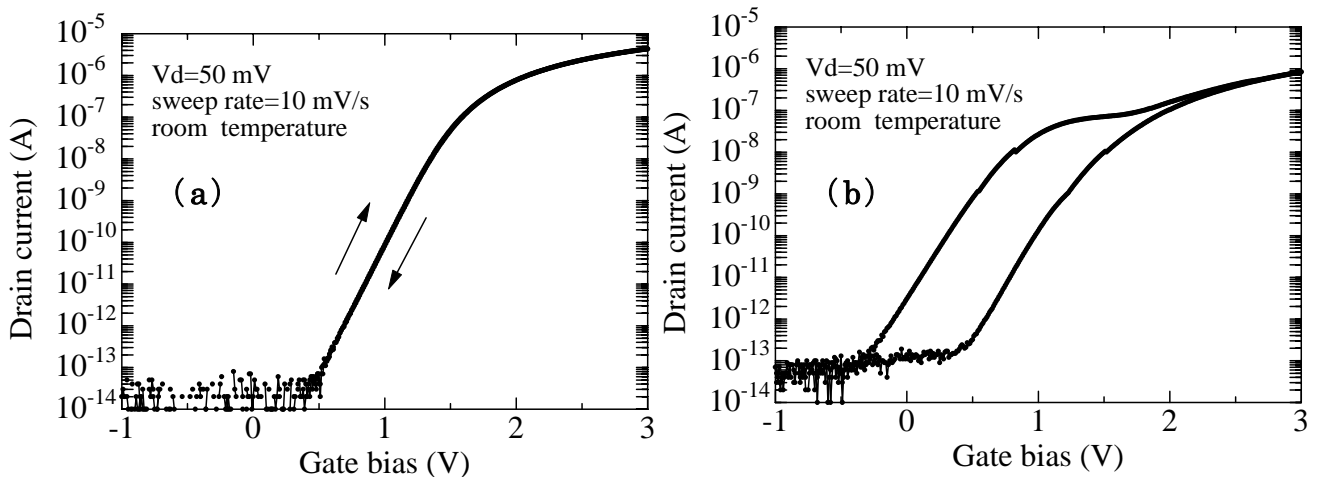


図 3-5. (a) 積層膜 MOSFET の入力特性 (b) Si ドット MOSFET の入力特性

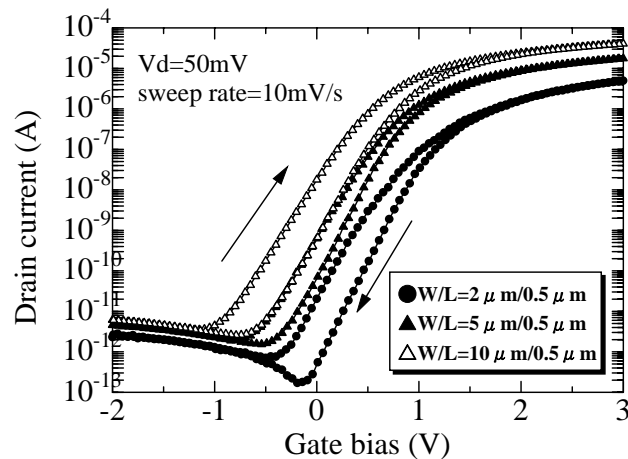


図 3-6. Si ドット MOSFET のゲート長依存性

次に電子の注入量としきい値電圧の関係を調べるために、正のゲート電圧を増加させ、しきい値電圧のゲート電圧依存性を測定した。その結果を図 3-7 に示す。正のゲート電圧を増加させるにつれて、しきい値電圧のシフト量は増加していることが分かる。これは、ゲート電圧を高くするにつれて電界が強まり、トンネル酸化膜をトンネルする電子の量が増加し、Si ドットへの注入量が増加するため、しきい値電圧のシフト量も増加すると考えられる。

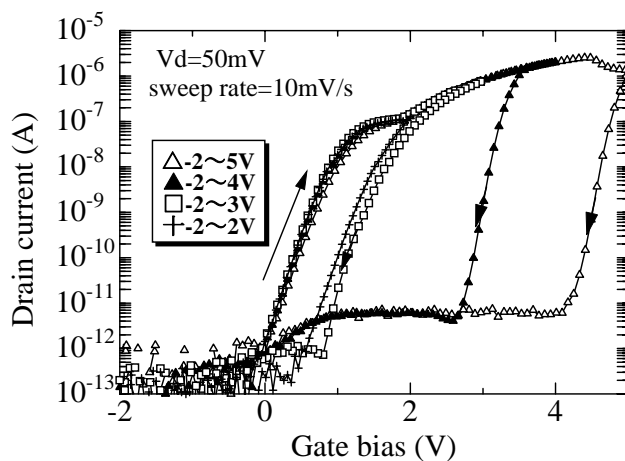


図 3-7. 電圧依存性

さらに図 3-8 に示すように Sweep rate を変化させ電子の注入量を変化させたところ、Sweep rate を遅くするにつれヒステリシスの幅が増大している結果からも、電子の注入量の増加によるものであると示唆される。

これまでの入力特性の結果から、酸化膜やドットなどの構造は MOS キャパシタの場合と同じ構造であるが、低い印加電圧でヒステリシスが大きく現れている。これは、容量値とドレイン電流を測定していることの違いもあるが、ソースより

反転の電子が供給され、MOS キャパシタの場合より反転層が形成されやすく、フローティングゲートに注入される電子が低電圧で形成するものと考えられる。正電圧側に大きく電圧を上げた場合や Sweep rate を変化させ電子の注入量を増加させた場合、しきい値電圧幅の変化量が MOS キャパシタと大きくなるのもこのような理由であると考えられる。また以上の理由と 3nm のトンネル酸化膜を使用することで、直接トンネルが支配的になることも低電圧での注入が起こることに起因しているものと考えられる。

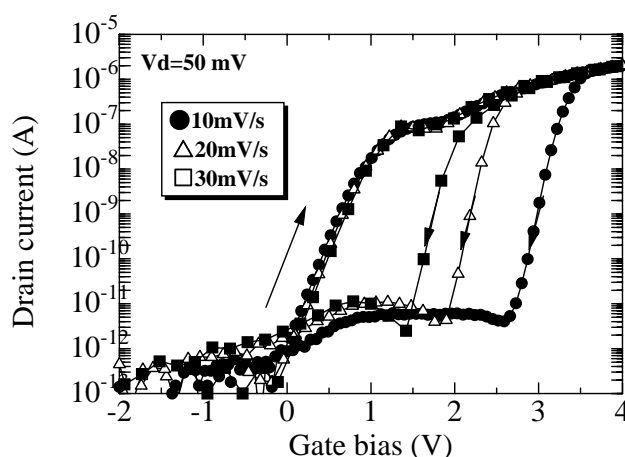


図 3-8.の掃引速度依存性

メモリ特性をさらに詳しく解析するために、掃引前の電子の放電時間の依存性について評価した結果を図 3-9 に示す。Si ドットに保持されている電子を放電するために -2V の電圧を 0~60s 印加後、ゲート電圧を $V_g = -2V$ から正方向に $V_g = 3V$ まで掃引後、折り返し $V_g = 3V$ から負方向に掃引すると、立ち上がりのしきい値電圧が負方向へのシフトが見られた。さらに、-2V での保持時間を長くするにつれて、しきい値が負方向にシフトしていることがわかる。しかし、立下りの電圧に変化はみられなかった。これは、Si ドットに多数キャリアである正孔が注入され、Si ドット内が正に帯電しチャンネル部に電子が集まりやすくなり、しきい値がシフトしたのと考えられる。すなわちこの結果から、このしきい値電圧のシフトは、電子の注入のみでおこなうのではなく、正孔と電子の両方の成分によりシフトしていることが分かった。

これまで電圧幅依存性の入力特性の結果から、Si ドット 1 個に保持されている電子数の計算を第 2 章の (2-12) 式を用いて行った。計算に使用した値は、MOS キャパシタと同様で Si ドットの密度は $8.5 \times 10^{11}/\text{cm}^2$ 、Si ドットの直径は 5nm、コントロール酸化膜厚は 20nm、 ΔV は入力特性の各電圧幅の実測値より 0.6~

4.04V を用いた。その結果を表 3-1 にまとめた。この結果より、Si ドットの粒径が均一で、トンネルした電子がすべて Si ドットに注入されると考えると、1 ドットに保持されている電子の数は 0.73 個から 4.9 個であることがわかった。しかし、この値は、MOS キャパシタの時とは異なり、正孔による負バイアス側のシフトと電子注入によるシフトの両方の成分を含んでいるため正確とは言えないが、電圧幅から見ても 1 ドットに電子は 1 個以上注入されることがわかり、クーロンブロッケードのような現象はみられていないことが分かる。

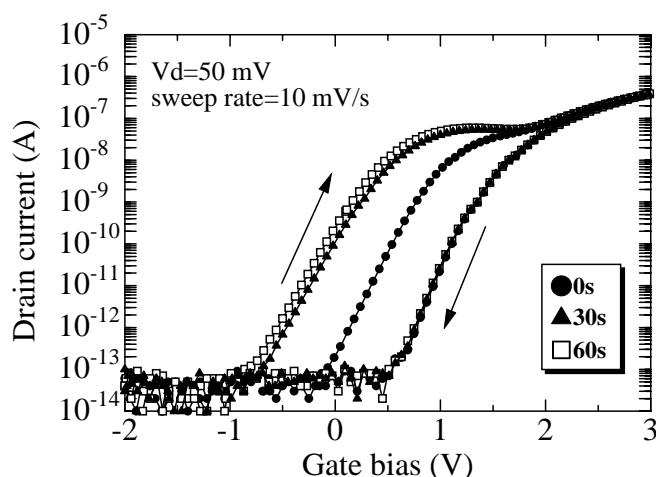


図 3-9. Si ドット MOSFET 負電圧保持時間依存性

表 3-1. 1 ドットに保持されている電子の数の計算

ゲート電圧 [V]	しきい値電圧シフト [V]	Si ドットの電子の数 [個]
-2~2	0.60	0.73
-2~3	0.75	0.91
-2~4	2.47	3.0
-2~5	4.04	4.9

3-2-4 リテンションタイム（電子の保持時間）の測定

リテンションタイムは情報の記録時間を示すため、メモリ特性において非常に重要となるパラメータである。リテンションタイムの測定方法は、ドットに保持されている電子を充電または放出後、読み出し電圧でドレイン電流の経時変化を測定する。電子を放出したものは、時間経過と共に電子が注入されドレイン電流が低下し、逆に注入したものは電子が抜け落ちるためドレイン電流は増加する。

この二つの曲線が重なるところがリテンションタイムである。リテンションタイムはトンネル酸化膜の膜厚や膜質に大きく依存する。現在実用化されているメモリのトンネル酸化膜厚は、信頼性を考慮した結果、10nm以上と厚膜を使用している。しかし、厚膜を使用することで書き込み消去スピードを犠牲にししながら、目標値である10年間のリテンションタイムを実現している。

本メモリのリテンションタイムの測定結果を図3-10に示す。測定前に-2Vの電圧を30秒間印加し、保持されている電子をすべて放電させドレイン電圧を50mVと一定とし、読み出し電圧0.5Vでドレイン電流の経時変化の測定を行った。読み出し電圧は0Vに近い電圧で、入力特性の書き込み消去時のドレイン電流差が大きい0.5Vの電圧を用いた。

次に+3Vの電圧を30秒間印加し電子を充電させ、同様にドレイン電圧を50mVと一定とし、読み出し電圧0.5Vでドレイン電流の測定を行い、これら2つのドレイン電流からリテンションタイムを測定した。時間の経過とともに、両曲線のドレイン電流が変化し二つの曲線の幅(メモリーウインド)が狭くなっているが、1200s以上でも二つの曲線は重ならないことがわかる。リテンションタイムの目標値は10年以上のデータ保持のため、実用的なレベルとは言えないが、3nmのトンネル酸化薄膜を用いてもメモリ動作を確認することができた。リテンションタイム向上には、電子注入するためのゲートで電圧は向上するものの、トンネル酸化膜厚を厚くし直接トンネルさせる機構から、F-Nトンネルにすることで自然放出を抑えることや、Siドットを2層構造にし、上下間の電子クーロン力でリテンションを向上させるなど、まだまだ改善は可能である。

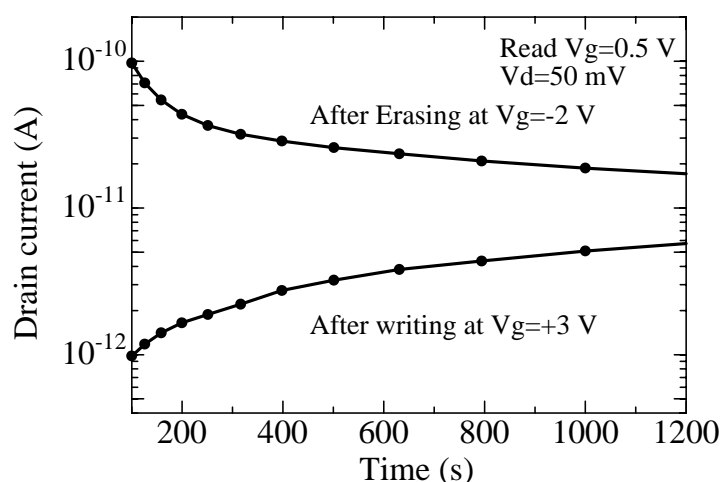


図 3-10. Si ドット MOSFET のリテンションタイム測定

3-3 電子の注入機構

3-3-1 ドレイン電流の経過時間変化

Si ドットに注入される電子の注入機構について調べるため、ゲート電圧印加時のドレイン電流の経時変化を測定した。第二章でも少し述べたが、Si ドットに注入された電子によって膜中に負の電荷が増加し、正電圧を印加しているゲートの電界が弱まることでドレイン電流は減少し、しきい値電圧がシフトする。すなわち、リテンションタイム測定の時と同様に、正のゲート電圧を印加しながらドレイン電流の経時変化を測定することで、どのような機構で Si ドットに電子が注入されるかが理解できる。

測定前に Si ドットに保持されている電子を放電させるため、 -2V の電圧を 30 秒間印加し、ドレイン電圧 50mV 、 $V_g = 5\text{V}$ で充電しながらドレイン電流の経時変化の測定を行った。また、Si ドットの影響をみるために、積層膜 MOSFET も同様に測定をおこなった。その結果を図 3-11 (a) および (b) に示す。この測定の結果、積層膜 MOSFET ではドレイン電流の時間経過による変化は見られなかったが、Si ドット MOSFET の場合、ドレイン電流は時間経過と共に段階的な変化がみられた。注入開始から 6s までのドレイン電流にほとんど変化がなく、Si ドットに電子が注入されていないように見える。これは、図 3-12 に示す同時に測定したゲート電流をみると、ゲート電圧印加と同時にゲート電流が流れ始め、Si ドットへの電子注入が開始される。そして、時間経過とともに、ゲート電圧印加による電界に影響を与えるほどの電子が注入されると、電界が弱められドレイン電流が急激に低下する。それと同時に電子注入の量も減少し注入開始から 100s の辺りで、安定した状態になりドレイン電流は変化しなくなる。

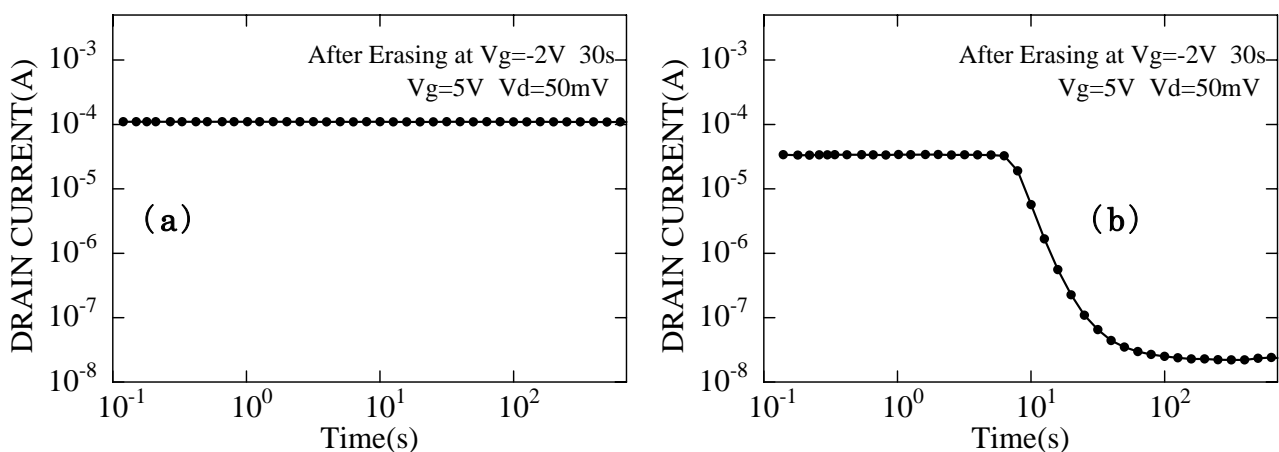


図 3-11. ドレイン電流変化測定 (a) 積層膜 MOSFET (b) Si ドット MOSFET

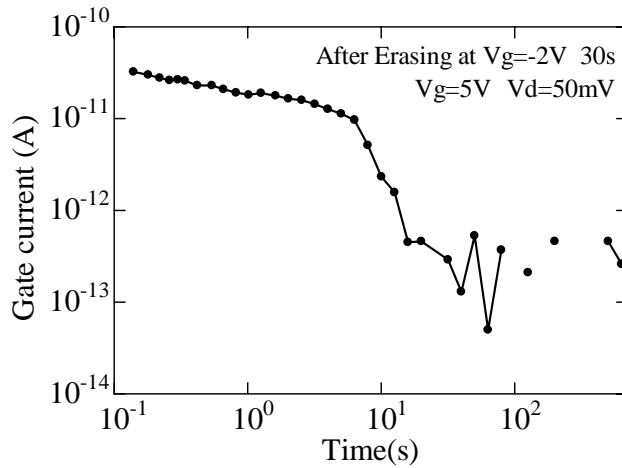


図 3-12. Si ドット MOSFET のゲート電流変化

3-3-2 入力特性の充電時間依存性

3-3-1 で考察した電子の注入状態を、入力特性のしきい値電圧のシフト量からも理解することができる。測定前に Si ドットに保持されている電子をすべて放電させるため -2V の電圧を 30 秒間印加し、 5V の電圧を 500s 間充電させたあと、ドレイン電圧を 50mV 、ステップ 10mV/s で、電圧 5V から -2V まで掃引させた時の入力特性を測定した。その結果を図 3-13 (a) および (b) に示す。積層膜 MOSFET において充電時間 0s と 500s ではしきい値電圧のシフトは見られなかったが、Si ドット MOSFET の場合、充電時間によって異なるしきい値電圧のシフトがみられた。また充電時間を長くしていくにつれて、しきい値電圧のシフトが大きくなるのが分かる。さらに電圧を印加し、先のゲート電流の時間変化の測定した安定状態である充電時間 100s では、 30s 印加した時のしきい値電圧のシフト量とほとんど変化がみられなかった。以上の結果より、ゲート電圧印加直後から Si ドットに電子注入が行われ、約 30s のゲート電圧印加により、すべての Si ドットに電子が注入されるということが分かった。

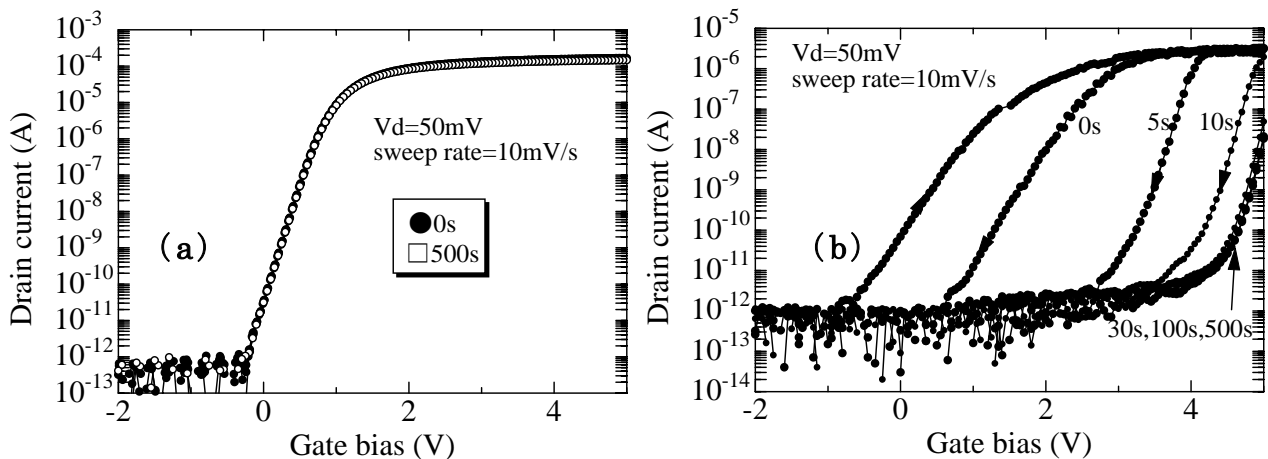


図 3-13. 正電圧印加後の入力特性 (a) 積層膜 MOSFET (b) Si ドット MOSFET

3-3-3 Si ドットへの電荷注入量の算出

3-3-1 および 3-3-2 での結果より、Si ドットへの注入された電荷量について計算を行った。3-3-1 でのドレイン電流の経時変化の測定と同時に測定したゲート電流量から、積分によって求めた $W/L=10\mu\text{m}/10\mu\text{m}$ のメモリの電荷量値は $8.3\times 10^{-5}\text{C}/\text{cm}^2$ であった。この値を電荷素量 $1.6\times 10^{-19}\text{C}$ で割って算出した電子の数は 5.2×10^{14} 個/ cm^2 である。この値は MOS キャパシタ構造での I-V 特性の積分によって求めた電荷量値の $1.95\times 10^{-5}\text{C}/\text{cm}^2$ と、ほぼ同じ電荷量を示すことがわかった。さらに、3-3-2 の入力特性から 5V 電圧を印加した場合、100s においてほぼすべての Si ドットに電子が充電することが分かっており、その時のしきい値電圧のシフト量は約 6V である。このしきい値電圧のシフト量から電荷量を算出した。理論値の容量値には測定用の針を置くパッドの大きさを考慮して（図 2 参照）計算したところ、 $1.7\times 10^{-8}\text{C}/\text{cm}^2$ であった。これは実測値よりも約 3 桁小さくなり、実測値の電荷量と一致しなかった。この考察は、パッド下の膜の構造を考えなくてはならず、LOCOS (60nm) の上に Si ドットとコントロール酸化膜が堆積された構造をしており、理論値の容量値の算出に単純に膜厚と面積から算出できず、シフト量と実測値の比較は難しいと考えられる。

3-3-4 電子の注入の電圧依存性

注入機構をさらに詳しく調べるために、ゲート電圧を変化させ、ドレイン電流の経時変化を測定した。その測定方法は 3-3-1 と同様な測定方法であり、ゲート電圧を 3V、5V、8V と変化させた。その結果を図 3-14 (a) に示す。どのゲート電圧においても、ドレイン電流は時間経過と共に段階的な変化がみられ、ゲート電圧を高くするにつれて、ドレイン電流が大きく変化するまでの時間が短くなる。これはゲート電圧を高くすることで、チャネル領域での電荷密度が増大し、電子がトンネル酸化膜をトンネルする確率が増えるため、Si ドットへの注入量が増加したものと考えられる。さらに、これまでと同様に各電圧のゲート電流と時間の積分値から、総電荷量を計算した。各ゲート電圧におけるゲート電流測定の結果を図 3-14(b)に示す。ゲートに 8V 印加したとき $8.6\times 10^{-5}\text{C}/\text{cm}^2$ 、5V 印加したとき $5.4\times 10^{-5}\text{C}/\text{cm}^2$ 、3V 印加したとき $2.7\times 10^{-5}\text{C}/\text{cm}^2$ であり、電圧を変化させて

も総電荷量はほぼ同じであることがわかった。これは、メモリでの書き込み/消去状態で説明すると、Si ドットに閉じ込められる電荷量が $5.6 \times 10^{-5} \text{ C/cm}^2$ (3つの電圧からの平均の電荷量) 以下では消去状態を示し、 $5.6 \times 10^{-5} \text{ C/cm}^2$ 以上では書き込み状態を示す。すなわち、書き込み/消去の状態を識別する境界の電荷量が存在することを示している。さらに、この電荷量にゲート電圧依存性しないことから、実際のメモリとして使用する時の設計において、書き込みの時間や印加電圧を任意に決定することができる。

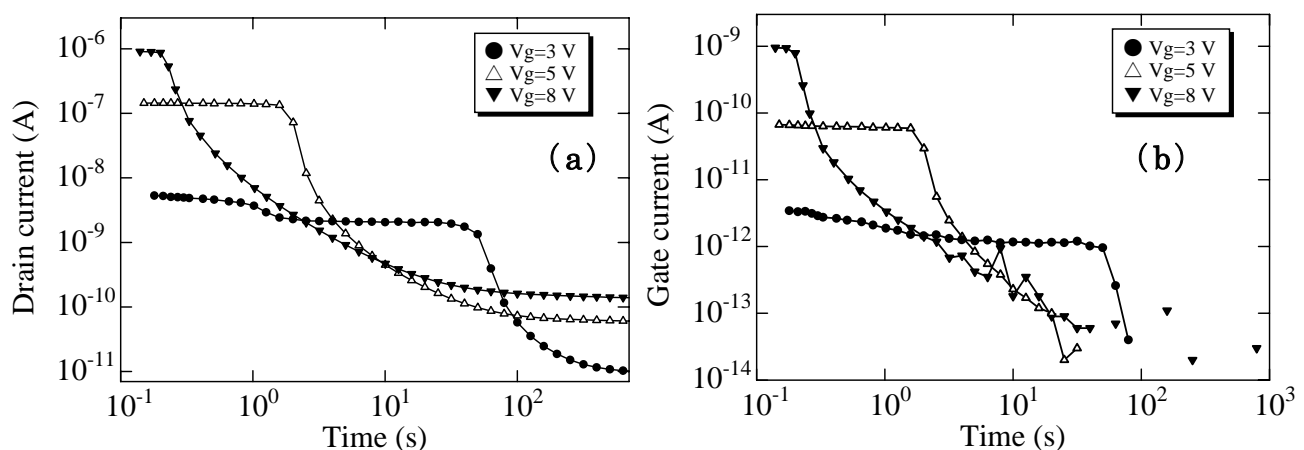


図 3-14. ゲート電圧依存性 (a) ドレイン電流測定 (b) ゲート電流測定

3-3-5 電子の注入の温度依存性

ゲートに印加する電圧を 5 V と一定とし、測定温度を 150 K から 300 K と温度を変え、ドレイン電流の経時変化およびゲート電流を測定した。その結果を図 3-15 (a) および (b) に示す。どの温度においてもこれまでと同様に、ドレイン電流は時間経過により段階的な変化がみられた。また温度を低くするにつれて、ドレイン電流の最大値が減少し、大きく変化するまでの時間が長くなる。ドレイン電流の最大値の減少は、電子は Si の価電子帯から導電帯の遷移が低温になるにつれて減少し、反転層ができにくく電子の注入量も減少ためであると考えられる。またドレイン電流が大きく変化するまでの時間は注入量の減少に加え、第 2 章でのクーロンブロッケードの効果が考えられるが、これについても更なる見当が必要となる。

さらに、これまでと同様に各温度のゲート電流と時間の積分値から、総電荷量を計算した。その結果、 300 K とき $8.7 \times 10^{-5} \text{ C/cm}^2$ 、 250 K とき $7.2 \times 10^{-5} \text{ C/cm}^2$ 、

200K とき $2.6 \times 10^{-5} \text{ C/cm}^2$ 、150K とき $7.5 \times 10^{-5} \text{ C/cm}^2$ である。この 4 つの温度の電荷量の平均である $6.5 \times 10^{-5} \text{ C/cm}^2$ と、電圧依存性の電荷量の平均である $5.6 \times 10^{-5} \text{ C/cm}^2$ とを比較しても、ほぼ一致している。すなわち、書き込み/消去の境界の電荷量は、ゲートに印加する電圧や温度に依存せず、その素子では一定であることが分かる。

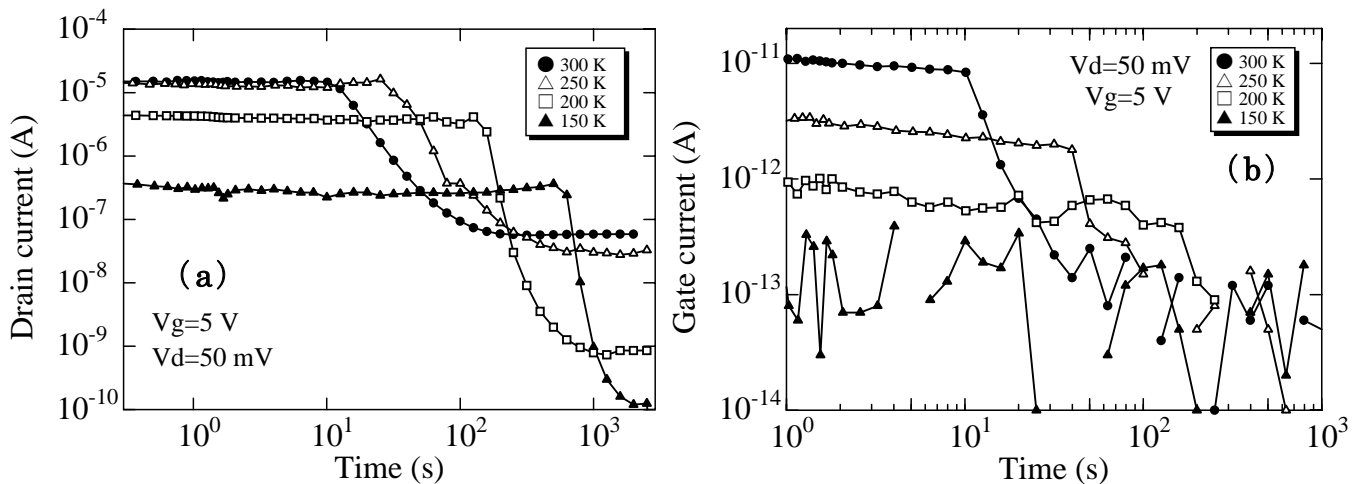


図 3-15. 温度依存性 (a) ドレイン電流 (b) ゲート電流

3-3-6 信頼性評価

実際集積回路に使用される場合、書き込み消去の繰り返しで高い信頼性が要求されるため、信頼性評価はメモリ特性を評価する上で非常に重要となる。実際の測定方法は、 $\pm 5\text{V}$ の電圧をパルス幅 1ms で書き込み消去を繰り返し、その時のしきい値電圧のシフト量から評価を行った。その結果を図 3-16 に示す。書き込み消去を 10^4 回繰り返した辺りから、ストレス印加直後のしきい値電圧に比べ、書き込みと消去のしきい値が正側にシフトし、特に消去側のしきい値が大きく正側にシフトしているという劣化がみられた。フラッシュメモリの劣化は書き込み時よりも、消去時に劣化が起こりやすく、一般的に Si 単結晶から SiO_2 への構造の変化する遷移層に存在する、Si-Si 結合の歪や Si-OH、Si-H 結合が電圧の印加によって簡単に破壊され、界面の固定電荷や界面準位を形成する [57]。すなわちこの劣化は、ストレス印加により界面に形成された界面準位に電子がトラップされることで、Si ドットに電子が注入されにくくなり、しきい値電圧が正側にシフトしたものと考えられる。しかし、 10^7 回書き込み消去を繰り返しても、しきい値電圧のシフトがみられることから、実用化には最低 10^8 回の信頼性が必要

であることを考えると、このメモリの信頼性は比較的高いと言える。

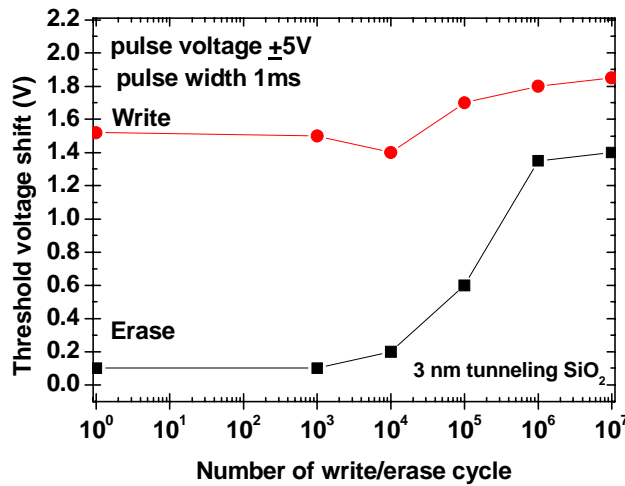


図 3-16. 信頼性評価

3-4 まとめ

前章の MOS キャパした構造での評価の結果から、Si ドットをフローティングゲートとした Si ドット MOSFET の電気特性とメモリ特性評価を行った。その結果、Si ドット MOSFET の入力特性において、キャパシタ構造と同様に掃引によるヒステリシスがみられ、キャパシタ構造の時よりも低電圧で動作した。また負電圧で保持する時間や電圧幅を変え、電子の注入量を変化させることにより、しきい値電圧の幅が変化し、このことからしきい値電圧のシフトは、正孔および電子の成分を含んでいることが分かった。

リテンションタイムを測定したところ、十分な保持時間とは言えないが、1200秒後もメモリウインドがみられることから、この Si ドットはメモリとして動作することが分かった。電子の注入機構を調べた結果、電圧印加後から電子の注入が始まり、段階的にドレイン電流が変化し、Si ドットに注入されることがわかった。この変化は Si ドットを埋め込んだ時のみに見られるものである。さらにゲート電圧を高くし注入量を増加させると、この段階的なドレイン電流の変化が早く現れることがわかった。しかし、Si ドットに保持される総電荷量は温度やゲートにかけるバイアスに依存せず、ゲート電流値から算出したドットへの注入電荷量は一定の値をとることが分かった。信頼性も 10⁷回書き込み消去を繰り返しても、しきい値電圧のシフトがみられることから、このメモリの信頼性は比較

的高いと言える。

以上の結果より新規堆積法を用いて形成した Si ドットは、フラッシュメモリに応用可能であり、目標であったプロセスおよび評価方法を確立を行うことができた。

第4章 積層型 Si ドット MOS メモリの電気特性評価

4-1 はじめに

前章において Si ドット MOSFET のメモリ動作に成功した。更なるしきい値電圧シフト量の増加や、リテンションタイムの向上を目指し、ドットを2層構造にする積層型 Si ドット MOSFET メモリを提案した。図 4-1 に積層型 Si ドット MOSFET の等価回路を、図 4-2 に素子構造を示す。

2層のフローティングゲートを用いる特徴として、まず単純にドットの密度は2倍になりヒステリシスの幅は増大する。また、2層目のドットへ電子が注入されると、放出するには2層目から1層目および1層目から基板への2回のトンネルを必要とする。そのため2層目に注入後、1層目に電子が注入されていると、クーロン反発から2層目の電子は放出されにくくなるためにリテンションタイムが向上する。さらに1層目の注入と2層目への注入を制御することができれば、しきい値電圧の多値化により、多値メモリへの応用が可能となる。これにより、FET の数を増やすことなく、bit 数を向上させることができ、大容量メモリへの応用が期待できる^[58]。

本章では、フローティングゲートを2層に積層し、リテンションタイムなどのメモリ特性の向上を試みた。今後、ゲート電極に近いフローティングゲートを2層目のドットと呼び、キャパシタ構造を積層型 Si ドット MOS キャパシタ、MOSFET 構造を積層型 Si ドット MOSFET と呼ぶことにする。

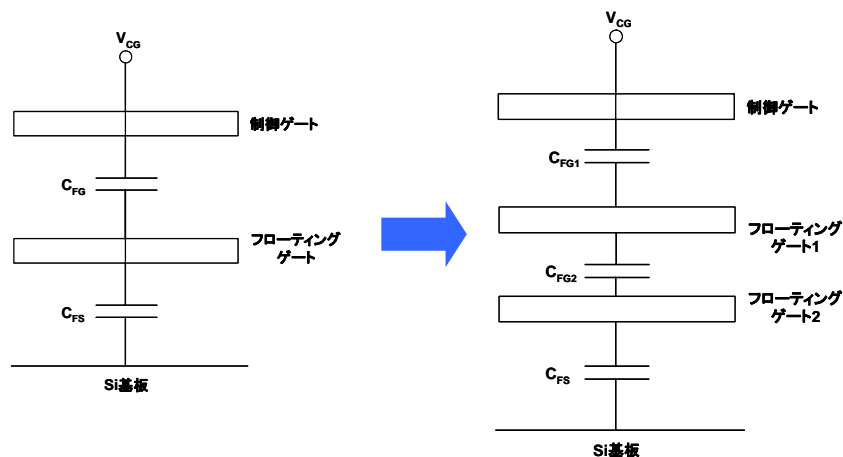


図 4-1. 積層型 Si ドット MOSFET の等価回路

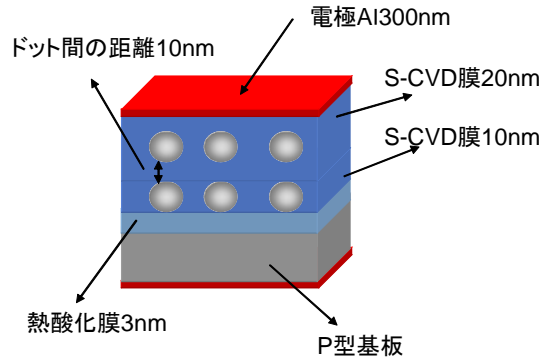


図 4-2. 積層型 Si ドット MOSFET の素子構造

4-2 実験

4-2-1 積層型 Si ドット MOS キャパシタおよび MOSFET の作製

積層型 Si ドット MOS キャパシタおよび MOSFET を以下の方法で作製し評価を行った。これまでとゲート絶縁膜構造のみが異なるため、図 4-3 に MOS キャパシタのみのプロセスフローを示す。特に条件が記載されていないものについては、これまでの MOS キャパシタや MOSFET の作製方法の時に用いた条件と同条件で作製を行った。

- ① P 型 Si(100)基板および MOSFET 基板を RCA 洗浄後、熱酸化膜を 3nm 形成しトンネル酸化膜とした。
- ② 次に Side-Wall 電極型 PECVD 法を用いて、Si ドットとコントロール酸化膜を堆積し積層構造を作製した。1 層目のコントロール酸化膜は電子が 2 層目にトンネルするトンネル酸化膜としても用いるため、ドットの最大直径の 10nm のドットが埋め込まれるように、膜厚は 10nm とした。
- ③ 次に 2 層目の Si ドットとコントロール酸化膜を連続で堆積し、2 層のフローティングゲートを作製した。この時のコントロール酸化膜の厚さは従来通り 20nm とした。Si ドットが埋め込まれていないものについては、Si ドットを堆積せずコントロール酸化膜のみを堆積した。
- ④ MOS キャパシタの場合、裏面酸化膜除去後、アセトン、メタノールの

順で超音波洗浄を行い、レジストを除去し試料の裏面と表面の順に Al を蒸着した。MOSFET 場合は、コンタクトホールを形成後、Ti 電極を形成した。両サンプルをフォーミングガス中で PMA を行い、積層型 Si ドット MOS キャパシタおよび MOSFET を作製した。

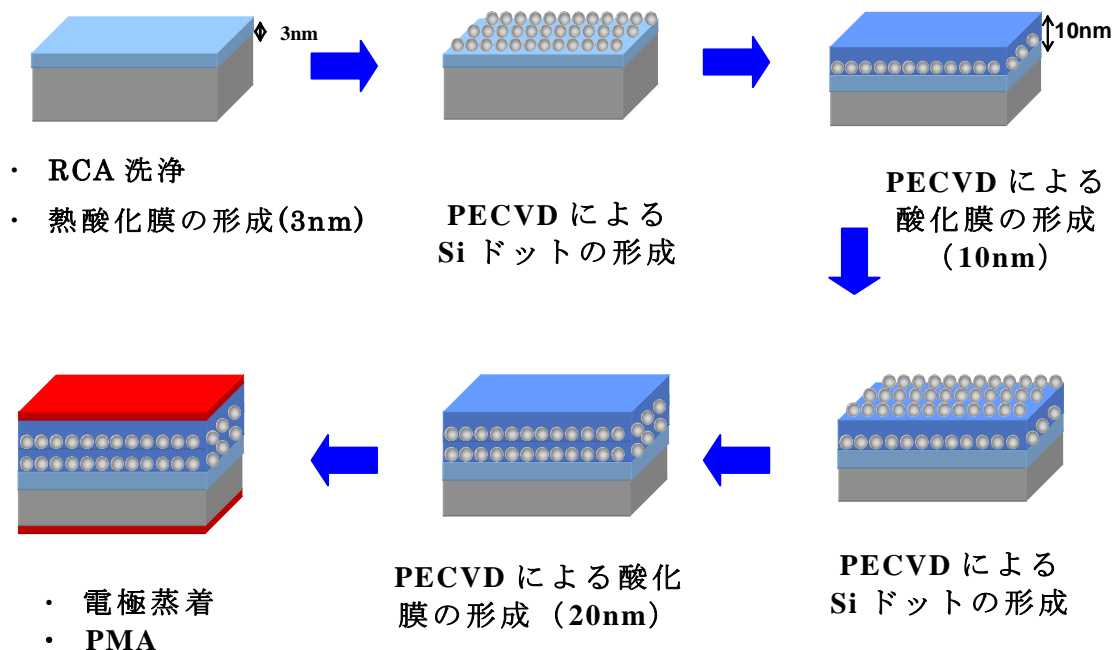


図 4-3. 積層型 Si ドット MOS キャパシタの作製プロセス

4-2-2 積層型 Si ドット形状

図 4-4 に積層型 Si ドットの断面 TEM 像を示す。この TEM 像より 2 層のドットが形成されていることがわかる。また 1 層目と 2 層目の酸化膜の膜厚が 12nm から 15nm と厚いが、この膜が CVD 酸化膜であるため、高電圧をゲートに印加することで、2 層目への電子のトンネルが可能であると考えられる。

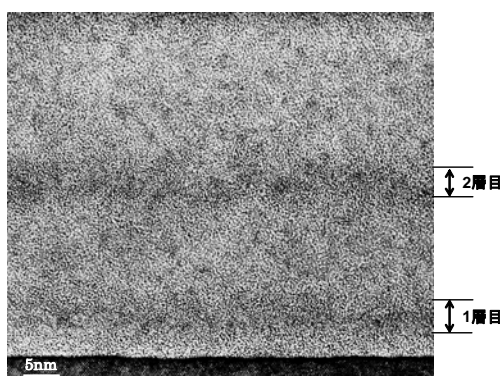


図 4-4. 積層型 Si ドット MOS キャパシタの断面 TEM 像

4-2-3 積層型 Si ドット MOS キャパシタの C-V 特性評価

単層型の Si ドット MOS キャパシタと同様に、C-V 特性より積層型 Si ドット MOS キャパシタの充放電特性を評価した。その C-V 特性の結果を図 4-5 (a) に示す。高周波(1MHz)C-V 測定においてゲート電圧を $V_g=-10V$ から正方向に掃引後、折り返し $V_g=6V$ から負方向に掃引させた場合、C-V 曲線に $V_g=1.5V$ 付近でピークが現れ、しきい値電圧は正方向に 2.2V シフトした。第 2 章で測定した単層型と積層型を同じ sweep rate (40mV/s) のゲート電圧幅で比較すると、積層型にすることで、単層型よりもヒステリシス幅の増大がみられた。更に、放電が開始されるピーク位置から再び $V_g=-10V$ からの曲線に戻るまでに必要な電圧が、単層の場合では 0.6V であり、積層構造の場合では 1.8V と放電に約 3 倍必要であることから、放電が起こりにくく、積層構造による効果の可能性がみられた。

単層型の場合では、ピークの減少から再び上昇すると同時に元の曲線に戻るが、積層型の場合、元の曲線には戻らず、約 0.4V のしきい値電圧のシフトの維持がみられた。これは 1 層目が放電した後も、2 層目に電子が保持されることによるしきい値電圧のシフトの可能性が考えられる。

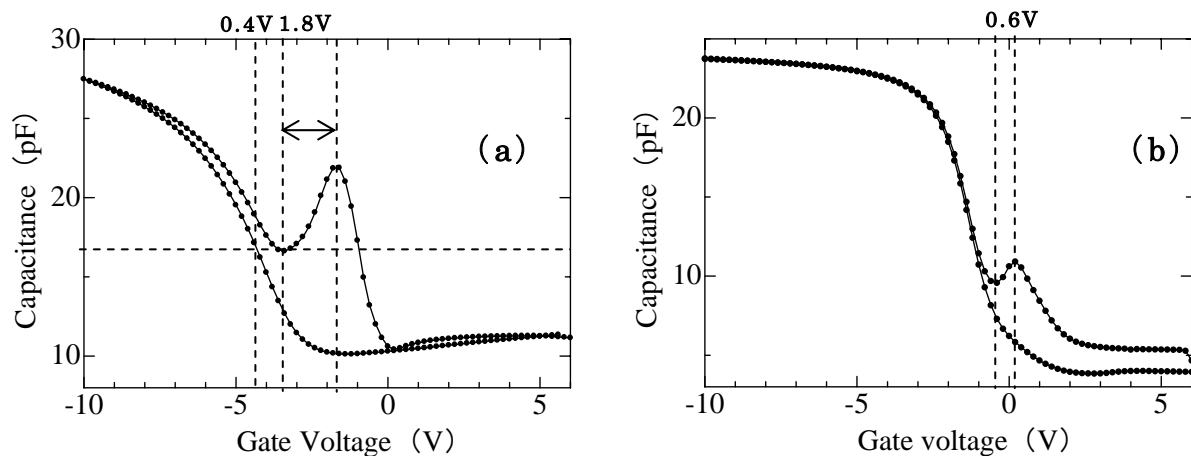


図 4-5. MOS キャパシタの C-V 特性 (a) 積層型 Si ドット (b) 単層

4-2-4 注入電子量依存性

フローティングゲートに注入する電子の量を増加させた時の C-V 特性の変化を調べるため、高周波(1MHz)C-V 測定における Sweep rate 依存性 (Step 40mV/s Speed 1m~600ms) を評価した。その結果を図 4-6 に示す。Sweep rate が増加す

るにつれて、容量ピークの最大容量値が増加する傾向がみられ、さらにピークの減少から再び上昇するまでの電圧も増加した。また、僅かながら再び上昇した後のシフト量に増加がみられた。この結果から、再び上昇した後のシフトは 2 層目への電子注入によるシフトであり、1 つ目のシフトは 1 層目と 2 層目への両層の電子注入によるシフトであるということが分かった。この結果から、積層の Si ドットへの電子の充放電のメカニズムを図 4-7 に示すようなバンド図を用いて考察する。

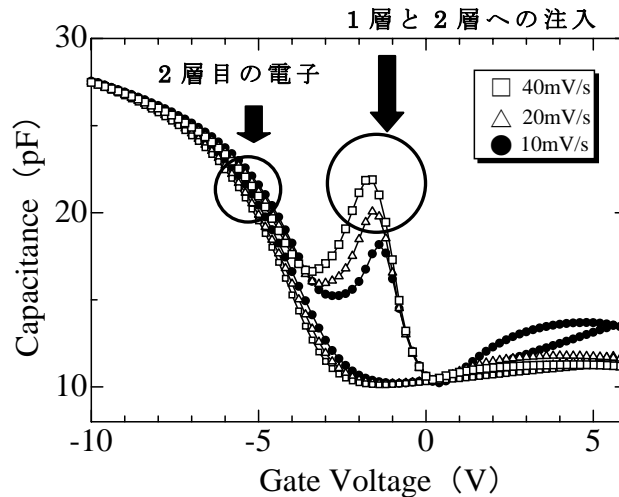
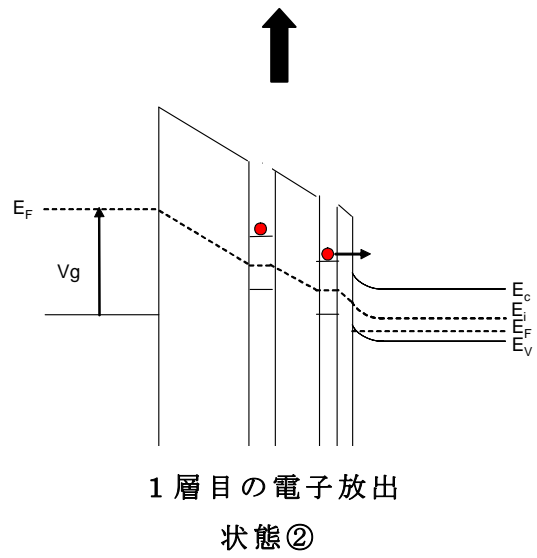
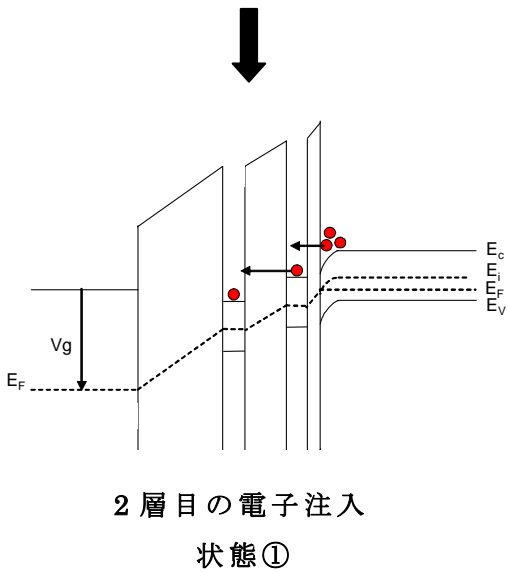
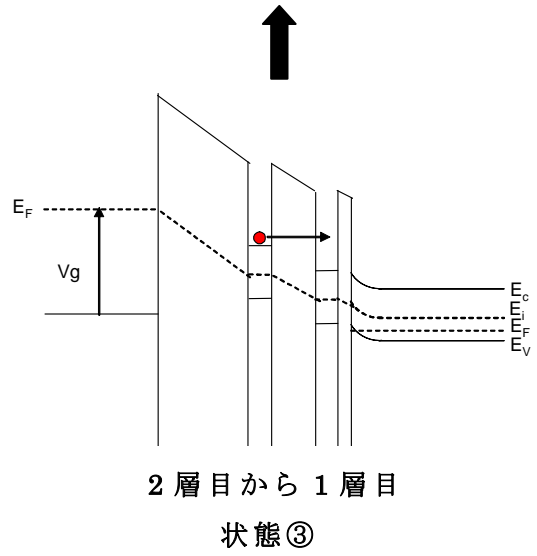
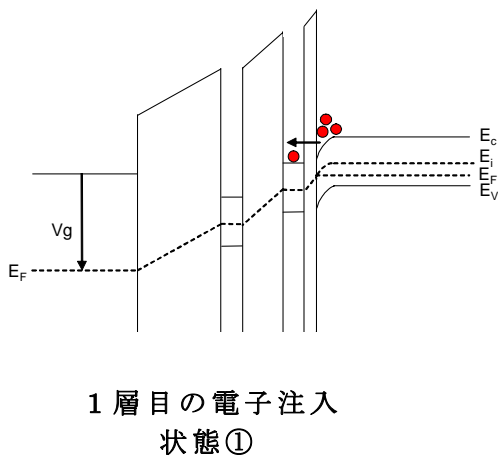
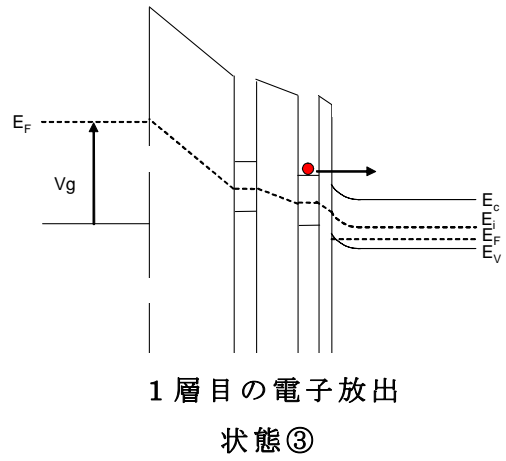
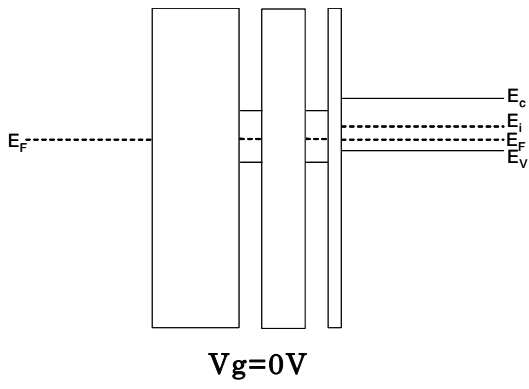


図 4-6. 積層型 Si ドット MOS キャパシタの掃引速度依存性

$V_g=10V$ の高電圧を印加した場合、1 層及び 2 層目の両方に電子が注入される (状態①)。1 層目と 2 層目の間のトンネル酸化膜は 12~15nm の厚膜であるため、F-N トンネルにより電子が注入される。一方、基板と 1 層目の酸化膜は 3nm のトンネル酸化膜であり、直接トンネルにより電子が注入される。その膜厚によるトンネル確率の違いから、フラットバンド電圧に達した時に 1 層目の電子が先に放出を始める (状態②)。1 層目の電子の放出後、2 層目に注入された状態か、もしくは 2 層目から 1 層目へと電子がトンネルし、1 層目に注入された状態となり、元の曲線には戻らずしきい値電圧はシフトしたままになる。(状態③) 1 層目が注入された後に 2 層目に電子注入が行われるため、電子の注入量は 1 層目の方が大きく、1 層目と 2 層目のヒステリシスの幅が異なると考えられる。



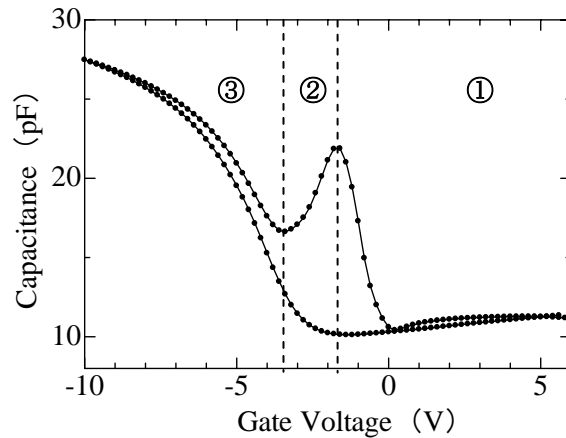


図 4-7. 各電子注入状態のエネルギーバンド図

4-3 積層型 Si ドット MOSFET の特性

4-3-1 入力特性評価

積層型 Si ドット MOSFET の入力特性評価を行った。その結果を図 4-8 (a) に示す。ドレイン電圧を 50mV と一定とし、ゲート電圧を $V_g = -5V$ から正方向に掃引を行うと、図 4-8 (b) に示す単層型には見られないような、立ち上がりのドレイン電流に 2 段階のシフトが見られた。これは 1 層目への注入と 2 段目の注入による多段階注入によるものと考えられ、先ほどの注入のメカニズムより考えると、始めのドレイン電流の変化は 1 層目への電子注入であると考えられる。

また図 4-9 に示すように、Sweep rate を変化させ電子の注入量を変化させたところ、Sweep rate を遅くすると、立ち上がりのドレイン電流には変化がなかったが、立下りでヒステリシスの幅がわずかに正側に増大している。これは、Sweep rate を遅くすることで、電子の注入量が増加し、2 層目に注入された電子の量が増加したため、立下りのしきい値電圧のシフト量が増加したものと考えられる。以上の結果より、Si ドットを積層にすることでしきい値電圧の段階的なシフトが見られたことから、多値メモリへの応用の可能性が示唆された。

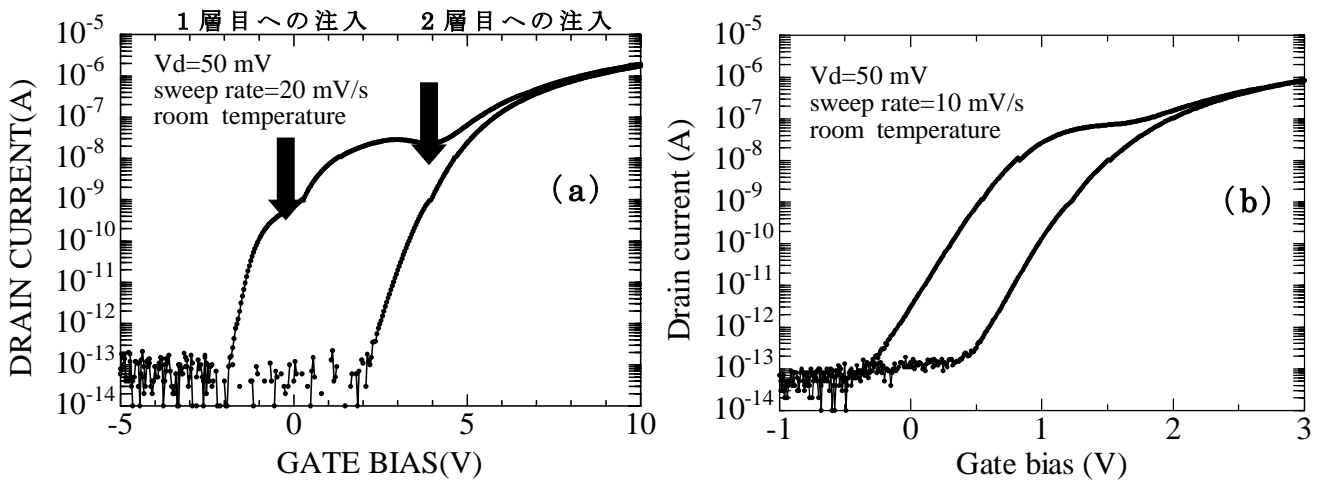


図 4-8. Si ドット MOSFET の入力特性 (a) 積層型 Si ドット (b) 単層

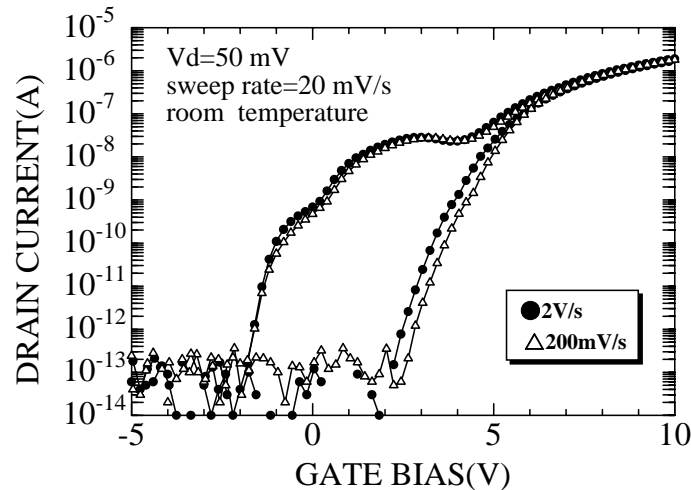


図 4-9. 積層型 Si ドット MOSFET の掃引速度依存性

4-3-2 電子の注入のゲート電圧依存性

先の結果よりドレイン電流に多段階の変化がみられたことから、さらに詳しく注入機構を調べるために、ゲート電圧を変化させ、ドレイン電流の経時変化の測定を行った。その測定方法は、第 3 章と同様に測定前に Si ドットに保持されている電子をすべて放電させるため -5V の電圧を 30 秒間印加し、ドレイン電圧を 50mV と一定とし、ゲート電圧を正電圧の 3V、5V、8V と変化させドレイン電流の経時変化の測定を行った。その結果を図 4-10 (a) に示す。どの電圧においてもドレイン電流は時間経過と共に、段階的な変化がみられた。ゲート電圧を 8V と 5V とすると、充電開始からそれぞれ 2~3s と 10s からドレイン電流が大きく変化し、その変化は 1 段階しかみられなかった。しかし、ゲート電圧を 3V とし

た場合、ドレイン電流の2段階の変化が見られた。この結果よりドレイン電流の経時変化においても、2段階の変化がみられたことから、2段階の電子注入が行われていることが示唆された。よって、ゲート電圧 5V と 8V の電圧では、1層目と2層目に同時に注入されるものと考えられ、3V の低電圧でも充電時間を長くすることで両方の層に注入されることが分かった。

これまでと同様に各電圧のゲート電流と時間の積分値から、総電荷量を計算した。そのとき用いたドレイン電流の測定と同時に測定したゲート電流を図 4-10 (b) に示す。その結果それぞれの電荷量は、ゲートに 8V 印加したとき $2.8 \times 10^{-5} \text{C/cm}^2$ 、5V 印加したとき $1.05 \times 10^{-5} \text{C/cm}^2$ 、3V 印加したとき $2.7 \times 10^{-6} \text{C/cm}^2$ であった。3V の場合多段階のドレイン電流の変化はみられたものの、他の二つに比べ電荷量が減少するという結果になった。また、入力特性の結果では、単層に比べしきい値電圧のシフト量は向上したことにより、電子の注入量が増加したはずであるが、今回のゲート電流から求めた電荷量はほぼ同じ値を示した。これについては更なる検討が必要である。

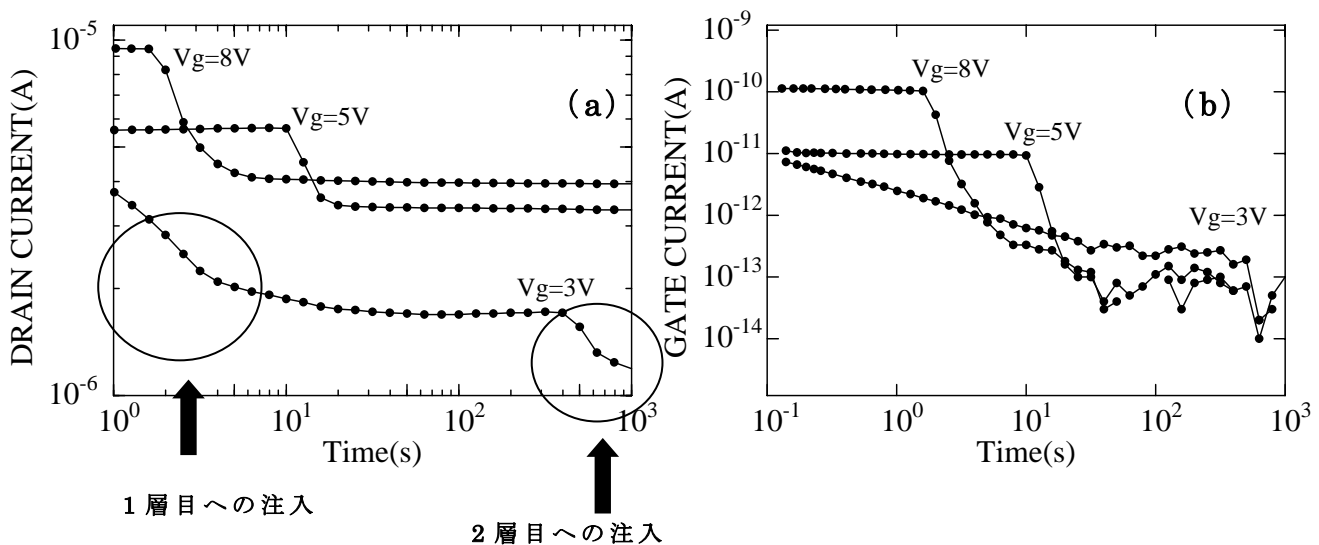


図 4-10. (a) ドレイン電流のゲート電圧依存性 (b) ゲート電流のゲート電圧依存性

4-3-3 リテンションタイムの測定

積層型 Si ドット MOSFET のリテンションタイムの測定を行った。その結果を図 4-11 に示す。これまでの測定方法と同様に、 $\pm 5\text{V}$ の電圧で書き込みおよび消去を行った後、読み出し電圧 0.5V でドレイン電流の時間変化を測定した。時間

の経過とともに、メモリーウインドウが狭くなっているが、リテンションタイムをメモリーウインドウの幅がなくなると仮定すると、単層のリテンションタイムは 3000 秒であったが、積層構造の場合 20000 秒とリテンションタイムが大幅に向上していることがわかる。

ここで、積層型の電子の注入後のドレイン電流の経時変化に着目すると、直線で示したように、ドレイン電流の傾きに二段階の変化がみられる。始めの直線の傾きでのリテンションタイムは約 4000s であり単層のリテンションタイムとほぼ同じ値になる。すなわちこの二段階のドレイン電流の変化は、1 層目の電子が抜け始めた後、2 層目に保持された電子によってリテンションタイムが向上したものと考えられる。

これまでの多段階の電子注入においては C-V 特性や MOSFET の入力特性によって確認してきたが、1 層目の放出後 2 層目の電子が放出するという多段階の放電を今回の結果により明らかにすることができた。

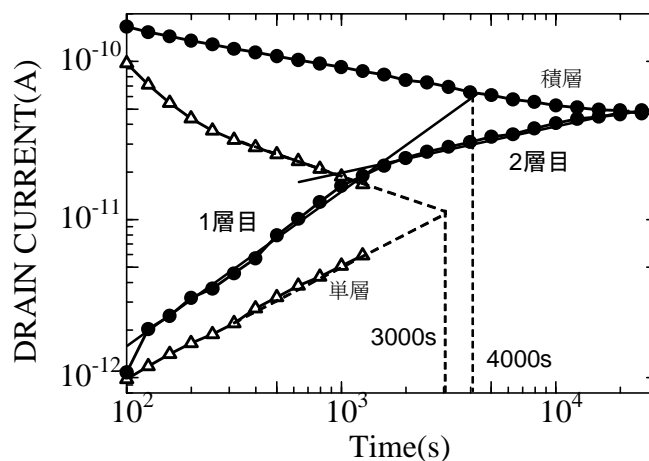


図 4-11. リテンションタイムの測定

4-4 まとめ

リテンションタイム向上を目指し、Si ドットを 2 層の積層構造にし、特性を評価した。その結果、積層型 Si ドット MOS キャパシタの C-V 特性において、再び容量値が上昇しても元の曲線には戻らず 0.4V のシフトが維持され、2 段階のしきい値電圧のシフトがみられた。また積層型 Si ドット MOSFET では、立ち上がりのドレイン電流に、多段階注入を表す 2 段階の変化が見られた。

電子の注入をゲート電圧別に見てみると、5V の電圧でも 10s 程度の印加で電

子が注入され、3Vの低電圧においても、印加時間を長くすることで2層目の注入が可能であることが分かった。リテンションタイムの測定では、単層型に比べリテンションタイムが大幅に向上し、充電後のドレイン電流の経時変化の測定において、2段階のドレイン電流の変化がみられ、多段階の電子放出を確認することができた。

以上の結果より、Siドットを積層構造にすることで比較的低電圧でドットへの電子注入が可能であり、リテンションタイムも大幅に向上することから、メモリ特性を向上させる技術として非常に有望である。

第 5 章 Si ドット低温 poly-Si TFT メモリの作製と メモリ特性評価

5-1 はじめに

Poly-Si TFT は移動度が従来の a-Si TFT より移動度が 100 倍近く高いことから液晶ディスプレイのスイッチ素子として用いられている。その中でも低温 poly-Si TFT は安価なガラス基板をもちいることから、ディスプレイ技術の主流となりつつある。現在その移動度の向上により、低温 poly-Si TFT を用いたメモリなどのデバイスが期待されている。

低温 poly-Si TFT を用いたメモリの問題点として、600°C の温度制限の中で熱酸化膜に代わる低温形成された良質のトンネル酸化膜を用いなければならないことである。そこで、成膜温度が 300°C と低温形成が可能であり、絶縁耐性が堆積膜の中でも良好である TEOS (Tetraethoxysilane) ガスを原料に用いた SiO₂ 膜 (TEOS-SiO₂) に着目し、トンネル酸化膜に応用することを提案した。この TEOS-SiO₂ は、基板上でのマイグレーションが大きいことや、平均自由行程が小さくシャドーイングが生じないため、側壁のステップカバレッジ 98%、溝部のカバレッジが 86% と良好な段差被覆性が得られる。そのため、表面ラフネスが多い poly-Si TFT のゲート絶縁膜などに用いられている^[59]。本研究室の TEOS-CVD 装置を用いて堆積時の条件が RF パワー 150W、圧力 80Pa、基板温度 300°C、TEOS/O₂ の流量費 3/300sccm の時、界面準位密度や固定電荷密度が良好な値を示すことが報告されている^[60]。これまで、温度制限による信頼性の低下のため、低温 poly-Si TFT メモリの報告は少なく、このように低温形成された TEOS 酸化膜をトンネル酸化膜に用いたメモリの作製は、初めての試みである。

本章では、低温 poly-Si 基板上にトンネル酸化膜として TEOS-SiO₂ を用い、Si ドットをフローティングゲートとする Si ドット低温 poly-Si TFT メモリ作製と評価を目指す。そのために、イオン注入条件や TEOS-SiO₂ を用いた素子構造などの TFT 作製プロセスの確立を行い動作確認後、Si ドットを埋め込み Si ドット低温 poly-Si TFT メモリを作製し、特性評価を行った。

5-2 poly-Si TFT と MOSFET

poly-Si TFT と MOSFET はどちらもトランジスタであるため、基本的な特性は同じであるが最も大きな違いは、poly-Si TFT には粒界が存在することである。図 5-1 (a) に poly-Si の結晶粒界の模式図を (b) にバンド構造を示す。このように、粒界が持つトラップにより、障壁（バリアハイト）を形成するため、電子の移動にこのバリアハイトを超えるエネルギーが必要となる。そのため、粒界の存在が移動度の低下につながり、デバイス特性に大きな影響を与える。また、TFT では通常、チャンネルの形成はソースからのキャリアの供給のみで行われるため、MOSFET より高いゲート電圧を必要とする。

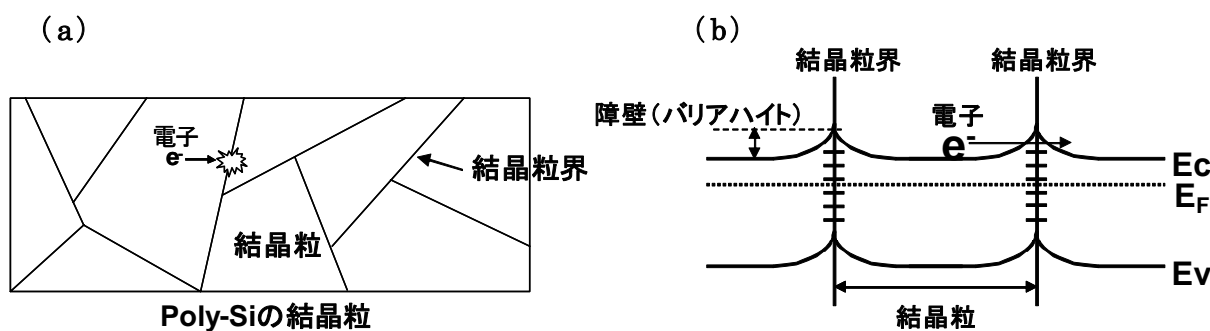


図 5-1 (a) poly-Si の結晶粒界の模式 (b) poly-Si のバンド構造

また、MOSFET では最も界面準位が小さい (100) 面が用いられるが、poly-Si TFT ではさまざまな結晶方位が存在するため、熱酸化を行うと酸化速度の違いより、10nm 以下の薄膜の場合ではラフネスが顕著に現れ、更に界面準位が増加する。式 (5-2) に線形領域での ON 電流（ドレイン電流） I_D を次式に示す^[13]。

$$C_{ox} = \frac{\epsilon_{ox}}{T_{ox}} \cdot \cdot \cdot (5-1)$$

$$I_D = \frac{W}{L} [C_{ox} \mu (V_G - V_{th})] V_D \cdot \cdot \cdot (5-2)$$

$$\mu = \mu_0 \exp \left[\frac{-q^3 N t^2}{8 \epsilon k T C_{ox} (V_G - V_{th})} \right] \cdot \cdot \cdot (5-3)$$

ここで、 T_{ox} はゲート絶縁膜の膜厚、 ϵ_{ox} はゲート絶縁膜の誘電率、 W はチャ

ネル幅、 l はチャネル長、 C_{ox} は単位面積あたりの絶縁膜容量、 μ は移動度、 V_G はゲート電圧、 V_{th} はしきい値電圧、 V_D はドレイン電圧、 μ_0 は定数、 q は電荷素量、 N_t は単面積あたりのトラップ密度、 t は poly-Si の膜厚、 ϵ は poly-Si の誘電率、 k はボルツマン係数、 T は絶対温度である。

またしきい値電圧について MOSFET は次式で表される。

$$V_{th} = F_{VB} + 2\phi_F + \frac{\sqrt{2\epsilon_S \epsilon_0 q N_A (2\phi_F)}}{C_{ox}} \dots (5-4)$$

一方 poly-Si TFT の場合では、通常の MOSFET とは異なり、石英やガラス基板などの絶縁基板上に作製されるため、poly-Si の膜厚が薄い完全空乏型の場合では、空乏層の広がりには poly-Si の膜厚 t に規制されるので、次の式が用いられる。

$$V_{th} = \phi_{ms} + 2\phi_F + \frac{Q_i}{C_{ox}} + \frac{Q_i q N_A t}{C_{ox}} \dots (5-5)$$

よって poly-Si 膜厚を薄くすることで、反転層の形成にゲート電圧がより有効的に作用するようになり、 S 値や ON 電流の増加をもたらす。しかし、poly-Si の薄膜化は移動度の効果は認められず、ソースドレインの寄生抵抗が増加してしまうという問題点がある。

5-3 実験

5-3-1 低温 poly-Si TFT メモリ作製プロセスにおける改良点

- ① **poly-Si の形成に固層成長法 (SPC : Solid Phase Crystallization) を用いた**
現在の結晶化の主流は大粒径が得られる ELA が用いられているが、結晶化後の表面ラフネスが大きくなる。スイッチ素子としての TFT の場合、ゲート絶縁膜の膜厚は 100nm 程度の厚膜を用いている。しかし、メモリ応用の場合では、3nm の薄膜を用いるため下地のラフネスの影響が顕著に現れる。ラフネ

スが顕著に現れた場合、薄い部分に電界が集中しブレイクダウンを起こりやすく信頼性の低下につながる。そのため、表面ラフネスが小さい poly-Si 薄膜を形成するため SPC 法を用いた。

② 薄膜トンネル酸化膜をエッチングにより形成

TEOS-SiO₂ は良好な段差被覆性を持つため、酸化膜厚を厚く堆積することで基板表面のラフネスを緩和することができる。そのためトンネル酸化膜は、TEOS-SiO₂ を始め 10nm と厚く堆積し、その後 BHF によって 3nm まで薄膜化をおこない、種々のトンネル酸化膜厚を形成した。コントロール酸化膜の膜質はメモリ特性に影響を及ぼすためエッチング方法は、プラズマエッチングではなく、ダメージの少ないウエットエッチングを用いた。またこの 10nm の設定は、後のソース/ドレイン形成時のイオン注入プロセスにおいて、低エネルギーで注入できる膜厚であるため、低温活性化を考慮し 10nm とした。

③ 活性化アニールと同時にトンネル酸化膜を加熱し膜質の向上を行った

トンネル酸化膜の膜質はメモリ特性に大きく影響されるため、主に熱酸化膜が用いられてきた。今回は低温プロセスのため、基板温度 300°C で堆積された CVD 膜を用いており、熱酸化膜を用いた場合に比べ絶縁性などの膜質は大きく低下する。そこで、膜質を向上させるためイオン注入後酸化膜を剥離せず、活性化アニールと同時にトンネル酸化膜も熱処理を行い、メモリ特性の向上を試みた。

5-3-2 Si ドット低温 poly-Si TFT メモリの作製と評価

以下の方法を用いて Si ドット低温 poly-Si TFT メモリを作製した。図 5-2 にプロセスフローを示す。

- ① P 型 Si(100)基板上に絶縁層として熱酸化膜を 150nm 形成し、その上に LPCVD によって a-Si を 50nm 堆積した。その後 SPC 法により、600°C に加熱された熱酸化炉内に試料を搬送し、窒素雰囲気中 (3slm) で 20h アニールを行い低温 poly-Si を形成した。

- ② 素子分離のため、poly-Si 基板にこれまでと同じ方法で、レジストを塗付、プリベーク、露光、現像、ポストベークの順に行い、その後 RIE (reactive ion etching) 装置を用いて、CF₄/O₂ の混合ガスによって poly-Si をエッチングし、活性層 (Si アイランド) を形成した。
- ③ その基板を RCA 洗浄後、トンネル酸化膜として、TEOS-SiO₂ を 10nm 形成した。ソース/ドレイン形成のため、試料の表面にリフトオフ用のレジスト (マイクロケミカル製 LOR-5A) を塗付し、160℃ のホットプレート上で 1 分間ベーク後、露光用のレジストを塗布しプリベーク、露光、現像、ポストベークを行いフォトリソグラフィによりゲート領域をパターンングした。
- ④ 抵抗線加熱蒸着装置を用いて Al を全面蒸着し、80℃ の恒温槽の中で温められたリフトオフ用レジスト専用リムーバ (マイクロケミカル製 Remover PG) の中に試料を入れ、リフトオフを行い、アセトン、メタノールで洗浄し、ゲート領域形成用の Al マスクを形成した。
- ⑤ その基板に、リンを $1 \times 10^{15}/\text{cm}^2$ のドーズ量でイオン注入を行った後、リン酸を用いて Al マスクを完全に除去し、BHF を用いてトンネル酸化膜を 3nm (分光エリプソメトリーにより屈折率を固定して測定) までエッチングし、活性化アニールとトンネル酸化膜の膜質向上を同時に行うため、600℃ に加熱された熱酸化炉内に試料を搬送し、窒素雰囲気中 (3s1m) で 1h アニールを行った。その後、Side-Wall 電極型 PECVD を用いて Si ドットを作製し、大気曝露せずに 20nm の膜厚の SiO₂ を連続堆積し、Si ドットを埋め込んだ。
- ⑥ これまでの方法と同様にフォトリソグラフィによりコンタクトホールをパターンニングし、BHF を用いてコンタクトホールをエッチングにより形成した。その後、再度リフトオフ用のレジストおよび露光用のレジストを用いてフォトリソグラフィを行い、EB 蒸着装置を用いて Ti を約 300nm 全面蒸着を行った。その後リフトオフを行い、ゲート電極およびソース/ドレイン電極を形成した。

⑦ 最後に PMA を 450°C で 1h 行い、Si ドット低温 poly-Si TFT メモリを作製した。入力特性やリテンションタイムの測定などの、これまで確立した測定技術よりメモリ特性を評価した。ドットの有無による特性の比較のため、ドットが埋め込まれていない TFT (以下積層膜低温 poly-Si TFT) も同時に作製した。

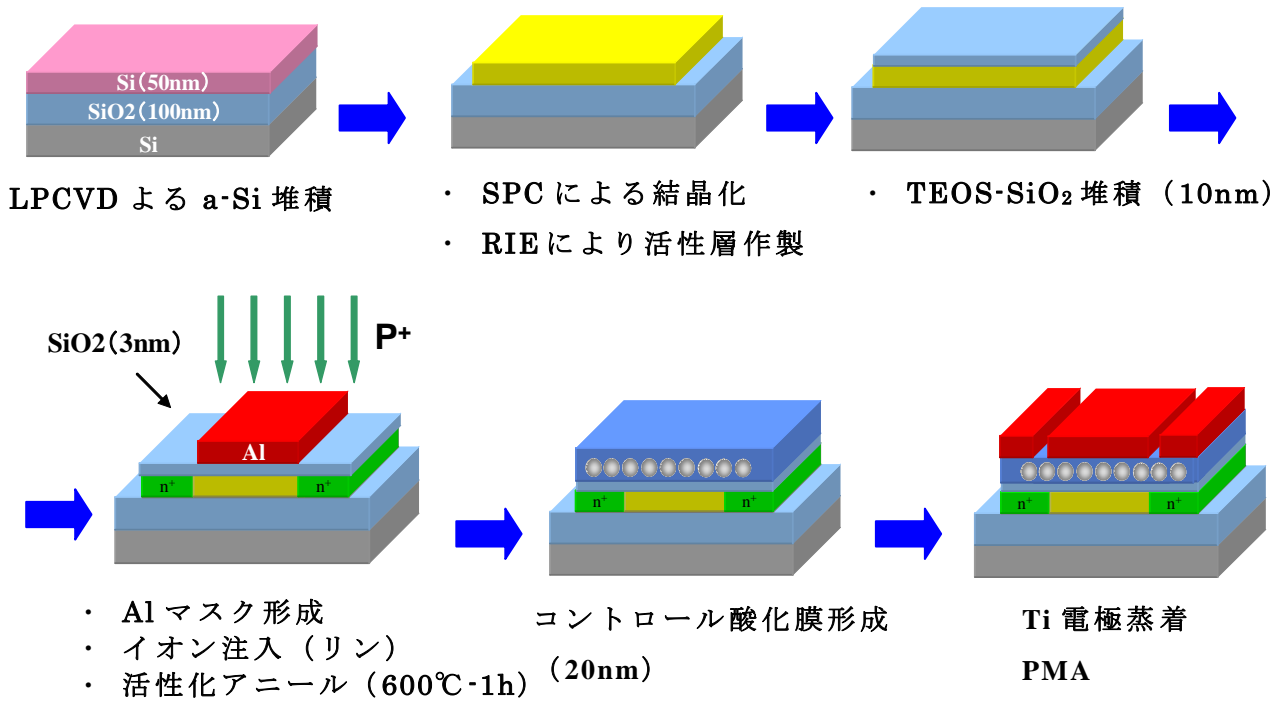


図 5-2. Si ドット低温 poly-Si TFT メモリのプロセスフロー

5-3-3 低温 poly-Si TFT の初期特性

図 5-3 に実際に作製された低温 poly-Si TFT の微分干渉顕微鏡像を示す。設計での最も大きなゲートのサイズは $W/L=50\mu\text{m}/50\mu\text{m}$ であり、最も小さいサイズは $W/L=10\mu\text{m}/5\mu\text{m}$ である。低温 poly-Si TFT の基本特性である入力特性と出力特性を図 5-4 (a) および (b) に示す。OFF 電流は低く、ゲート電圧 0V の場合、チャンネルは形成しておらず、ゲート電圧を印加することによりチャンネルが形成され FET 動作していることがわかる。この TFT の初期特性を以下に示す

電界効果移動度 = $13\text{cm}^2/\text{Vs}$
 しきい値電圧 = 3.3V
 S 値 (subthreshold) = $0.7\text{V}/\text{dec}$
 線形領域での On/off 比 = 6 桁

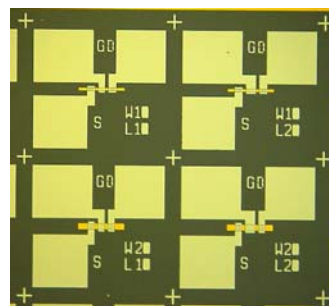


図 5-3 実際に作製した TFT

この特性は TFT として十分な特性を示しており、今後この TFT を基本構造として、Si ドット低温 poly-Si TFT メモリの作製を行った。

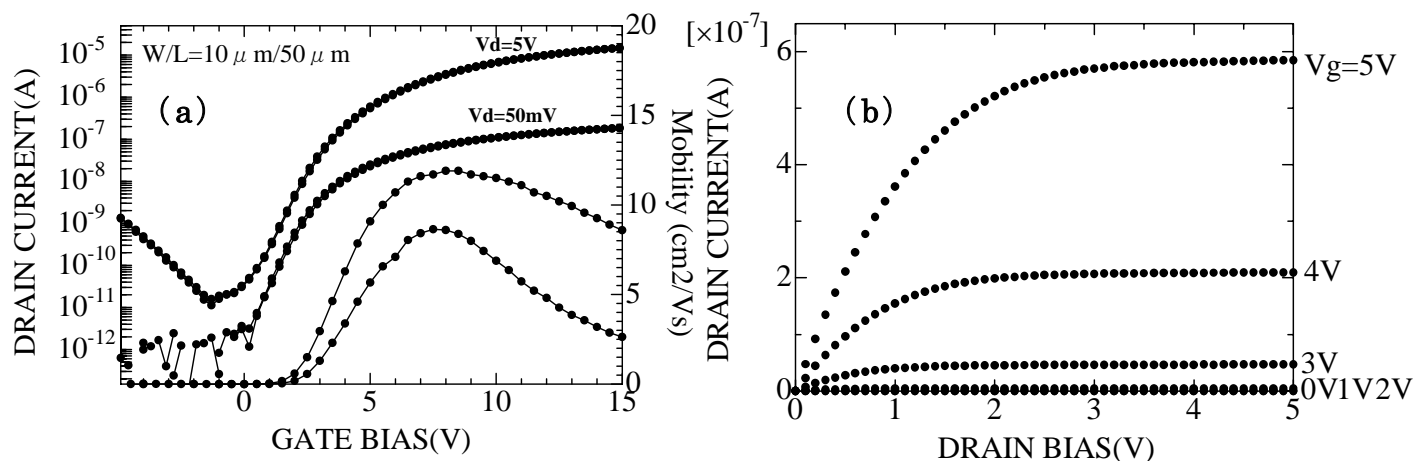


図 5-4. Si ドット低温 poly-Si TFT メモリの(a)入力特性(b)出力特性

5-3-4 低温 poly-Si 基板上の Si ドットの形状評価

図 5-5 に低温 poly-Si 基板上の TEOS-SiO₂ 上に形成した Si ドットの SEM 像を示す。これまでの単結晶 Si 基板上の熱酸化膜上に形成された Si ドットと同様に、球状の Si ドットが観察された。ドット密度も単結晶 Si 基板上に形成した場合とほぼ同じ密度で形成されている。この結果より、本手法は基板の種類を問わず、高密度に Si ドットの形成が可能であることがわかった。

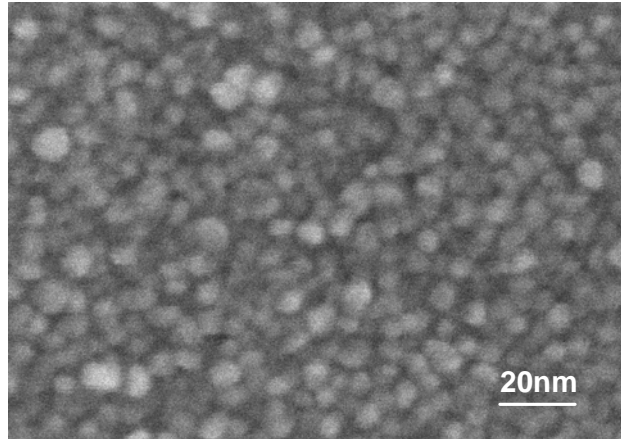


図 5-5. 低温 poly-Si 基板上の TEOS-SiO₂ 上に形成した Si ドットの SEM 像

5-3-5 Si ドット低温 poly-Si TFT メモリの入力特性評価

積層膜低温 poly-Si TFT と Si ドット低温 poly-Si TFT メモリの入力特性の評価を行った。その結果を図 5-6 (a) および (b) に示す。積層膜低温 poly-Si TFT は掃引によるしきい値電圧のシフトはみられなかったが、Si ドット低温 poly-Si TFT メモリについては、掃引によりしきい値電圧は負バイアス側に 4V 以上の大きなシフトがみられた。これまでの結果より、Si ドットへの電子注入によるしきい値電圧のシフトであると考えられる。また、ゲート長を小さくした場合でも同様に大きなヒステリシスがみられた。

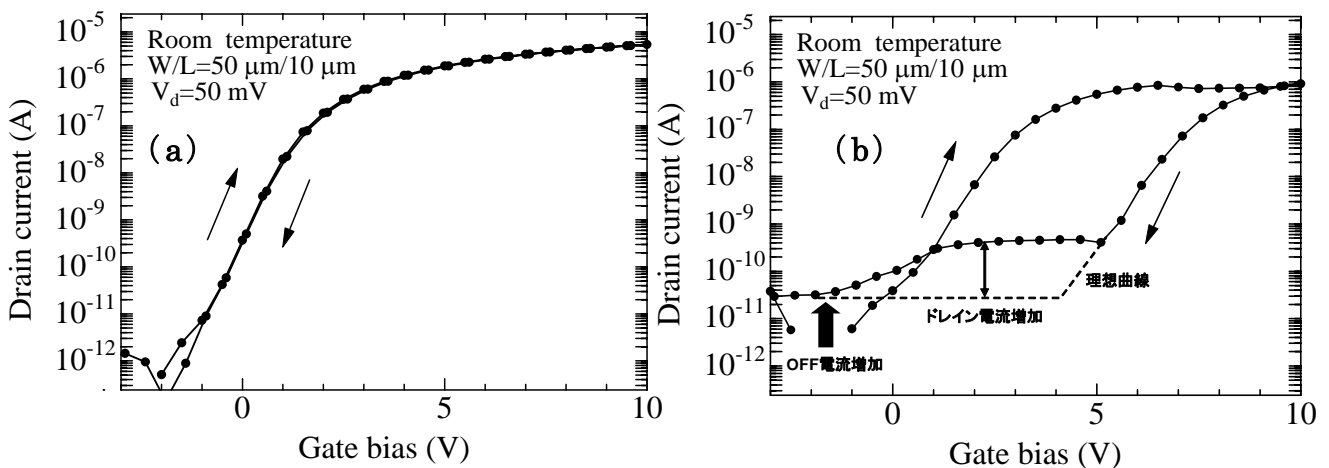


図 5-6. 入力特性(a)積層膜 TFT(b)Si ドット低温 poly-Si TFT メモリ

今回用いた基板は、厚さ 150nm の熱酸化膜上に 50nm の poly-Si 薄膜が形成されており完全空乏型の TFT である。poly-Si には不純物のドーピングは行っておらず真性半導体であり、フェルミレベルは Si のバンドギャップの真ん中に存在している。単結晶 Si 基板の場合、Si 基板表面に電界が集中するためバンドの曲がり方は Si 基板表面に集中する。しかし、完全空乏型の場合 50nm と薄膜であり、poly-Si 層すべてに電界がかかるため、poly-Si 層のバンドのすべてが曲がる。このフェルミレベルの位置とバンドの曲がり方を考慮した、Si ドット低温 poly-Si TFT メモリの電子の充放電のバンド図を図 5-7 に示す。

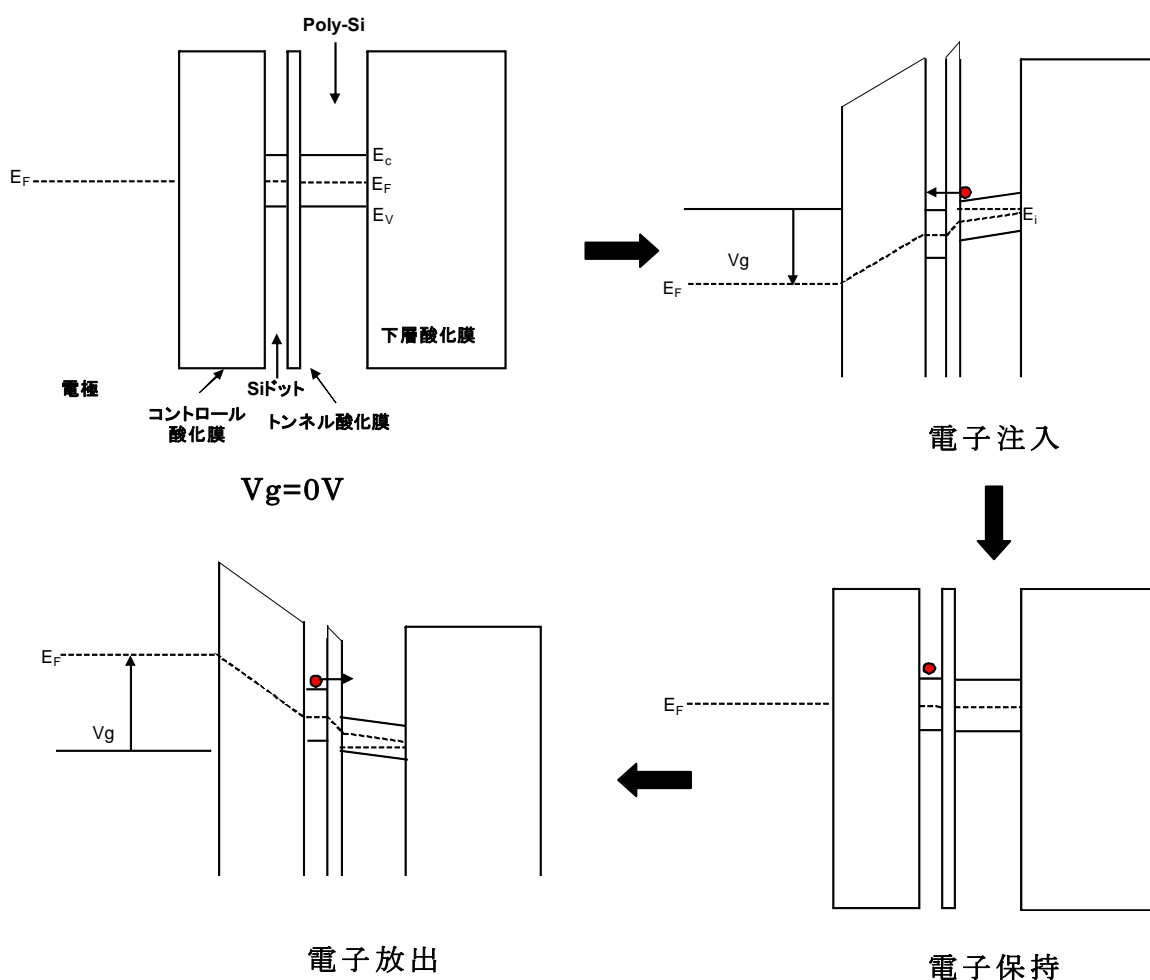


図 5-7. Si ドット低温 poly-Si TFT メモリの電子の充放電のバンド図

更に詳しく図 5-6 の入力特性を見てみると Si ドット低温 poly-Si TFT メモリの OFF 電流は、積層膜低温 poly-Si TFT に比べ一桁電流値が大きくなった。さらに正電圧からの掃引後再び戻る時のドレイン電流値が一桁高くなっており、単結晶 Si 基板を用いた場合では見られなかったことから、酸化膜のダメージによるリ

ーク電流が考えられる。

このリークのメカニズムについて考察する。このリークはプラズマダメージより Si-O 結合や Si-H 結合が切断し、酸化膜トラップ電荷を形成しその欠陥を介して起こるリーク電流であると考えられる。このような、プラズマで形成した欠陥を介したリークは電圧印加時に起こるストレス誘起リーク電流 (SILC: Stress Induced Leakage Current)^[61]よばれ、その伝導機構は TAT (Trap Assisted Tunneling) として提案されている^[62-63]。このことから図 5-8 に示すように OFF 電流の増加は①に示すように poly-Si/SiO₂ 界面の界面準位を介してリークし、ドレイン電流の増加は②に示すように膜内にダングリングボンドを介してリークしているものと考えられる。

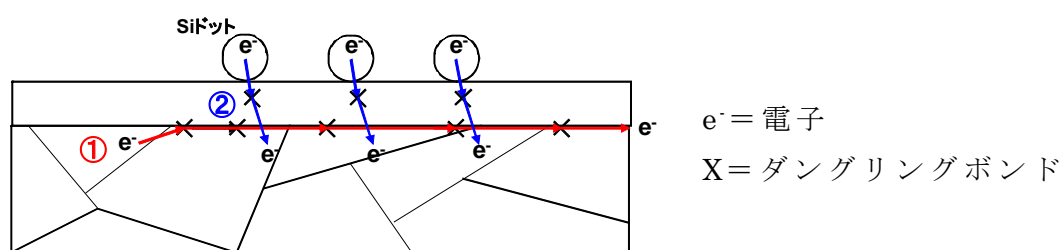


図 5-8. 入力特性(a)積層膜 TFT(b)Si ドット低温 poly-Si TFT メモリ

Si ドット低温 poly-Si TFT メモリの場合、単結晶 Si 基板を用いた Si ドット MOSFET に比べ、プラズマダメージの影響が顕著に現れる。そのためこの大きなシフトは、熱酸化膜よりも固定電荷などの欠陥が多い薄膜の TEOS-SiO₂ をトンネル酸化膜に用いたことと、プラズマダメージによって欠陥が増加したことで、欠陥を介したトンネル確率の増加により、このような広いヒステリシスが得られたものと考えられる。さらに図 5-9 (a) にゲート電圧幅依存性、(b) に sweep rate 依存性の測定結果を示す。ゲート電圧幅を大きくして電子の注入量を増加させると、ヒステリシス幅も増加していくことが分かる。さらに -3V から 10V の電圧幅で sweep rate を遅くし注入量を増加しても、しきい値電圧のシフト量は僅かながら減少がみられた。これまでの Si ドット MOSFET では、sweep rate を遅くすることでしきい値電圧は増加したが、Si ドット低温 poly-Si TFT メモリでは減少したことから、掃引速度を遅くすることで、電子のリークが顕著に現れ電圧を掃引しながら Si ドットへ注入された電子が、トンネル酸化膜をトンネルし、しきい値電圧が減少したものと考えられる。

しきい値電圧の幅は大きく現れたにもかかわらず、-3V から 3V の低電圧を印加した場合しきい値電圧のシフトが見られなかった。このしきい値電圧が、電子および正孔が注入されていない状態のしきい値電圧であると考え、このしきい値より正方向側にシフトした幅を電子の注入量とし、これまでと同様に、1 ドットに保持されている電子の量を計算した。その結果を表 5-1 に示す。この結果よりドットに保持されている電子の数は 1 つ以上であると分かる。sweep rate 依存性や 1 ドットに保持されている電子の量の計算の結果からも、単結晶 Si 基板を用いたものに比べ大きく、入力特性での大きなしきい値電圧のシフトは、電子トラップによるものであることが支持される。

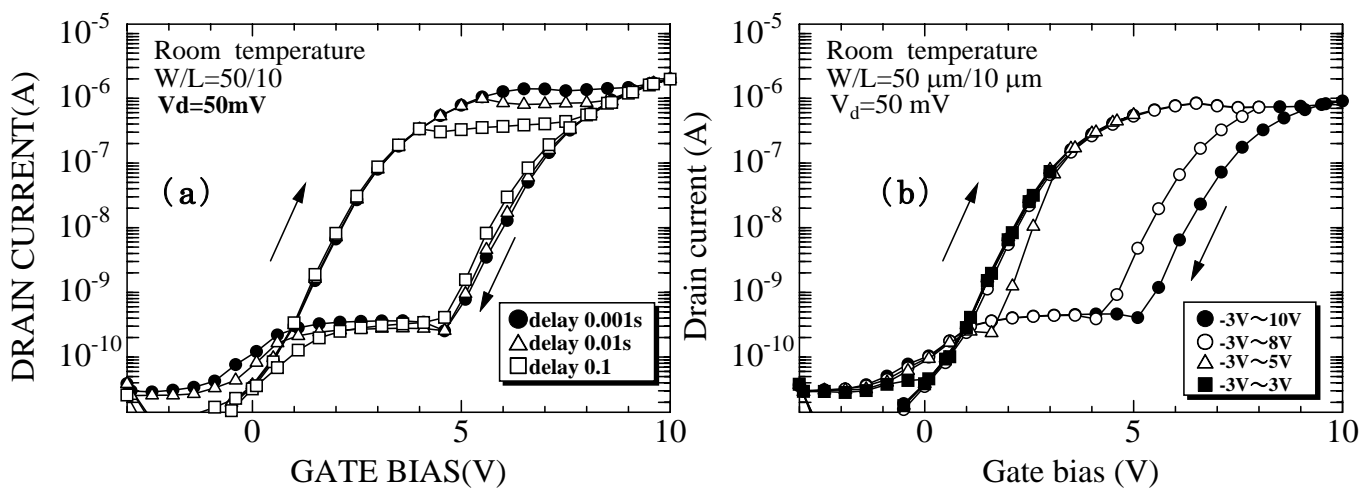


図 5-9. 入力特性(a)積層膜 TFT(b)Si ドット低温 poly-Si TFT メモリ

表 5-1. 1 ドットに保持されている電子の数の計算

ゲート電圧 [V]	しきい値電圧シフト [V]	Si ドットの電子の数 [個]
-3~3	0	0
-3~5	0.7	0.9
-3~8	3.3	4.0
-3~10	4.2	5.1

5-3-6 リテンションタイムの測定

リテンションタイムの測定を行った結果を図 5-10 に示す。これまでの測定方法と同様に、 $\pm 5\text{V}$ の電圧で書き込みおよび消去を行った後、読み出し電圧 0.5V でドレイン電流の時間変化を測定した。この図からリテンションタイムは約 350 秒であることがわかり、これまでの MOSFET を用いた場合の約 3000 秒に比べ、大幅に低減していることが分かる。これはこれまでの結果より、プラズマダメージによる欠陥を介したリークが原因であると考えられる。このリークはトンネル酸化膜に依存するため、まずはトンネル酸化膜厚を厚くすることで電子のトンネル確率を低下させ、リテンションタイム向上および OFF 電流の低下を試みた。

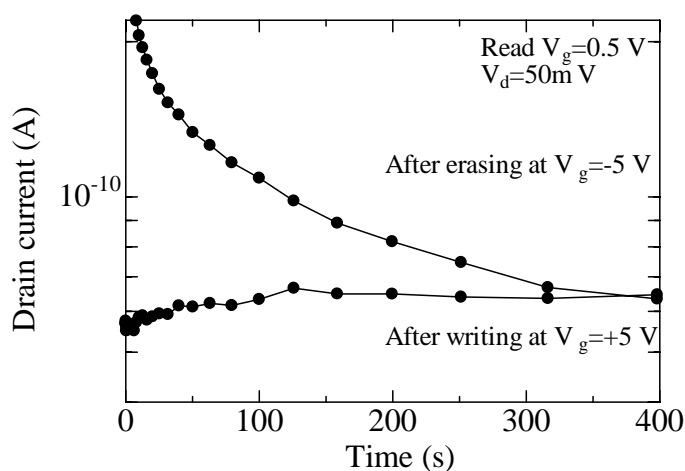


図 5-10. リテンションタイム測定

5-3-7 トンネル酸化膜厚依存性

リテンションタイムはトンネル酸化膜厚に依存し、厚くすることでトンネル確率を減少させ、リテンションタイム向上させることができる。今回トンネル酸化膜を 5nm と厚くし、これまでと同様の方法で入力特性とリテンションタイムの測定を行った。その結果を図 5-11 (a) および (b) に示す。入力特性を見ると、膜厚を厚くするにつれて掃引によるしきい値電圧のシフト量は小さくなっている。 5nm 以上のトンネル酸化膜では、直接トンネルが起こりにくく、ドレイン電圧を高くする必要となるため、しきい値電圧のシフト量が減少したものと考えられる。またリテンションタイムについては、酸化膜を厚くすることでリテンションタイムが向上するが僅かな変化しか見られなかった。

そこでトンネル酸化膜を厚くするのではなく、欠陥終端処理が有用であると考え、現在 TFT を低温で熱処理を行うことで結晶粒界や界面特性が向上すると報告されている高圧水蒸気処理法を用いて、膜質と界面特性を向上させ OFF 電流の低下などの、TFT 特性の向上をおこなった。

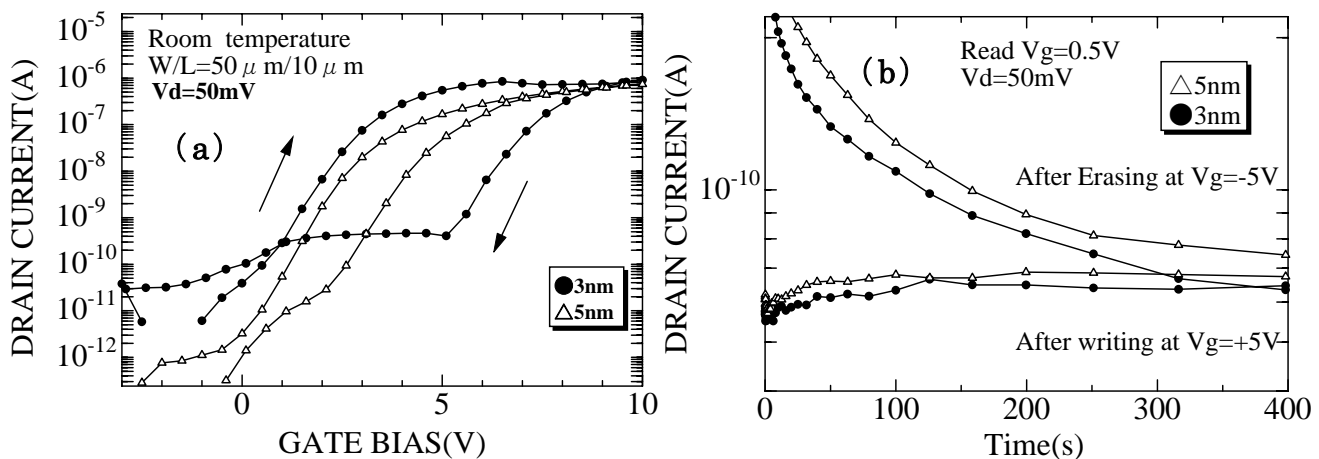


図 5-11. トンネル酸化膜厚依存性 (a) 入力特性 (b) リテンションタイム

5-4 高圧水蒸気処理による特性改善効果

5-4-1 高圧水蒸気処理とは

高圧水蒸気処理は東京農工大の鮫島らの研究グループにより、低温 poly-Si TFT の低温パッシベーション技術として注目されており [64-66]、TEOS-SiO₂ や High-k 膜への効果も報告されている [67-68]。図 5-12 (a) および (b) に実際に使用した装置図と内部の構造を示す。これまで高圧水蒸気処理について多くの研究が行われ、特に 270°C、1.3MPa の条件で高圧水蒸気処理を行うことによって、酸化膜中の酸素欠損により生じていた Si ダングリングボンドを低減して、固定電荷を減少させる効果や、水蒸気から生じた水素によって Si のダングリングボンドを終端して SiO₂/poly-Si の界面準位を低減する。また poly-Si 膜中の粒界欠陥により安定な Si-O 結合を作るため移動度も向上する [67]。よってフォーミングガスのような酸素を含まない水素ガスのみでの処理よりも、特性は大幅に改善する。更に本手法ではガスを使用せず、超純水のみ使用する熱処理であるため、非常に簡便に処理が行えるという特徴をもつ。

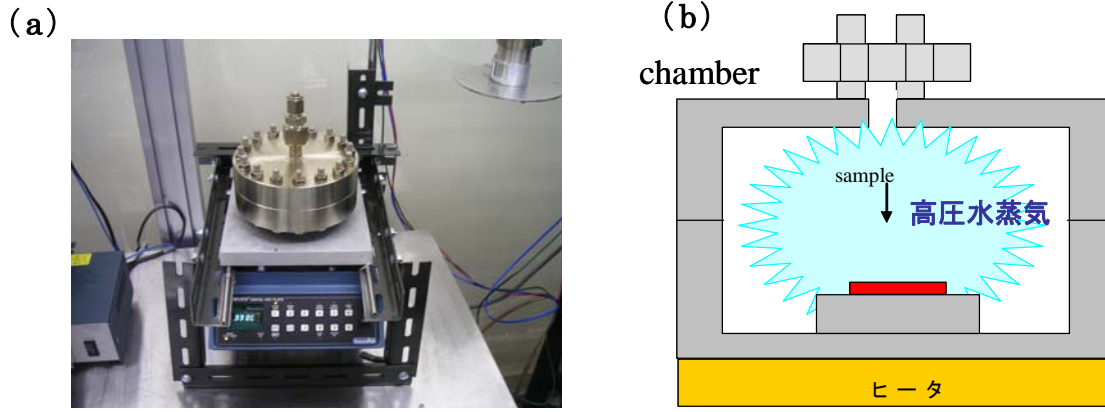


図 5-12. (a) 高圧水蒸気処理装置 (b) 内部構造

実際の高圧水蒸気処理方法は、基板をチャンバー内に導入しガasketを入れチャンパーを閉める。その後ホットプレート上で加熱し、所定の温度になったら、上部のバルブを開けて 1cc の氷を入れ、すぐに蓋を閉め、処理時間放置する。処理時間が経過したら上部のバルブを開け圧力を開放し、自然冷却後サンプルを取り出す。この方法は、1cc の氷を温める温度によって内部の圧力を調節することができ、更に処理時間終了と同時にバルブを開け圧力を開放するため、処理時間の制御が行いやすいという特徴を持つ。今回、積層膜低温 poly-Si TFT および Si ドット低温 poly-Si TFT メモリを作製した後、温度を 270°C にすることで圧力を 1.3MPa とし、1h 処理を行った後入力特性などの電気特性とリテンションタイムの測定を行った。

5-4-2 高圧水蒸気処理後の特性

高圧水蒸気処理の効果を調べるため、高圧水蒸気処理後の積層膜低温 poly-Si TFT の入力特性および出力特性を測定した。その結果を図 5-13 (a) および (b) に示す。入力特性において、高圧水蒸気処理を行うことで ON 電流が増加し OFF 電流が減少していることが分かる。これは処理により、界面準位や粒界のトラップサイトが終端され、欠陥を介してのリーク電流が減少したものと考えられる。

さらに、しきい値電圧のマイナス側のシフトがみられた。これまで、高圧水蒸気処理時の素子構造において、電極形成前後の処理によりしきい値電圧のシフトの方向が変わることが報告されている^[69]。電極形成前の処理の場合、高圧水蒸

気中の水分子は SiO_2 膜中を拡散し再酸化反応により、水分子から乖離した OH^- イオンが酸化膜中に取り込まれることにより、負の実効固定電荷が増加する。また、電極に Al を用いた場合には、Al と SiO_2 界面で水分子が反応することで、水素が発生し、 SiO_2 膜中に正の固定電荷を発生することが報告されている^[70-71]。今回のこのシフトは報告された結果と一致しており、ゲート電極に Ti を用いた場合でも、正の固定電荷が形成されたことにより、正の固定電荷の発生に電極の材料を問わないことが分かった。

S 値は $0.7\text{V}/\text{dec}$ から $0.4\text{V}/\text{dec}$ に向上し移動度は、処理により $13\text{cm}^2/\text{Vs}$ から $25\text{cm}^2/\text{Vs}$ と約 2 倍に向上した。これは図 5-14 に示すように、高圧水蒸気処理により界面準位や粒界のトラップサイトが終端されることにより、界面準位の低下と結晶粒界に存在するバリアハイトが低くなったため、電子が結晶粒間を移動しやすくなり移動度が向上したものと考えられる。

以上の結果より、温度 270°C 、圧力 1.3MPa 、処理時間 1h で高圧水蒸気処理は、本低温 poly-Si TFT においても特性が向上することが分かり、高圧水蒸気処理によるメモリ特性向上が期待できる。

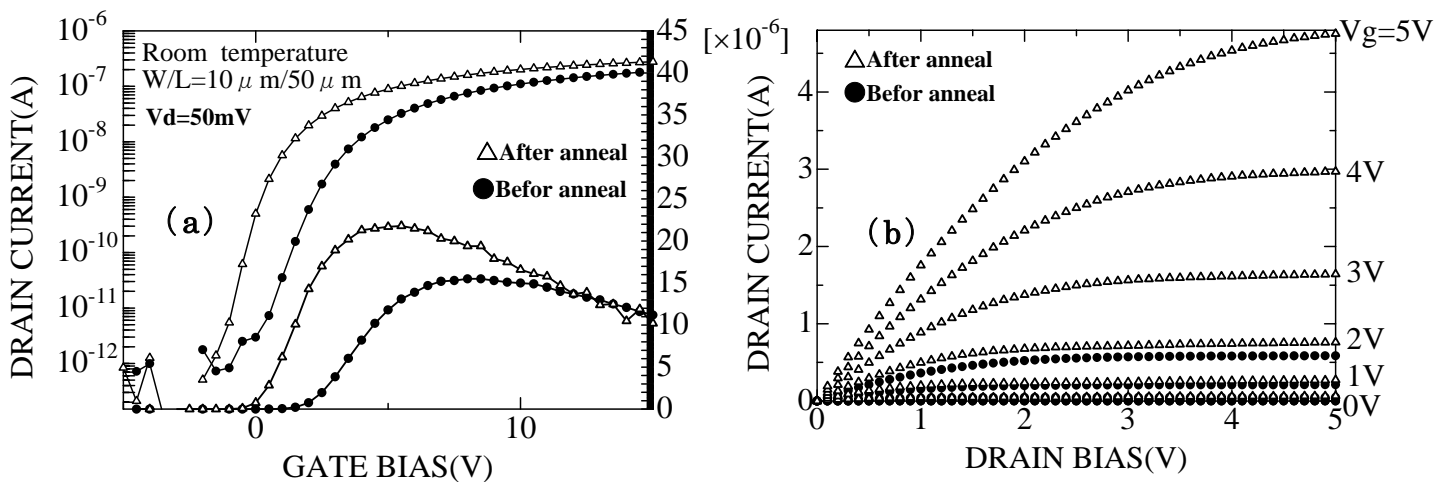


図 5-13. (a)高圧水蒸気処理後の入力特性(b)出力特性

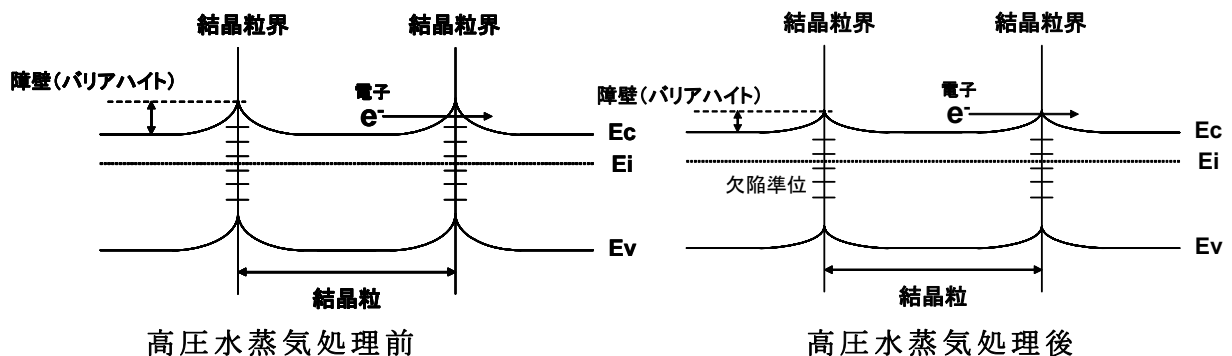


図 5-14.高圧水蒸気処理前後バンド構造

5-4-3 リテンションタイムの測定

これまでと同様にリテンションタイムを測定した。その結果を図 5-15 に示す。測定前に Si ドットに保持されている電子をすべて放電させるため、 $\pm 10\text{V}$ の電圧を 30 秒間印加し、読み出し電圧 0.5V でドレイン電流の経時変化の測定を行った。この結果をみると高圧水蒸気処理を行うことで大幅にリテンションタイムが向上した。

一般的に単結晶基板を用いた Si ドット MOSFET の方が高温プロセスのため信頼性が高く、メモリ構造においてもトンネル酸化膜の膜質より、リテンションタイムが長くなると予想されたが、 3nm の TEOS-SiO₂ 薄膜を用いた場合でも、高圧水蒸気処理によって、Si ドット MOSFET の場合よりもリテンションタイムが長いという結果となった。

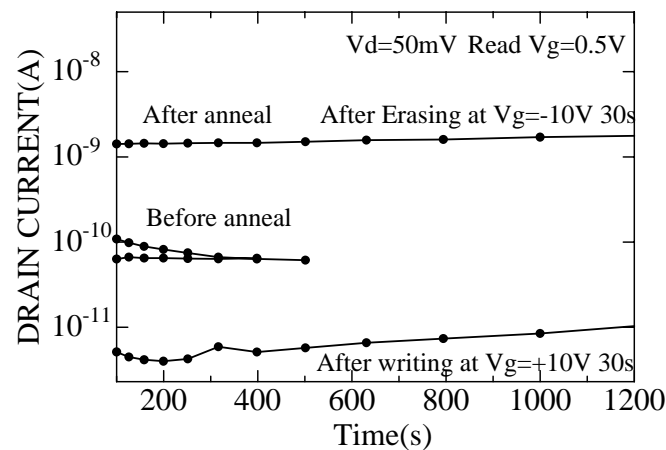


図 5-15. リテンションタイムの測定

このリテンションタイム向上のメカニズムを図 5-16 のバンド図を用いて考察する。Si ドットの保持された電子の放電は、図中の①で示されたトンネル酸化膜と基板との界面準位へのトラップが全体の 40%~60%であるといわれ、残りは図中の②で示されるような、Si ドットの導電体から基板の導電体へのバックトンネルによるとわれている [72-74]。リテンションタイムの向上は、高圧水蒸気処理この界面準位が減少しトラップが減少したことと、膜中の欠陥終端により基板の導電体へのリークが減少したことによるものと考えられる。

この結果は、高圧水蒸気処理は低温でメモリ特性を大きく改善させることが可能な手法であることを示している。しかし、この特性向上は単にトンネル酸化膜

の膜質向上によるものだけではなく、Si ドットへの酸化の影響も考えられる。今後詳細なメカニズムの解析が必要となる。

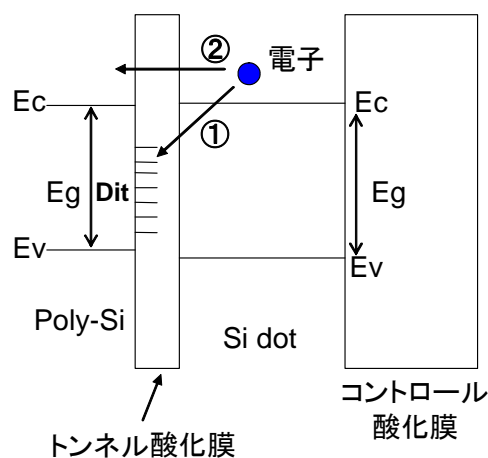


図 5-16. リテンションタイム向上のメカニズム

5-5 まとめ

本章では Si ドット低温 poly-Si TFT メモリのメモリ特性を評価した。Si ドット低温 poly-Si TFT メモリの入力特性に約 4V の大きなヒステリシスが見られたが、OFF 電流は増加しリテンションタイムが低く、TEOS-SiO₂ への Si ドット堆積時のプラズマダメージが顕著に見られた。その後、トンネル酸化膜厚を厚くすることで特性の向上を試みたところ、リテンションタイムはわずかに向上するものの、しきい値電圧のシフト量が大幅に減少した。

高圧水蒸気処理を行うことで移動度、S 値、しきい値電圧が向上し、特にリテンションタイムは大幅に向上し、熱酸化膜をトンネル酸化膜に用いた Si ドット MOSFET よりも、リテンションタイムが長いという結果となった。この特性向上は単にトンネル酸化膜の膜質向上によるものではないと考えられ、この詳細なメカニズムの解析が今後の課題となる。しかしこれまで、トンネル酸化膜に堆積膜を用いて Si ドット低温 poly-Si TFT メモリを作製された報告が少ないため、この結果はシステムオンパネル実用の大きな一歩となると言える。

第 6 章 フェリチンコア低温 poly-Si TFT メモリの作製とメモリ特性評価

6-1 フェリチンコアの特徴

フェリチンを用いる特徴はバンド構造にみられる。図 6-1 (a) に Si ドットを用いた場合、(b) にフェリチンコア (Fe の金属ナノドット) を用いた場合のフラッシュメモリのバンド構造を示す。Si ドットは基板と同じバンド構造のため、Si 基板とのポテンシャルが浅く、Si 基板へのバックトンネルによって電子が抜けやすい。しかし、フェリチンコアは大きな仕事関数を持ち、フェルミ準位と導電帯の準位が同じエネルギー準位のため、金属の導電帯は Si 基板の導電帯よりも低いエネルギーを持つ。そのため、ゲート電圧を印加しない場合、0.1eV と僅かながらバンドの曲がりが見られ、低電圧での注入が可能となる。更に、電荷注入効果を損なうことなく Si ドットを用いたフラッシュメモリに比べ、長い電荷保持特性を実現することが可能となる。これらのことから、フェリチンコアを用いたフラッシュメモリは Si ドットを用いた場合に比べ大きな特徴を持つ。

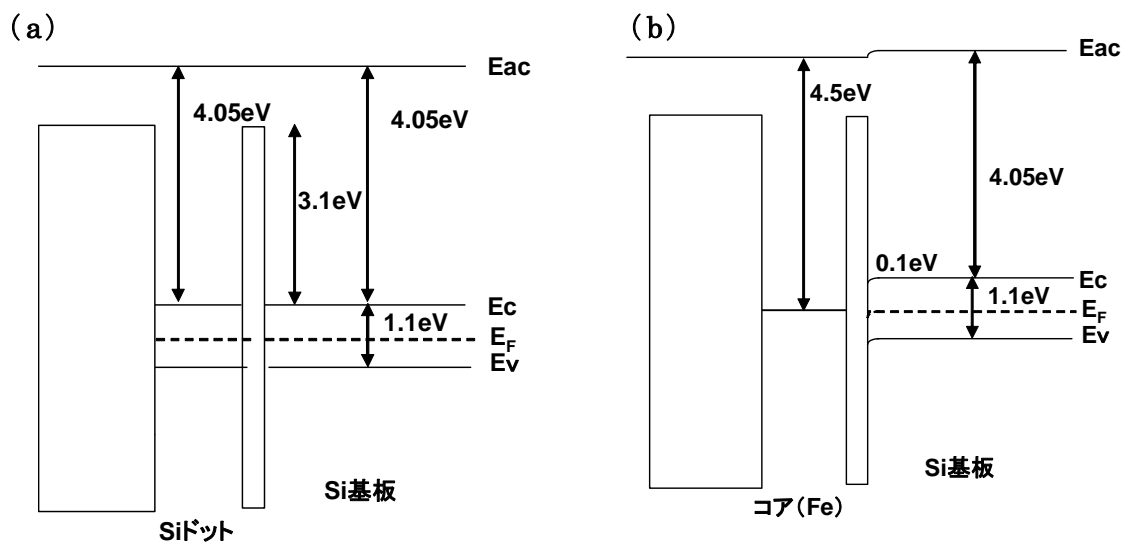


図 6-1. フラッシュメモリのバンド構造 (a) Si ドット
(b) フェリチンコア (Fe ナノドット)

更に、その形成方法にも特徴を持つ。これまでの金属ナノドットの作製方法は、スパッタ法により直接金属をスパッタさせる方法や、シリサイドの層を形成し熱処理によりドットを形成させる方法が用いられてきた^[75-76]。これらの方法では、

粒径が均一でないことやトンネル酸化膜へのダメージが懸念されるということが課題であった。さらに、温度においても高温の熱処理を行うため、本研究に用いる低温 poly-Si TFT メモリの応用には適していない。そこで、金属ドットの形成にフェリチンを用い、フローティングゲートに応用することで、この課題を解決することができる。

表 6-1 にこれまで手法とフェリチンを用いたバイオナノプロセスとのドット形成時の比較を示す。フェリチンを用いた場合では、タンパク質を鋳型とするため、ドットの粒径は均一であり、またウェットプロセスのため大型装置を必要とせず、トンネル酸化膜へのダメージが小さいため、これまでの手法を用いた場合や Si プロセスを用いたものに比べ、特性が大きく向上することが期待できる。

自然界のフェリチンコアは鉄で構成されることを述べたが、このフェリチンコアは Ni や Co など的人為的に抽出・内包することも可能である。しかし、今回の研究では、最もコアの形成率、および収率が高く、またその手法も簡便であることから、フェリチンコアに鉄を用いた。

表 6-1. フェリチンコアの特徴

	高密度	ドットの均一性	酸化膜へのダメージ	ドット形成時の温度
従来法	△	×	×	高い (>400℃)
BNP	○	○	○	低い (>110℃)

本章では、これまで確立した低温 poly-Si TFT メモリの作製プロセスを応用し、フェリチンコア低温 poly-Si TFT メモリの作製および特性評価を行い、Si ドット低温 poly-Si TFT メモリとの比較検討をおこなった。また、ドット密度を更に向上させ、ドット密度としきい値電圧幅、リテンションタイムの関係について考察した。

6-2 フェリチンコアの形成

6-2-1 アポフェリチンへのコア導入と精製

フェリチンを構成するサブユニットには分量がわずかに異なる L-サブユニット

トと H-サブユニットの 2 種類が存在する。本研究では、メモリ応用を目的としているため、均一なフェリチンが望ましいという点、またタンパク質接合部位を持つという点から、遺伝子工学的に作製した L-サブユニットのみからなるアポフェリチンを用いている。このアポフェリチンに水溶液中の Fe(II)イオンを酸化活性部位により Fe(III)イオンとして内部に取り込ませ、直径 7nm の $\text{Fe}_2 \cdot 5\text{H}_2\text{O}$ コアを持つ Fe-fer8 を作製した。

- ① 100m μ HEPES バッファー (pH7.0、溶媒：mili-W、 $< 10^{18}\text{M}\Omega$) を窒素で 10min 以上パージし溶存酸素を除去し、リコンビナントアポフェリチンを最終濃度が 0.5mg/ml になるように加えた。
- ② 硫酸アンモニウム鉄を最終濃度が 5mM になるように加え、12 時間室温放置しフェリチンに Fe 原子を内包させた。
- ③ 3000rpm で 20 分間遠心させ、溶液中の酸化鉄とリコンビナントフェリチンを分離するため、上清のみを分取し、チューブの底に酸化鉄の沈殿がみられなくなるまで遠心分離を繰り返した。

6-2-2 ゲルろ過によるフェリチン単量体 (モノマー) の採取

金属コア導入直後のフェリチン溶液には単量体フェリチンと多量体フェリチンやフェリチンが崩壊したものが混在している。そこで、ゲルろ過 (カラムクロマトグラフィー) を用いて、フェリチンの単量体の採取をおこなった。

ゲルろ過法とは、タンパク質を分子量の大きさに分ける手法であり、分子量の差により分離する方法である。サイズ排除クロマトグラフィー (SEC: size exclusion chromatography)、ゲル浸透クロマトグラフィー (GPC: Gel permeation chromatography) とも呼ばれる。ゲル粒子は網目構造であり、ゲル粒子とタンパク質の立体障害により、大きい分子はゲル粒子中に拡散ができないために直ちに析出する。一方、小さい分子は立体障害が少なくブラウン運動でゲル流市中を自由に拡散し、網目構造の奥まで寄り道ながら溶出することになり遅れて溶出する。網目のサイズによって多くの種類があり、目的とするタンパク質の分子量に応じ

て選択する。今回ゲル濾過用の溶媒として、50mM Tris (pH 8.0)の緩衝液を脱気したものを用いた。カラムは Sepacryl S-300 HR (GE Healthcare)を用い、吸光度測定用の光源には重水素ランプを用いた。

6-2-3 純水置換法

ゲルろ過法で採取されたフェリチンタンパク溶液に含まれるアルカリ金属イオン (Na) の濃度を最小限に抑えるため、フィルター (microcon, 50kDa) を用いた純水置換によって溶媒を純水に置換した。

- ① フィルターを装備したチューブにフェリチン溶液を $100\mu\text{l}$ 入れた後、純水を $400\mu\text{l}$ 入れ希釈した。
- ② ①のチューブを遠心分離 (7000rpm 2min) にかけて液量を $100\mu\text{l}$ まで濃縮した。この時余分なバッファーはフィルターを通り抜けて除去される。
- ③ ②を濃縮後、純水を $400\mu\text{l}$ 加え希釈し、その後②と同様に濃縮した。
②および③を 10 回繰り返すことで Na イオンの濃度を nM オーダーに低下させた。

純水置換を終了後の得られたフェリチン溶液を高分解能型電子顕微鏡で観察により、フェリチンコアが内包されていることが確認されている^[60]。

6-3 実験

6-3-1 APTES 修飾膜を利用したフェリチンコアの高密度吸着

フェリチンの SiO_2 酸化膜上への高密度吸着のために、基板とタンパク質間の静電相互作用を利用した。本研究で使用しているアルカリ金属イオンを除去したフェリチンの溶液は、負の表面電位を持つことが知られている。一方、タンパク質を塗付したい SiO_2 表面も負の表面電位を持つことが知られている^[77]。そのため、フェリチン粒子と基板の表面の間には静電的な反発力が働いて吸着は抑制される。吸着させるためには、フェリチンか基板の表面のどちらかに正の電荷を導

入し、フェリチンと基板の間に静電的な引力が働くようにする必要がある（図 6-2）。そこで、アミノシラン材として APTES（3-aminopropyltriethoxysilane）を用い、気相で基板表面にシラン化反応させる、蒸気法 APTES 処理による基板表面修飾を行った。

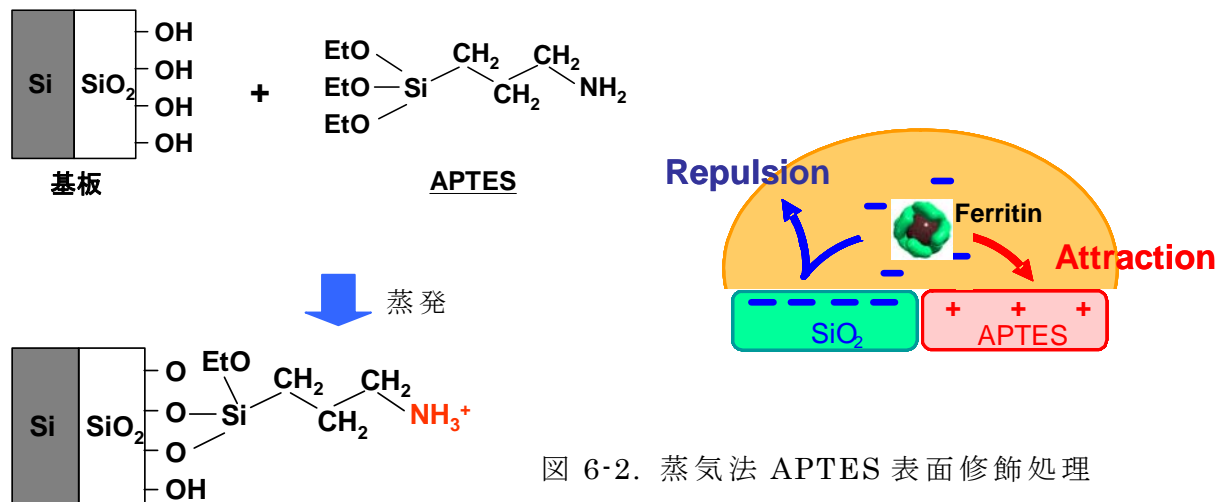


図 6-2. 蒸気法 APTES 表面修飾処理

さらに高密度吸着のためには、基板との表面電位のほかにフェリチン間の反発を抑える必要がある。そこで、フェリチン間の反発を抑えるため、MES (2-N-morpholino ethanesulfonic acid) および Tris (2-Amino-2-hydroxymethyl-1, 3-propanediol) の混合液を緩衝剤として用いた。今回用いた緩衝剤のイオン強度はどちらも約 5mM とした。そのプロセスフローを図 6-3 に示す。

- ① これまでと同様に、トンネル酸化膜として TEOS-SiO₂ を堆積させた後、110°C 10 分間 UV/O₃ 処理を行い、表面に吸着した有機汚染物質を除去および清浄化した。
- ② APTES による基板修飾を行うため、基板と少量の ARTES と共に密封容器に入れ、室温で 3 時間放置し、SiO₂ 表面と APTES 分子を反応させた。3 時間後、脱水エタノールで 3 回洗浄後、純粋洗浄を行い窒素ブローによって基板を乾燥させた。
- ③ MES および Tris を入れ pH7 に調節された濃度 2mg/ml フェリチンを、APTES が塗付された基板の上に吸着させ、1 分間放置後、純水でリンスし

窒素ブローで乾燥後、UV/O₃ 装置に入れ 110°C 10 分間 UV 光を照射し ATPES と外殻タンパクを除去した。

- ④ フェリチンコアの密度や粒径を SEM によって観察し、コントロール酸化膜を堆積したサンプルの断面を TEM により測定した。

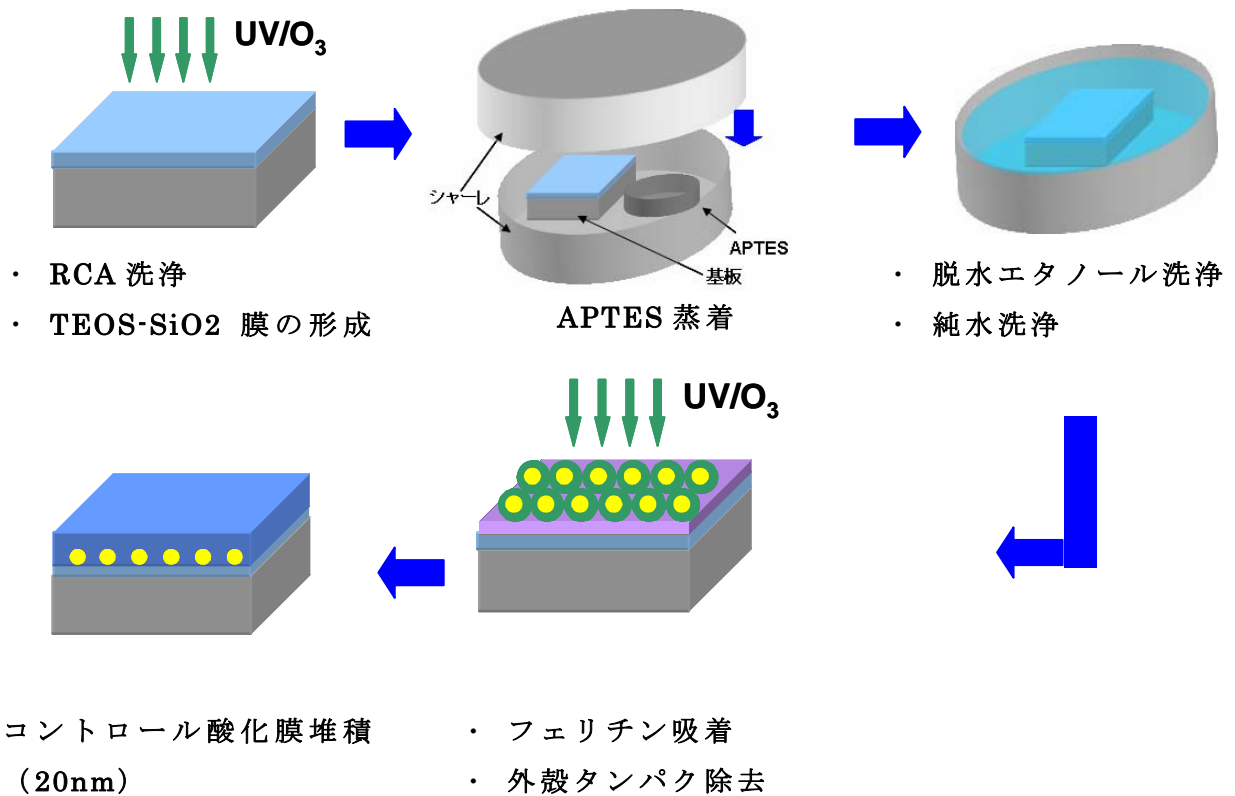


図 6-3. フェリチンコア吸着プロセス

6-3-2 フェリチンコアの形状評価

外殻タンパク除去後の SEM 像と TEM 像を図 6-4 (a) および (b) に示す。SEM による評価において、Si ドットの密度よりも少し劣るが、粒径が均一な球状のフェリチンコアが観察され、高密度にドットが形成されていることが分かる。この密度は $3.2 \times 10^{11}/\text{cm}^2$ であり、単結晶 Si 基板をドライ酸化によって作製した熱酸化膜上や、High-k 膜上に形成したフェリチンコアの密度とほぼ一致する^[78]。

断面 TEM 像よりフェリチンコアの直径は 7nm であり、隣接するドットどうしは孤立している。またコントロール酸化膜堆積時にプラズマ照射を行っても、ドットの球状は保たれていることから、プラズマによるコアの破壊などは見られな

かった。

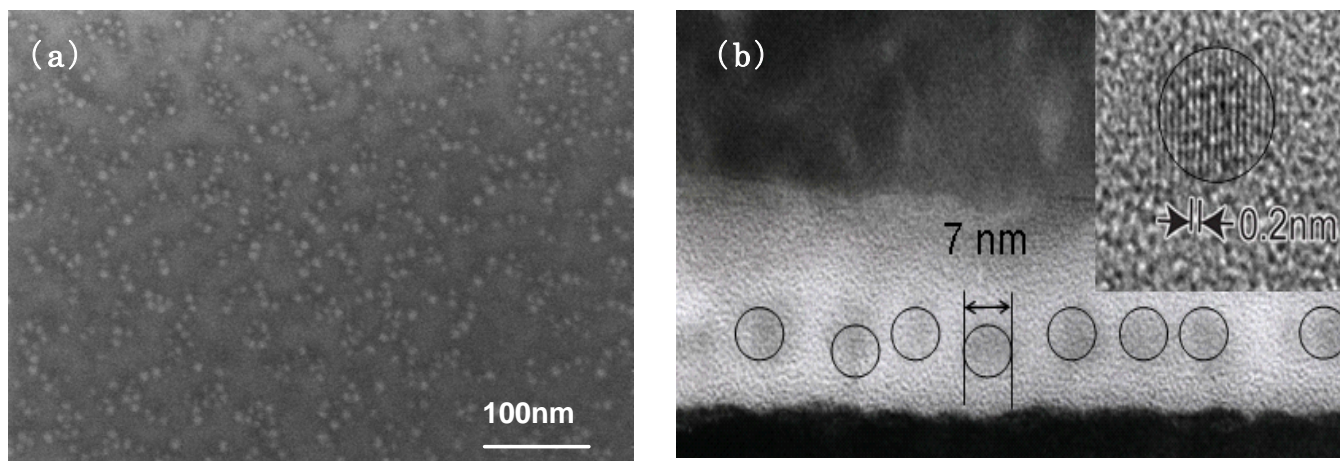


図6-4. (a) フェリチンコアのSEM像(b)TEM像

UV/O₃ 処理を用いて外殻タンパクと ATPES が完全に除去しているかを XPS によって測定した。その結果を図 6-5 に示す。除去できているかの有無は N1s ピークを測定することで分かる。UV/O₃ を行っていない場合では、N1s の 396~399eV の間に大きなピークが見られるが、UV/O₃ を照射した後の場合ではピークがなくなっていることから、外殻タンパクおよび APTES は UV/O₃ 照射を行うことで除去されていることが分かった。

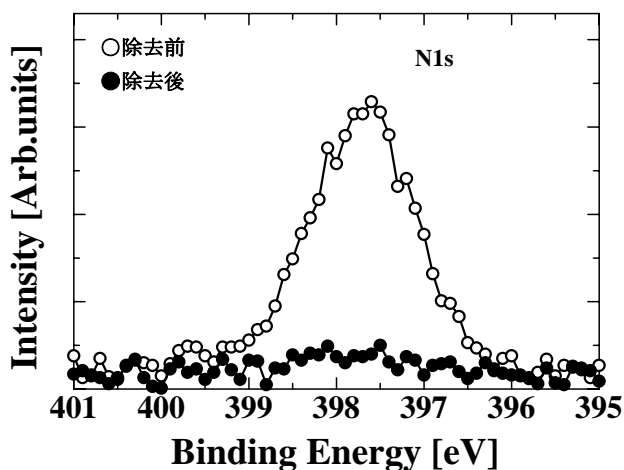


図 6-5. タンパク除去前後の XPS 測定結果

6-3-3 フェリチンコア低温 poly-Si TFT メモリの作製

前章で確立した低温 poly-Si TFT メモリの技術を用いて、フェリチンコア低温 poly-Si TFT メモリの作製を以下のプロセスで作製した。そのプロセスフローを

図 6-6 に示す。ドットの形成方法のみが前章と異なるため、プロセスフローのみの説明とする。また、ドットの埋め込まれていない TFT (積層膜低温 poly-Si TFT) を比較のため作製した。

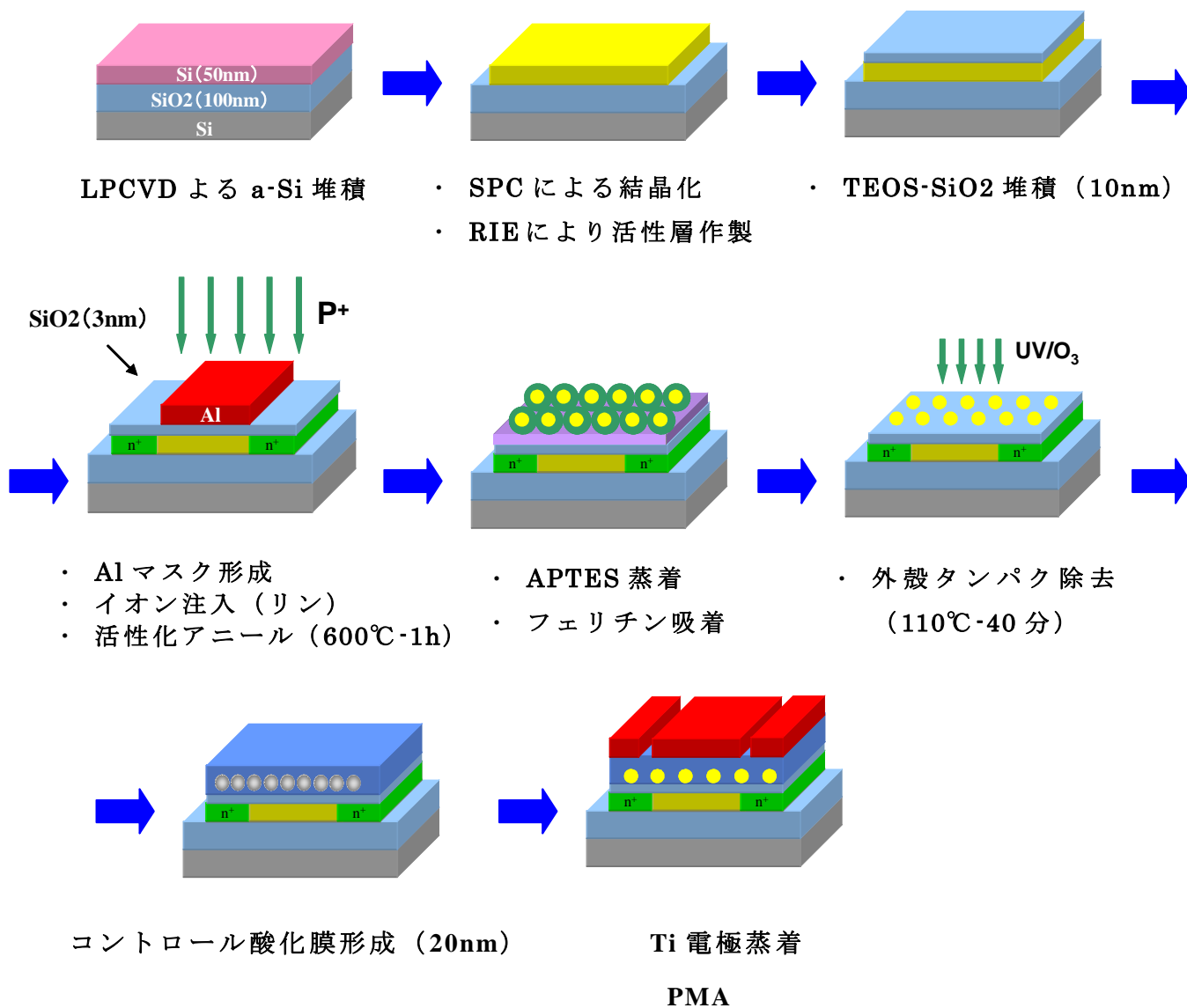


図 6-6. フェリチンコア低温 poly-Si TFT メモリのプロセスフロー

6-3-4 入力特性評価

積層膜低温 poly-Si TFT とフェリチンコア低温 poly-Si TFT メモリの入力特性の評価を行った。その結果を図 6-7 (a) および (b) に示す。これまでと同様に積層膜低温 poly-Si TFT は掃引によるしきい値電圧のシフトはみられなかったが、フェリチンコア低温 poly-Si TFT メモリについては、掃引によりしきい値電圧は負

バイアス側にシフトし、そのシフト量は最大で約 2V であった。これは、Si ドットを用いた場合のシフト量より小さいが、密度が低いことや、プラズマダメージの低下によりダングリングボンドへのトラップの量が減ったためであると考えられる。さらに、off 電流が Si ドットの時と比べ小さいことから、プラズマダメージの低減が示唆される。

今回の測定結果では Si ドットの場合と異なり、立ち上がり立ち下りでしきい値電圧シフトが平行シフトしなかった。これは、フェリチンコアを埋め込んだ後、400°C 程度の水素ガス中で 5 分以上のアニールを行うことで Fe_2O_3 であるフェリチンコアが還元され、XPS 測定から Fe_2O_3 と Fe のドットが混合したような状態となる^[79]。この二つのバンド構造の違いがシフト量に大きく影響を及ぼしている。図 6-8 (a) に Fe_2O_3 のバンド構造 (b) に Fe のバンド構造を示し、ドット間の相互作用は無いものと考え、単純化することで考察を行った。

Fe の場合、先に示したように、Fe の導電帯は Si 基板の導電帯より低いエネルギー準位を持つため低電圧で電子注入を行うことができる。しかし、 Fe_2O_3 の場合 Fe に比べて仕事関数が 5.78eV と非常に大きく、ゲート電圧 0V において 1.18eV のバンドの曲がりが見られる。そのため Fe_2O_3 に電子を注入する場合、Fe に比べ反転層形成に高い電圧を必要とする。すなわち、このシフトは電子が注入されやすい Fe から注入が起こり、さらに電圧を高くしていくと、 Fe_2O_3 にも注入されるため、このようなシフト量の変化がみられたものと考えられる。

今後低電圧駆動のメモリ応用を考えると、低電圧で注入可能な Fe のみのドットの形成が必要となる。現在水素雰囲気中で 800°C 以上の高温で還元することで、ほぼ完全に Fe になることが知られているが、このプロセスは低温 poly-Si プロセスには適しておらず、実メモリを考える上で低温還元は今後の課題である。

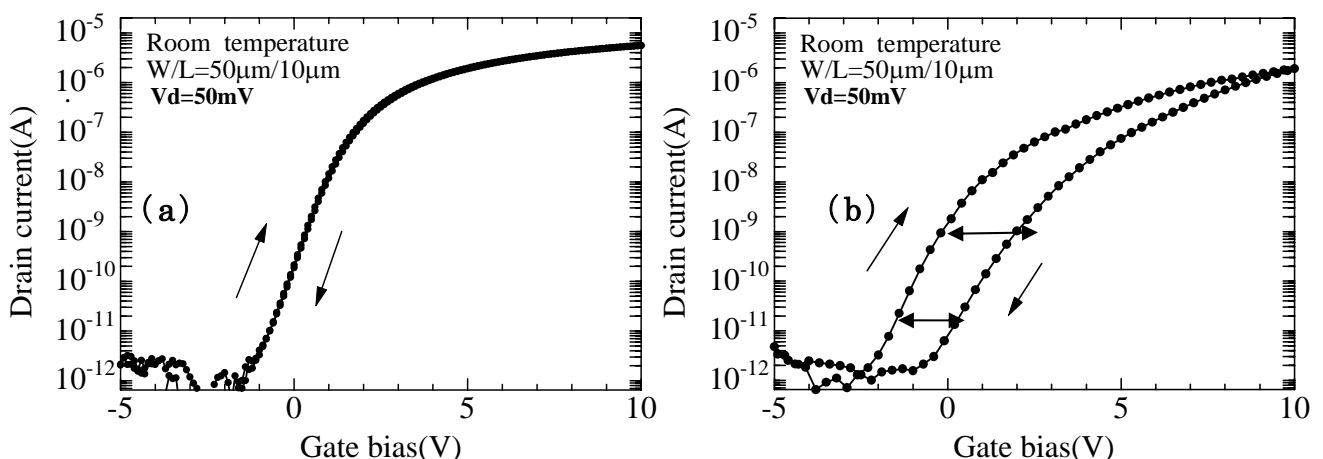


図 6-7. 入力特性(a)積層膜 TFT(b)フェリチンコア低温 poly-Si TFT メモリ

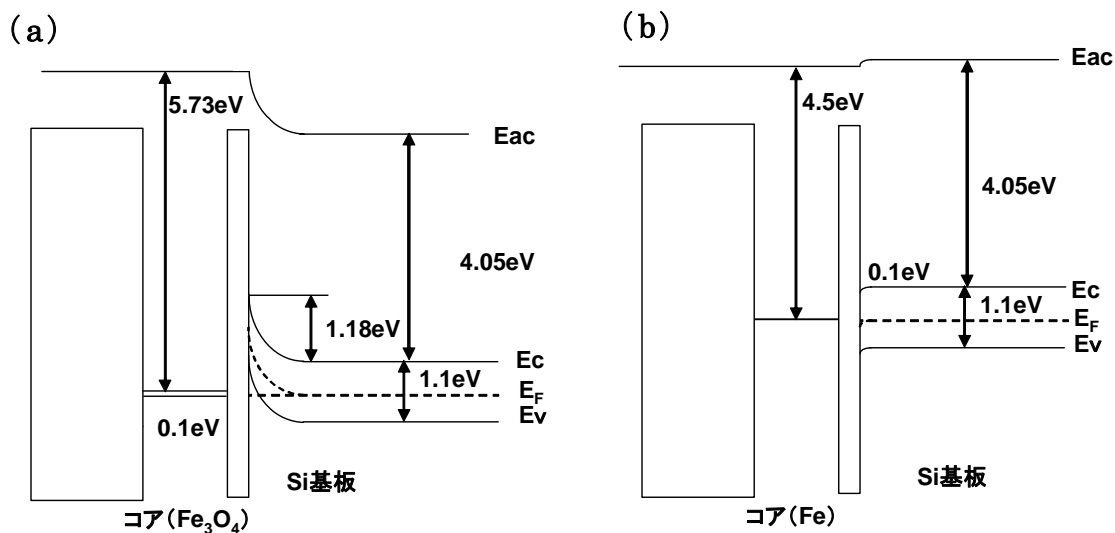


図 6-8. バンド構造(a) Fe_2O_3 (b)Fe

更に図 6-9 に示すように、掃印する電圧を正方向に増やし注入量を増加させると、しきい値電圧のシフト量も正方向に増加し、そのシフト量は 8V でほぼ飽和する。また 3V というこれまでと比べて低電圧で、約 1V の大きなしきい値電圧のシフトが見られ、Si ドットを用いた場合よりも低電圧で動作し、この結果もバンド構造の考察を支持するものである。

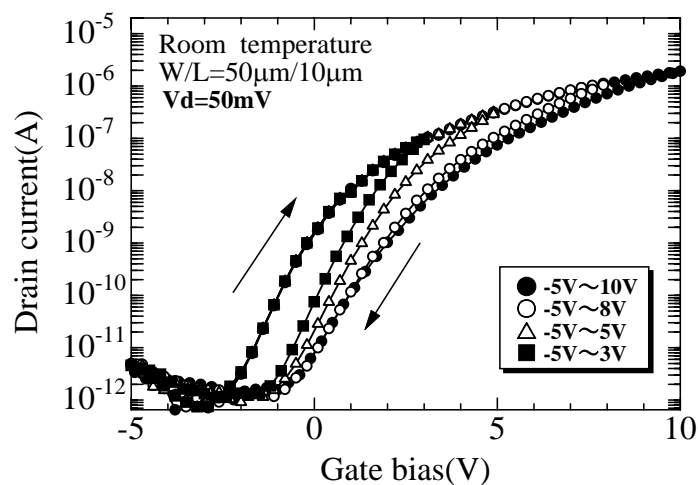


図 6-9. フェリチンコア低温 poly-Si TFT メモリの電圧幅依存性

次に第 2 章の式 (2-12) からすべてのドットが Fe_2O_3 の場合の、1 つの電子が保持された時の、しきい値電圧のシフト量の理論値を計算した。また、Fe の誘電率は明らかとなっていないため、 Fe_2O_3 のみの計算とした。

計算

フェリチンコアの密度 $3.2 \times 10^{11} / \text{cm}^2$ (SEM 像より)

フェリチンコアの直径 7 nm (TEM より)

コントロール酸化膜厚 20 nm

電荷素量 $1.6 \times 10^{-19} \text{ C}$

Fe_2O_3 の誘電率 14

酸化膜の誘電率 3.9

真空の誘電率 $8.85 \times 10^{-12} \text{ F/m}$

$$\Delta V = \frac{1.60 \times 10^{-19} \times 3.2 \times 10^{-11}}{3.5 \times 10^{-13}} \left(20 \times 10^{-6} + \frac{1}{2} \times \frac{3.5 \times 10^{-13}}{1.2 \times 10^{-12}} \times 7 \times 10^{-6} \right) = 0.31 \text{ V}$$

上記の計算結果より、フェリチンコア間での電子注入による影響がない場合、0.31V のシフトがみられる。

これまで、しきい値電圧のシフト量より 1 ドットに保持されている電子の数を計算してきたが、このしきい値電圧のシフト量は Fe への電子注入と正孔注入によるシフト量を含まれるため、今回 1 ドットあたりの電子の数の算出は行わなかった。

6-3-5 クーロンブロッケードについて

2 章で行った場合と同様に、今回用いたフェリチンコアについて室温でクーロンブロッケードの起こるサイズと、現在のドットサイズでのクーロンブロッケードが起こる温度を計算した。

計算

フェリチンコアの直径 7 nm (TEM より)

電荷素量 $1.6 \times 10^{-19} \text{ C}$

酸化膜の誘電率 14

真空の誘電率 $8.85 \times 10^{-12} \text{ F/m}$

ボルツマン定数 $K = 1.38 \times 10^{-23}$

$1V = 6.24 \times 10^{18}eV$

$$E = \frac{e^2}{2C} = \frac{e^2}{8\pi\epsilon_0\epsilon_{Fe_2O_3}r} = \frac{(1.6 \times 10^{-19})^2}{8 \times 3.14 \times 8.85 \times 10^{-12} \times 14 \times 3.5 \times 10^{-9}} = 2.35 \times 10^{-21} V = 14.7 meV$$

$$T = \frac{e^2}{2CK} = \frac{2.35 \times 10^{-21}}{1.38 \times 10^{-23}} = 170 K = -103 ^\circ C$$

この結果よりのすべてのドットが Fe_2O_3 の場合、計算上では $-103^\circ C$ まで冷却することでクーロンブロッケードがおこる。逆に室温でクーロンブロッケードを起こす場合には $4nm$ 以下のドット粒径が必要となる。この計算結果および図 6-9 に示した入力特性のゲート電圧幅依存性において、今回の電圧幅を大きくするにつれしきい値電圧のシフト量も増加していることから、クーロンブロッケードは観測できなかったものといえる。

6-3-6 リテンションタイムの測定

これまでと同様に $\pm 5V$ の電圧を $30s$ 印加して書き込み消去を行い、読み出し電圧 $0.5V$ でリテンションタイムを測定した。フローティングゲートにフェリチンを用いた場合と、前章の Si ドットを用いた場合と比較をおこなった。その結果を図 6-10 に示す。 Si ドットを用いた場合では、リテンションタイムは約 350 秒であったが、フェリチンコアを用いた場合では、 $1200s$ でもメモリウインドがみられ、リテンションタイムが大幅に向上した。これは、ドット形成時のトンネル酸化膜へのダメージが小さいため、電子のリークが Si ドットに比べ小さく、更に金属ドットを用いたことにより、リテンションタイムが向上したものと考えられる。

この結果は、トンネル酸化膜に CVD 膜を用いたメモリにおいて、高圧水蒸気処理のような後処理を行わなくても長時間のリテンションタイムを実現できることを示している。

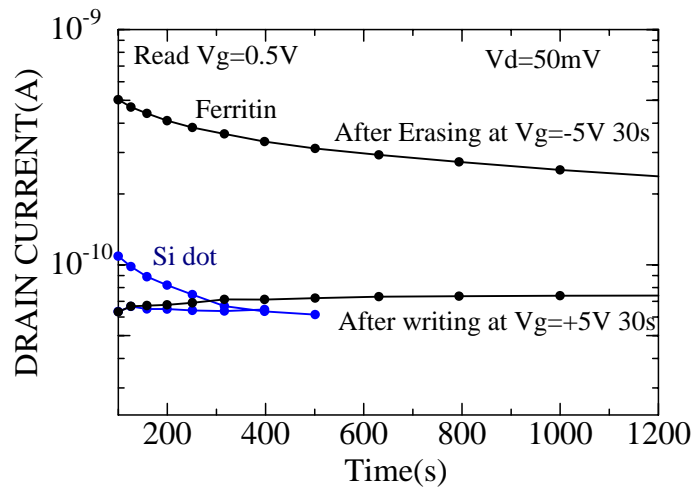


図 6-10. リテンションタイムの測定

6-3-7 書き込み消去特性評価

良好なリテンションタイムが得られたことから、更に詳しくメモリ特性を評価するため。書き込み消去速度の測定を行った。その結果を図 6-11 (a) および (b) に示す。書き込み速度は、-5V のゲート電圧を 1s 間印加し、ドットに注入される電子をすべて放出後、各正のゲート電圧をパルス印加し、そのしきい値電圧のシフト量が、-10V の電圧を 1 秒間充電した時のしきい値電圧になるまでの、時間を測定した。ゲート電圧を高くするにつれて、しきい値電圧のシフトの変化量は大きくなり、1ms~1s で書き込みが行われることがわかった。

消去速度は、書き込みの場合と逆になり、10V のゲート電圧を 1s 間印加し、ドットに電子を注入後、各負のゲート電圧をパルス印加し、そのしきい値電圧のシフト量が、-5V のゲート電圧を 1 秒間放電した時のしきい値電圧になるまでの消去時間を測定した。書き込みの測定と同様に、ゲート電圧を高くするにつれてしきい値電圧のシフトの変化量は大きくなり、1ms~1s で書き込みが行われることがわかった。

書き込み消去速度はゲート電圧やトンネル酸化膜およびコントロール酸化膜の膜厚に依存する。この構造の場合は ms オーダーであり目標値である 1s 以下を達成できた。また、さらに薄膜化などを行うことで μs オーダーのメモリを作製可能であり、その用途によって構造を変えていくことが必要である。このことから、フェリチンを用いた低温 poly-Si TFT メモリにおいても、従来のメモリに近いスピードが得られたといえる。

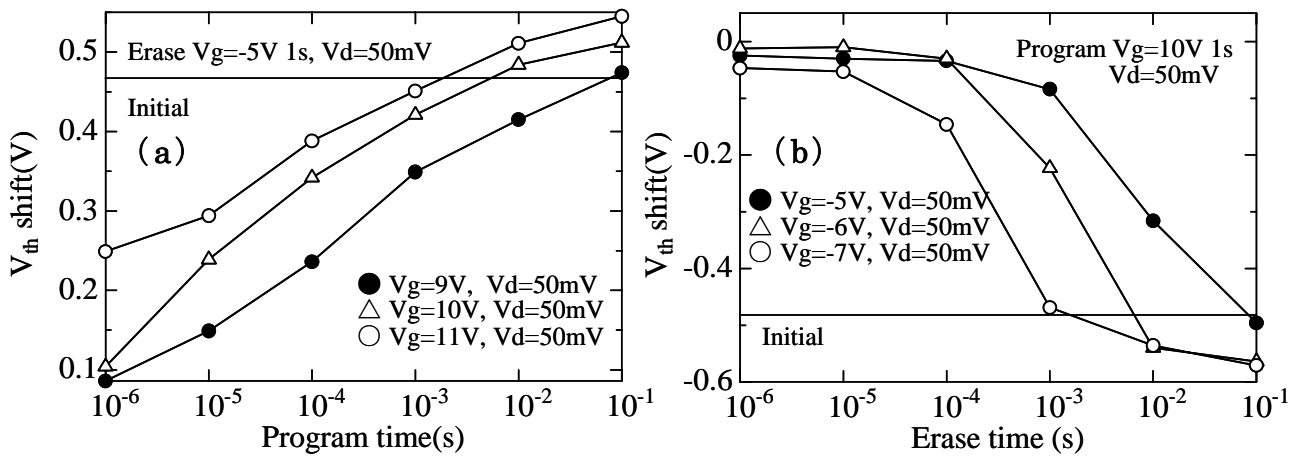


図 6-11. (a)書き込み速度測定(b)消去速度測定

6-3-8 信頼性評価

信頼性評価のため $\pm 10\text{V}$ の電圧をパルス幅 1ms で書き込み消去を繰り返し、その時のしきい値電圧のシフト量から信頼性を評価した。その結果を図 6-12 に示す。書き込み消去を 10^4 回繰り返すと、書き込み側で僅かなしきい値電圧の変化はあるものの、 10^4 回繰り返してもメモリウインドは維持されている。目標値である1万回の書き込み消去後しきい値電圧のシフト量を維持していることから、高い信頼性を示していると言える。消去側でしきい値電圧のシフトが負方向になるのは、負電圧印加による正孔注入によるものと考えられる。

この結果はトンネル酸化膜の高い信頼性を持ち、システムオンパネルに使用可能なメモリであることがいえる。

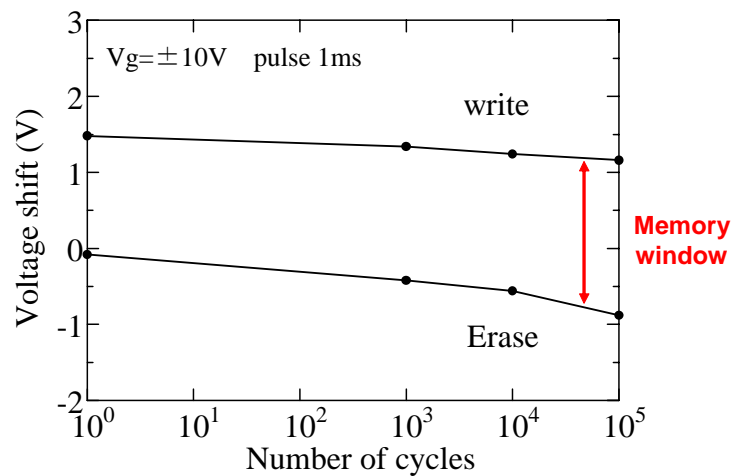


図 6-12. 信頼性評価

6-4 高密度フェリチンコア低温 poly-Si TFT メモリ

6-4-1 はじめに

第 4 章において、Si ドットを積層にすることでリテンションタイムやしきい値電圧幅が向上することが分かった。CVD による Si ドットの形成メカニズムは、基板上にランダムに発生した結晶核に Si がマイグレーションし、結晶核に集まることでドットを形成する^[58]。すなわち、ドットの上部に結晶核を作ることやマイグレーションが起こらず、堆積時間を長くしてもドットを積層にすることはできない。そのため Si ドットの単層を形成し、SiO₂ に埋め込み再度 Si ドットを形成する方法を用いて積層構造を作製した。しかしフェリチンの場合、元々がフェリチンという分子であるため、フェリチンとフェリチン間の相互作用によって、フェリチンの上部にもドットの形成が可能となるため、フェリチンを塗付するだけで積層構造が作製でき、ヒステリシス幅やリテンションタイムが向上するはずである。

そこで、フェリチンコアを積層構造にすることでの特性向上を目指し、超高密度フェリチンコア低温 poly-Si TFT メモリの作製を試みた。実際にはフェリチンとフェリチンの強い負の反発力を緩和するため、MES および Tris を入れ pH7 に調節された濃度 2mg/ml フェリチンを用いて、APTES を用いずリンスを行わないで高密度のドットを形成した。

6-4-2 高密度フェリチンコアの密度評価

APTES を用いた場合と用いない場合の外殻タンパク除去後のフェリチンコアの SEM 像を図 6-13 (a) および (b) に示す。APTES を用いない場合、単層構造の場合に比べ大幅にドットの密度が向上していることが分かる。コアは孤立しているのではなく接しているような状態である。この時の密度は積層構造のため見積もることができなかつたが、かなりの高密度であると言える。

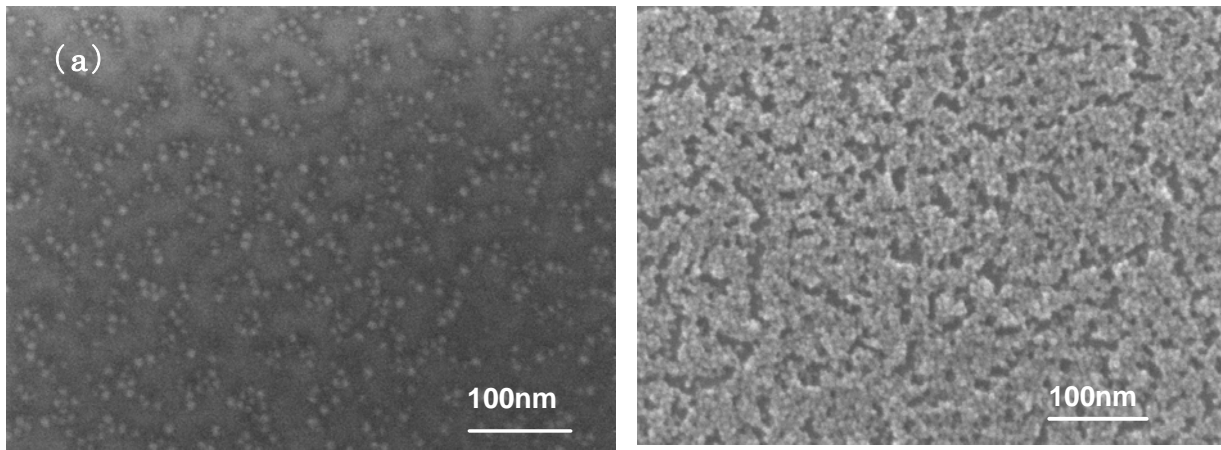


図 6-13. SEM 像(a)APTES あり(b)APTES なし

6-4-3 高密度フェリチンコア低温 poly-Si TFT メモリの入力特性

高密度フェリチンコア低温 poly-Si TFT メモリの入力特性評価を行った。その結果を図 6-14 に示す。これまでと同様に、ゲート電圧を $V_g = -5V$ から正方向に掃引を行うと、単層型に比べ大きなしきい値電圧のシフトが得られた。これはドット密度の向上によるしきい値電圧のシフト量が増加したものと考えられる。また矢印で示すような、立下りと立ち上がりの両方のドレイン電流に数段階のシフトが見られた。立ち上がりのドレイン電流の変化は Si ドットを積層とした場合の結果から考えると、1 層目への注入と 2 段目の注入による多段階注入によるものと考えられる。この場合、数段階の注入が見られるため隣接するドット間の電子移動が考えられる。また、立ち下がりのドレイン電流に数段階の放出が見られ、ドット 1 つの周囲にあるドットの数に影響するものと考えられる。

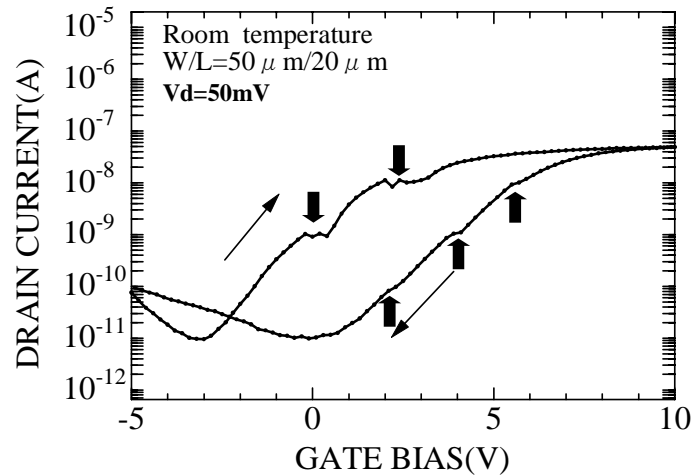


図 6-14. 入力特性

6-4-4 リテンションタイムの測定

これまでと同様に $\pm 5V$ の電圧を30s印加して書き込み消去を行い、読み出し電圧0.5Vでリテンションタイムを測定した。高密度に配置したフェリチンを用いた場合と、これまでの密度を用いた場合と比較をおこなった。この二つの比較は図6-15(a)に示すようにドレイン電流に差があるため、単純な比較ではなくメモリウインドの幅の時間経過による減少を比較した。その結果を図6-15(b)に示す。フェリチンを高密度にすることによって、リテンションタイムの向上が予測されていたが、測定開始直後は積層構造の方が電子の放電量が多いが、時間が経過すると、ウインドの幅の傾きは両方ともほぼ変わらないことから、リテンションタイムについては積層構造による効果は見られなかった。これまでの結果から考察を行うと、ドットの密度が増加するとヒステリシス幅が増大し、密度依存性がみられるが、リテンションタイムについてはドット密度に依存しないことが明らかになった。

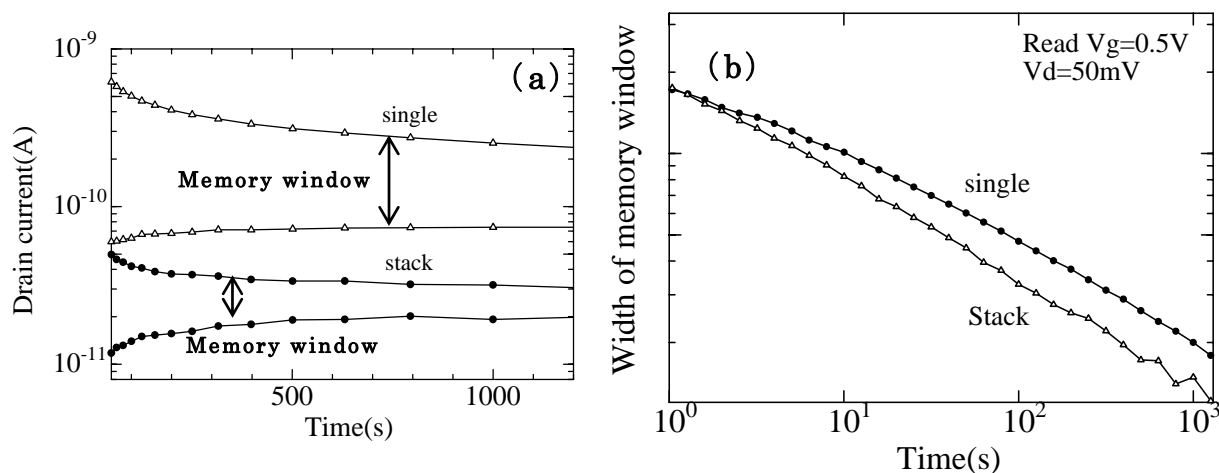


図 6-15. (a)ドレイン電流の経時変化(b)メモリウインドの経時変化

6-5 まとめ

本章では世界で初めてフェリチンコアをフローティングゲートとした低温 poly-Si TFT メモリの動作に成功した。この方法は従来の Si ドットを用いた場合にくらべ、低温でトンネル酸化膜にダメージが少なくドットを形成することが可能である。さらに金属ドットを高密度で形成し、低電圧動作やリテンションタイムなどのメモリ特性の大幅な向上に成功した。また、トンネル酸化膜に CVD 酸

化膜を用いた場合でも信頼性は非常に高く、書き込み消去特性も良い特性を示した。しかし、メモリ作製後の水素アニール処理によりフェリチンコアが還元され、 Fe_2O_3 とFeを主成分とするドットが混在し、しきい値電圧のシフトが平行シフトしなかった。現在 800°C 以上の高温処理による還元方法が確立されているが、今後低温でのコアの還元が課題となる。

フェリチンはその濃度と、緩衝材や ATPES のような修飾膜を用いることで、ドット密度の調節が可能である。その特徴を利用して超高密度のドットを形成したところ、立ち上がり立下りに多段階のドレイン電流の変化がみられ、ヒステリシスの幅は大きく向上するものの、リテンションタイムに変化は見られなかった。このことからしきい値電圧のシフト量はドット密度に依存するものの、リテンションタイムはドットの密度に依存しないことが分かった。

これらの結果はシステムオンパネル搭載可能なメモリとして非常に有望な技術であるといえる。

第7章 結論

本研究では、低温プロセスを用いてシステムオンパネルに搭載可能なフェリチンコア低温 poly-Si TFT メモリの研究を行ってきた。実際に Si ドットをフローティングゲートとした、ドット型フラッシュメモリを作製し、その入力特性やリテンションタイムよりその評価技術を確立した。

MOS キャパシタ構造や MOSFET 構造から測定した C-V 特性や入力特性から、ドットへの電子の充放電がみられ、新規堆積法を用いたメモリ作製に成功した。さらに、周波数依存性や一定のゲート電圧を印加しながらドレイン電流の時間変化を測定し、ドットへの注入機構の詳細な解析をおこなった。ドットのばらつきやコントロール酸化膜厚によるしきい値電圧のシフト量への影響を調べた。また Si ドットを積層構造にすることでメモリ特性の大幅な向上に成功した。

これまでの技術を低温 poly-Si TFT に応用し、トンネル酸化膜に低温形成された TEOS-SiO₂ を用いて Si ドット低温 poly-Si TFT メモリを作製した。プラズマダメージによりリテンションタイムが大幅に低下したが、高圧水蒸気処理によって特性が向上することがわかった。

フェリチンコアを用いた場合、金属ドットを用いていることと、トンネル酸化膜へのダメージが低減できることにより、入力特性やリテンションタイムにおいて、従来の Si ドットの場合に比べ大幅に特性の向上に成功した。

7-1 本論分の主要結果

① Side-Wall 電極型 PECVD 法を用いて Si ドットをこれまでに比べ低温で形成し、メモリへの応用に成功した

Side-Wall 電極型 PECVD 法により Si ドットを低温で約 $8.5 \times 10^{11}/\text{cm}^2$ の高密度で形成することに成功し、この Si ドットをフローティングゲートにした MOSFET を用いてメモリ特性を評価したところ、低電圧でドットの充放電を示す掃引によるしきい値電圧のシフトが現れた。リテンションタイムは 1200 秒以上であり、この手法を用いたメモリがドット型フラッシュメモリ作製技術に有望であること示した。

② Si ドットのばらつきによる影響は小さい

SEM や TEM などの Si ドットの形状にばらつきが見られたが、3nm と 8nm の粒径のばらつきがあっても、しきい値電圧のシフト量は 0.03V の変化のみで、ほとんど影響がないことが分かった。しかし、コントロール酸化膜厚やドットの密度には大きく影響することが分かった。

③ Si ドットを積層にすることでメモリ特性が向上

ドットを積層構造にすることで入力特性に多段階のドレイン電流の変化がみられ、多値メモリへの応用が可能であることを示した。単層のメモリに比べしきい値電圧のシフト量は増大し、特にリテンションタイムについてはトンネル酸化膜厚を厚くすることなく約 10 倍向上した。

④ 高圧水蒸気処理を行うことで Si ドット低温 poly-Si TFT メモリの特性が向上した

これまで、信頼性の観点から低温 poly-Si TFT メモリがほとんど研究されていなかったが、TEOS-SiO₂をトンネル酸化膜に用いることで低温 poly-Si TFT メモリの作製を行った。メモリ特性評価から Si ドット形成時のトンネル酸化膜へのダメージがみられ、リテンションタイムや OFF 電流が単結晶 Si 基板を用いた場合に比べ大きく低下した。しかし、高圧水蒸気処理を行うことによって特性が大幅に向上し、特にリテンションタイムは単結晶 Si 基板を用いた場合よりも向上し、Si ドット低温 poly-Si TFT メモリのメモリ特性を向上させることができた。

⑤ フェリチンコア低温 poly-Si TFT メモリの作製に世界で初めて成功し、Si ドットを用いた場合よりも初期状態で大幅に特性が向上した

フェリチンコアを用いることで、粒径が均一な鉄ナノドットをトンネル酸化膜へダメージを小さく形成することに成功した。その特性は Si ドットの場合にくらべ、-5V か

ら 3V での低電圧においてもしきい値電圧のシフトが現れ、リテンションタイムも大幅に向上した。信頼性評価や書き込み消去速度測定などメモリ特性の詳細な解析からフェリチンコアを用いることで低温 poly-Si TFT メモリも従来型と同様な特性を示す可能性を示し、さらにシステムオンパネル搭載可能なメモリとして有望であることを示した。

7-2 今後の課題と指針

本研究ではフェリチンコアを用いることで従来の Si ドットを用いたメモリに比べメモリ特性が向上し、ドット型低温 poly-Si TFT メモリ実現の可能性を示した。

フェリチンコア低温 poly-Si TFT メモリの実用化を考える上で、しきい値電圧のシフト幅に平行シフトせずばらつきがみられたように、低温でのコアの還元が課題である。これまで Si ドット低温 poly-Si TFT メモリの高圧水蒸気処理を行うことで、低温で特性向上が可能であることを報告した。この技術を応用しコアの低温還元が行えるのではないかと考えている。

コア密度についても非常に重要な課題であり、これまでフェリチンよりも更に小さいリステリアフェリチンを用いて 10^{12} オーダーの高密度でのメモリ特性評価が報告されている。このフェリチンを用いることで更に密度の高いメモリを作製する。また、ドットの粒径が小さくなることから量子サイズ効果も見え始めるため、クーロンブロッケードなどの量子効果も検討する。サイズ効果の知見が得られれば、逆に低密度にすることで、単電子トランジスタや単電子メモリの作製も可能であると考えている。

素子構造においても更なる微細化を目指し、LDD 構造や FinFET 構造などの新構造や High-k 膜などの新材料の導入によるメモリ特性向上が期待できる。

最後にフェリチンコアを用いることで、更なる特性向上やブレイクスルーが起き、新しい原理や構造を持ったデバイスが近い将来実現することを願い、本論文の結びとする。

参考文献

- [1] プレスジャーナル、Semiconductor FPD World 9, 2001
- [2] 山崎照彦、川上英昭、堀浩雄、カラーTFT 液晶ディスプレイ、1996
- [3] P.G.Le Comber et al, Electron Letters,15,pp179(1979)
- [4] S.Hotta et al, SID86 Digest 99.66(1985)
- [5] T.sameshima. IEEE electorn Dev. EDL-7 p276(1986)
- [6] N.Higashi et al, Jpn. J. Appl. Phys, **45** No.5B pp4347, (2006)
- [7] T.Noguchi et al, Jpn. J. Appl. Phys, **45** No.5B pp4321, (2006)
- [8] T.Sameshima et al, Jpn. J. Appl. Phys, **26** ppL1678, (1987)
- [9] T.Sameshima et al, Jpn. J. Appl. Phys, **26** ppL1208, (1987)
- [10] T.Sameshima et al, Appl. Phys. Lett, **59** 2724 (1991)
- [11] D.H.Choi et al, Jpn. J. Appl. Phys, **45** No.12 pp4545, (1992)
- [12] C.H.Oh et al, Jpn. J. Appl. Phys, **37** No.5 ppL4545, (1998)
- [13] 鵜飼育弘, システム・オン・パネル技術の現状と将来展望 ED リサーチ社 (2002)
- [14] 浦岡行治、低温ポリシリコン薄膜トランジスタの開発—システムオンパネルをめざして— シーエムシー出版 (2007)
- [15] Y,kida et al, Euro Display02 Digest.p832(2002)
- [16] NEC プレスリリース 2007年9月19日
- [17] NEC 技報 Vol.59 No3 (2006)
- [18] R.C.Cammarata et al, J.Mater. Res.1990,5,2133
- [19] C.Hayselden et al, Jpn. J. Appl. Phys, **73** pp8279, (1993)
- [20] J.Jang et al, Nature,1998,395,481
- [21] S.Jagar et al, Solid-State Electron,45,743
- [22] H.Kaku et al, Appl.Surf.Sci,244(2005)8
- [23] NEC プレスリリース 2007年5月23日
- [24] 秋津他, 薄膜デバイス研究会第4回研究集会 p-12
- [25] S.D.Theiss et al, IEDM Tech Digest, pp.257, (1998)
- [26] Gosain D.P et al, AM-LCD99 Digest, pp.239, (1999)
- [27] A.Asano et al, SID02 Digest pp.1196, (2002)

- [28] R.H.Dennard et al, IEEE J.Solid-State Circuits, SC-9,5,(1974)256
- [29] H.Yamagiwa et al, Appl. Phys, Lett, **89** 062101, (2006)
- [30] S.Kim et al, Jpn. J. Appl. Phys, **45** pp1467, (2005)
- [31] Y.Naito et al, Appl. Phys. Lett, **92** 012112, (2008)
- [32] Y.Wang et al, Appl. Phys. Lett, **92** 012915, (2008)
- [33] K.Yamada et al, Jpn. J. Appl. Phys, **46** (11), 7549 (2007)
- [34] A.Miura et al, Surface Science, 601 L81, (2007)
- [35] T.Hikono et al, Appl. Phys. Lett, **88** 023108, (2006)
- [36] Nonvolatile semiconductor Memory Technology, Wikkiam D.Brown Joe E.Brewer
- [37] D.j. Diriaia:'The physics of SiO₂ and Its Interfaces' Ed. S.T. Pantelides, pergamon press.p160 (1978)
- [38] 半導体産業新聞 2006年5月
- [39] C.T.Wang Van Nostrand Reinhold, New York (1992)
- [40] W.A.Harrison et al, phys.rev.123 pp.85, (1961)
- [41] J.G.Simmons et al. J.Appl.phys, **34** pp.1793, (1963)
- [42] S. Tiwari et al, Appl. Phys. Lett, **69** (1996) 1232
- [43] M. Fukuda et al, Appl. Phys. Lett, **70** (1997) 2291.
- [44] K. Shiba et al, Jpn. J. Appl. Phys, **36** (1997) L1279.
- [45] A. Kohno et al, Jpn. J. Appl. Phys,**40** (2001) L721
- [46] 平尾 考 他著「薄膜技術の新潮流」工業調査会 (1997) p 103~111
- [47] H. Kirimura et al, Jpn. J. Appl. Phys, **43**, (2004) 7929
- [48] C.N.Berglund et al, IEEE Trans.Electron Device, ED-13,701 (1966)
- [49] A Goetzberger et al, Bell syst.Tech.J,46,513 (1967)
- [50] L.M.Terman et al, Solid-State Electron, 5285 (1962)
- [51] T. Shibaguchi Proc. of Asian-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Device.
- [52] 河東田 隆著「半導体評価技術」(1997) p 222~239
- [53] J.Non-Crystalline Solides, 338-340 (2004) 318-321
- [54] S.Huang et al, J.Appl.phys, **93** pp.1 (2003)
- [55] BJ.Hinds et al., J.Appl. Phys, **12** (2001) 6402

- [56] M. Kobayashi et al, Jpn. J. Appl. Phys. **46** (2007)24-27
- [57] 安食 恒雄 監修「半導体デバイスの信頼性技術」(1988) p185
- [58] R.Ohda et al, IEEE Trans.Electron Device,49,8,1392 (2002)
- [59] 朝倉邦造「CVD ハンドブック」科学工学会 (1997)
- [60] 本学 松村貴志 修士論文 (2006)
- [61] D.ABaglee et al, Int.Elec.Dev.metting p.624(1985)
- [62] R.Rofan et al, Elec.Dev.Lett,**12** p632(1991)
- [63] N.Yasuda et al, Solid State Dev and Mat. pp847
- [64] H. Watakabe et al, Appl. Phys, A77 (2003) 141-144.
- [65] H. Watakabe et al, Jpn. J. Appl. Phys, **41**(2002) L974-977
- [66] T. Sameshima et al, Solar Energy Materials & Solar Cells 65 (2001)577-583
- [67] H. Watakabe et al, Jpn. J.Appl. Phys, **44** (2005) 8367-8370
- [68] P. Panchaipetch et al, Jpn. J.Appl. Phys, **45** (2006) L120-L123
- [69] V.V.Afanasev et al, PPhys.Stat.Sol., (a)162,321,(1997)
- [70] V.V.Afanasev et al, Phys.rev.Lett., 1997,80, (5176)
- [71] 本学 武田大輔 修士論文 (2007)
- [72] Yi Shi et al, Jpn. J. Appl. Phys, **38** (1999) pp.425
- [73] H.E. Maes et al, J. Appl. Phys. **56** (1981) pp.4348
- [74] Yang et al, Solid state electron. **44** (2000) pp.949
- [75] J. W. Lau et al, Appl. Phys. Lett. **92** 012506 (2008)
- [76] Xiu-Wen Zhang et al, Appl. Phys. Lett, **91**, 113108 (2007)
- [77] K.Hayashi eat al, Surf.Sci.532 (2003)1072
- [78] P. Panchaipetch et al, Appl. Phys. Lett, **89** 093502 (2006)
- [79] R.M.Cornell et al, 「The Iron Oxides」 , Wiley-Vch (2003)

研究業績

原著論文

- ① Electron Injection into Si Nanodot Fabricated by Side-Wall Plasma Enhanced Chemical Vapor Deposition

Kazunori ICHIKAWA, Prakaietch PUNCHAIPETCH, Hiroshi YANO, Tomoaki HATAYAMA, Yukiharu URAOKA, Takashi FUYUKI, Eiji TAKAHASHI, Tsukasa HAYASHI and Kiyoshi OGATA
Japanese Journal of Applied Physics, Vol.44, No.26, (2005), pp.L836-L838.

- ② New Fabrication Technique Using Side-Wall-Type Plasma-Enhanced Chemical-Vapor Deposition for a Floating Gate Memory with a Si Nanodot

Kazunori ICHIKAWA, Prakaietch PUNCHAIPETCH, Hiroshi YANO, Tomoaki HATAYAMA, Yukiharu URAOKA, Takashi FUYUKI, Atsushi TOMYO, Eiji TAKAHASHI, Tsukasa HAYASHI and Kiyoshi OGATA

Journal of the Korean Physical Society, Vol.49, No.2, (2006), pp.569-576.

- ③ Low Temperature Polycrystalline Silicon Thin Film Transistors Flash Memory with Silicon Nanocrystal Dot

Kazunori ICHIKAWA, Yukiharu URAOKA, Hiroshi YANO, Tomoaki HATAYAMA, Takashi FUYUKI, Eiji TAKAHASHI, Tsukasa HAYASHI and Kiyoshi OGATA

Japanese Journal of Applied Physics, Vol.46, No.27, (2007), pp.L661 - L663.

- ④ Low-temperature Polycrystalline Silicon Thin Film Transistor Flash Memory with Ferritin

Kazunori ICHIKAWA, Yukiharu URAOKA, Prakaietch PUNCHAIPETCH, Hiroshi YANO, Tomoaki HATAYAMA, Takashi FUYUKI and Ichiro YAMASHITA

Japanese Journal of Applied Physics, Vol.46, No.34, (2007), pp.L804 – L806.

共著論文

- ① Experimental investigation of tunnel oxide thickness on charge transport through Si nanocrystal dot floating gate memories

Prakaietch PUNCHAIPETCH, Kazunori Ichikawa, Hiroshi Yano, Tomoaki Hatayama, Yukiharu Uraoka, Takashi Fuyuki, Atsushi Tomyo, Eiji Takahashi and Tsukasa Hayashi

J.Vac. Sci. Technol. B, Vol. 24, No.3, (2006), 1271-1277.

②Effect of SiO₂ Tunnel Oxide Thickness on Electron Tunneling Mechanism in Si Nanocrystal Dots

Floating-Gate Memories

Prakaipetch PUNCHAIPETCH, Kazunori ICHIKAWA, Yukiharu URAOKA, Takashi FUYUKI, Eiji TAKAHASHI, Tsukasa HAYASHI and Kiyoshi OGATA

Japanese Journal of Applied Physics, Vol.45, No.5A, (2006), 3997.

国際学会発表

① Electron injection into Si nano dot fabricated by side wall plasma enhanced chemical vapor deposition

2005 IMFEDK (The International Meeting for Future of Electron Devices, Kansai)

Kazunori Ichikawa, Prakaipetch PUNCHAIPETCH, Hiroshi Yano, Tomoaki Hatayama, Yukiharu Uraoka, Takashi Fuyuki, Eiji Takahashi, Tsukasa Hayashi and Kiyoshi Ogata

2005年4月

②Si Nano-Crystal Dot Fabricated by Side-Wall Type Plasma Enhanced Chemical Vapor Deposition

Kazunori Ichikawa,

NAIST/GIST joint symposium on advanced materials in Gyeongju Korea

2005年11月

③Low-Temperature Fabrication of Si Nanocrystal Dots For Floating Gate Memory

IEEE 2006 Silicon Nanoelectronics Workshop in Kyoto

Kazunori Ichikawa, Masato Mukai, Prakaipetch PUNCHAIPETCH, Hiroshi Yano, Tomoaki Hatayama, Yukiharu Uraoka, Takashi Fuyuki, Eiji Takahashi, Tsukasa Hayashi and Kiyoshi Ogata

2006年6月

④Low temperature poly-Si TFT Flash memory with Si nano crystal dot

International TFT conference 07 in Rome

Kazunori Ichikawa, Hiroshi Yano, Tomoaki Hatayama, Yukiharu Uraoka, Takashi Fuyuki, Eiji Takahashi, Tsukasa Hayashi and Kiyoshi Ogata

2007年1月

⑤Improvement of Memory Properties in Si nanodot TFT Flash Memory by High Pressure Vapor Annealing

IEEE 2007 Silicon nano electronics workshop in Kyoto

Kazunori Ichikawa, Hiroshi Yano, Tomoaki Hatayama, Yukiharu Uraoka, Takashi Fuyuki, Eiji Takahashi, Tsukasa Hayashi and Kiyoshi Ogata

2007年6月

⑥ Low temperature poly-Si TFT flash memory with Ferritin Protein

AM-FPD07 in Awaji (Active-Matrix Flat panel Displays and Devices)

Kazunori Ichikawa, Hiroshi Yano, Tomoaki Hatayama, Yukiharu Uraoka, Takashi Fuyuki, Ichiro Yamashita

2007年7月

国内学会発表

① 積層型 Si ナノドットフローティングゲートメモリにおける充放電特性評価

第 65 回応用物理学関係連合講演会 2004 年秋季

市川和典、P.パンチャイペッチ、矢野裕司、畑山智亮、浦岡行治、冬木隆、高橋英治、林司、緒方潔

2005年3月

② Si nano-crystal Dot Fabricated by Side-Wall Type Plasma Enhanced Chemical Vapor Deposition and Its Application to Floating Gate Memory

第 18 回プラズマ材料シンポジウム

市川和典、P.パンチャイペッチ、矢野裕司、畑山智亮、浦岡行治、冬木隆、高橋英治、林司、緒方潔

2005年6月

③ Si ドットフローティングゲートメモリにおける充放電特性評価

第 66 回応用物理学関係連合講演会 2005 年秋季

市川和典、矢野裕司、畑山智亮、浦岡行治、冬木隆、高橋英治、林司、緒方潔

05年9月

④ シリコンナノクリスタルドットを用いた低温ポリシリコン TFT フローティングゲートメモリ

第 67 回応用物理学関係連合講演会 2006 年秋季

市川和典、矢野裕司、畑山智亮、浦岡行治、冬木隆、高橋英治、林司、緒方潔

06年9月

⑤ 自己組織化ナノドットのメモリ応用

STARC シンポジウム 2006

市川和典、矢野裕司、畑山智亮、浦岡行治、冬木隆、高橋英治、林司、緒方潔

06年9月

⑥ Si ナノクリスタルドットを用いた低温 Poly-Si TFT フラッシュメモリ

第3回薄膜材料デバイス研究会

市川和典、矢野裕司、畑山智亮、浦岡行治、冬木隆、高橋英治、林司、緒方潔

06年11月

⑦ Si ドット低温 poly—Si TFT フラッシュメモリにおける高圧水蒸気処理効果

第53回応用物理学関係連合講演会 2007年春季

市川和典、矢野裕司、畑山智亮、浦岡行治、冬木隆、高橋英治、林司、緒方潔

07年3月

⑧ バイオナノドットを用いた低温 poly—Si TFT フラッシュメモリ

第68回応用物理学関係連合講演会 2007年秋季

市川和典、矢野裕司、畑山智亮、浦岡行治、冬木隆、山下一郎

07年9月

受賞歴

① 2005 NAIST/GIST joint symposium on advanced materials.

Best poster award 受賞 (2005年11月)

② STARC シンポジウム 2006 優秀学生賞受賞 (2006年9月)

③ AM-FPD07 Best student award (2007年7月)

謝辞

本研究は多くの方々の御指導、御協力の下で遂行されました。末文ではありますが、皆様に感謝の辞を述べさせていただきます。

冬木隆教授には、本研究の機会を与えて頂き、研究を進める上で非常に有益な御指導を多く頂きました。また、学会や研究会などを通じて、多くの助言を頂き深く感謝致します。

浦岡行治准教授には、直接御指導して頂き、毎日夜遅くまで研究指導、および協力をして頂きました。また、研究に対する心構えを教えて頂き、深く感謝致します。

畑山智亮助教、矢野裕司助教には、装置面での御指導、その他研究で必要となるノウハウなどの助言を頂き、研究が滞ることなく行えたと感じています。誠にありがとうございます。

アドバイザーである本学メゾスコピック物質科学講座の山下一郎教授には、異なる研究室でありながら、御指導頂けたことを深く感謝致します。

アドバイザーである本学光機能素子科学講座の太田淳教授には、本研究に対し多くのご助言と有意義かつ適切なお指導を受け賜りました。ここに深く感謝いたします。

本研究に際し貴重な Si ドットの試料を提供して下さり、また貴重な助言を下された日新電機の緒方潔博士、林司博士、加藤健治博士、高橋英治博士、藤原将喜博士、東名敦志博士、可貴裕和博士に厚く御礼を申し上げます。

本研究に際し、ご指導ならびに貴重な助言を下された松下電器産業先端技術研究所の松川望博士、西尾和晃博士、松井拓郎博士、熊谷慎也博士、奥田充宏博士、田中秀典博士、山田聖人博士には本研究に重要なフェリチンの提供や、研究方法について多くのご助言や、ご協力を受け賜りました。厚く御礼を申し上げます。

MOSFET の作製やマスク作製に際しご指導ならびに貴重な助言を下された、松下電器産業先端技術研究所 吉井重雄氏、上田路人博士に厚く御礼を申し上げます。

Prakaipetch punchaipetch 博士には、実際に一緒に研究をおこない、研究内容に関する技術指

導ならびに御助言をいただきました。また研究に関する論文を多く提供していただき、論文執筆の際にも多くのアドバイスをうけ賜りました。厚く御礼を申し上げます。

三浦篤志博士には AFM を用いた Si ドットの形成の確認にご協力いただいただけでなく、有益な御助言、御指導をうけ賜りました。厚く御礼を申し上げます。

戦略的創造研究推進事業チーム（CREST）の岩堀健治博士、三島由美子博士、杉本健治博士、村岡雅弘博士、小林未明博士、中川博道博士、塚本里加子女史、慶澤景子女史、岸本直子女史、門谷文子女史、山根みどり女史にはバイオテクノロジーの基礎を幅広く教えていただき、ここに深く感謝いたします。

本研究室のバイオナノ研究グループの河北あゆみ女史、梅田朋季氏、越知誠弘氏、入船裕行氏、小原孝介氏、東條陽介氏、ご卒業された桐村浩哉博士、彦野太樹夫博士、村瀬共美氏、山田圭祐氏、松村貴志氏、向正人氏、猪飼順子氏、川嶋宏之氏、田中亮大氏、南条 泰弘氏、TFT グループの菅原祐太氏、ご卒業された宮本隆正氏、上野仁氏、メゾスコピック物質科学講座石川和高氏、高木理江氏、齊木惇高氏、立石卓也氏には実際の研究活動においても惜しみないご協力を頂き、また研究以外にもさまざまなアドバイスをうけ賜りました。心から感謝いたします。

また本研究室の在学生、博士課程の高橋優氏、大鐘章義氏、岩崎吉紀氏、修士 2 回生の岸山友紀氏、堀内昂陽氏、岡本大氏、清水智也氏、伊藤宏樹氏、修士 1 回生の大城ゆき氏、瀨瀨英典氏、平田憲司氏、藤井茉美氏、山下毅彦氏、秘書の上川優子氏、前秘書の佐藤久美子氏には研究に研究全般だけでなく研究活動以外にも数々の御協力をして頂き、大変感謝しています。

最後に研究機会や経済支援など生活面で支援していただいた両親、兄弟に感謝します。