

振り分け転送方式および部分領域高速
読み出し方式による変調光成分検出可能な
CMOS イメージセンサに関する研究

山本 幸司

2006 年 3 月

奈良先端科学技術大学院大学

物質創成科学研究科

目次

第1章 序論	1
1.1 研究の背景	1
1.2 研究の目的	2
1.2.1 変調光成分撮像可能な CMOS イメージセンサ	2
1.2.2 ID 受信可能な新方式の CMOS イメージセンサ	3
1.3 本論文の構成	4
参考文献	5
第2章 振り分け転送方式による変調光成分撮像可能な CMOS イメージセンサの研究	7
2.1 はじめに	7
2.2 振り分け転送方式による変調光成分検出の動作原理	9
2.3 画質向上のための画素構造の改善	10
2.3.1 CDS 回路適用のための画素構造	11
2.3.2 感度向上のための画素構造	13
2.3.3 画素内ばらつき低減のための画素構造	14
2.4 画素構造を改善した 128 × 128 画素変調光成分撮像 CMOS イメージセンサの設計	16
2.5 評価結果と考察	20
2.6 まとめ	25
参考文献	27
第3章 部分領域高速読み出し方式による ID 受信可能な CMOS イメージセンサの研究	29
3.1 はじめに	29
3.2 ID 受信方式	31
3.2.1 パイロット信号による ID 受信領域の特定手法	31
3.2.2 部分領域高速読み出し方式	33
3.3 ID 受信 CMOS イメージセンサの設計・試作	35
3.3.1 画素回路	38
3.3.2 S/H 回路および読み出し回路	39
3.3.3 ID マップテーブル	40

3.3.4	イメージセンサの動作タイミング	42
3.4	ID 受信 CMOS イメージセンサの評価	44
3.5	カラム適応ゲインアンプ実装による ID 受信性能の向上	48
3.5.1	カラム適応ゲインアンプ搭載 ID 受信 CMOS イメージセンサの設計・試作	48
3.5.2	画素周辺回路	50
3.5.3	列並列回路	51
3.5.4	イメージセンサの動作タイミング	55
3.5.5	カラム適応ゲインアンプ搭載 ID 受信イメージセンサの評価結果と考察	56
3.6	画素構造の改善による画像劣化の抑制	60
3.6.1	画素構造の検討	60
3.6.2	画素構造を改善した ID 受信イメージセンサの試作・評価	64
3.7	まとめ	66
	参考文献	68

第4章	ID 受信 CMOS イメージセンサの情報家電用ユーザインターフェイスへの応用	69
4.1	はじめに	69
4.2	システム構成	70
4.3	ID 受信アルゴリズム	72
4.3.1	ID パケットフォーマット	72
4.3.2	ID 受信領域の特定手法	73
4.3.3	ID の受信・復号	75
4.4	プロトタイプシステムの構築と機能検証	76
4.4.1	システム構成	76
4.4.2	機能検証結果	79
4.5	考察とまとめ	82
	参考文献	83
第5章	結論	85
	謝辞	87
	研究発表目録	89

第1章 序論

1.1 研究の背景

MOS (Metal-Oxide-Semiconductor)型イメージセンサは1960年代後半に提案されたが[1]，その後すぐに発表された CCD (Charge Coupled Device)イメージセンサ[2]は MOS 型イメージセンサより低ノイズであったため，イメージセンサとしては CCD イメージセンサが主に用いられてきた．しかし，1993年に発表された，画素内に増幅機能を持つ APS (Active Pixel Sensor)方式の CMOS (Complementally Metal-Oxide-Semiconductor)イメージセンサ[3]の登場から，CMOS イメージセンサの開発が進んだ．CCD イメージセンサが専用の製造プロセスを用いるのと比較して，CMOS イメージセンサは汎用の CMOS LSI (Large Scale Integration)製造プロセスをベースに開発されるため，低コスト，低消費電力，機能回路の集積化が可能となる．そのため，2000年に登場したデジタルカメラを搭載した携帯電話には CMOS イメージセンサが用いられた．更に CCD に用いられてきた埋め込みフォトダイオード等のプロセス技術の導入や[4]，低ノイズ化技術の発展により，CCD イメージセンサに迫る画質となってきており，一部のデジタル一眼レフカメラに搭載されるまでになった．また，回路共有による画素サイズの縮小技術[5-7]も相次いで報告され，数百万画素の携帯電話用カメラとして用いられるようになった．

CMOS イメージセンサの大きな特徴の一つに機能回路の集積化が容易な点があげられる．これはデバイス作製プロセスに汎用 CMOS LSI プロセスをベースとしているためである．そのため，CCD イメージセンサでは実現できない高機能イメージセンサの研究開発が盛んとなっている．高機能化としては，広ダイナミックレンジ CMOS イメージセンサ[8,9]や，距離情報を取得可能な CMOS イメージセンサ[10,11]等様々なイメージセンサが報告されており，ヒューマンインターフェイス，セキュリティ，ロボティクス，車載用等，広い分野への応用が期待される．このような応用分野で有用な機能の一つとして変調光成分の検出がある．特定の周波数等で変調された光源の変調成分検出手法として，変調光成分を加算蓄積して画像として出力する方式と，変調光成分の輝度パターンを検出する方式がある．

前者の変調光成分画像を得る方式では，外乱光を除去して変調光成分のみによる撮像が可能となる．これにより，変調光を照射した対象物体像の抽出が容易となり，FA (Factory Automation)や車載などへの応用が期待でき，活発な研究開発が行われ幾つかの方式が報告されている[12-16]．また後者の変調光の変調パターンを検出する

方式では，光の変調パターンに ID (Identification)情報を重畳した場合には，背景シーンの撮像と同時に ID 受信が可能となる．これにより，現実世界の画像に ID 信号に基づく情報をスーパーインポーズした拡張現実感 (Augmented Reality, AR)を用いたヒューマンインターフェイスへの応用が考えられ，それを目指した高機能 CMOS イメージセンサの報告がある[17,18]．しかしながら，これまで報告されてきた変調光検出可能な高機能 CMOS イメージセンサは，画素サイズや感度など実用的な観点から十分な特性が得られているものではなく，また更にその応用システムへの適用についても殆ど報告例がない．

1.2 研究の目的

本研究では，前述した強度変調した光源の変調成分を検出可能な新しい機能を有する CMOS イメージセンサの実現を目的とする．変調光成分を検出可能な CMOS イメージセンサとして，振り分け転送方式により変調光成分のみを撮像する機能や，部分領域高速読み出し方式により ID 受信機能の実現を目指す．以下で，それぞれの機能をもつ CMOS イメージセンサの研究課題について述べる．

1.2.1 変調光成分撮像可能な CMOS イメージセンサ

セキュリティや FA，ロボティクス等の分野では，対象物体の認識が中核をなす技術であり，通常は，CCD イメージセンサ等を用いて撮像し，ソフトウェアによる画像処理によって，対象物体の識別を行う[19]．しかし，通常のイメージセンサでは，照明条件によっては対象物体の認識が困難になる場合がある．そこで，照明条件によらずに対象物体を撮像する方法として，変調光成分撮像方式が提案されている．この方式では，強度変調した照明光源を用いて対象物体を照明し，その変調光成分のみを検出することにより，環境光の影響を除去した対象物体撮像が可能となる．

通常のイメージセンサでは，感度を向上するため，光によって発生する信号電荷を一定時間 (1 フレームレート)蓄積して読み出しを行う．そのため，フレームレートより速い周期の変調成分を検出することができない．これまでも，変調光成分のみによる撮像を可能とするイメージセンサとしては，時間相関法[12]やマルチタップ CCD[13]，他にも Time of flight 法による距離測定を目的として幾つかの方式が提案されている[14-16]．しかし，これらの方式は，画素内に複雑な回路を内蔵しているため，画素サイズが大きくなってしまいう問題がある．このため，受光部が小さくなるために感度が低く，高解像度化も困難である．また，これらのイメージセンサでは，変調光成分の検出ができるものの，十分な階調をもった変調光成分画像を得るのには適していない．

これに対し、これまでに振り分け転送方式による変調光成分撮像可能な CMOS イメージセンサを提案している[20,21]。また、この方式に基づき試作した変調光成分撮像可能な CMOS イメージセンサにより、変調光成分のみの撮像などの基本動作を実証している。しかし、撮像画像には画素構造に起因する特性ばらつきによって、固定パターンノイズ (Fixed Pattern Noise, FPN)がみられ、十分な変調光成分撮像画像が得られなかった。本研究では、変調光成分撮像画像の画質向上を目的として、感度向上や画素内ばらつきを低減するための画素構造の改善を行う。また、CDS (Correlated Double Sampling)回路の導入やカラム AD 変換回路の集積化等によりノイズ低減を行う。

1.2.2 ID 受信可能な新方式の CMOS イメージセンサ

1.1 節で述べたように、実世界の情報とデジタル情報を組み合わせ、効果的に情報を提供する拡張現実感システムが注目されている。このシステムでは、実世界中に置かれた情報源を元にデジタル情報を取得する。デジタル情報源として、RFID[22]や 2 次元ビジュアルコード[23]等を用いたシステムが提案されているが、前者の方式では情報を読み取るためにリーダを情報源に近づける必要があるため、複数同時に情報を取得することが困難である。また、後者の方式では複数同時認識が可能ではあるが、対象との距離が離れた場合には読み取りが困難となる。

広範囲にわたり複数の情報を同時受信する方式として、強度変調した光源と変調成分を検出可能なイメージセンサを用いたシステムが提案されている[17]。この方式では、強度変調した変調光源の点滅パターンにデジタル情報を重畳した光源を ID ビーコンとして用い、変調成分を検出可能なイメージセンサにより撮像することによって、シーンの撮像を行いながら ID を受信する。撮像したシーン画像に、取得した ID 情報を重ねて表示することにより、効果的な情報提供が可能となる。このシステムに向けて、高速で変調された光源の変調成分を検出するためのイメージセンサが幾つか報告されているが[17,18]、全画素を高速に読み出し ID を検出する方式[17]では消費電力が増大する。また、画素内 ID 受信回路により検出する方式[18]では、画素サイズや消費電力の増大が重大な問題となる。本研究では、ID 受信イメージセンサの携帯端末への搭載を考慮し、消費電力を通常の携帯用イメージセンサと同等の数 10 mW に抑え、なおかつ高画素化に向けて画素内トランジスタ数ができるだけ少ない画素構造による ID 受信方式として部分領域高速読み出し方式を考案した。また、試作した ID 受信可能な CMOS イメージセンサを用いた応用システムとして情報家電用ユーザインターフェイスへの適用についても本研究の目的とする。

1.3 本論文の構成

以下に，本論文の構成を示す．

第 2 章では，振り分け転送方式による変調光成分撮像可能な CMOS イメージセンサについて，動作原理，構成，特性などについて議論する．このイメージセンサでは，外乱光の影響を除去して変調光成分のみを撮像することが可能である．これまでに提案している方式の画質の問題点について述べ，画質改善の方法について考察する．撮像画像の画質向上を目的として感度向上や画素内ばらつきを低減するための画素構造の改善，ノイズ低減回路の導入，カラム AD 変換回路の集積化等を行い， 128×128 画素変調光成分撮像 CMOS イメージセンサを設計，試作および評価を行った結果について報告する．

第 3 章では，新しく考案した部分領域高速読み出し方式による ID 受信可能な CMOS イメージセンサについて，動作原理，構成，特性などについて議論する．光源の点滅パターンに ID 情報を重畳すれば，変調光成分を検出可能なイメージセンサを用いて，通常撮像を行いながらの ID 受信が可能となる．ID 受信の方式として，簡単な画素構造ながらも低消費電力での ID 受信が可能な読み出し方式について述べる．新しく考案した方式により ID 受信可能な CMOS イメージセンサを設計・試作し，評価を行った結果について記述する．また，ID 受信精度の向上を目的として，カラム適応ゲインアンプを実装した ID 受信用 CMOS イメージセンサ，さらに画素構造を改善した ID 受信用 CMOS イメージセンサを設計・試作し，評価した．改善したそれぞれのイメージセンサの評価結果について報告する．

第 4 章では，第 3 章で記述した ID 受信可能な CMOS イメージセンサの応用として，新規の情報家電用ユーザインターフェイスを提案する．提案したシステムの構成について述べ，プロトタイプシステムの構築・機能実証を行った結果について報告する．

最後に，第 5 章では，各章の成果を総括して結論とする．

参考文献

- [1] M. A. Schulster and G. Strull, "A Monolithic Mosaic of Photon Sensor for Solid-State Imaging Applications," *IEEE Trans. Electron Devices*, Vol.13, No.12, pp.907-912, 1966.
- [2] M. F. Tompsett, G. F. Amello, W. J. Bertram, R. R. Buckley, W. J. McNamara, J. C. Mikkelsen, and D. A. Sealer, "Charge-Coupled Image Devices: Experimental Results," *IEEE Trans. Electron Devices*, Vol.18, No.11, pp.992-996, 1971.
- [3] E. R. Fossum, "Active Pixel Sensors: Are CCD's Dinosaurs?," *Proc. SPIE*, Vol.1900, pp.2-14, 1993.
- [4] K. Yonemoto and H. Sumi, "A CMOS Image Sensor with a Simple Fixed-Pattern-Noise-Reduction Technology and a Hole Accumulation Diode," *IEEE J. Solid-State Circuits*, Vol.35, No.12, pp.2038-2043, 2000.
- [5] H. Takahashi, M. Kinoshita, K. Morita, T. Shirai, T. Sato, T. Kimura and H. Yuzurihara, and S. Inoue, "A 3.9- μm Pixel Pitch VGA Format 10-b Digital Output CMOS Image Sensor with 1.5 Transistor/Pixel," *IEEE J. Solid-State Circuits*, Vol.39, No.12, pp.2417-2425, 2004.
- [6] M. Mori, M. Katsuno, S. Kasuga, and T. Murata, "1/4-Inch 2-Mpixel MOS Image Sensor with 1.75 Transistors/Pixel," *IEEE J. Solid-State Circuits*, Vol.39, No.12, pp.2426-2430, 2004.
- [7] K. Mabuchi, N. Nakamura, E. Funatsu, T. Abe, T. Umeda, and T. Hoshino, "CMOS Image Sensors Comprised of Floating Diffusion Driving Pixels with Buried Photodiode," *IEEE J. Solid-State Circuits*, Vol.39, No.12, pp.2408-2416, 2004.
- [8] M. Sasaki, M. Mase, S. Kawahito, and Y. Wakamori, "A Wide Dynamic Range CMOS Image Sensor with Multiple Exposure Time Signals and Column-Parallel Cyclic A/D Converters," *IEEE Workshop on CCD & AIS*, pp.218-221, 2005.
- [9] S. Sugawa, N. Akahane, S. Adachi, K. Mori, T. Ishiuchi, and K. Mizobuchi, "A 100 dB Dynamic Range CMOS Image Sensor Using a Lateral Overflow Integration Capacitor," *ISSCC Dig. Tech. Papers*, pp.352-353, 2005.
- [10] Y. Oike, M. Ikeda, and K. Asada, "Design and Implementation of Real-Time 3-D Image Sensor With 640x480 Pixel Resolution," *IEEE J. Solid-State Circuits*, Vol.39 No.4, pp.622-628, 2004.

- [11] S. Yoshimura, T. Sugiyama, K. Yonemoto, and K. Ueda, "A 48k frame/s CMOS Image Sensor for Real-Time 3-D Sensing and Motion Detecting," ISSCC Dig. Tech. Papers, pp.94-95, 2001
- [12] S. Ando and A. Kimachi, "Time -domain Correlation Image Sensor: First CMOS Realization of Demodulator Pixel Array," IEEE Workshop CCD & AIS, pp.33-36, 1999.
- [13] T. Spring, P. Seitz, O. Vietze, and F. Heitger, "The Lock-In CCD -Two-Dimensional Synchronous Detection of Light," IEEE J. Quantum Electron. Vol.31, 1705, 1995.
- [14] B. Buxbaum, R. Schwarte, and T. Ringbeck, "PMD-PLL: Receiver Structure for Incoherent Communication and Ranging System," SPIE Conference on Optical Wireless Communications , Proc. SPIE Vol. 3850, pp.116-127, 1999.
- [15] R. Lange, P. Seitz, A. Biber, and St. Lauxtermann, "Demodulation pixels in CCD and CMOS Technologies for Time-of-Flight Ranging," Proc. SPIE, Vol. 3965, pp.177-188 ,2000.
- [16] Ryohei Miyagawa and Takeo Kanade, "CCD-Based Range-Finding Sensor," IEEE Trans. Electron Devices," vol.44, no.10, pp.1648-1652, 1997.
- [17] 松下伸行, 日原大輔, 後輝行, 吉村真一, 暦本純一, "ID Cam : シーンと ID を同時に取得可能なスマートカメラ," 情処学論, Vol.43, No.12, pp.3664-3674, 2002.
- [18] Y. Oike, M. Ikeda, and K. Asada, "A Smart Image Sensor with High-Speed Feeble ID-Beacon Detection for Augmented Reality System," Proc. IEEE European Solid-State Circuits Conference, pp.125-128, 2003.
- [19] 谷口慶治, "画像処理工学" 共立出版
- [20] J. Ohta, K. Yamamoto, T. Hirai, K. Kagawa, and M. Nunoshita, M. Yamada, Y. Yamasaki, S. Sugishita, and K. Watanabe, "An Image Sensor with an in-Pixel Demodulation Function for Detecting the Intensity of a Modulated Light Signal," IEEE Trans. Electron Devices, Vol.50, No.1, pp.166-172, 2003.
- [21] 山本幸司, "変調光検波方式イメージセンサにおける画像特性改善に関する研究," 本学修士論文, 2003.
- [22] R. Want, K. P. Fishkin, A. Gujar, and B. L. Harrison, "Bridging Physical and Virtual Worlds with Electronic Tags," Proc. ACM Conference on Human Factors in Computing Systems, pp.370-377, 1999.
- [23] J. Rekimoto and Y. Ayatsuka, "CyberCode: Designing Augmented Reality Environments with Visual Tags," Proc. ACM Conference on Designing Augmented Reality Environments, pp.1-10, 2000.

第2章 振り分け転送方式による変調光成分撮像可能な CMOS イメージセンサの研究

2.1 はじめに

変調光検出技術は様々なセンサで広く使用されている。この技術では変調された信号のみを検出することによって、バックグラウンドノイズの影響を取り除いて、高い SN (Signal to Noise)比での信号検出が可能である。この技術を用いたイメージセンサを実現すれば、セキュリティ、FA (Factory Automation)、ロボティクス等の様々な分野での応用が考えられる。図 2.1 に変調光成分撮像イメージセンサの概要を示す。図 2.1 に示すように、強度変調した光源と変調光成分のみを検出可能なイメージセンサを用いると、変調光源で対象物体を照射することにより、環境光の影響を除去して対象物体のみの撮像が可能となる。また、変調光源をマーカとして用いれば、マーカのみを検出が可能となる。しかしながら、通常のイメージセンサでは、感度を高めるために光による信号電荷を蓄積して読み出すため、早い周期で変調された信号を検出することができない。これまでも、変調光源の変調成分を検出可能なイメージセンサが提案されている[1-4]。しかし、それらは比較的複雑な回路構成のため画素サイズが大きくなり、実用上問題がある。

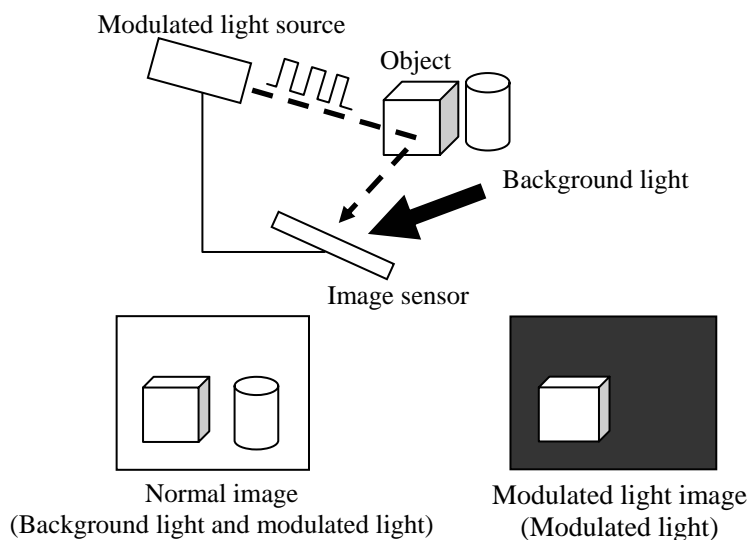


図 2.1 変調光成分撮像イメージセンサの概略

この問題を解決するため，著者らはこれまでに簡素な画素構造により変調光成分が検出可能な CMOS イメージセンサを提案している[5]．表 2.1 にこの提案方式と他方式の変調光成分検出イメージセンサの比較を示す．表 2.1 に示すように，CCD を用いた電荷転送方式では，CCD を集積化するための特殊なプロセスが必要となる．また，画素内検出回路による方式では画素内トランジスタ数が増加するため，画素サイズが大きくなり開口率も低下するため，高解像度化は困難である．一方，提案方式では電荷転送方式による変調光成分検出を用いているため，画素内トランジスタ数を抑えて高解像度化が可能である．また，通常の CMOS プロセスを用いた製造が可能である．この提案方式により変調光成分を撮像可能な CMOS イメージセンサを試作し，背景光の影響を除去した変調光成分のみの撮像を実証してきた．しかし，画素構造に起因する問題として，感度が低く，固定パターンノイズ (Fixed Pattern Noise, FPN) が大きく，十分な変調光成分画像を得られていなかった．

本章では，まずこれまでに試作した変調光成分撮像 CMOS イメージセンサの動作原理とその基本特性について概説した後，その課題について考察する．次にその撮像画像の画質向上を目的として，感度向上や画素内ばらつきを低減するための画素構造の改善について述べる．これらの結果を基に，ノイズ低減のための CDS (Correlated Double Sampling) 機能を有するカラム AD 変換回路を集積化した 128×128 画素変調光成分撮像 CMOS イメージセンサを試作し，その設計内容および評価結果について詳述する．最後に考察とまとめを行う．

表 2.1 変調光成分検出イメージセンサの比較

	T. Spring[2]	Y. Oike[3]	Our proposed device
Modulated light detection	Charge transfer with CCD	In-pixel circuit	Charge transfer with PG and TX
Technology	2- μm CMOS	0.6- μm CMOS	0.35- μm CMOS
Pixel size	80 x 87.5 μm^2	60 x 60 μm^2	30 x 30 μm^2
Pixel #	320 x 240 pixels	120 x 110 pixels	128 x 128 pixels
Transistor # in pixel	4 Tr	43 Tr	9 Tr
Fill factor	17.1%	13.5%	26.2%

2.2 振り分け転送方式による変調光成分検出の動作原理

簡単な画素構造ながら，変調光成分を加算蓄積して変調光成分撮像が可能なイメージセンサを実現する方式として，新しい電荷振り分け転送方式を提案している．図 2.2 にこれまでに提案している画素回路構成を示す．図 2.2 に示すように，画素回路は通常の PG (Photo Gate)方式イメージセンサを二つ，受光部である PG を共通にして組み合わせたような構造となっている．一つの受光部：PG を挟んで，転送ゲート：TX (Transfer Gate)1/TX2 が有り，さらにそれぞれの外側に信号電荷蓄積部：FD (Floating Diffusion)1/FD2 を有する．この構造により，変調光源の強度変調の ON/OFF それぞれの期間に応じた信号電荷を別々に加算蓄積することが可能となる．

提案方式による変調光成分検出の動作原理について述べる．変調光成分の検出は，変調光源のパルス強度変調の ON/OFF の周期に同期させて画素回路を駆動することによって行う．図 2.3(a)-(c)のデバイス構造とデバイス表面のポテンシャル図を用いて変調光成分検出の動作原理を説明する．まず，FD を電圧 V_{dd} でリセットすると FD のポテンシャルは図 2.3(a)のように変化する．変調光強度が ON 時には，PG 直下には（背景光 + 変調光）成分の光電荷が発生する．この際 PG に電圧を印加してポテンシャルの井戸を形成することにより光電荷を蓄積する（図 2.3(a)）．この電荷は TX1 を ON，PG を OFF にして階段状のポテンシャルを形成することにより FD1 側へと転送・蓄積する（図 2.3(b)）．次に変調光強度が OFF 時には，PG には背景光成分のみの光電荷が蓄積される（図 2.3(a)）．この電荷を今度は TX2 を ON にすることにより FD2 側へと転送・蓄積する（図 2.3(c)）．この一連の動作を変調光の強度変調の ON/OFF に同期して数回繰り返すことにより，FD1 側には（背景光 + 変調光）成分の信号電荷が，FD2 側には背景光成分のみの信号電荷が別々に振り分けられて加算蓄積されていく．外部回路によってそれぞれの FD からの出力信号 $out1, out2$ の差分をとることにより，変調光成分のみに対応した差分出力を得ることができる．

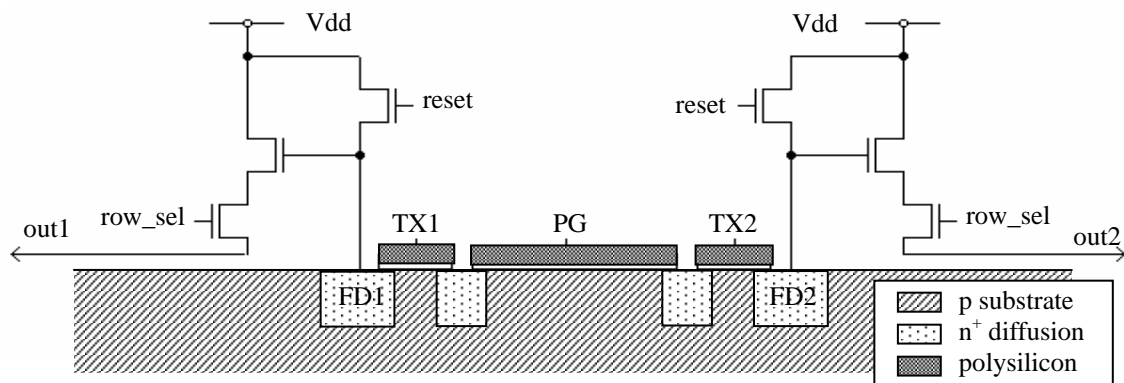


図 2.2 画素構造

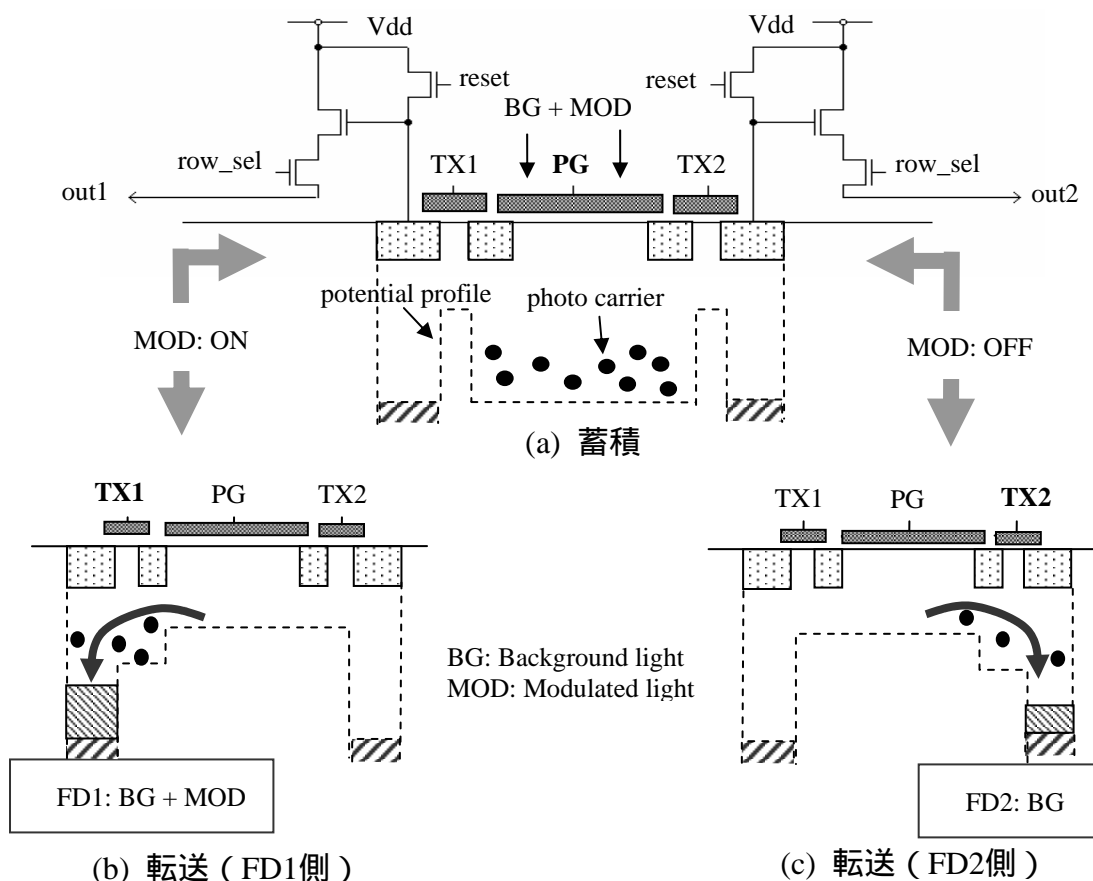


図2.3 変調光成分検出の動作原理

2.3 画質向上のための画素構造の改善

図 2.2 に示すように、これまでに提案していた画素構造では、変調光が ON/OFF 時のそれぞれの信号電荷を蓄積・検出するための二つの FD と画素内ソースフォロワ回路によるアンプを有する。そのため、画素内のソースフォロワアンプを構成するトランジスタの閾値ばらつきによって、電圧オフセットが生じ、大きな FPN となってしまう問題があった。図 2.4 に変調光成分検出の動作タイミングを示す。図 2.4 中の出力信号に示すように、リセット時の電圧にオフセットが生じるため、オフセット電圧を含んだ信号レベルが出力されることとなる。この問題を解決するため、FPN を減少させるために画素構造の改善を行った。また、感度向上のための画素構造、画素構造の対象性によるばらつき低減についても検討した。

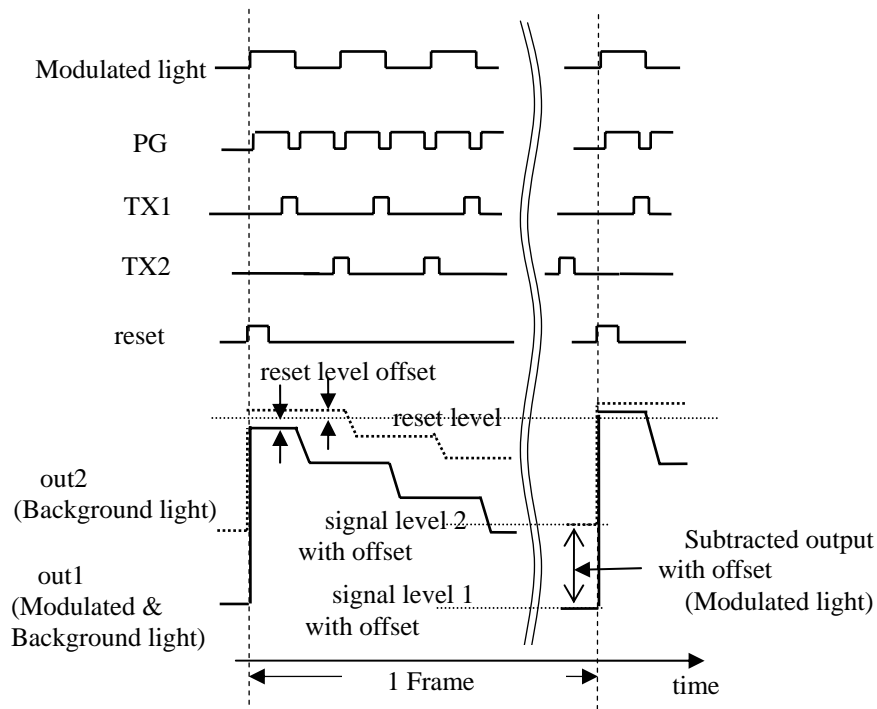


図 2.4 変調光成分検出の動作タイミング

2.3.1 CDS 回路適用のための画素構造

まず、FPN を低減するための画素構造の工夫について述べる。通常のイメージセンサでは、FPN を低減するための方法として CDS 回路が用いられる。この回路では、リセットレベルと信号レベルを順次サンプリングし二つの電圧の差を信号成分とすることによって、リセットレベルのオフセット電圧をキャンセルことが可能となり、画素内アンプのばらつきを抑制できる。4 トランジスタ型の APS (Active Pixel Sensor)方式のイメージセンサでは、FD をリセットした後に、リセットレベルをサンプル・ホールドする。その直後に、転送ゲート TX を動作させることにより、フォトダイオードに蓄積された信号電荷を FD に転送し、信号レベルをサンプル・ホールドする。このように、リセットレベルと信号レベルが CDS 動作のために順次読み出される。しかし、図 2.2 で示したような画素構造では、CDS 回路を導入することができない。図 2.4 に示すように、FD は信号電荷の蓄積および検出に用いられるため、連続的にリセットレベルと信号レベルを検出することができない。この問題を解決するため、CDS 回路を適用できる新規の画素構造を考案した。図 2.5 に示す新しい画素構造では、電荷蓄積領域である G1 および G2 と、信号検出領域の FD を分離している。G1 および G2 は受光部である PG と同様にポリシリコンで形成するため、図 2.3 に示す PG と同様に、印加電圧によって信号電荷の蓄積・転送が可能

となる。図 2.6 は図 2.5 の画素構造で変調光成分を検出するための動作タイミングを示す。PG 直下で発生した変調光の ON/OFF 時の信号電荷は PG に電圧を印加することにより PG 直下に蓄積される。この信号電荷は、G1(G2)に電圧を印加したまま、PG を OFF、TX1(TX2)を ON にすることによって一旦 G1(G2)に蓄積される。変調光成分の変調周期に同期して動作させることにより、G1 には（背景光+変調光）成分の信号電荷が、G2 には背景光成分のみの信号電荷が加算蓄積される。信号読み出し時には、まず FD を Vdd の電圧にリセットする。その後、G1 と TX3 (G2 と TX3) を動作させることにより FD に転送して読み出す。これにより、リセットレベルと信号レベルが連続して読み出されるため、CDS 回路の適用が可能となる。さらに、信号検出部の FD および画素内アンプが共通化されているので、図 2.2 の画素構造のように画素内に二つあるアンプによる出力電圧のばらつきを除去することが可能である。

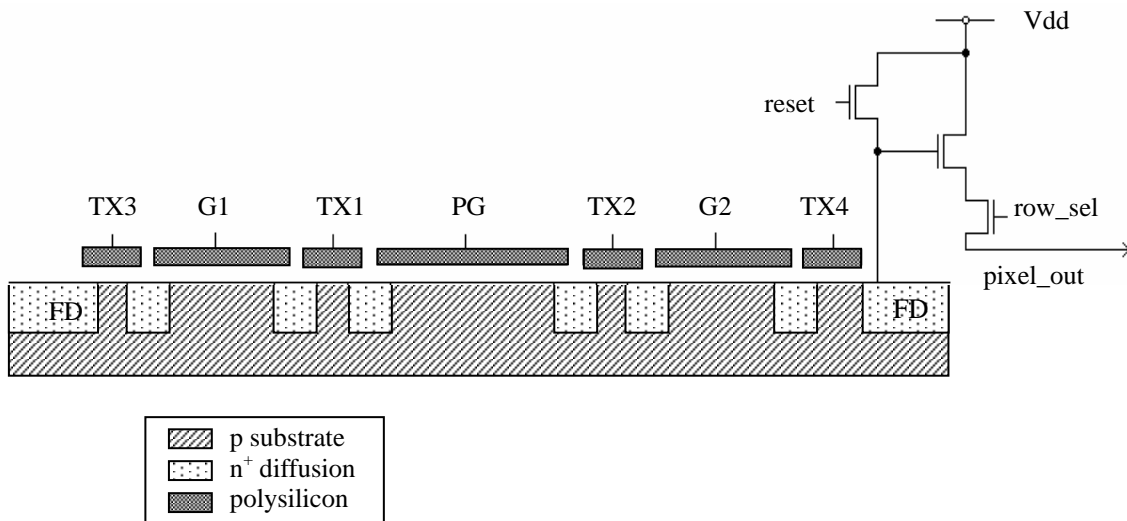


図 2.5 新規画素構造

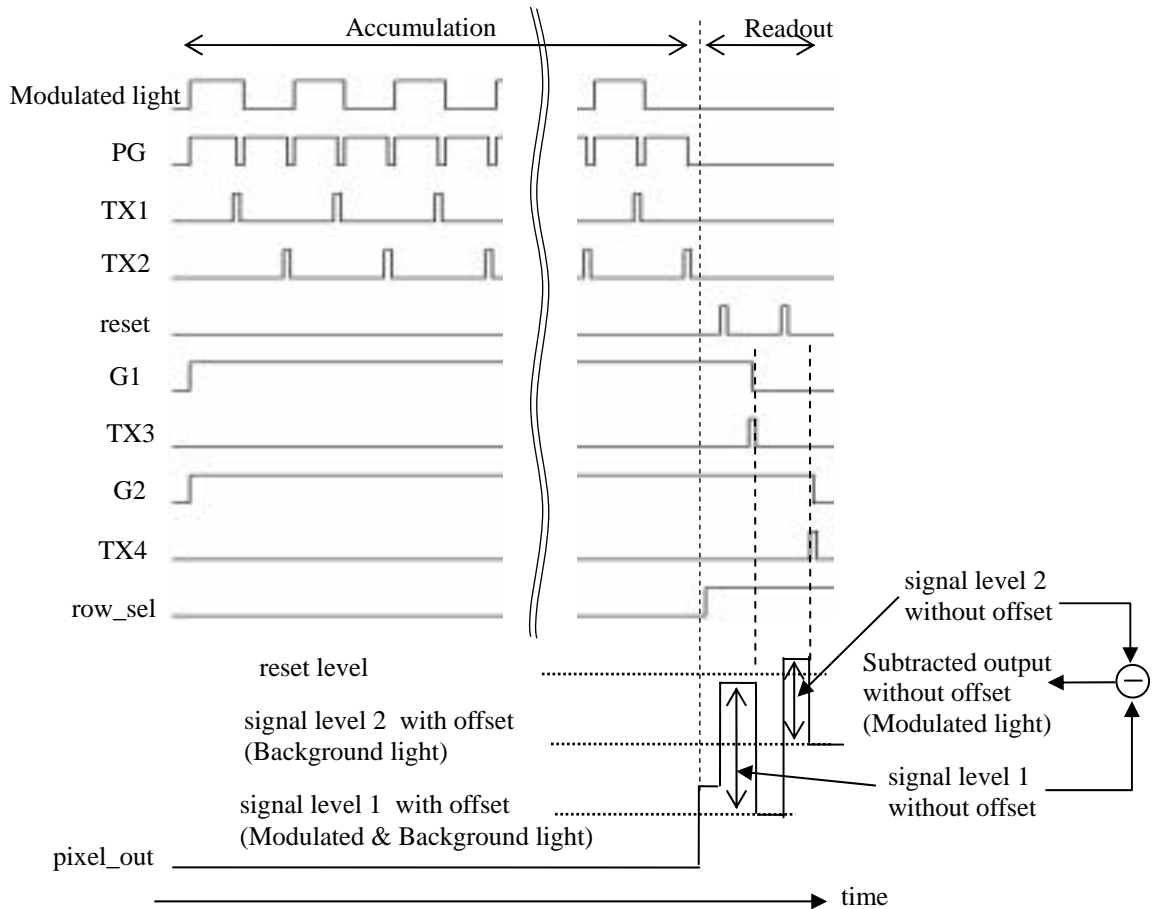
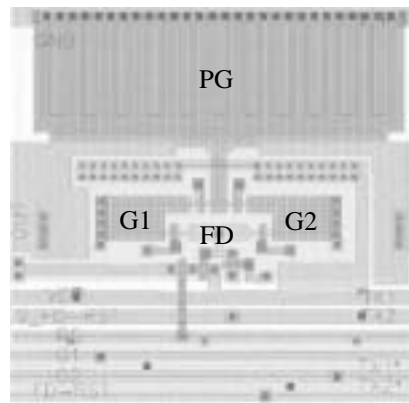


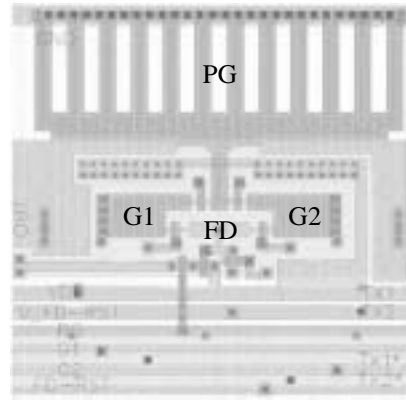
図 2.6 新規画素構造の変調光成分検出の動作タイミング

2.3.2 感度向上のための画素構造

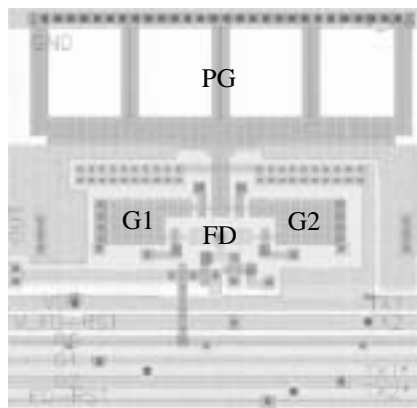
図 2.2, 図 2.5 で示したように, 提案する変調光検出方式では受光部に PG を用いている. PG を用いたイメージセンサでは, 通常のイメージセンサで用いられているようなフォトダイオードより感度が低下する. これは, ポリシリコンによって PG が形成されているためであり, 例えば, 波長 650 nm, 500 nm の光に対するポリシリコンの透過率がそれぞれ 65%, 20% という報告がある[6]. また, 標準の CMOS プロセスでは, 0.35- μm 程度の微細なプロセスになるとポリシリコンがポリサイド化されてしまうので感度はさらに低下する. そこで, PG の感度を向上するため, 楕型 PG 構造を考案した. PG を楕型にして受光部に開口部を設けることによって, PG 直下に入射する光量を増大させることができる. 楕型 PG 構造の効果を検証するため, 図 2.7(a)-(d)に示すような四つのタイプの画素を試作した. これらの画素構造の受光領域に対するポリシリコン被膜の割合は 100% (画素構造 A₁), 65% (画素構造 A₂), 41% (画素構造 A₃), 34% (画素構造 A₄) とした.



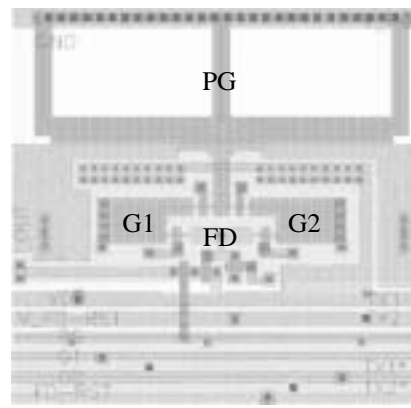
(a) 画素構造 A₁ (100% PG)



(b) 画素構造 A₂ (65% PG)



(c) Pixel type A₃ (41% PG)



(d) 画素構造 A₄ (34% PG)

図 2.7 櫛型 PG 構造の画素レイアウト

2.3.3 画素内ばらつき低減のための画素構造

図 2.5 に示した画素構成では、画素内で変調光が ON/OFF 時それぞれの信号を検出するため、画素内に二つの電荷転送経路が存在する。この二つの経路でトランジスタの特性ばらつきの影響を受けると、二つの出力電圧のばらつきが問題となる。図 2.8 に示すように、一般に、トランジスタの拡散層を形成するためのイオン注入の方向は、チャネリングを防止するために約 7° 傾けられる。その結果、ゲート下の拡散層に非対称性が生じ、ゲート電極と拡散層間のオーバーラップ面積が左右で異なる。これによって、電流の流す向きによってトランジスタの閾値電圧や電流-電圧特性が変化するため、電流の流れる向きを考慮した回路レイアウトが重要となる[7]。そこで、この原因を定量的に調べる目的で、二つのタイプの画素構成を試作し、評価を行った。図 2.9(a), (b)にそれぞれの画素構成を示す。図 2.9(a)に示す画素

構造 A₂ では電流経路が鏡面对称となっているため，TX1 と TX2 (TX3 と TX4) でトランジスタの特性がばらつく．一方，図 2.9(b) に示す画素構造 B では電流経路が並進対称となっているため，二つの電流経路におけるトランジスタの特性ばらつきの影響を抑制できると考えられる．

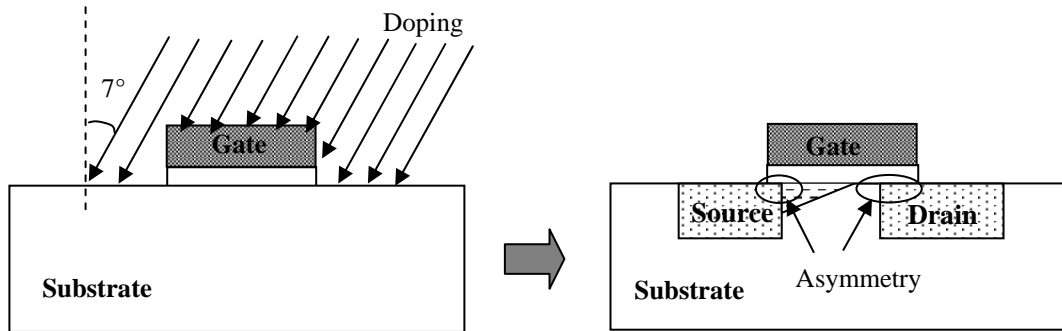
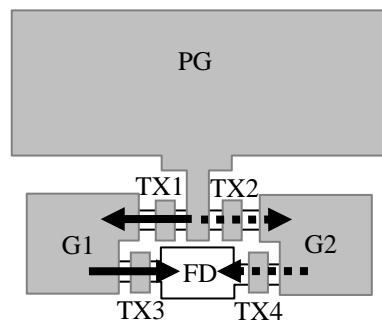
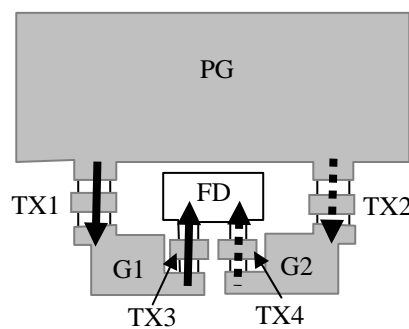


図 2.8 斜めイオン注入による非対称性



(a) 画素構造 A₂ (転送方向：鏡面对称)



(b) 画素構造 B (転送方向：並進対称)

図 2.9 画素構造の対称性

2.4 画素構造を改善した 128x128 画素変調光成分撮像

CMOS イメージセンサの設計

AMS (Austria Micro System)社の 0.35- μm CMOS 2-Poly 3-Metal プロセスを用いて、2.3 節で述べた改善した画素構造により、128 x 128 画素の変調光成分撮像 CMOS イメージセンサを設計・試作した[8]。図 2.10 に試作した変調光成分撮像 CMOS イメージセンサのチップ写真、表 2.2 に諸元を示す。128 x 128 画素アレイは 6 種類の画素から構成される。画素アレイは、図 2.2 に示すこれまでの画素構造、図 2.7(a)-(d) に示す画素構造 A₁-A₄、図 2.9(b)示す画素構造 B から構成される。また、図 2.7(b) に示す画素構造 A₂を標準の画素構造として用いた。列制御デコーダは、信号電荷の蓄積と読み出しを異なった行で同時に操作することができるように二つのモードの切り替えを行う。列並列回路には CDS 機能を有する AD 変換回路を集積化している。図 2.11 にカラム AD 変換回路のブロック図を示す。図 2.11 に示すように、シングルスロープ型の AD 変換回路を用いた。この AD 変換回路は、各列にコンパレータ、二つの 10-bit ラッチを有し、チップ全体で一つの 10-bit カウンタ、ランプ波生成回路から構成される。画素からの出力は、コンパレータ回路ブロックで CDS 動作が行われ、リセットレベルと信号レベルの差の電圧 V_{sig} がサンプル・ホールドされる。次に、ランプ波生成回路からコンパレータへと入力されるランプ波を徐々に減少させる。ランプ波が V_{sig} の分だけ減少したところでコンパレータの出力が反転する。このとき、ランプ波が減少し始めると同時に 10-bit カウンタが動作し始めているので、コンパレータの出力が反転した時点でのカウンタの値がラッチに記憶される。最後に、10-bit の値を後段のラッチに転送してから、X デコーダによって読み出す。ラッチをこのような二段構成にすることによって、読み出しと同時に他の行の画素出力の AD 変換を可能とした。

表 2.2 試作イメージセンサの諸元

Technology	0.35- μm CMOS 2-poly 4-metal
Chip size	6.4 x 6.4 mm ²
Pixel number	128 x 128 pixels
Pixel size	30 x 30 μm^2
Fill factor	26.2%
Power supply	3.3 V

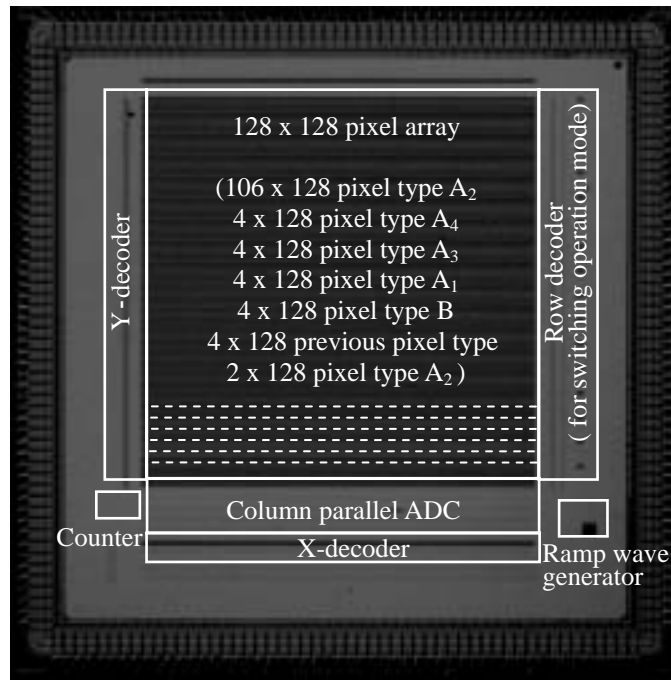


図 2.10 試作した変調光成分撮像 CMOS イメージセンサのチップ写真

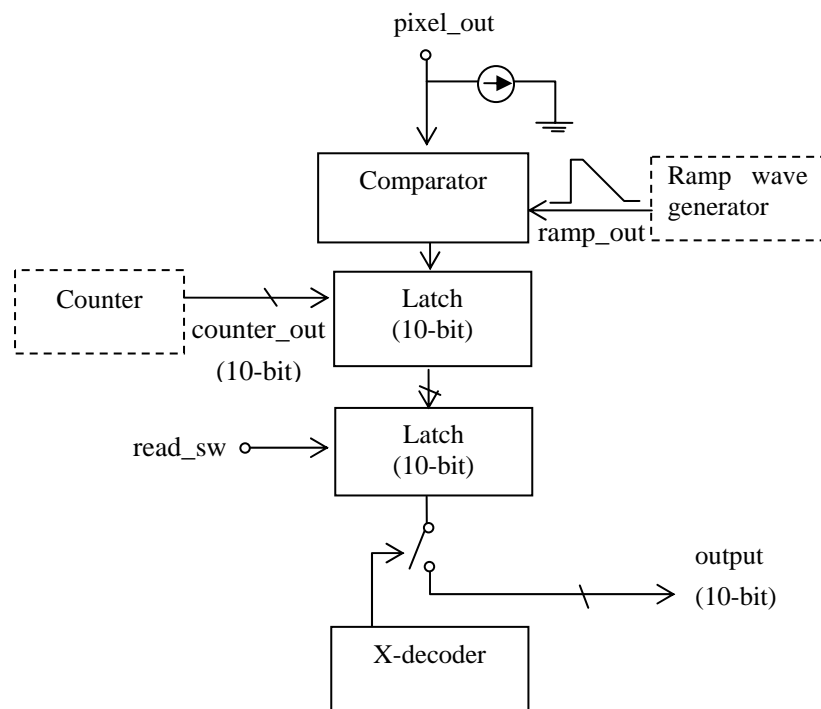


図 2.11 カラム AD 変換回路のブロック図

にサンプル・ホールドされる．Amp1 と Amp2 の反転入力に S1 および S1* を閉じる
 ことによって，アンプの閾値電圧にリセットされる．ここで，アンプのオフセット
 を低減するために，ダブルランプ方式を用いる[9]．次に，TX3/TX4 および G1/G2
 を動作させることにより，G1/G2 に蓄積された信号電荷を FD に転送し，信号レベ
 ルをサンプル・ホールドする．これにより，Amp1 の反転入力は V_{sig} の分だけ減少
 する．その後，ランプ波を徐々に減少させる．ランプ波が V_{sig} の分だけ減少したと
 ころで，コンパレータの出力が反転する．ランプが減少し始めると同時にカウンタ
 を動作させているので，アナログの信号電圧 V_{sig} に対応するデジタルの 10-bit 出力
 がラッチされる．この動作によって，画素出力のオフセットを除去した AD 変換が
 行われる．

図 2.14 にランプ波生成回路のブロック図を示す．図 2.14 に示すように，ランプ
 波生成回路はキャパシタ C2 およびスイッチ SW2，ランプ波を生成するための電流
 源から構成される．キャパシタ C1 およびスイッチ SW1，OTA (Operational
 Transconductance Amplifier) はキャリブレーションに用いる．キャリブレーション回
 路ブロックの出力 V_{ctrl} によって電流源の電流量を調整することにより，ランプ波の
 傾きを制御する．図 2.15 にランプ波生成回路の動作タイミングを示す．まず，C2
 をリセット電圧 V_{rst} にリセットする．その後，電流源によって C2 が放電されるため，
 出力電圧 ramp_out が減少していく．ランプ波の下限電圧は，キャリブレーション回
 路ブロックによって電流量を調整することにより， V_{target} に設定される．この動作に
 よってランプ波の線形性を向上する．

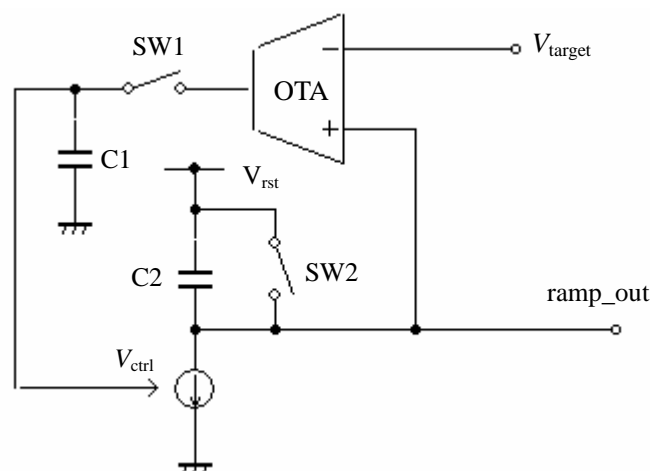


図 2.14 ランプ波生成回路の回路図

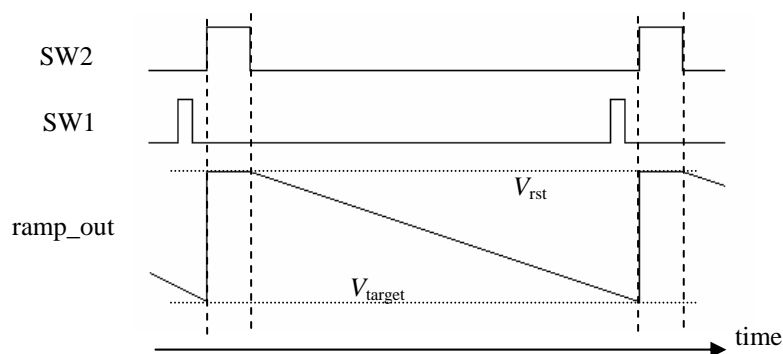


図 2.15 ランプ波生成回路の動作タイミング

2.5 評価結果と考察

図 2.16 に示す実験システム構成により、試作したイメージセンサの性能評価を行った。イメージセンサの駆動には FPGA (Field Programmable Gate Array) (HuMANDATA 社 CSP-024-12)を用いた。イメージセンサのデジタル出力は、デジタル I/O ボード (Interface 社 PCI-2772C)を用いて PC に取り込み、通常画像と変調光成分画像を生成し、モニタに出力する。

まず、ランプ波の積分非線形性 (Integral Nonlinearity, INL)の評価を行った。INL は AD 変換回路の精度にとって重要な値となる。ランプ波の評価は、ランプ波生成回路のテスト出力をオシロスコープに取り込み、傾斜部分の近似直線とのずれを求めることからなされた。図 2.17(a), (b)にランプ波の出力波形と INL を示す。図 2.17(b)に示すように、ランプ波の INL は 1 LSB (Least Significant Bit)に相当する 1 mV 以下となり、十分な精度を得られていることが明らかである。

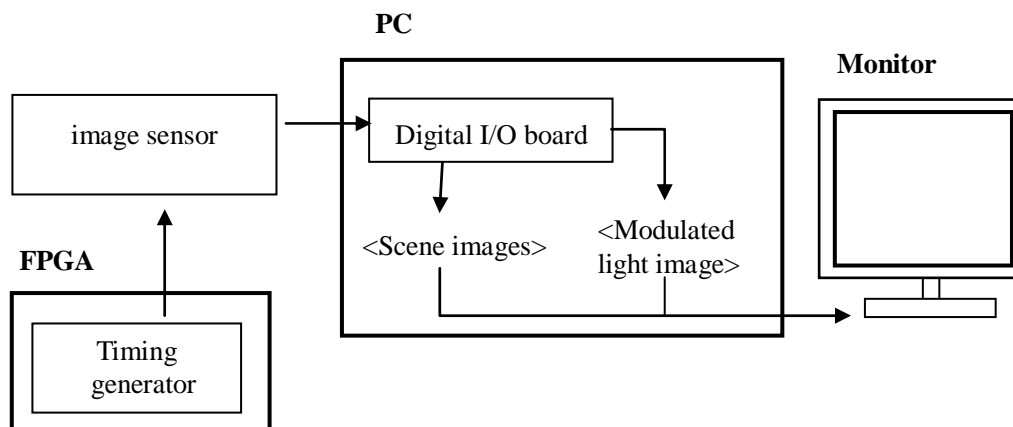


図 2.16 実験システム構成

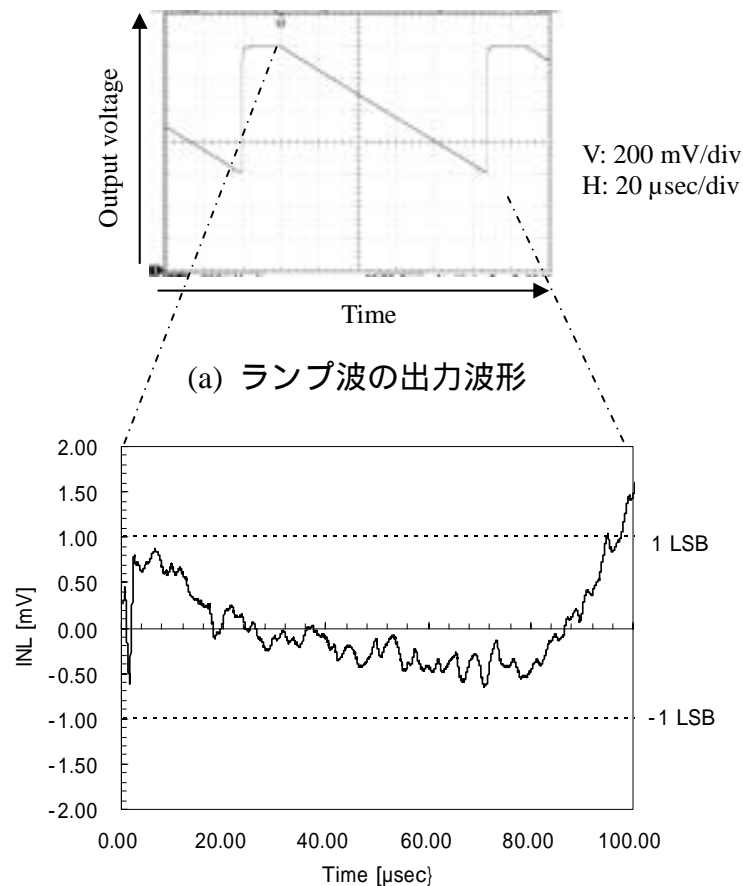
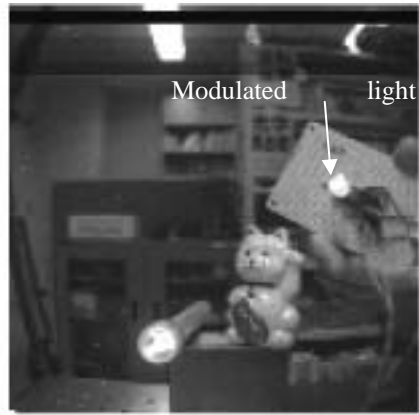
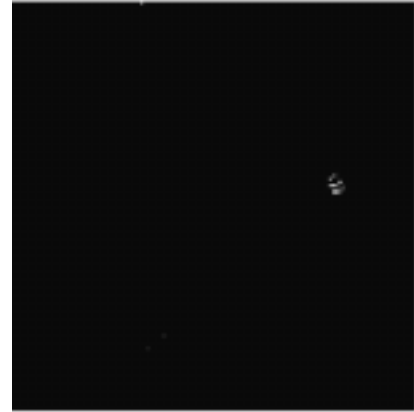


図 2.17 ランプ波の評価結果

図 2.18(a), (b)および, 図 2.19(a), (b)に, 画素構造を改善した 128×128 画素の変調光成分撮像 CMOS イメージセンサによる撮像結果を示す. 図 2.18(a), 図 2.19(a)はともに通常撮像結果を示しており, 図 2.18(b), 図 2.19(b)はともに変調光成分撮像結果を示している. 図 2.18 では, 500 Hz で変調した白色 LED をマーカとして用いて撮像を行ったもので, 図 2.18(b)に示すように背景光の影響を除去してマーカのみ抽出されているのが分かる. また, 図 2.19 では, 変調光源を対象物体のみに照射して撮像を行っており, 図 2.19(b)に示すように, 背景光の影響を除去して対象物体のみの撮像が可能となる. これらの結果から, 試作した変調光成分撮像 CMOS イメージセンサにより, ノイズを抑制して十分な階調をもった変調光成分画像が得られていることを実証した.



(a) 通常撮像結果



(b) 変調光成分撮像結果

図 2.18 試作した変調光成分撮像イメージセンサによる変調光源マーカの検出



(a) 通常撮像結果



(b) 変調光成分撮像結果

図 2.19 試作した変調光成分撮像イメージセンサによる対象物体抽出撮像結果

表 2.3 画素構造の違いによる FPN (Fixed Pattern Noise)の比較

	Without illumination	With illumination ($13 \mu\text{W}/\text{cm}^2$)
Previous pixel type	2.56%	-
Pixel type A ₂ (improved architecture, asymmetry layout)	0.09%	4.09%
Pixel type B (symmetry layout)	-	1.36%

次に、画素構造の改善による FPN 低減の効果を評価した。この測定は、光を照射しない状態と $13 \mu\text{W}/\text{cm}^2$ の白色光を照射した状態で行われた。センサ面上を均一に照射するため、光源として白色のライトボックスを用いた。FPN の評価として、飽和出力電圧値に対する全画素の出力値の標準偏差の割合を出力ばらつきとして求めた。表 2.3 に画素構造の違いによる FPN の評価結果を示す。CDS 回路を適用することにより、これまでの画素構造では光を照射しない状態での出力ばらつきが 2.56% であったのに対し、0.09% と 10-bit のデジタル出力が得られる値（1% 以下）にまで低減することができた。さらに、対称性を考慮した画素構造により、光照射時のばらつきを 4.09% から 1.36% まで 1/3 に減少することができた。これらの結果より、画素構造の改善によって FPN を効果的に抑制できることを実証した。

最後に感度の改善についての評価結果について述べる。波長 650 nm の LED 光源をセンサ面上に照射し、センサ面上の照度を 0, 4.3, 8.2, $13 \mu\text{W}/\text{cm}^2$ の 4 段階に変化させ、センサ面照度に対するセンサの出力値の割合を感度として評価した。図 2.20 は、図 2.7(a)-(d) に示した楕型 PG 構造の画素構造 A_1 - A_4 それぞれの光感度を示す。光感度は、受光部がすべて PG に覆われている画素構造 A_1 の値によって規格化されている。図 2.20 に示すように、楕形 PG 構造を用いることによって、感度は 1.36 に向上した。しかし、楕型 PG 構造である A_3 と A_4 の感度は減少している。これは、PG の開口部を空けすぎると、PG に蓄積できる光電荷の量が減少するためと考えられる。

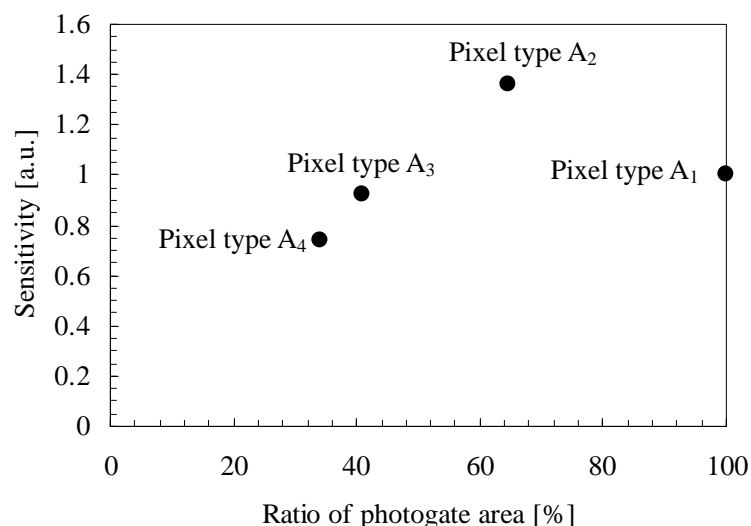


図 2.20 楕型 PG を用いた画素の感度

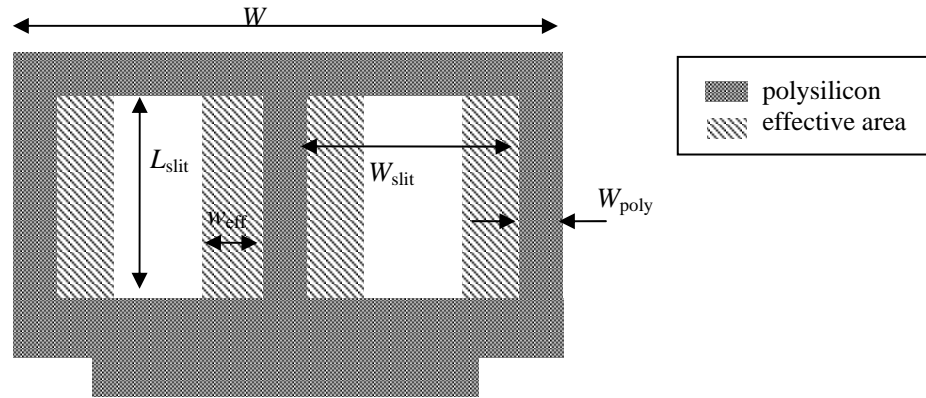


図 2.21 計算に用いた PG 構造

図 2.21 に示すような簡単なモデルを用いて定量的な評価を行った．この PG 構造を用いてデバイス表面に入射する光量(ポリシリコンを透過する光量 + 開口部に入射する光量)を求め，感度を算出した．基板表面に入射する光量 E' は式(2.1)で表される．

$$E' = \begin{cases} E \cdot \left\{ \frac{S_{PG}}{S} \cdot T + \left(1 - \frac{S_{PG}}{S} \right) \right\} & (L_{slit} \leq 2w_{eff}) \\ E \cdot \left\{ \frac{S_{PG}}{S} \cdot T + \left(2w_{eff} \cdot L_{slit} \frac{W - W_{poly}}{S \cdot (W_{poly} - W_{slit})} \right) \right\} & (L_{slit} \geq 2w_{eff}) \end{cases} \quad (2.1)$$

$$S_{PG} = W_{slit} \cdot L_{slit} \cdot \left(\frac{W - W_{poly}}{W_{poly} + W_{slit}} + 1 \right) + S_{PG}' \quad (2.2)$$

ここで， E ：受光部への入射光量， S_{PG} ：フォトゲートの面積， S_{poly} ：櫛の面積， S_{PG}' ：櫛以外の PG 面積， W ：受光部の幅， W_{poly} ：櫛幅， W_{slit} ：スリット幅， L_{slit} ：スリット長， w_{eff} ：基板での有効受光領域幅， T ：フォトゲートの透過率とした．PG の櫛からの距離が w_{eff} 以上離れた領域で発生した光電荷は櫛の領域まで拡散することができない， w_{eff} 以内の領域の光電荷は全て蓄積可能と仮定した．

$W_{poly} = 1.2 \mu\text{m}$ と一定にして， W_{slit} を変化させたときの感度の計算値を図 2.19 の測定値にプロットした結果を図 2.22 に示す．それぞれのパラメータは $S = 235.7 \mu\text{m}^2$ ， $S_{PG}' = 54.9 \mu\text{m}^2$ ， $W = 26.4 \mu\text{m}^2$ ， $W_{poly} = 1.2 \mu\text{m}$ ， $L_{slit} = 6.6 \mu\text{m}$ とした．計算値は， $w_{eff} = 1 \mu\text{m}$ ， $T = 0.5$ としたときに測定値とよく一致した．基板濃度から計算した拡散長は $50 \mu\text{m}$ 程度だが，実際に PG に蓄積できる光電荷の有効拡散長がこの値よりも十分小さいためだと考えられる．今回の計算に用いたモデルが単純なものであったため，今後デバイスシミュレータ等を用いた詳細な検討が必要である．

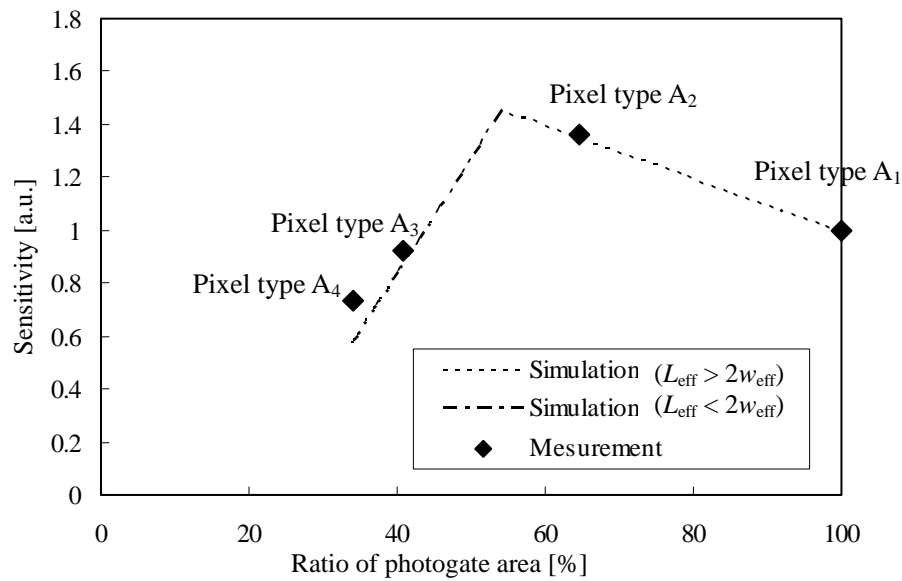


図 2.22 PG 感度の計算値

2.6 まとめ

変調光成分撮像 CMOS イメージセンサの画質向上を目指し、感度向上や画素内ばらつきを低減するための画素構造の改善、ノイズ低減のための CDS 回路の適用、カラム AD 変換回路の集積化を行った。0.35- μm CMOS プロセスで、改善した画素構造によるカラム AD 変換回路を有する 128 \times 128 画素変調光成分撮像 CMOS イメージセンサの設計・試作、評価を行った。

その結果、櫛型 PG 構造を用いることにより、光感度が 1.36 倍に向上した。厚さ 150 nm のポリシリコンの波長 650 nm における透過率は 65% と報告されているので [6]、受光部がポリシリコンで覆われていることによる感度低下を十分改善することができたと考えられる。しかし、0.35- μm 程度の微細なプロセスではポリシリコンがポリサイド化されて感度がさらに低下していることも考えられるので、今後詳細な検討が必要である。また、CDS 回路を適用可能な画素構造を考案し、CDS 回路を集積することによって、暗時の FPN を 1% 以下の十分な値にまで低減した。さらに、対称性を考慮した画素構造により、光照射時の FPN を 1/3 に低減した。この対称性の改善については今後定量的な評価が必要となる。これらの改善によりノイズを低減し、変調光成分撮像の大幅な画質向上に成功した。

今後の課題として、背景光の影響を完全に除去した変調光成分撮像の実現がある。現在の方式では背景光成分も両方の FD に加算蓄積し、二つの出力の差分をとって

変調光成分の検出を行っている。このため、太陽などの強烈な環境光下では、背景光成分だけで電荷蓄積領域が飽和してしまい、変調光成分を加算蓄積することができなくなってしまう。そこで、背景光成分の信号電荷が一定量蓄積されたのを検知して、電流源等によって電荷を随時排斥することが可能な画素構成をとることにより、変調光成分のみを加算蓄積していくことが可能となる。これが実現できれば、変調光検出の精度を大幅に改善することができると考えられる。

参考文献

- [1] S. Ando and A. Kimachi, "Time-Domain Correlation Image Sensor: First CMOS Realization of Demodulator Pixel Array," IEEE Workshop CCS & AIS, pp.33-36, Karuizawa, Japan, 1999.
- [2] T. Spring, P. Seitz, O. Vietze, and F. Heitger, "The Lock-In CCD –Two-Dimensional Synchronous Detection of Light," IEEE J. Quantum Electron Vol.31, 1705, 1995.
- [3] Y. Oike, M. Ikeda, and K. Asada, "120 x 110 Position Sensor with the Capability of Sensitive and Selective Light Detection in Wide Dynamic Range for Robust Range Finding," IEEE Journal of Solid-State Circuits, Vol.39, No.1, pp.246-251, 2004.
- [4] B. Buxbaum, R. Schwarte, and T. Ringbeck, "PMD-PLL: Receiver Structure for Incoherent Communication and Ranging Systems," Proc. SPIE, Vol.3850, pp.116-127, 1999.
- [5] J. Ohta, K. Yamamoto, T. Hirai, K. Kagawa, and M. Nunoshita, M. Yamada, Y. Yamasaki, S. Sugishita, and K. Watanabe, "An Image Sensor with an In-pixel Demodulation Function for Detecting the Intensity of a Modulated Light Signal," IEEE Trans. Electron Devices Vol.50, pp.166-172 2003.
- [6] H-S. Wong, "Technology and Device Scaling Considerations for CMOS Imagers," IEEE Trans. Electron Devices. Vol. 34, p. 2131, 1996.
- [7] B. Razavi 著 , 黒田忠広 監訳, "アナログ CMOS 集積回路の設計" 丸善出版
- [8] K. Yamamoto, Y. Oya, K. Kagawa, M. Nunoshita, J. Ohta, K. Watanabe, "A 128 x 128 Pixel CMOS Image Sensor with an Improved Pixel Architecture for Detecting Modulated Light Signals," Optical Review Vol.12, No.2, 2006.(to be published)
- [9] 杉木忠, 大澤慎治, 三浦浩樹, 富澤義行, 星野誠, 荒川毅, "コラム間 FPN のないコラム型 AD 変換器を搭載した CMOS イメージセンサ," 映情技報, Vol.24, No.37, 2000.

第3章 部分領域高速読み出し方式による ID 受信可能な CMOS イメージセンサの研究

3.1 はじめに

本章では，部分領域高速読み出しによって変調光成分の変調パターンを検出することにより，ID (Identification)情報を受信する機能を有する新しい CMOS イメージセンサの研究開発を行った．図 3.1 に ID 受信可能な CMOS イメージセンサの概念図を示す．変調光源の強度変調の明滅パターンにデジタル信号の”0”，”1”による ID 情報を重畳した ID 光源を用い，イメージセンサで変調パターンを検出することによって，デジタル情報を受信する．このイメージセンサによって，ID 光源を含む通常画像の撮像を行いながら，ID のデータ受信が可能となる．このような ID 受信可能なイメージセンサを用いて，効果的な情報提供を行う拡張現実感 (Augmented Reality, AR)システムが提案されている[1]．AR システムでは，ユーザは視界中にある ID 光源を，携帯端末に搭載された ID 受信可能なイメージセンサで撮像・ID 受信することにより，実世界の状況に応じた適切なデータを取得することができる．

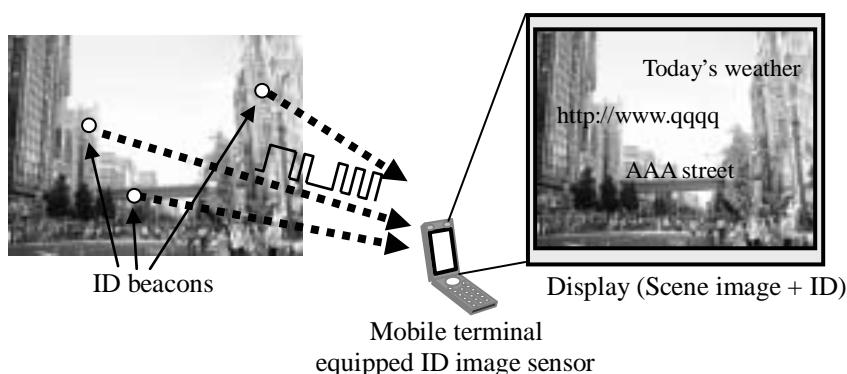


図 3.1 ID 受信イメージセンサの概念図

通常のイメージセンサは 15 ~ 30 fps (frame per second)程度のビデオレートで撮像を行うとともに、十分な信号強度を得るために 1 フレームの間(30 fps の場合 33.3 msec),受光部であるフォトダイオードに光電荷を蓄積する。そのため、数 100 Hz 程度で強度変調された ID 光源の高速な明滅パターンを検出することができない。また、第 2 章で提案した変調光成分撮像 CMOS イメージセンサでは、変調光成分による画像取得を目的としているため、1 フレームの間変調光成分を蓄積しており、変調光源の変調パターンを検出することができない。これまでに、拡張現実感システムのための ID 受信機能を有する CMOS イメージセンサが幾つか報告されている[1,2]。これらのイメージセンサは、全画素を高速に読み出す方式[1]や画素内の ID 受信回路[2]により ID を受信する。全画素高速読み出し方式では、通常のイメージセンサと同様の画素構造を用いているため高画素化に適しているが、全画素を高速に読み出すために消費電力が増加することが最大の問題である。また、画素内の ID 受信回路による方式では、画素内の ID 受信回路により高速な ID 受信が可能となるが、画素内の検出回路のために画素サイズが大きくなり消費電力も大きくなることが重大な問題となる。携帯端末への搭載を考えた場合、イメージセンサの消費電力は通常の携帯用センサと同レベルの数 10 mW 程度に抑えることが必須である。また、高精細な画像を得るためには、画素構成をなるべく単純にして画素サイズを小さくする必要がある。そこで、本研究では、高画素化に向けて簡単な画素回路構成を用いるとともに、低消費電力での ID 受信可能な新しい方式を考案した。表 3.1 に本研究で提案する ID 受信用 CMOS イメージセンサと、これまでの他の報告例との比較を示す。

表 3.1 ID 受信イメージセンサの比較

	SONY ID Cam[1]	Univ. of Tokyo[2]	Our proposed device
ID detection	High speed readout of all pixels	In-pixel ID receiver	Readout of Multiple Region-of-interests
Technology	0.35- μm CMOS	0.35- μm CMOS	0.35- μm CMOS
Pixel size	11.2 x 11.2 μm^2	26 x 26 μm^2	7.5 x 7.5 μm^2
Pixel #	320 x 240 pixels	128 x 128 pixels	320 x 240 pixels
Frame rate of ID detection	14.2 kfps	80 kfps	1.2 kfps
Power consumption	82 mW @ 3.3 V (3.3 kfps)	682 mW @ 4.2 V	3.6 mW @ 3.3 V

表 3.1 より，本研究で提案のイメージセンサの特徴は，ID 検出のフレームレートは 1.2 kfps と他方式に比べ低速となっているが，画素サイズが $7.5 \times 7.5 \mu\text{m}^2$ と小さく，消費電力も 3.6 mW という低消費電力を達成している点である．

以下に，本研究で開発した簡単な画素構成ながら低消費電力での ID 受信を可能とする新しい部分領域高速読み出し方式による ID 受信方式について詳述する．まず，提案方式を実現するための回路構成について概説する．次に，著者が設計・試作した ID 受信用 CMOS イメージセンサの評価結果について述べる．更により一層の ID 受信性能の向上を図り，カラム適応ゲインアンプを搭載した ID 受信用 CMOS イメージセンサの設計・試作，評価結果についても示す．これら試作センサでは画質劣化があったため，その原因をシミュレーションにより検証し，対策を施したイメージセンサを試作し，画質劣化を抑制した結果を明らかにする．最後にこれらの結果について考察し，まとめる．

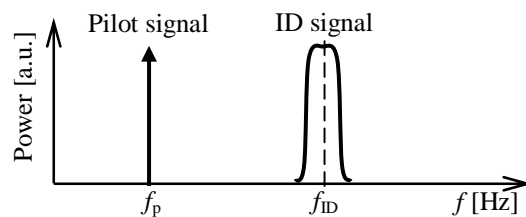
3.2 ID 受信方式

画素内に ID 受信回路を持たない，通常の CMOS イメージセンサと同じ単純な画素構成にした場合，ID 光源の高速な変調パターンを検出するためには，高速フレームレートで画素信号を読み出す必要がある．しかし，高速読み出しを行う場合には，消費電力の増大が大きな問題となる．高いフレームレートで全画像を読み出そうとすると，フレームレートに従って消費電力が増加する．本研究では，単純な画素構成ながらも低消費電力での ID 受信を実現するために，ID 光源へのパイロット信号の重畳と部分領域高速読み出しにより ID を受信する新しい方式の CMOS イメージセンサを考案・開発し，その有用性を検証する．

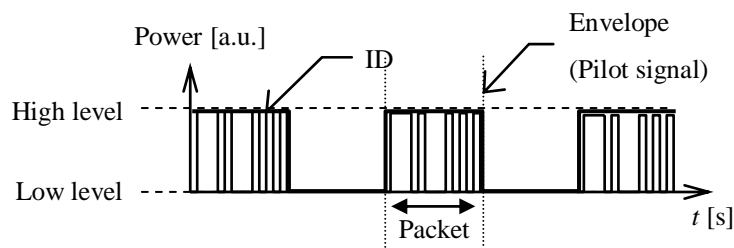
3.2.1 パイロット信号による ID 受信領域の特定手法

パイロット信号により ID 受信領域を特定する手法について解説する．図 3.2(a)-(c)に，ID 光源の周波数成分と信号波形の模式図を示す．図 3.2(a)に示すように，パイロット信号は 30 Hz のビデオレートでも検出可能な低い周波数 f_p （例えば， $30 \text{ Hz}/4 = 7.5 \text{ Hz}$ ）とし，ビデオレートよりも十分高い周波数 f_{ID} を中心に ID 信号を載せる．この方式では，ビデオレートで撮像した通常画像をもとに，ソフトウェアによる周波数フィルタリング処理によって低周波のパイロット信号を受信している画素を特定し，それを ID

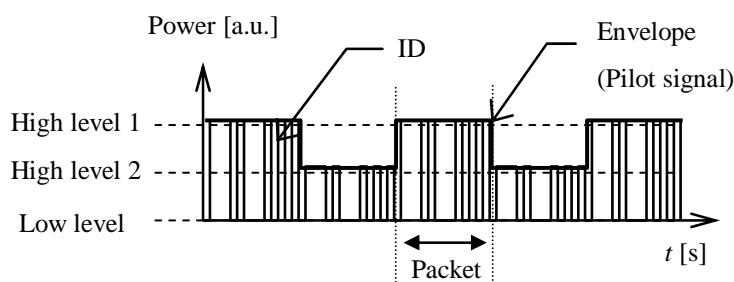
受信領域とする。その後、ID 受信領域のみを高フレームレートで読み出す。通常、ID 受信領域は画面全体のごく一部である。パイロット信号により読み出し画素数を大きく削減でき、ID 受信領域画素の高フレームレートでの読み出しを可能とする。図 3.2(a)に示すような ID 光源をビデオレートで撮像すると、高周波成分である ID 情報はフォトダイオードの積分効果により除去され、背景画像とパイロット信号のみが検出される。これに対して、ソフトウェア処理によってパイロット信号のみを抽出することにより、ID を受信している画素領域を検出する。この処理をビデオレートで行うため、イメージセンサの消費電力は増加しない。ID 信号にパイロット信号を重畳する方法として、図 3.2(b)に示すようにデータパケットの送信周期によって低周波成分を重畳する方法や、図 3.2(c)に示すようにデータの High レベルを 2 段階設け、LED の発光強度を Low レベル、High レベル 1、High レベル 2 の 3 値で変調することにより、包絡線に低周波信号を載せる方法が考えられる。



(a) 周波数成分



(b) 信号波形 (2 値変調)



(c) 信号波形 (3 値変調)

図 3.2 ID 信号へのパイロット信号の重畳

ID 光源がカメラから離れている状況では，ID 受信領域はイメージセンサの全画素数に比べると非常に少ない．しかし，ID 光源がイメージセンサの近くにあたり，周辺の物体に光源が映り込んだりして，ID 受信領域が大きい状況も考えられる．そのような場合でも，ID を取得するためには，輝度値の空間分布ではなく，ID 受信領域全体での輝度値の時間変化のみを取得すれば十分である．従って，ID 受信領域を確定後，画像を飛ばし読みすることにより，読み出す ID 受信領域を小さくすることができる．ID 受信領域の有効な画素数が全画素数に対して十分少ない場合，通常画像信号を多数の小グループに分割し，ID 受信領域の画素信号と交互に読み出すことにより，センサの駆動速度を 2 倍にするだけで ID 受信領域を読み出す実効フレームレートを高速化できる．その結果，消費電力を通常イメージセンサの 2 倍程度に抑えたまま，ID 受信領域の画素を高速に読み出すことが可能となる．

3.2.2 部分領域高速読み出し方式

低消費電力での ID 受信を可能にすることを目的として，部分領域高速読み出し方式を考案した．図 3.3 を用いて，提案する方式での画素の読み出し順序を説明する．図 3.3 では，簡単のため，全画素数を 6×6 画素，ID 受信画素領域を 2×2 画素，ID 数を 2 (ID#1, ID#2) としている．太線で囲われている領域が ID 受信画素である．ID 受信領域はパイロット信号の検出により既知のものとする．通常画像 1 行の読み出しを複数に分割し（図 3.3 では破線で示すように 2 分割），通常画像の分割領域 1 つと ID 受信領域 1 行を交互に読み出す．枠中の数字は，その画素が読み出される順番を表している．ただし，括弧中の数字は，通常読み出し時に ID 受信画素に遭遇した場合には，実際には画素値を読まず空読みすることを示している．通常画像の画素と ID 受信領域の画素を交互に読むことから，センサの駆動速度は通常イメージセンサを駆動する場合の 2 倍となる．ID 受信領域のフレームレートは通常画像の約 3 倍になっていることから，消費電力の増加を抑えつつ，ID 受信領域を高速に読み出すことが可能となることが分かる．考案した新しい読み出し方式を部分領域高速読み出し方式と名付けた．

1	2	3	6	7	8
	ID#1 →				
11	4, (12), 24, 44	5, (13), 24, 45	16	17	18
21	9, (22), 29, 49	10, (23), 30, 50	26	ID#2 →	
31	32	33	36	14, (27), 34, 54	15, (28), 35, 55
41	42	43	46	19, (37), 39, 59	20, (38), 40, 60
51	52	53	56	47	48
				57	58

図 3.3 部分領域高速読出し方式による読み出し順序

D 個に分割した 1 行分の通常画像信号と ID 受信領域の 1 行分の信号を交互に読み出すものとする、ID 受信領域のフレームレート F_{ID} は次式で表される。

$$F_{ID} = F_{image} \cdot \frac{N_Y}{N_{ID,max} \cdot N_{ID,Y}} \cdot D \quad (3.1)$$

ここで、 F_{image} は通常画像のフレームレート、 N_Y は通常画像の垂直画素数、 $N_{ID,max}$ は同時に受信可能な最大 ID 数、 $N_{ID,Y}$ は 1 つの ID 受信領域中の垂直画素数、 D は通常画像の水平分割数を示している。ここで、 $F_{image} = 30 \text{ fps}$ 、 $N_Y = 280$ 画素 (QVGA フォーマット (320 × 240 画素) で、垂直ブランキング期間を考慮した場合)、 $N_{ID,max} = 7$ 、 $N_{ID,Y} = 5$ 、 $D = 5$ とすると、 $F_{ID} = 1,200 \text{ fps}$ となる。つまり、30 fps で通常撮像を行いながら、同時に 7 つの ID 受信領域を 1,200 fps で読み出し可能である。また、このときのセンサの駆動速度は 2 倍にするだけで良いので、このような部分領域高速読み出し方式によって、センサの消費電力を抑制したまま ID 受信領域の画素を 40 倍もの高速に読み出すことができるのが分かる。

3.3 ID 受信 CMOS イメージセンサの設計・試作

AMS (Austria Micro Systems)社の 0.35- μm CMOS 2Poly-3Metal の LSI 作製プロセスを用い，提案方式による ID 受信 CMOS イメージセンサの設計・試作を行った．図 3.4 および表 3.2 に試作したイメージセンサのチップ写真，諸元・特性を示す．表 3.2 に示すように， $7.5 \times 7.5 \mu\text{m}^2$ と小さい画素構造ながらも，30 fps での通常撮像を行いながら，同時に 7 つの ID 受信領域を 1,200 fps で読み出し可能である．また，ID 受信時のセンサ単体の消費電力の測定値は 3.6 mW と低消費電力を実現している点が特徴である．図 3.5(a), (b)に試作した ID 受信 CMOS イメージセンサのブロック図を示す．イメージセンサは，画素アレイ，サンプル・ホールド (Sample & Hold, S/H) 回路および読み出し回路，ID マップテーブルから構成される．通常の CMOS イメージセンサと比較すると，ID 受信領域の画素にアクセスする動作を制御するために，ID マップテーブルを追加した点が大きく異なる．また，通常画像の信号と ID 受信領域画素の信号を独立して読み出すために，信号を記憶する S/H 回路が各列 2 個ずつ設けられている．さらに，XY アドレス方式で任意の画素を読み出し・リセットするため，画素内に行リセットトランジスタが 1 つ追加されている点が異なっている．以下で各回路ブロックの詳細について述べる．

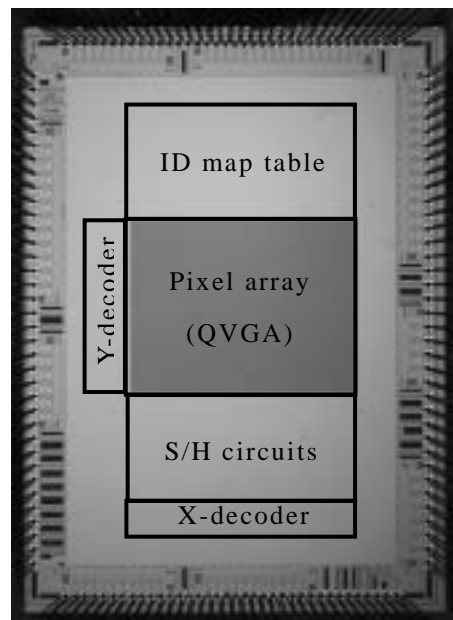
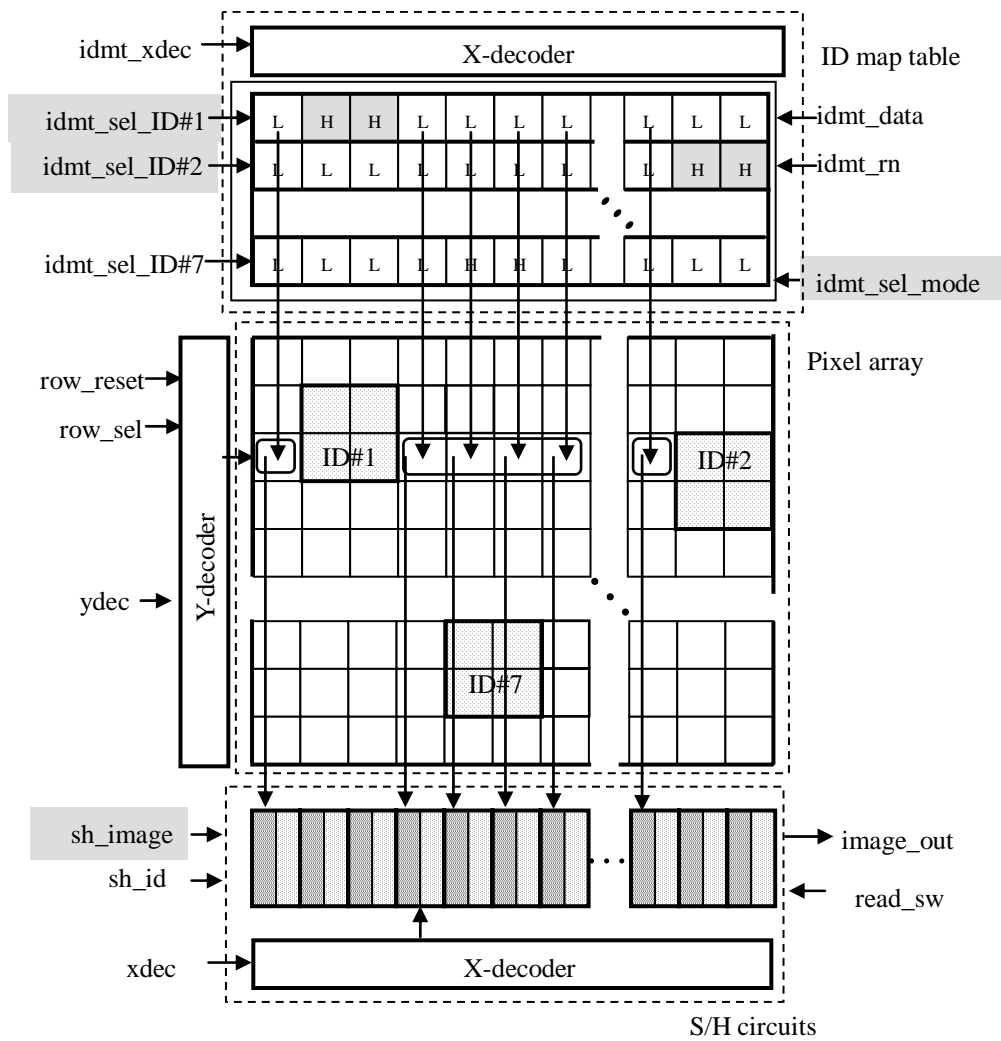


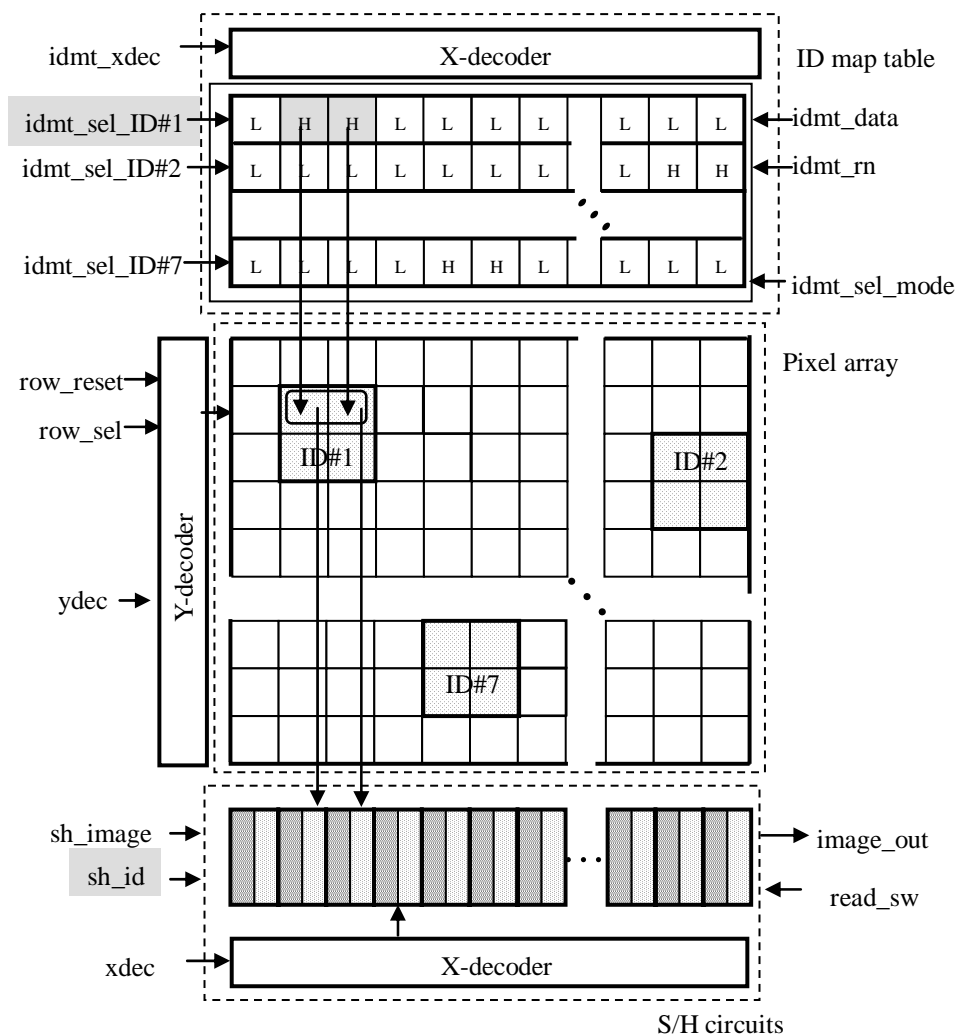
図 3.4 試作した ID 受信イメージセンサチップの外観写真

表 3.2 試作した ID 受信イメージセンサの諸元および特性

Technology	0.35- μm CMOS 2P 3M
Pixel count	QVGA (effective area: 320 \times 240)
Chip size	4.2 x 5.9 mm ²
Pixel size	7.5 x 7.5 μm^2
Fill factor	25%
Random noise	0.4 mV _{rms}
Dynamic range	54 dB
Frame rate (scene)	30 fps
Frame rate (ID)	1,200 fps/ ID
Number of detectable IDs	7 (max)
Power supplies	3.3 V (analog and digital) 1.8 V (source follower in pixel) 2.4 V (reset voltage of photo diode)
Power dissipation	3.6 mW



(a) 通常画像読み出しモード(`idmt_sel_mode=H`)



(b) ID 読み出しモード (idmt_sel_mode=L)

図 3.5 ID 受信イメージセンサのブロック図と ID マップテーブルによる画素選択 (a)通常画像読み出しモード , (b)ID 読み出しモード

3.3.1 画素回路

図 3.6 に画素回路図を示す。画素は通常の 3 トランジスタ型 APS (Active Pixel Sensor) に 1 つの列リセットトランジスタ M_{CR} を追加した単純な構成であり、高画素化に適している。追加した列リセットトランジスタによって、任意座標の画素のみの読み出し・リセットが可能となる。提案する読み出し方式では、ID 受信領域と通常画像領域とで異なる蓄積時間と読み出し・リセットタイミングが必要であることから、XY アドレス方式リセットを実現するために追加の列リセットトランジスタが必要となる。ID 受信

領域の画素を読み出す際，読み出し直後にリセットする必要があるが，通常の CMOS イメージセンサで用いられている行リセット方式では ID 受信領域と同じ行にある通常画像の画素までリセットされてしまう．しかし，図 3.6 の画素構成により，列リセットトランジスタと行リセットトランジスタが ON になった画素のみをリセットすることが可能となる．

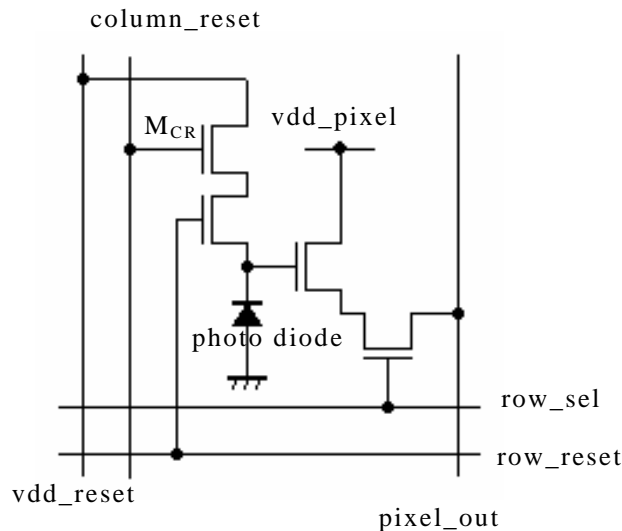


図 3.6 画素回路

3.3.2 S/H 回路および読み出し回路

通常画像の信号と ID 受信領域画素の信号を交互に読み出す必要があることから，S/H 回路を各列に 2 個ずつ設けた．図 3.7 に，S/H 回路および読み出し回路の構成を示す． M_b は画素値を読み出すソースフォロア回路の電流源負荷トランジスタであり，スイッチにより切り離すことができる．ID マップテーブルからの制御信号 `column_reset` が High レベルの列の画素のみを読み出せば良いので，それ以外の列のソースフォロア回路に電流を流さないことで，消費電力の増加を抑制できる．ID 受信領域読み出し時には，ほとんどの列は読み出す必要はないので，特に消費電力の抑制効果が大きい．ソースフォロア回路の出力は `sh_image`, `sh_id` 信号により，二つのうちのいずれかの S/H メモリに記憶される．記憶された画像信号をチップ外に読み出す場合，`read_sw` により，どちらのメモリを読み出すか選択する．`xdec<i>` は X デコーダの出力であり，読み出す列を指定する．

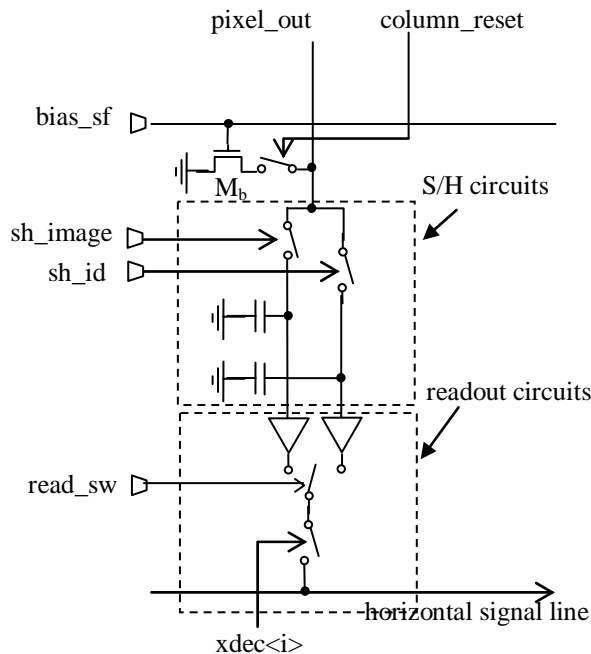


図 3.7 S/H 回路および読み出し回路

3.3.3 ID マップテーブル

図 3.5 に示すように，ID マップテーブルは，〔水平画素数〕×〔同時受信可能な最大 ID 個数 ($N_{ID, max}$)〕分の 1-bit メモリアレイをもつ．メモリの各行には，対応する ID を受信している画素の水平位置が記憶されており，図中の”H”は ID が存在する水平座標であることを意味する．メモリアレイにアクセスするために，X デコーダをもち， $idmt_xdec$ で指定した水平座標に，”H (1)”もしくは”L (0)”のデータを $idmt_data$ によって書き込む．書き込み先の ID に対応する行は $idmt_sel_ID\#i$ で指定する． $idmt_rn$ は負論理のリセット信号で， $idmt_sel_ID\#i$ で指定した ID の全てのメモリを”L”にリセットする．

パイロット信号から取得した ID 位置・大きさの情報は，イメージセンサの外部に設けたマイコンや FPGA (Field Programmable Gate Array)などで管理する．そのデータに基づいて ID マップテーブルの値を随時更新し，画像読み出し時の制御を行う．図 3.5 に示すように ID 受信領域が画素アレイ上に配置されている場合の動作を説明する．図 3.5 (a)に通常画像モードにおいて上から 3 行目の画素を読み出す場合を示す．読み出し行には，ID#1 と ID#2 が存在する．特定の行に関する ID の存在判定はイメージセンサ外部で行う． $idmt_sel_mode$ が”H”に設定されている場合，各列に対して選択

されている ID メモリの論理和の反転値を算出する．その結果が High の場合，その列には ID が存在していないため，通常画像として読み出す．画素の信号値は，S/H 回路の制御信号 *sh_image* により，通常画像側の S/H メモリに記憶する．このとき，ID 受信領域の画素にはアクセスされない．図 3.5(b)は，ID 受信領域読み出しモードで ID#1 の 1 行目を読む場合を示している．このとき，*idmt_sel_ID#1* を選択し，それ以外は非選択とする．その結果，ID#1 のある列のみが有効となり，それ以外の列にある画素は読み出されない．画素値は *sh_id* により，ID 受信画素用 S/H メモリに記憶する．

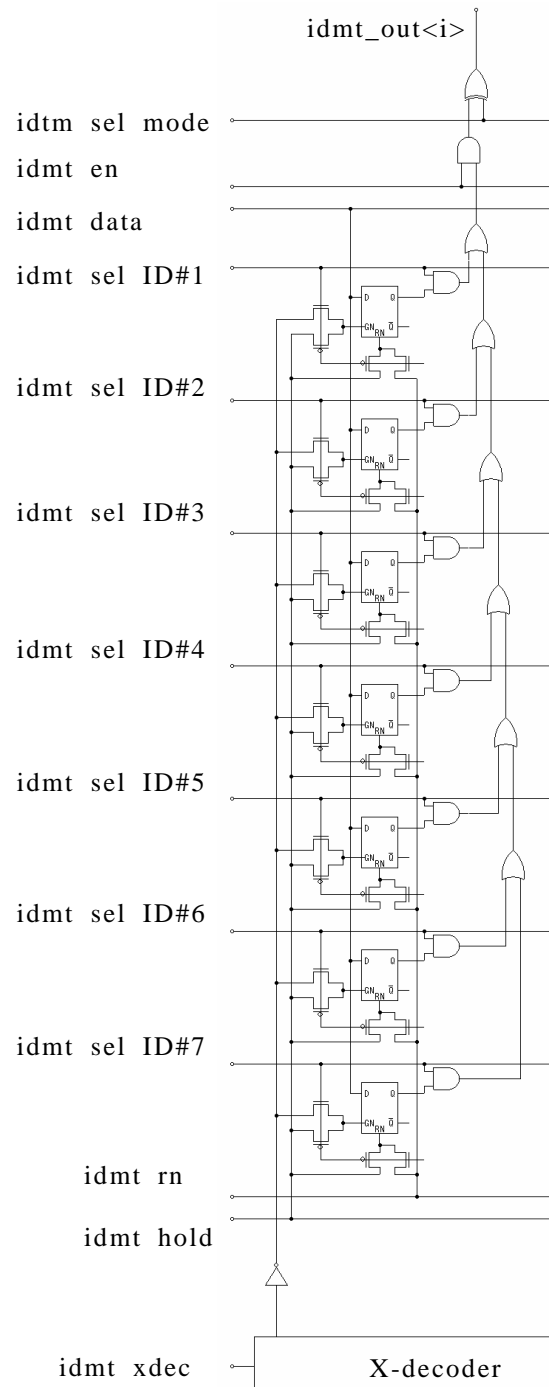


図 3.8 ID マップテーブルの回路構成 (1 列分)

図 3.8 に、ID マップテーブルの 1 列分の回路構成を示す。1 ビットメモリとして、リセット付 D ラッチを用いている。idmt_en は ID マップテーブルの有効化信号であり、通常、常時 High レベルに保つ。idmt_hold は、idmt_sel_ID#i が非選択の場合、D ラッチのゲート信号に与えられ、これを High レベルに保つことで、記憶データを保持する。

3.3.4 イメージセンサの動作タイミング

図 3.9 に提案するイメージセンサの動作タイミング、図 3.10 にイメージセンサからの出力信号の模式図を示す。ここでは、イメージセンサの画素数を 320×240 画素、ID 受信領域を 5×5 画素、ID マップテーブルに格納できる最大 ID 数を 7 個、通常画像 1 行分の読み出す際の分割数を 5 とする。提案方式では、通常画像モードと ID 受信画素読み出しモードでの読み出しを交互に繰り返して行う。それぞれのモードの期間を 1 サブフレームと定義した。通常画像の 1 フレームは 280 水平期間、1 水平期間は 12 サブフレームから成る。通常画像の 1 フレームを 33 msec とするため、1 サブフレームを約 10 μ sec とした。水平ブランキング期間は 2 サブフレームから成り、最初のサブフレームで通常画像の 1 行分の信号を、通常画像用のメモリにサンプル・ホールドする。このとき、同行に ID 受信画素がある場合は、ID マップテーブルの制御により、ID 受信画素がある列のソースフォロア回路のバイアス電流は遮断する。また、ID 受信画素はリセットしないようにする。このように提案方式の読み出しタイミングでは、通常の CMOS イメージセンサと同じ様な行アクセス方式での動作をしているが、XY アドレス可能な画素構造と ID マップテーブルの制御により、ID 受信画素にはアクセスしないような動作が可能となる点が大きな特徴となっている。通常画像用のメモリには、ID 受信画素がある列の値も記憶することになるが、この値の意味が無いことから、画像の再構成を行うときに無視する。水平ブランキング期間の 2 番目のサブフレームでは、ID マップテーブルの値をすべてリセットしてから、イメージセンサ外部で検出した ID 受信画素の座標をもとにデータの書き込みを行う。その後、通常画像読み出しモードと ID 受信画素読み出しモードを 1 水平期間中に繰り返す。まず、最初の通常画素読み出しモードでは、水平ブランキング中に記憶してある 1 行分の通常画像信号を 5 分割した最初の部分の 64 画素を読み出す。次の ID 受信画素読み出しモードでは、ID 受信領域の 1 行分の 5 画素を ID 受信画素用のメモリにサンプル・ホールドして読み出す。このとき、ID マップテーブルの制御により、同行にある通常画像受信画素はリセットせず、ソースフォロワ回路は ID 画素のある列のみ動作する。それ

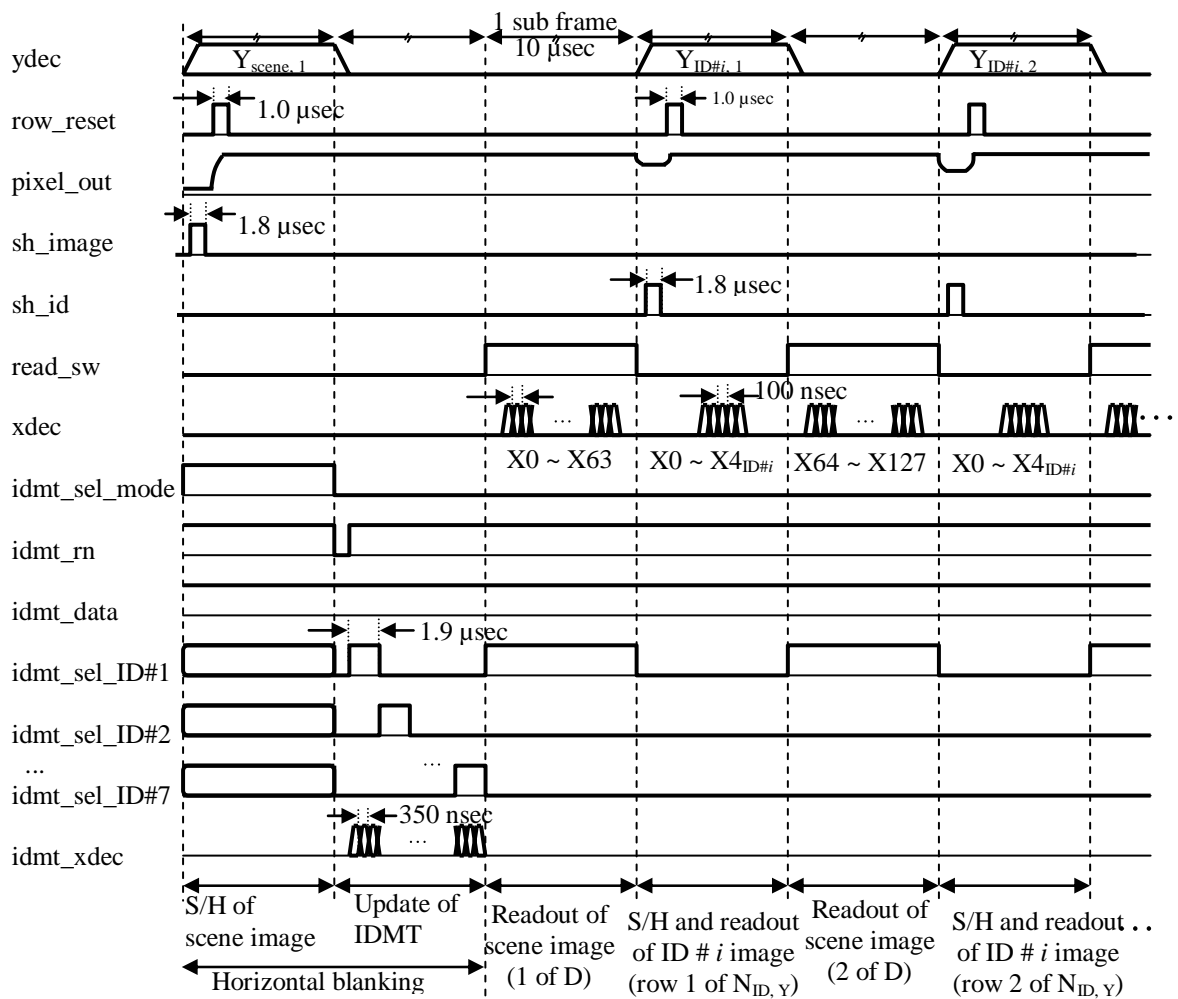


図 3.9 1 水平期間の 1 部のタイミングチャート

それぞれの動作モードでの画素の読み出し速度は共に 10 MHz とした。以上の、通常画像読み出しモード、ID 受信画素読み出しモードでの動作を連続して 5 回繰り返す、1 水平期間内に、通常画像 1 行分と、 5×5 画素からなる 1 つの ID 受信領域を読み出す。垂直ブランキング期間中は、画像処理装置に画像を取り込む際に、取り込みタイミングを合わせる調整をするために用いる。垂直ブランキング期間は 1 水平期間の 32 倍とした。図 3.10 に示すように、ID 信号のデータ欠落を防ぐため、ID 受信画素は途切れることなく読み出す必要があるため、垂直ブランキング期間にも ID 画素のみサンプル・ホールドおよび読み出しを行う。画像処理装置では、取り込んだ画素の信号値を並び替え、1 垂直期間に対し、1 枚の通常画像と、40 フレームから成る 7 つの ID 受信領域の画像を得ることができる。このように提案方式では、通常画像の読み出し速度の 40 倍で ID 受信領域を読み出し可能である。通常のローリングシャッター方式の CMOS イメージセンサと

同様に，リセットタイミングを変えることで蓄積時間を可変とすることができる．

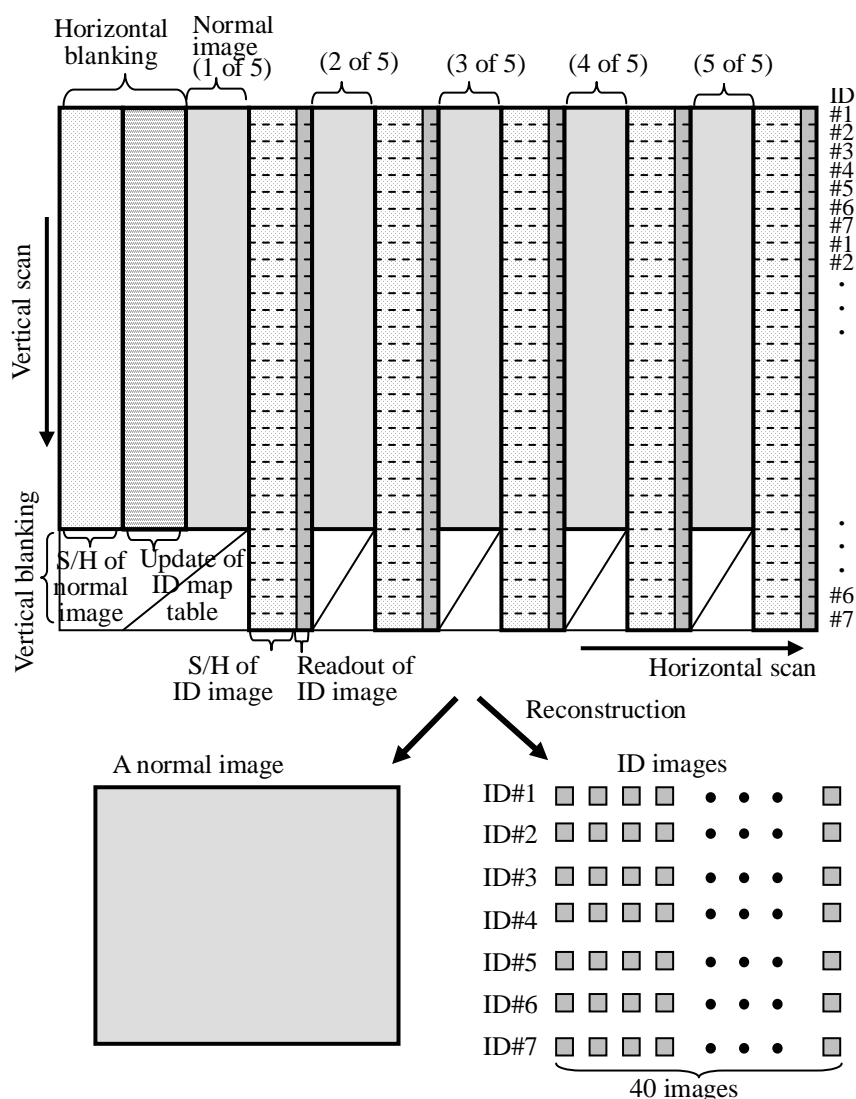


図 3.10 イメージセンサの出力信号の模式図

3.4 ID 受信 CMOS イメージセンサの評価

図 3.11 に示す実験システム構成により，前節で述べた試作 CMOS イメージセンサの撮像画像評価，高速読み出しによる ID 検出の実証を行った．イメージセンサの駆動には 2 章と同じ FPGA (HuMANDATA 社 CSP-024-12) を用い，センサ外部の 12-bit AD 変換チップ (Analog Devices 社製 AD9225AR) でデジタル化し，デジタル I/O ボード (Interface 社 PCI-2772C)

を用いて PC に取り込み，通常画像と ID 変調パターンの構成・表示を行った．連続する通常画像からパイロット信号を検出し，ID 受信領域の位置とサイズを求め，FPGA へ書き込む．その結果をもとに，イメージセンサ上の ID マップテーブルの値を更新する．

試作したイメージセンサによる通常撮像結果を図 3.12 に示す．フレームレートは 30 fps である．表 3.2 に示したように，センサのランダムノイズは $0.4 \text{ mV}_{\text{rms}}$ であり良好な画像を得ることができた．

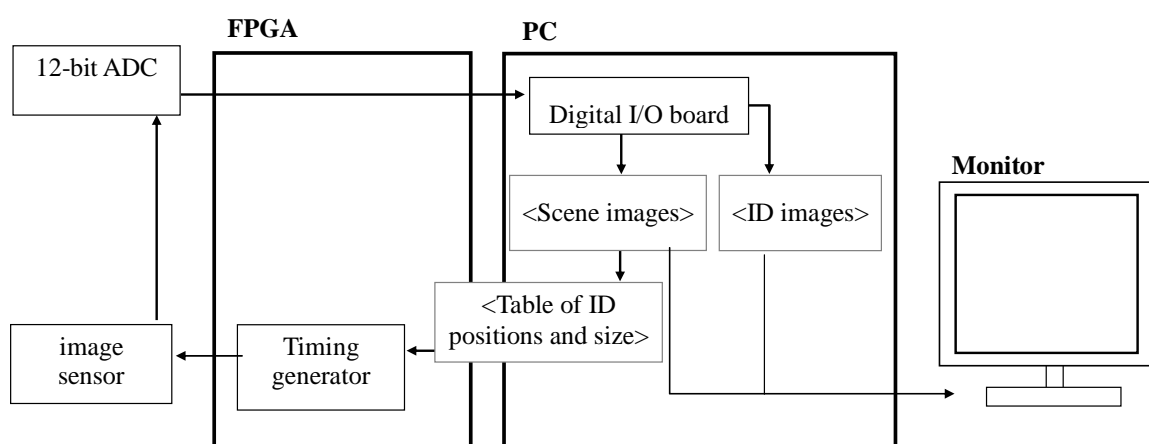
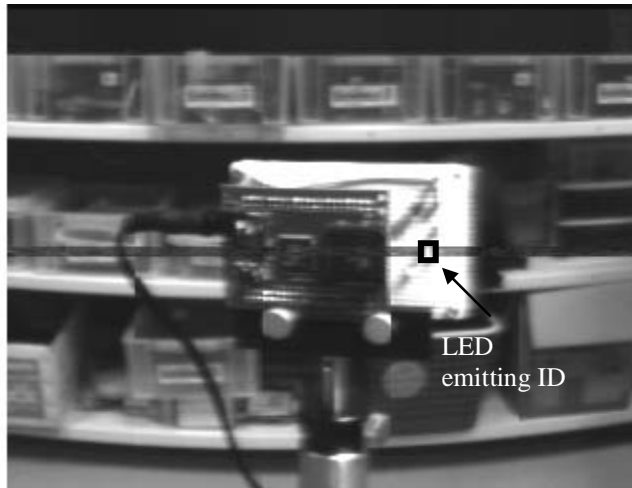


図 3.11 実験システム構成

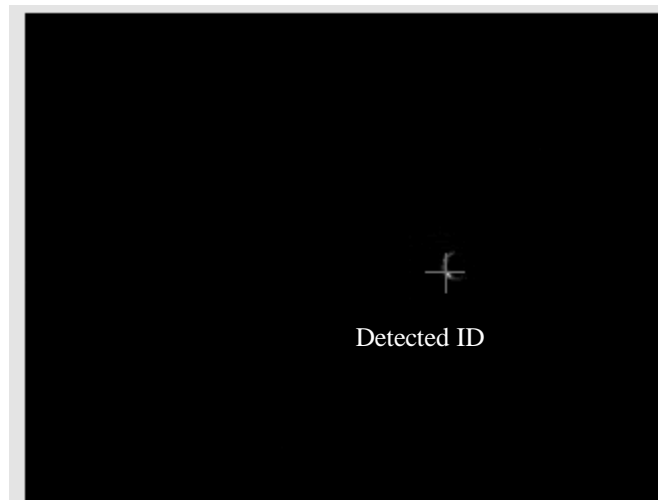


図 3.12 通常画像撮像結果

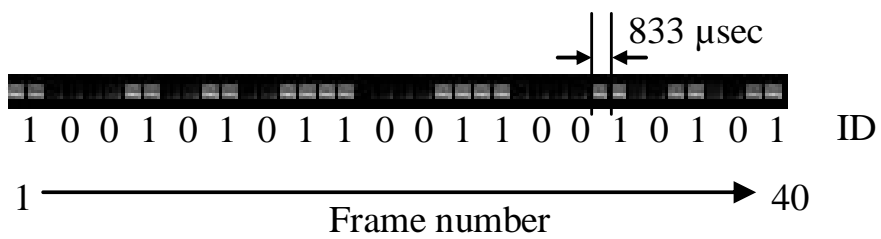
図 3.13(a)-(c)に ID 光源の明滅パターンの検出までの結果を示す。ID 信号は図 3.13(a)の通常画像中に示すように、赤色 LED を用いた ID 送信モジュールから送信した。ID 送信モジュールは、600 Hz で変調した 2 値信号を送信している。実験では、ID に 7.5 Hz のパイロット信号を重畳するために、図 3.2(b)に示したように、パルス幅をデューティ比 50%と 100%の 2 段階に変調した。図 3.13(b)は、図 3.13(a)に示す 30 fps の通常画像に対して、7.5 Hz のパイロット信号成分の検出を行った画像である。十字の中心が検出された ID の重心位置を示している。図 3.13(b)に示すように、ID 光源の位置を検出できているのが分かる。この結果を基に ID マップテーブルの値を書き込み、ID マップテーブルの制御により、検出した重心位置の周辺 5×5 画素を ID 受信領域とし、イメージセンサの駆動を行った。図 3.13(c)は、 5×5 画素から成る ID 受信領域の画像を示している。ID 受信領域の 1 フレームは 833 μsec であり、通常画像の 40 倍の速度で読み出している。ID の変調周期は 1.6 msec なので、ID 受信領域画像 2 フレーム分が ID 光源の”0”,”1”の変調パターンに相当している。図 3.13(c)に示すように、提案した読み出し方式により、通常画像を 30 fps で 1 フレーム撮像する間に 40 フレームの ID 受信領域の画像が得られているのが分かる。ビデオレートに比べると高速な LED の輝度変化を 1,200 fps で撮像することにより ID の明滅パターンが得られている。各電源の電流値を測定して算出したイメージセンサ単体の消費電力は表 3.2 に示したように 3.6 mW であり、携帯端末への搭載を考えると十分実用的な値に抑えることができた。これらの結果から、提案した部分領域高速読み出し方式 CMOS イメージセンサにより、低消費電力での ID 受信動作を実証することができた。図 3.13(a)示すように、ID 受信領域と同行の通常画像に横筋がみられるが、これについては 3.6 節で議論する。



(a) 通常画像



(b) パイロット信号の検出画像



(c) ID 受信領域の画像 (5×5 画素, 40 フレーム分)

図 3.13 ID パターン検出結果

3.5 カラム適応ゲインアンプ実装による ID 受信性能の向上

3.4 節で述べたように，提案している部分領域高速読み出し方式による CMOS イメージセンサにおいて 4 トランジスタの単純な画素構成により，低消費電力での ID 受信機能を実証した．このイメージセンサを利用すると，30 fps での通常撮像を行いながら，最大 7 つの ID 光源を受信している領域を 1,200 fps で読み出し，ID 情報を受信することができる．本節では，部分領域高速撮像が可能な ID 受信可能な CMOS イメージセンサの ID 受信性能の向上を目指す．提案する ID 受信方式では，数 100 Hz の高速で変調した ID 情報を受信するために，ID 受信領域を通常撮像速度 30 fps の 40 倍である 1,200 fps で高速撮像する．このため，ID 受信領域画素の信号レベルは通常画像の画素の $1/40$ になってしまう．ID 光源の輝度はシーン中の他の物体と比較すると非常に高いため，多くの場合，1,200 fps のような高速フレームレートでも検出可能である．しかし，ID 光源とイメージセンサの距離が離れている場合などには，ID 受信の信号強度が下ることで S/N が悪くなり，ID 受信率の低下が懸念される．

この問題を解決する方法として，カラム適応ゲインアンプ[3]の適用を検討した．この方式は，低照度時にカラムアンプのゲインを上げることによって入力換算ノイズを低減し，ダイナミックレンジを拡げるために用いられている．本論文では，カラム適応ゲインアーキテクチャが，高速フレームレート読み出しの蓄積時間が短いために生じる S/N 劣化を抑制する目的にも有効であると考え，ID 受信イメージセンサへのカラム適応ゲイン増幅の適用を試み，新たな CMOS イメージセンサを設計・試作し，評価を行った．

3.5.1 カラム適応ゲインアンプ搭載 ID 受信 CMOS イメージセンサの設計・試作

カラム適応ゲイン増幅アンプを有する ID 受信 CMOS イメージセンサを，AMS 社の 0.35- μm CMOS 2Poly-3Metal プロセスを用いて設計・試作した．図 3.14 と表 3.3 に，試作センサのチップ写真と諸元・特性を示す．センサの特性については後で詳述する．また，図 3.15 にカラム適応ゲインアンプ搭載 ID 受信イメージセンサのブロック図を示す．このイメージセンサは，画素アレイ，列並列アンプ，S/H 回路，ID マップテーブル，読み出し回路から構成されている．3.3 節で述べた ID 受信イメージセンサと比較すると，

カラム適応ゲインアンプを搭載した点が大きく異なる．カラム適応ゲインアンプを搭載するために読み出し回路は再設計を行った．以下で各回路ブロックの機能について説明する．

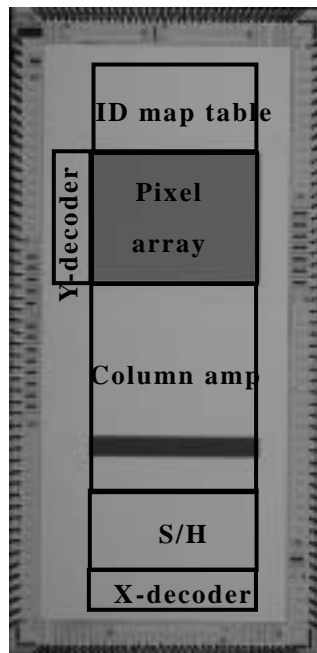


図 3.14 カラム適応ゲインアンプ搭載イメージセンサチップの外観写真

表 3.3 試作したセンサの諸元および特性

Technology	0.35- μm CMOS 2P 4M
Chip size	4.28 x 8.78 mm ²
Array size	320 x 240 (effective area)
Pixel size	7.5 x 7.5 μm^2
Fill factor	25%
Random noise	0.65 mV _{rms} (Gain = 1) 0.46 mV _{rms} (Gain = 16)
Fixed pattern noise	0.30 mV _{rms} (Gain = 1)
Saturation signal	0.57 V
Dynamic range	59 dB (Gain = 1)
Frame rate (scene)	29.5 fps(scene), 1.2 kfps/ ID(ID)
Number of detectable IDs	7 (max)
Power supply	3.3 V (analog and digital) 1.8 V(pixel source follower) 2.1 V (reset voltage of PD)
Power consumption	99.8 mW

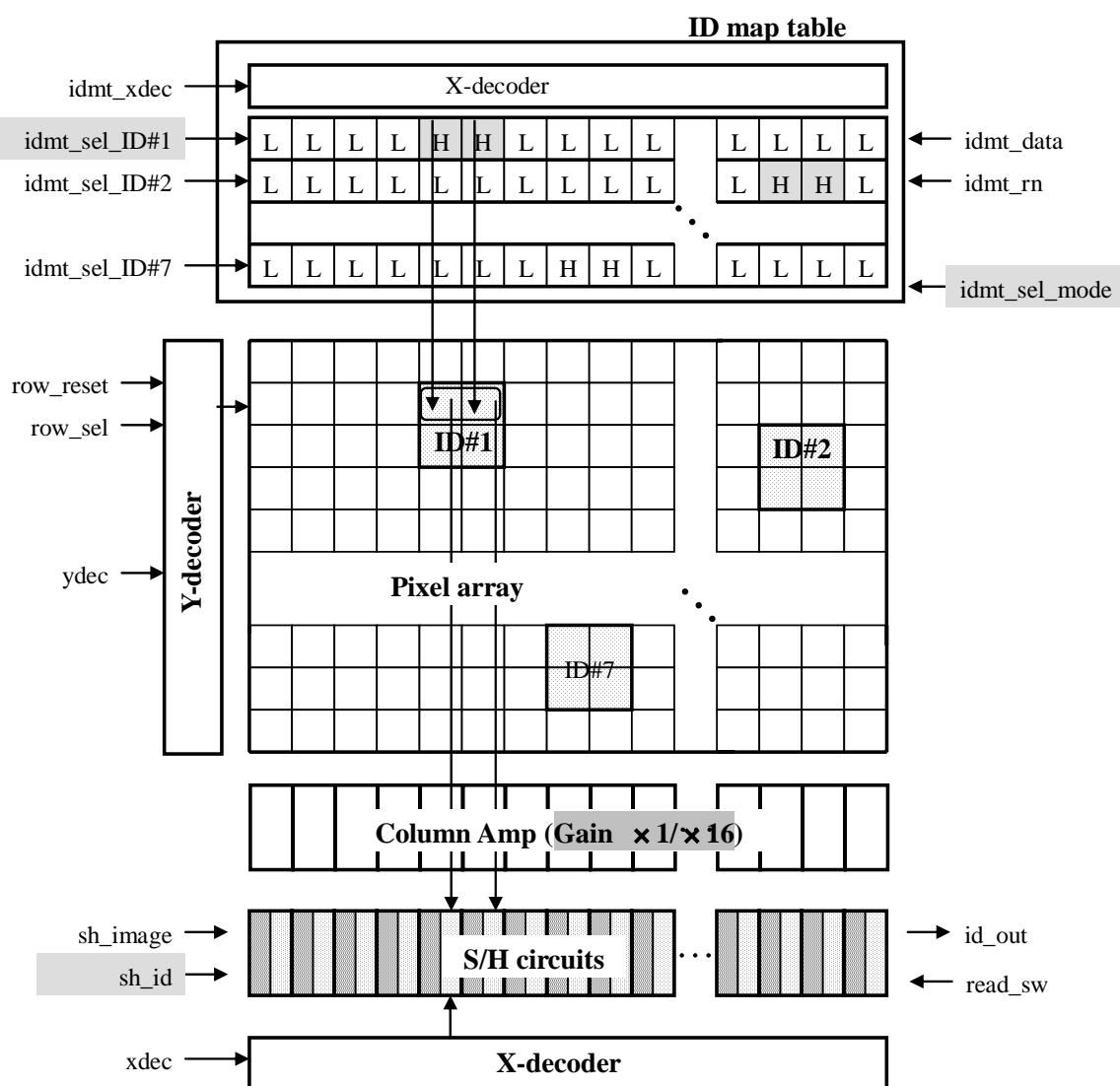


図 3.15 カラム適応ゲインアンプ搭載 ID 受信イメージセンサのブロック図

3.5.2 画素周辺回路

図 3.16 に、カラム適応ゲインアンプ搭載 ID 受信イメージセンサの画素回路と、リセット制御、初段ソースフォロアなどの画素周辺回路を示す。画素回路は 3.3.1 節で示したものと同様の構成である。フォトダイオードのリセットには新たにフラッシュリセット方式[4]を用いる。図 3.17 にフラッシュリセットのタイミングを示す。フラッシュリセットでは、ハードリセット後にソフトリセットをかけるため、残像がなく、かつリセット時の kTC ノイズを低減することができる。また、読み出し速度を向上するために、垂直信号線を $0V$ にプリチャージするためのスイッチを設けている。

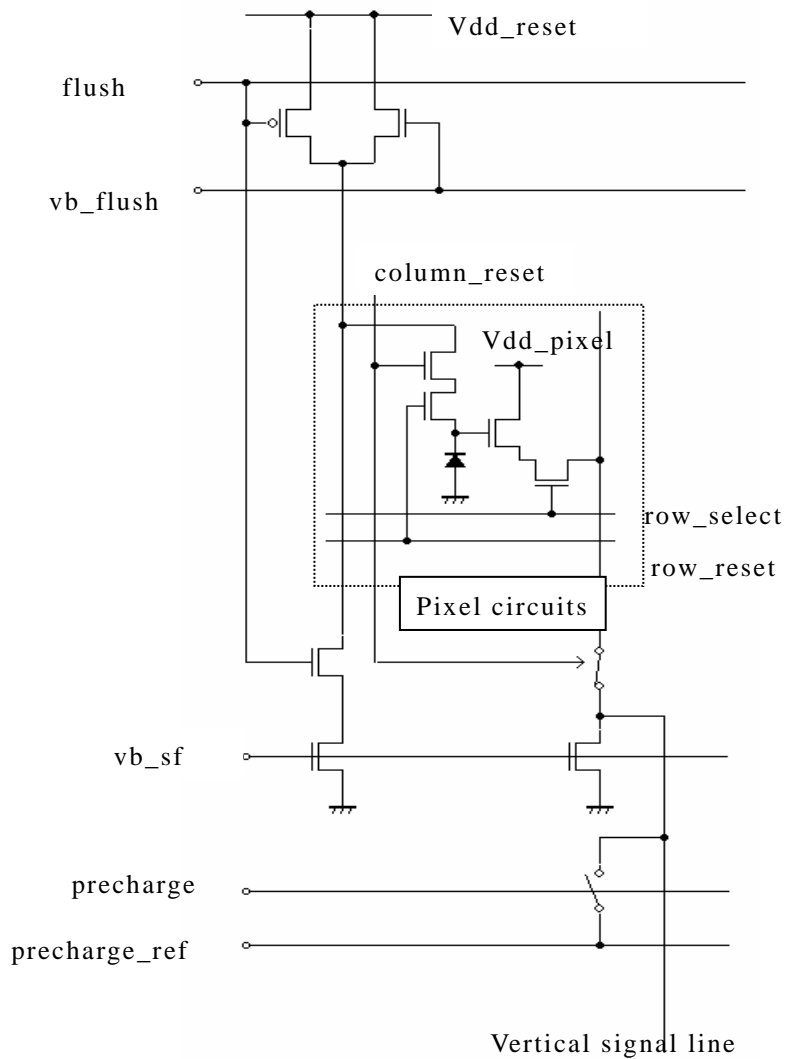


図 3.16 画素と画素周辺回路

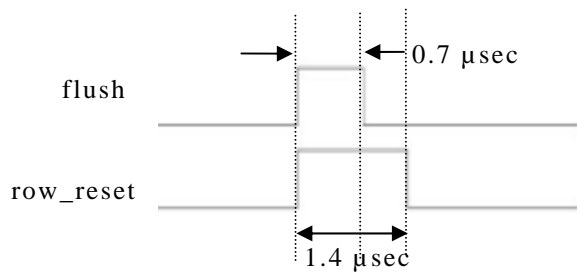


図 3.17 フラッシュリセットのタイミング

3.5.3 列並列回路

図 3.18 にこのセンサの列並列回路ブロックを示す。カラムアンプ回路には、信号レベルに応じてゲインを 1 倍と 16 倍に切り替えることができる適応ゲインアンプを用いている。列ごとに適応ゲインアンプを設け、ID 受

ることにより帰還容量を $1C$ または $16C$ として、ゲインを 1 倍または 16 倍にすることができる。試作したセンサでは、センサ面積の増大を抑制するため、 $1C$ を 100 fF と小さい値とした。ゲインの切り替えは、コンパレータの出力を gain_gn によってゲインメモリに記憶し、この値によって制御する。コンパレータの閾値はセンサの飽和出力信号の $1/16$ より少し小さく設定している。また、 gain_ctrl_sw の切り替えと gain_ctrl_in の値により、全列に対してのゲインを外部制御可能である。スイッチトキャパシタアンプを構成するアンプには、図 3.19 に示すゲインブーストカスコードアンプを用いた。このアンプのオープンループゲインのシミュレーション値は約 92 dB であり十分大きな値を実現した。アンプには、バイアス電流を切断するためのスイッチが設けてある。ID 受信画素を読み出す場合、1 行の中で ID 受信画素は高々数画素で、ほとんどの列は読み出す必要がない。そこで、画素値を読み出さない列のアンプのバイアス電流を停止してアンプを動作させないことにより、消費電力を半分程度にまで抑制する。

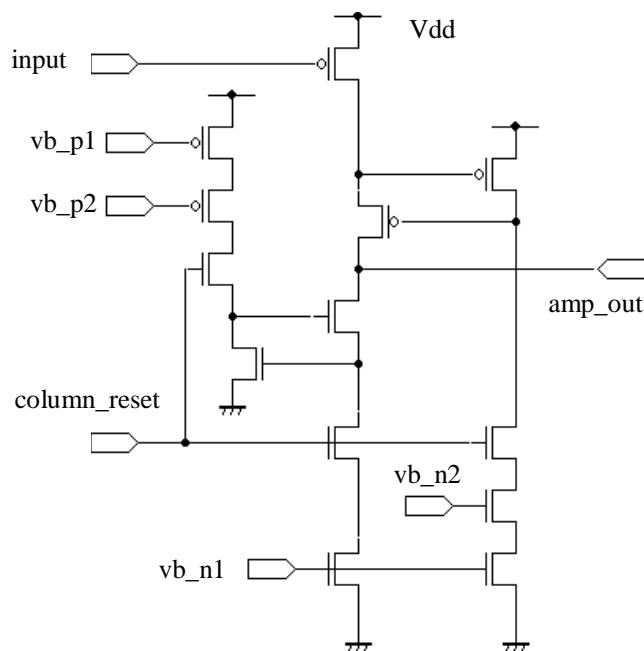


図 3.19 ゲインブーストカスコードアンプ

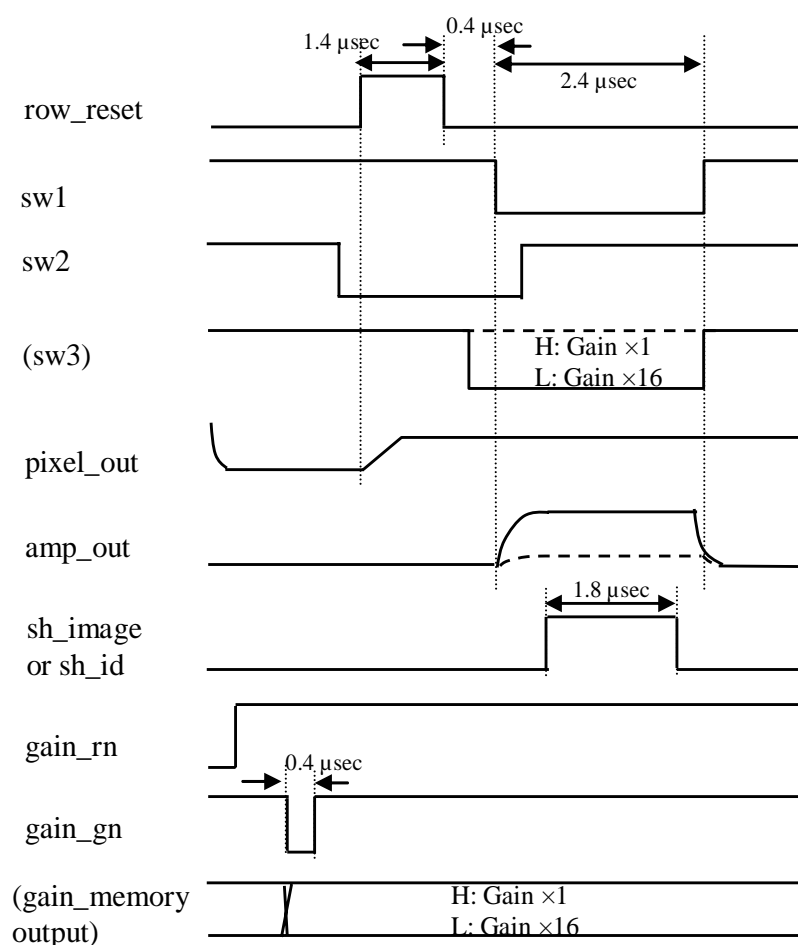


図 3.20 カラム適応ゲインアンプの動作タイミング

図 3.20 にカラム適応ゲインアンプの動作タイミングを示す。まず、sw1 を閉じてアンプをリセットする。このときの V_2 の電圧を V_{TH} とする。また、sw2 によって画素信号の信号レベル V_S を入力容量にサンプルする。これにより、 V_1 と V_2 間の電圧は $V_S - V_{TH}$ となる。次に、sw2 をオフにしてから、画素のリセットを行う。その後、sw1 をオフにしてから sw2 をオンにすることにより、 V_1 は画素信号のリセットレベル V_R となり、 V_2 は $V_R - V_S + V_{TH}$ となる。この動作により CDS (Correlated double sampling) が行われる。リセットレベルと信号レベルの差を出力値とすることで、リセットレベルの画素ごとのばらつきによる固定パターンノイズを抑制した信号成分が得られる。このとき、信号値は 1 倍または 16 倍に増幅される。アンプの閾値 V_{TH} が出力成分に残っているため、この値のばらつきにより数 10 mV 程度の列ばらつきが生じるが、これはイメージセンサ上下に 4 画素ずつ設けた遮光画素の信号レベルをもとにソフトウェア処理によって除去する。

3.5.4 イメージセンサの動作タイミング

図 3.21 にカラム適応ゲインアンプ搭載 ID 受信 CMOS イメージセンサの 1 水平期間の一部の動作タイミングを示す．ここでは，イメージセンサの画素数を 320×240 画素，ID 受信領域の画素数を 5×5 ，ID マップテーブルに格納できる最大 ID 数を 7 とする．提案方式では，通常画像モードと ID 受信領域読み出しモードでの読み出しを交互に繰り返してカラムアンプを介して画素値をサンプル・ホールド回路まで読み出すが，それぞれのモードの期間を 1 サブフレームと定義した．通常画像の 1 フレームは 280 水平期間，1 水平期間は 12 サブフレームから成る．通常画像の 1 フレームを 33 msec とするため，1 サブフレームを約 $10 \mu\text{sec}$ とした．

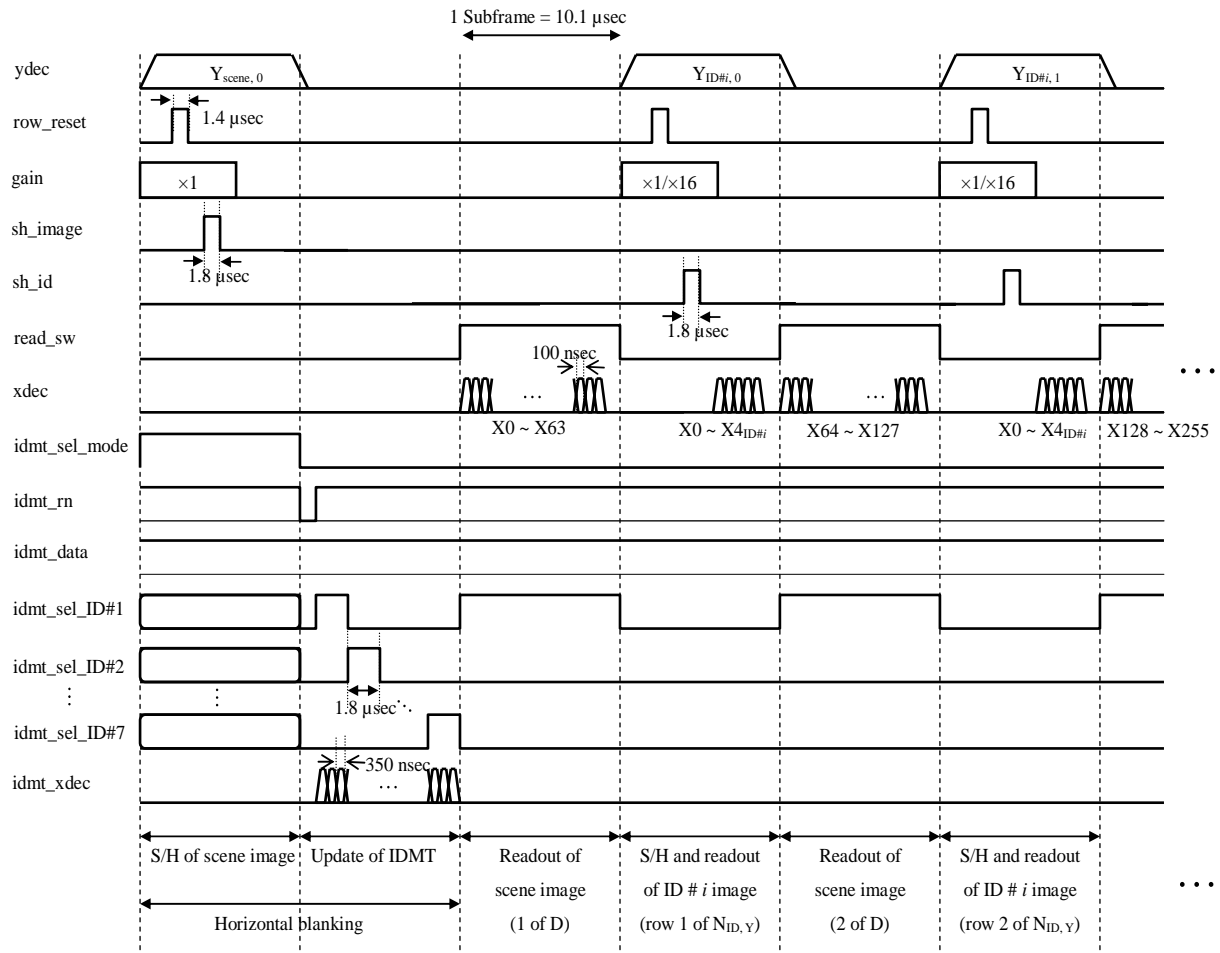


図 3.21 1 水平期間の一部のタイミングチャート

水平ブランキング期間は2サブフレームから成り、最初のサブフレームで通常画像の1行分の信号を、カラムアンプの利得を1倍に固定して読み出し、通常画像用のメモリに記憶する。このとき、同行にID受信画素がある場合は、IDマップテーブルの制御により、該当列のソースフォロア回路とカラムアンプには電流が流れない。また、ID受信画素はリセットしない。ID画素がある列の通常画像用S/H回路には無意味な値が記憶されることになるが、これは、イメージセンサから画像を読み出した後、画像処理を行うときに無視する。水平ブランキング期間の2番目のサブフレームでは、IDマップテーブルを更新する。次のサブフレームで、既に記憶してある1行分の通常画像信号を5分割した最初の部分をイメージセンサ外に読み出す。次に、ID受信画素信号のサンプル・ホールドおよびイメージセンサ外への読み出しを1サブフレーム内に実行する。まず、IDがある画素領域の1行目をID受信画素用のメモリに記憶する。信号レベルが小さい場合には、カラム適応ゲインアンプによって16倍に増幅しS/Nを確保する。このとき、IDマップテーブルの制御により、同行にある通常画像の画素はリセットせず、カラム適応ゲインアンプは、ID受信画素のある列のみ動作する。その後、記憶したID受信画素の値を読み出す。このとき、IDの存在しない列は読み出さないことに注意する。

以上の、通常画像のイメージセンサ外への読出し、ID受信画素信号のサンプル・ホールドおよび読出し動作を連続して5回繰り返し、1水平時間内に、通常画像1行分と、5×5画素からなる1つのID受信領域を読み出す。垂直ブランキング期間中は、画像処理装置に画像を取り込む際に、取り込みタイミングを調整するために用いる。垂直ブランキング期間は1水平期間の32倍とした。ID受信領域画素の信号は途切れることなく読み出す必要があることから、垂直ブランキング期間にもID画素はサンプル・ホールドおよび読み出しを行う。画像処理装置では、取り込んだ画像データを並び替え、1垂直期間に対し、1枚の通常と、40フレームから成る7つのIDの画像を得る。

3.5.5 カラム適応ゲインアンプ搭載 ID 受信イメージセンサの評価結果と考察

図 3.22 に示す評価系を用いて、試作したイメージセンサのID受信精度の評価を行った。イメージセンサの駆動にはFPGA (HuMANDATA 製 CSP-024-12) を用いた。FPGA 内には、7つのIDの位置とサイズを記憶するテーブルがあり、タイミングジェネレータはその内容に従って、センサの制御信号を生成する。イメージセンサからのアナログ画像出力は、セン

サ外部に設けた 12-bit AD 変換チップ (Analog Devices 社製 AD9225AR) によりデジタル化し , FPGA に入力する . FPGA は , 通常画像はそのまま PC のデジタル I/O ボード (Humandata 社 PCI-2772C) に出力する . ID 受信画素の信号は垂直ブランキング期間中も読み出されるため , 一旦 FPGA 内のリングバッファに格納し , 通常画像の画素信号と交互に , センサから読み出した際の 2 倍の速さでデジタル I/O ボードに出力する . このため , 垂直ブランキング期間に , デジタル I/O ボードに対して画像データが送られることはない . PC で安定してコマ落ちなく画像を取り込むためには , フレーム間に画像データが送られて来ない一定の空き時間を設ける必要がある . 実験では , この空き時間として垂直ブランキング期間を利用している . イメージセンサの出力には 1 V 程度のオフセット電圧が含まれるため , オペアンプ (Analog Devices 社製 AD817) を用いたレベルシフト回路により , AD 変換チップの入力範囲に合わせている . デジタル I/O ボードによって PC に取り込んだ画像データは , 通常画像と ID 受信画素の信号が混ざっているため , 通常画像 1 枚単位で , 通常画像と ID 受信画素の信号に分離する . その後 , 連続する複数の通常画像から , パイロット信号成分を検出し , ID 受信領域と推定される領域の位置とサイズを計算する . その結果をもとに , FPGA 内の ID 情報テーブルを更新し , イメージセンサ内の ID マップテーブルの値の書き込みを制御する .

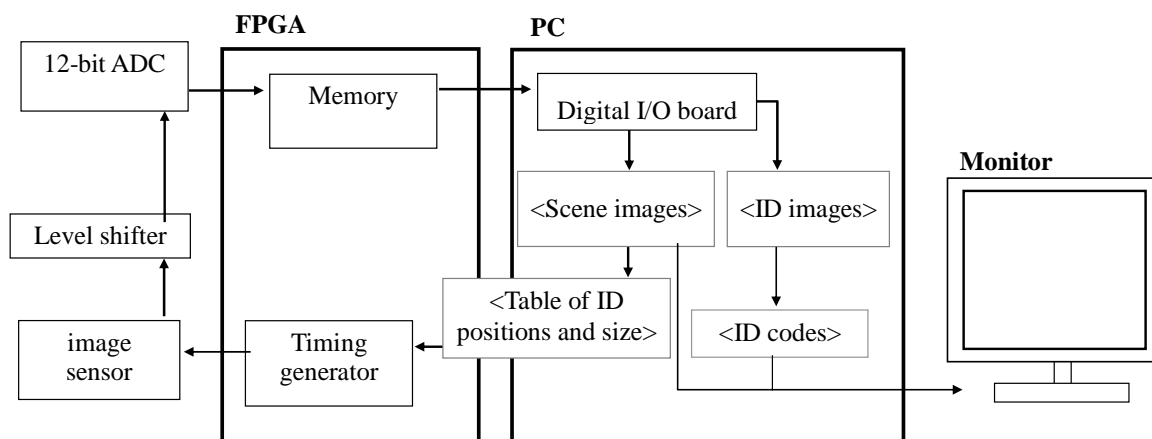


図 3.22 ID 受信精度の評価系

図 3.23 にカラム適応ゲインアンプのゲインを外部制御により 1 倍，16 倍に固定したときの，イメージセンサの出力を AD 変換したデジタル出力値の光量依存性を示す．図中のデジタル出力の 1 LSB (Least Significant Bit) は 0.49 mV に対応している．光源には近赤外 LED (中心波長 $\lambda_p = 890 \text{ nm}$) を用い，パワーメータで撮像面での光量を測定した．図 3.23 に示すように，ゲインを 16 倍に固定することによって，出力値を増幅できていることがわかる．しかし，出力値から求めたゲインの比は約 12 倍となった．これは，設計時に考慮しなかった寄生容量によって，カラム適応ゲインアンプの帰還容量 $1C$ が設計値よりも大きくなったことが原因であると考えられる．

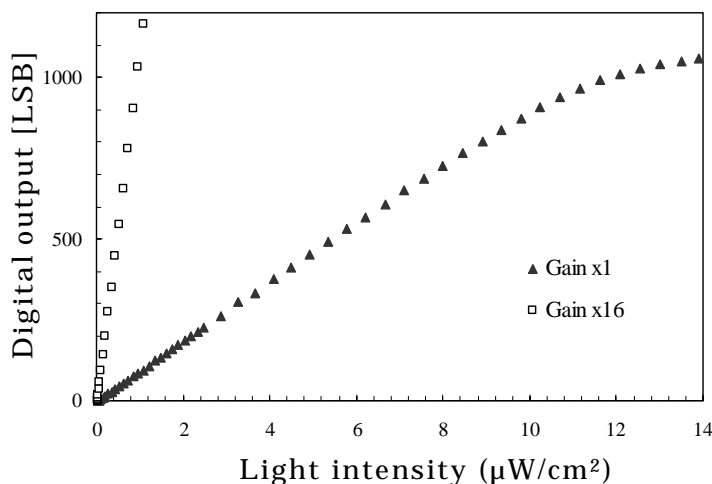


図 3.23 ゲイン切り替えによる出力値の変化

表 3.3 に，試作したイメージセンサのノイズ評価結果を示す．ノイズ評価は，光を照射しない状態でイメージセンサの全画素の出力値の標準偏差から求めた．ゲイン 1 倍での，列ばらつきを補正した固定パターンノイズは $0.30 \text{ mV}_{\text{rms}}$ であった．列ばらつきの補正を，イメージセンサ上下にそれぞれ 4 行ずつ設けた遮光画素の出力を，同じ列の画素値から PC でソフトウェアにより減算することによって行った．イメージセンサの出力値を利用することで，ゲイン 1 倍時に換算したランダムノイズは，ゲイン 1 倍および 16 倍（測定値は 12 倍）でそれぞれ， $0.65 \text{ mV}_{\text{rms}}$ ， $0.46 \text{ mV}_{\text{rms}}$ であった．これらの結果から，ID 受信時にゲインを切り替えることにより，ID 信号の S/N を 1.4 倍に向上した．しかし，ゲインの比率と比較して十分な S/N の向上は得られなかった．これは，画素内のフォトダイオードのリセット時に発生する kTC ノイズを除去できていないためだと考えられる．kTC ノイズはフォトダイオードの容量 C_{PD} [F] の容量に繋がるスイッチに

より発生するノイズで式(3.2)のように表される。

$$V_{n,kTC} = \sqrt{\frac{kT}{C_{PD}}} \quad (3.2)$$

ここで、 k ：ボルツマン定数， C_{PD} ：フォトダイオードの容量， T ：温度である。設計値として $T=300$ [K]， $C_{PD}=10.27 \times 10^{-15}$ [F]とすると， $V_{n,kTC}$ は $0.62 \text{ mV}_{\text{rms}}$ となる。このことから，ランダムノイズはほとんど kTC ノイズであるため，ゲインを増幅しても除去することができずに S/N が向上しなかったと考えられる。 kTC ノイズを除去するには，通常のイメージセンサでは 4 トランジスタ型の画素構造を用いているので，これをもとに画素構造を改善することで， kTC ノイズを除去して S/N を向上できると考えられる。また，3.4 節で試作したイメージセンサのランダムノイズは $0.40 \text{ mV}_{\text{rms}}$ だったのに対し，ノイズが増加している。これは，3.4 節での評価に比べて評価基板のノイズ対策が不十分なためと考えられる。今後，多層基板を用いるなどして改善できると考えられる。

ゲイン切り替えによる ID 受信精度の向上を実証するためにゲインを外部から与え，ゲイン 1 倍，16 倍それぞれについて光量を変化させた場合の ID 受信率を測定した。ID 受信率は送信した ID 情報数に対する ID 受信に成功した ID 情報の割合とする。ID 光源には波長 890 nm の LED を用いた。ID 情報の送信は 1 秒間に 5 回行われている。また，ID の誤検出を防ぐため，2 回連続受信に成功した場合のみ ID を検出したと判定するようにしている。このため，1 秒間で ID を検出する必要があるとすると，ID 受信率は実用上 50% 程度必要と考えられる。ゲイン 1 倍，16 倍（測定値は 12 倍）それぞれの場合で光量を変化させ，ID 受信率を算出した。図 3.24 に測定結果を示す。ID 光源の平均送出パワーは $800 \mu\text{W}$ であり，ゲイン 1 倍の画素出力が飽和する光量により規格化している。LED の直径は 6 mm である。イメージセンサからの光源距離を 1.2 m とした。撮像には焦点距離 3 mm，開放 F 値 1.3 の CS マウントレンズ（FUJINON 製 YV2.6x3B-2）を用いた。入射光量を撮像レンズの手前に ND フィルタを置くことにより調整した。図 3.23 より，ゲイン 1 倍，16 倍ともに，入射光量が多い場合には ID 受信率はほぼ一定であることがわかる。このときの受信率が 100% でないのは，ID の検出アルゴリズムの問題であると考えられ，今後の改善が必要である。規格化光量が 0.02 以下でゲイン 1 倍の受信率が急激に減少しているのは，ゲイン 1 倍の出力信号レベルが数 mV とノイズレベルに近い値にまで小さくなるためである。一方，ゲイン 16 倍の ID 受信率は，光量の減少とともにゲイン 1 倍の受信率が減少し始めてもしばらくは一定値を保持しており，受信率 50% 以上で受信できる最低光量を 1/2 程度にすることができ

た．これは，ゲインを 16 倍にすることで，S/N が向上したためであると考えられる．この結果から，提案する ID 受信イメージセンサにおいて，コラム適応ゲインアンプ適用により規格化光量 0.02 以下の低照度側での ID 受信率を大幅に向上することに成功した．

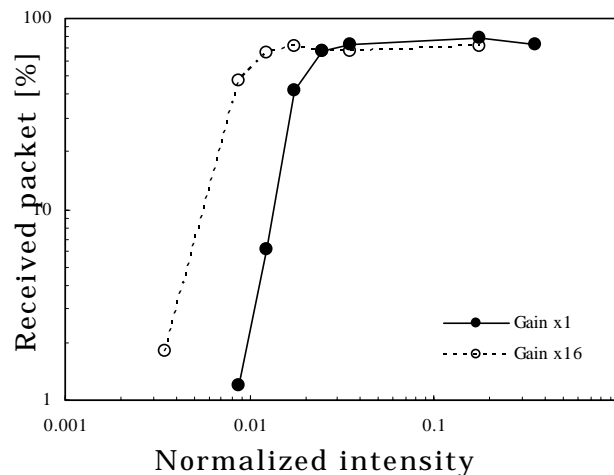


図 3.24 ID 受信率

3.6 画素構造の改善による画像劣化の抑制

3.6.1 画素構造の検討

3.3 節，3.5 節で試作したイメージセンサでは，図 3.13(a)に示すように ID 受信領域の水平方向に対して通常画像に横縞が発生する問題があった．これは，画素構造に起因するものである．この原因を図 3.25(a)-(c)に示す画素構造のフォトダイオードとリセットトランジスタ部の等価回路を用いて説明する．図 3.25(b)のデバイス構造に示すように，列・行リセットトランジスタの間には，寄生的に生じる拡散層が存在する．これは LSI 基板に対して逆バイアスがかかっており，接合容量 C_{diff} をもつ．フォトダイオードの容量 C_{PD} は，列・行リセットトランジスタが同時にオンになるときのみリセットされる．一方で， C_{diff} は列リセットがオンになるときにリセットされる．この状態で，行リセットトランジスタがオンになると， C_{diff} と C_{PD} の間で電荷の再分配が起こり，フォトダイオード電位がリセット電位側に戻される．

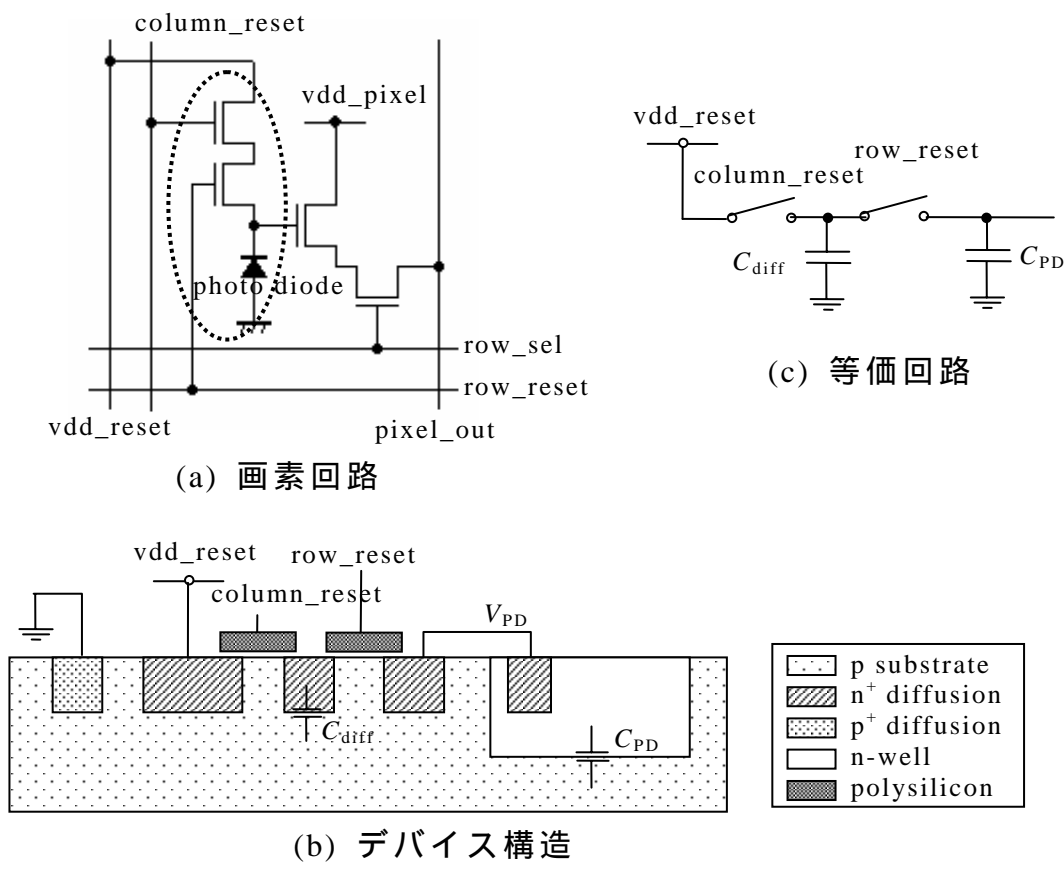
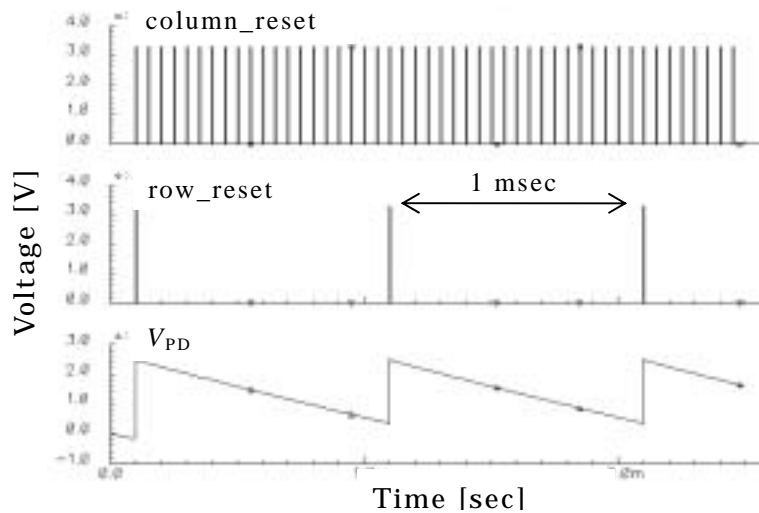


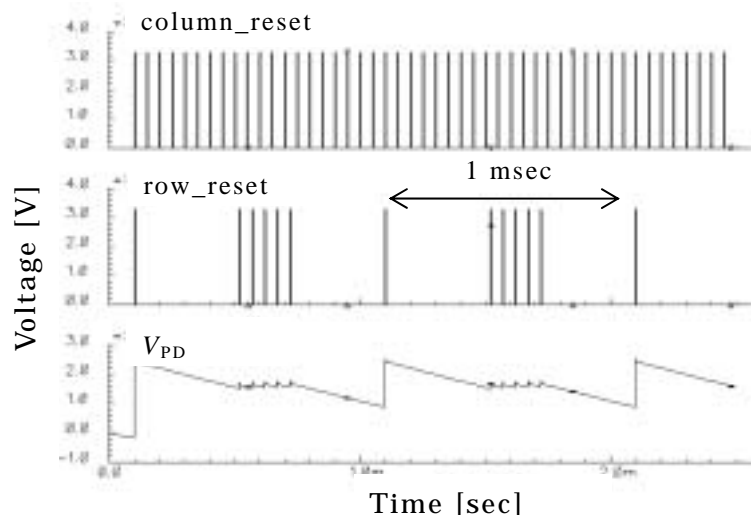
図 3.25 フォトダイオードとリセットトランジスタの等価回路

図 3.26 に画素動作のシミュレーション結果を示す。図 3.26(a), (b)はそれぞれ、通常画像の画素、ID 受信画素と同行にある通常画像画素の動作による column_reset, row_reset, V_{PD} の電位をシミュレーションした結果を示している。シミュレーション結果は、一定照度下で、フォトダイオード電位が光電流により放電されている状況を表している。図 3.26(a)に示すように、通常画素では初めに column_reset, row_reset によってフォトダイオードがリセットされる。1 フレームの間光信号を蓄積するためフォトダイオードの電位が減少する。シミュレーションでは、1 フレームを 1 msec とした。row_reset は 1 フレーム中に一回だけ ON になる。column_reset はイメージセンサの読み出しモードが切り替わるたびに ON になるが、row_reset が OFF になっているため、PD 電位に影響を与えない。一方、図 3.26(b)に示すように、ID 受信画素が存在する行では通常画像を受信している画素であっても、ID 受信画素が読み出されてリセットされるたびに row_reset 信号が High レベルになる。また、通常画像を 1 行ずつ読み出すたびに、column_reset 信号が High になる。今回試作したイメージセンサの場合、通常画像 1 フレームを取得する間に、column_reset が 240 回、row_reset が 40

回，Highレベルになる．シミュレーション結果は，それぞれのリセット回数を，20回，5回とした場合である．row_reset信号がHighになるたびに，電荷の再分配が生じ，フォトダイオード電位がリセットレベルの方向に戻されていることが分かる．



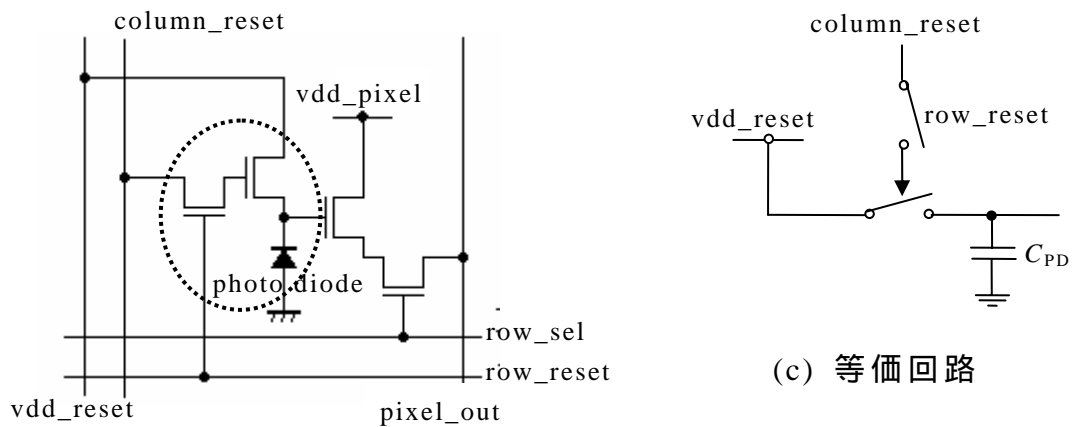
(a) 通常画素



(b) ID 受信画素と同行にある通常画素

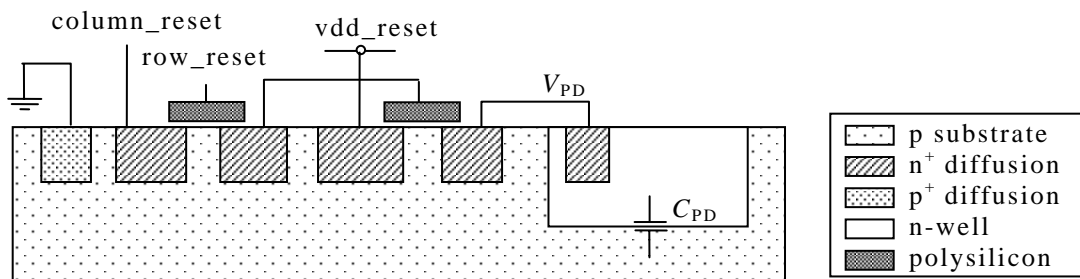
図 3.26 画素動作のシミュレーション結果

この問題の解決方法として，図 3.27(a)に示す画素回路[5]を用いた．図 3.27(b), (c)に示すように，vdd_reset と C_{PD} 間に拡散層による寄生容量が存在しない．図 3.28 にこの画素回路のシミュレーション結果を示す．図 3.28 に示すように，図 3.26(b)と比較して，電荷の再分配が生じていないのが分かる．



(a) 画素回路

(c) 等価回路



(b) デバイス構造

図 3.27 新規画素構造の等価回路

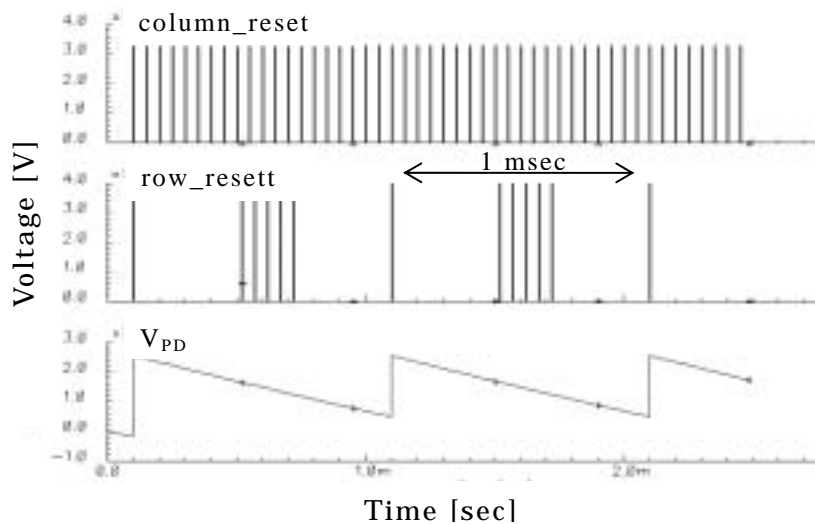


図 3.28 新画素構造のシミュレーション結果 (ID 受信画素と同行にある通常画素)

3.6.2 画素構造を改善した ID 受信イメージセンサの試作・評価

前節で示した画素構造を用いて，新たに ID 受信イメージセンサを試作した．図 3.29 に試作イメージセンサのチップ写真，表 3.4 にセンサの諸元を示す．イメージセンサの構成は，画素構造以外は 3.4 節で示した構成と同様になっている．画素構造を変えることにより，画素サイズは同じ大きさであるが，開口率は以前の構造の 25% から 20% へと低下している．

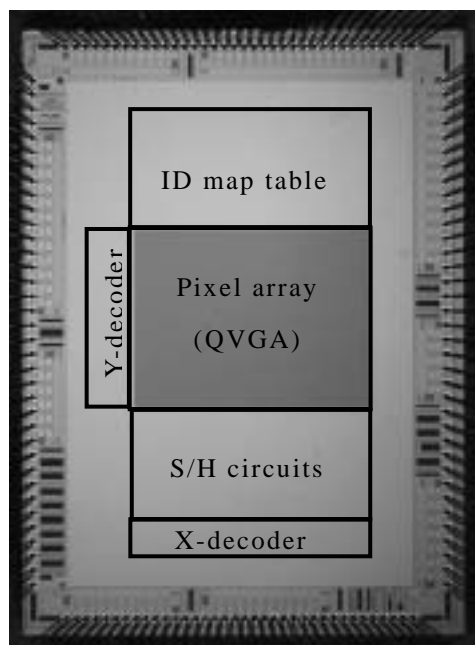


図 3.29 試作したセンサのチップ写真

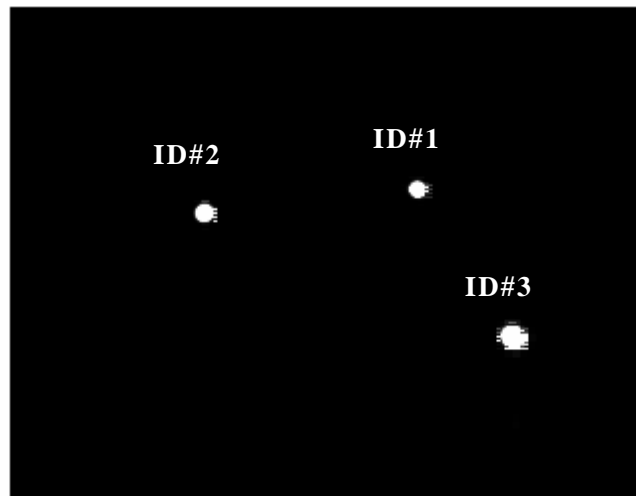
表 3.4 試作したセンサの諸元・特性

Technology	0.35- μm CMOS 2P 4M
Pixel count	QVGA (effective area: 320 \times 240)
Chip size	4.3 x 6.0 mm ²
Pixel size	7.5 μm sq.
Fill factor	20%
Frame rate (scene)	30 fps
Frame rate (ID)	1,200 fps/ ID
Number of detectable IDs	7 (max)
Power supplies	3.3 V (analog and digital) 1.8 V (source follower in pixel) 2.4 V (reset voltage of photo diode)

図 3.30 に，画素構造を改善した ID 受信イメージセンサによる，ID 受信の結果を示す．図 3.30(a)-(c)はそれぞれ，通常撮像画像，ID 受信領域検出結果，検出された ID パターンを示す．図 3.30(a)に示すように，ID 受信領域の水平方向に発生していた横縞を除去することができた．また，ID の変調パターン検出動作を確認した．



(a) 通常画像



(b) ID 受信領域検出結果



(c) ID パターン (5×5 画素, 1,200 fps/ID)

図 3.30 画素構造を改善した ID 受信イメージセンサによる ID 受信結果

3.7 まとめ

本章では，強度変調した光源の変調成分を検出可能なイメージセンサとして，ID 受信機能を有する CMOS イメージセンサの研究を行った．ID 受信の方式として，携帯端末への搭載を考慮して，単純な画素構成により低消費電力で ID 受信可能な読み出し方式を考案した．提案する ID 受信方式により，ID 受信可能な CMOS イメージセンサの設計・試作，評価を行った．その結果，1 画素あたり 4 トランジスタと簡素な画素構成ながら，30 fps での通常撮像と同時に最大 7 つの ID 受信領域を 1,200 fps で高速読み出すことにより，ID 情報のパターンを検出することに成功した．また，消費電力は携帯端末への搭載が実用的な 3.6 mW にまで抑えることができた．携帯端末への搭載を考慮した場合，イメージセンサチップの消費電力を数 10 mW 以下に抑える必要がある．今回試作したセンサではタイミングジェネレータ・AD 変換回路を集積化していないため，今後の設計ではそれらを含めても消費電力を数 10 mW に抑える必要がる．

ID 受信領域を 1,200 fps で高速に読み出すため，ID 受信画素の信号強度が $1/40$ になり，ID 受信の S/N 低下が問題となっていたが，カラム適応ゲインアンプを適用し信号レベルを 16 倍に増幅することにより，ID 光源の光量が小さい場合でも ID 受信の精度を向上することができた．さらに，画像構造を改善した ID 受信 CMOS イメージセンサにより，ID 受信時の画像劣化を抑えることが可能となった．

カラム適応ゲインアンプの適用により，ID 受信の S/N を向上することができたが，その向上率は 1.4 倍に留まった．これは，電源ノイズなどの影響や，画素回路が 3 トランジスタ方式であることから，フォトダイオードの kTC ノイズがカラムアンプで除去できないことに原因があると考えられる．文献[3]にあるように，4 トランジスタ方式 APS をベースに用いることにより，フォトダイオードの kTC ノイズをキャンセルし，高ゲイン動作時の S/N を向上させることができる．3 トランジスタ方式においても，アクティブリセット[6,7]を行うことにより kTC ノイズを低減する方式も有望である．

また，カラム適応ゲインアンプを適用することによりイメージセンサの消費電力は最大で 99.8 mW と増大した．提案しているイメージセンサを携帯端末に搭載することを考えると，通常の携帯用センサと同程度の数 10 mW 程度に抑える必要がある．今回試作したセンサでは，ゲイン 16 倍でスイッチトキャパシタアンプを動作させるためにアンプ部に 100 μ A 程度の大きな電流を流す必要があったために消費電力が増加した．これを抑制す

るため、アンプのバイアス電流を2種類用意し、ゲイン1倍時とゲイン16倍時で切り替えられるような回路構成にすることで消費電力を抑制できると考えられる。ゲイン1倍時の電流量はゲイン16倍時の数分の1程度ですみ、通常画像読み出しはゲイン1倍動作で良いので、消費電力を抑制できると考えられる。

今回試作したセンサはカラー化に対応していないので、カラー化への対応が今後の課題となる。低周波数のパイロット信号による点滅が人間の目に見えないようにするために、ID光源には近赤外（NIR）波長のものを用いるのが望ましい。しかし、通常のイメージセンサでは、IRカットフィルタを用いているため、近赤外のID信号を受信できない、また、通常のカラースペクトルフィルタを用いるとカラー画像の信号と近赤外信号を分離することができない問題がある。そのため、IRカットフィルタを取り除き、通常のR、G、B画素に加え、IR受信画素を付加した4波長分離型の構成が有効であると考えられる。IR画素を用いることで、周波数領域だけでなく、波長領域でもパイロット信号検出が可能となり、背景の影響除去への効果が高まるものと期待できる。但し、IRカットフィルタ除去による画像品質の劣化には別途考慮する必要がある。

参考文献

- [1] 松下伸行, 日原大輔, 後輝行, 吉村真一, 曆本純一, “ID Cam : シーンと ID を同時に取得可能なスマートカメラ,” 情処学論 , Vol.43, No.12, pp.3664-3674, 2002.
- [2] Y. Oike, M. Ikeda, and K. Asada, “A Smart Image Sensor with High-Speed Feeble ID-Beacon Detection for Augmented Reality System,” Proc. IEEE European Solid-State Circuits Conference, pp.125-128, 2003.
- [3] S. Kawahito, M. Sakakibara, D. Handoko, N. Nakamura, H. Satoh, M. Higashi, K. Mabuti, and H. Sumi, “A Column-Based Pixel-Gain-Adaptive CMOS Image Sensor for Low-Light-Level Imaging,” Dig. Tech. Papers, IEEE Int. Solid-State Circuits Conference, Vol.12, No.7, pp.224-225, 2003.
- [4] B. Pain, G. Yang, T. J. Cunningham, C. Wrigley, and B. Hancock, “An Enhanced-Performance CMOS Imager with a Flushed-Reset-Photodiode Pixel,” IEEE Trans. Electron Devices, Vol.50, No.1, pp.48-56, 2003.
- [5] O. Yadid-Pecht, B. Pain, C. Staller, C. Clark, and E. Fossum, “CMOS Active Pixel Sensor Star Tracker with Regional Electronic Shutter,” Dig. Tech. Papers, IEEE J. Solid-State Circuits, Vol.32, No.2, pp.285-288, 1997.
- [6] B. Fowler, M. D. Godfrey, J. Balicki, and J. Canfield, “Low noise readout using active reset for CMOS APS,” Proc. SPIE 3965, pp.126-135, 2000.
- [7] B. Pain, T. Cunningham, B. Hancock, G. Yang, S. Seshadri, and M. Ortiz, “Reset noise suppression in-two dimensional CMOS photodiode pixels through column-based feedback-reset,” IEDM Tech. Digest IEEE pp.809-12, 2002.

第4章 ID 受信 CMOS イメージセンサの 情報家電用ユーザインターフェイス への応用

4.1 はじめに

近年の家電製品の情報化の進展により，近い将来，テレビ，HDD レコーダ等の情報家電やパソコンがホームネットワークを介して相互接続され，機器間のデータ共有や制御が可能になる[1-4]．そのような環境においては，ネットワーク越しに機器を識別するため，操作対象が分かりにくいという問題が生じると考えられる．そこで本研究では，ネットワークを介して接続された情報家電を視覚的に操作可能なユーザインターフェイスの開発を目的とする．

本研究では，第3章で開発した ID 受信 CMOS イメージセンサを情報家電用ユーザインターフェイスに応用する．図 4.1 に提案するシステムを示す．情報家電に設けた近赤外 LED から，それぞれの機器に固有の ID を，数 100 Hz ~ 数 kHz の低速で送出する．情報機器から発した ID 光は，携帯電話やハンドヘルド PC などの携帯情報端末に搭載した ID 受信イメージセンサで受信する．通常のイメージセンサでは，読出しフレームレートが 15 fps から 30 fps と遅いため，その 10 倍以上の速さで明滅する ID は検出できない．第3章で提案した ID 受信可能な CMOS イメージセンサを利用すると，30 fps での通常撮像を行いながら，1.2 kfps で ID 受信領域を読み出し，情報機器からの ID を読み取ることができる．提案されている他方式の ID 受信機能をもつイメージセンサ[5, 6]と比べて消費電力が少ないため，バッテリー駆動を前提とした携帯情報端末にも搭載可能である．

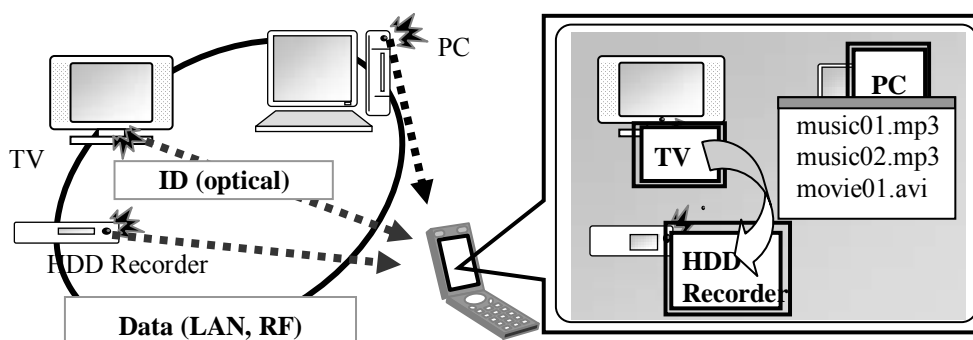


図 4.1 提案した情報家電用ユーザインターフェイスの概要

高ビットレートが必要とされる情報機器・携帯情報端末間のデータ通信には、情報機器、携帯端末に搭載された有線・無線 LAN、IrDA、Bluetooth、Zigbee、Wireless USB 等を用いる。データ通信においては、機器の識別には IP アドレスなどに加えて、前述の ID も利用する。図 4.1 に示すように、受信した ID に対応するアイコンを、撮像した通常画像上に重ねて表示することにより、ユーザは携帯情報端末のディスプレイ上で、機器の位置と種類を視認しながら操作できる。このような、実世界と、ネットワーク接続された電子機器の仮想世界が融合した拡張現実の手法は今までに提案されているが[5]、これを情報家電の操作に適用することによって直感的でわかりやすいユーザインターフェイスを実現できる。

提案するインターフェイスでは、以下のような操作が可能となる。携帯情報端末の画面に表示された情報機器のアイコンをクリックすれば、それに対応する情報機器が操作できる。例えば、PC のアイコンを選択して共有フォルダを参照できる。また、テレビのアイコンをクリックすることにより、番組リストを携帯情報端末の画面上に表示し、チャンネルを切り替える。Window システムで一般的な操作である、アイコンのドラッグ&ドロップも可能になる。テレビのアイコンを HDD レコーダのアイコン上にドラッグ&ドロップすると、テレビに映し出されている番組を即座に録画することが可能になる。

本章では、3 章で試作した ID 受信可能な CMOS イメージセンサの応用として、情報家電用ユーザインターフェイスを提案し、その実証結果について考察し、研究の成果をまとめる。

4.2 システム構成

提案するシステムでは、有線・無線 LAN や Bluetooth の TCP/IP による双方向データ通信と、近赤外光を用いた ID 通信を行う。端末は、最初にネットワーク探索を行い機器の検出を行い、それぞれに ID を割り当てる。同時に、検出した機器から、機器情報や端末側でユーザ操作に対する処理を行うためのリソースをダウンロードする。次に、機器側は、端末から割り当てられた ID を、近赤外 LED から送信する。端末に搭載された ID 受信可能な CMOS イメージセンサによって、通常撮像と ID 受信を行い、通常画像上に ID に対応するアイコンを重ねて表示してユーザに提示する。

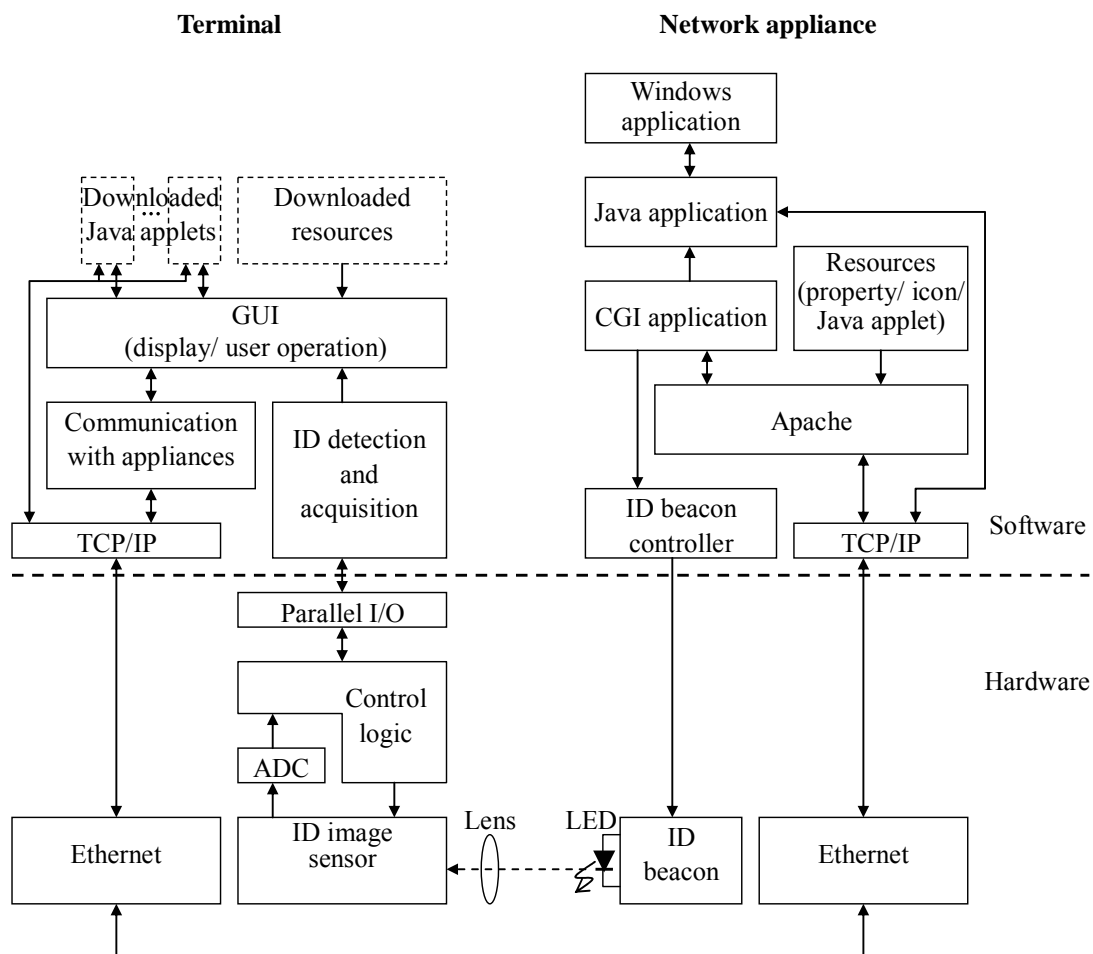


図 4.2 提案システムの機能構成

図 4.2 に本研究で提案するシステムのハードウェア，ソフトウェア構成を示す．構築したシステムでは，通信に HTTP (Hyper-Text Transfer Protocol) を利用している．機器側では，WWW (World Wide Web) サーバが起動しており，HTTP を用いて，機器側から端末側に，ユーザ操作に対する処理や GUI (Graphical User Interface) を提供するためのリソースをダウンロードする．端末側からの検出処理に応答したり，コマンドを実行したりするために，CGI (Common Gateway Interface) を用いる．また，複雑なコマンド処理を行う必要がある場合には，機器側において Java アプリケーションをバックグラウンドで実行する．必要に応じて，Windows アプリケーションが呼び出される場合もある．機器に割り振られた ID は，機器に接続した ID 光源から送信される．ID 光源の制御ソフトウェアは，割り当てられた ID に変更があった場合に，ID 光源に送信される．

端末の主な機能は，ユーザに GUI を提供し，ユーザ操作に応じて機器側にコマンドとそれに付随するデータを送信することである．起動時には，ネットワークから

機器を探索して ID の割り振りを行う。ID 受信 CMOS イメージセンサからのアナログ画像出力は、AD コンバータ、パラレル I/O を介して PC に取り込まれる。取得した通常画像から、ID 受信領域を検出し、イメージセンサに ID 受信領域の位置と大きさを設定する。ソフトウェアにより、受信した ID パターンから ID を復号する。以上の情報を用いて、通常画像上に機器からダウンロードしたアイコンを重ねて表示した画面をユーザに提供する。

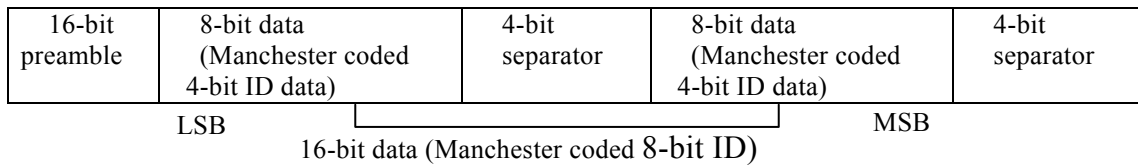
4.3 ID 受信アルゴリズム

提案する ID 受信 CMOS イメージセンサでは、簡素な画素構造で低消費電力での ID 受信を可能にするため、ID を受信している領域の特定を行い、その領域のみを高速に読み出す方式を用いる。ID 受信領域の特定は、ID に数 Hz 程度の遅いパイロット信号を重畳しておき、通常撮像結果からパイロット信号を検出することで実現する。以下で、ID 受信領域と特定手法、ID 受信のアルゴリズムについて述べる。

4.3.1 ID パケットフォーマット

図 4.3 に ID 信号のパケットフォーマットを示す。'1'および'0'の出現頻度を一定にして、パイロット信号・ID 信号を安定に検出するために、マンチェスター符号を使用しており、'1'および'0'の ID 信号は、それぞれ'01'および'10'に符号化する。パケットの先頭には 8 ビットのプリアンブル（符号化前 00000001，符号化後 1010101010101001）を付加し、これをパケット先頭の目印として ID を抽出する。ID は 8 ビットとし、符号化された 16 ビットの信号を上下 8 ビットずつに分割し、それぞれの末尾に 2 ビットのセパレータ（符号化前 01，符号化後 1001）を付加することにより、連続する'0'の数を符号化前で 5 以下に抑え、ID をプリアンブルとして誤認識しないようにする。1 パケットは合計 40 ビットで構成し、パケット当たりの送出時間は 100 msec である。送出周期は 200 msec とし、これを通常画像モードで撮像すると、5 Hz のパイロット信号として見える。データレートは 40 bps となる。

Packet format



Example

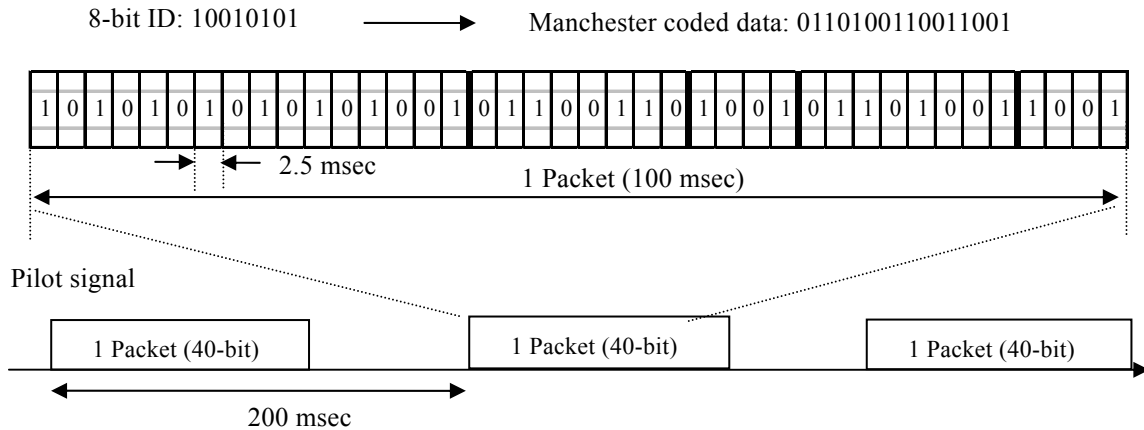


図 4.3 ID 信号のフォーマット

4.3.2 ID 受信領域の特定手法

ID 受信領域の検出アルゴリズムについて述べる．ID 受信領域はビデオレートで撮像した通常画像に対して，画素毎に以下の評価関数 $M(x, y)$ を計算して検出する．連続する N_{FFT} フレームの通常画像に対し，画素ごとに高速フーリエ変換 (Fast Fourier Transform, FFT) を実行し，パイロット信号周波数 (f_{PILOT}) のパワーと，DC を除くそれ以外の周波数のパワーの和の比を評価関数とする．

$$M(x, y) = \frac{|F(x, y; f_{\text{PILOT}})|^2}{\sum_{f \neq f_{\text{PILOT}}, 0} |F(x, y; f)|^2} \quad (4.1)$$

この値が閾値 $M_{\text{th,PILOT}}$ を上回った画素が ID を受信している可能性があると考えられる．FFT は計算量が多いため，通常画像から複数解像度の階層化画像を生成し，粗い解像度の画像から探索を行うことで，計算量を削減する．考案した階層的 ID 受信領域探索法を図 4.4 に示す．まず，通常画像を N_{FFT} フレーム蓄積する．それぞれのフレームについて，複数画素の画素値を加算して 1 画素にまとめるビニング処理により，1 階層解像度の低い画像を得る．ビニング処理を数回繰り返すことにより，ビニング回数に応じた階層分の解像度の低い画像を生成する．複数階層のビニングを行うことで，画素数は，式(4.2)で示すようになる．

$$\left(N_X / N_{BX}^{N_{hie}}\right) \times \left(N_Y / N_{BY}^{N_{hie}}\right) \quad (4.2)$$

ここで、 N_X, N_Y は、元画像の水平画素数および垂直画素数、 N_{BX}, N_{BY} はビンニング処理を行う水平画素数および垂直画素数、 N_{hie} はビンニング処理を行う階層数を示している。 $N_X \times N_Y = 320 \times 240$ 画素に対し $N_{hie} = 3$ のビンニングを行うことで、 40×30 画素の画像を得る。画素数が減った段階で、全画素に対して、それぞれ N_{FFT} フレームの FFT を行う。その後、前述の評価値 $M(x, y)$ を計算し、閾値を上回った画素が ID 受信画素とする。次に、隣接する ID 受信画素を 1 つにまとめ、それぞれの領域を異なる ID 受信領域とする。ID 受信領域は $N_{SX} \times N_{SY}$ 画素とする。受信領域が大きい場合には、画素を ID 画像読み出し時に間引いて画素数を抑える。少ない場合には、周辺画素を受信領域に含める。ビンニング階層が 0 ではない場合には、検出した ID 受信画像領域について、1 つ解像度の高い画像の対応する $2N_{SX} \times 2N_{SY}$ 画素を ID 探索領域として設定し、同様の処理をビンニング階層 0 に達するまで繰り返す。

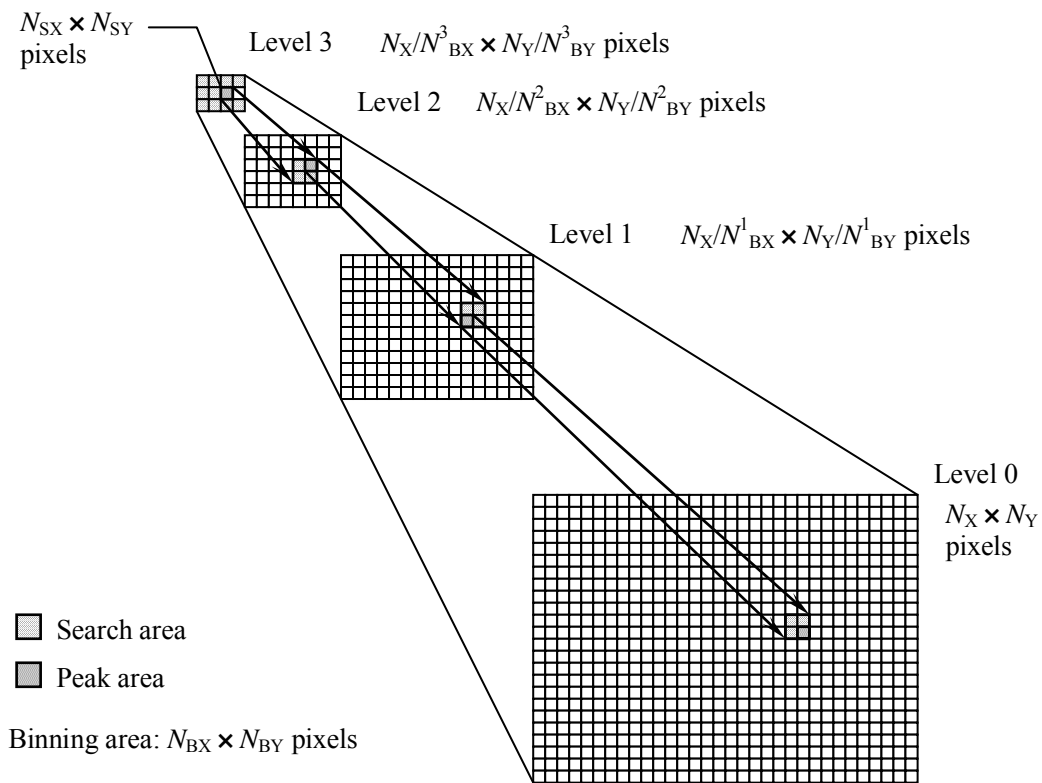


図 4.4 ID 受信領域の階層的探索

階層化しないで，全画素探索を行う場合には FFT は $N_X \times N_Y$ 回必要である．階層的探索において，最大 N_{ID} 個の ID を探索する場合，計算回数は次式となる．

$$\left(N_X / N_{BY}^{N_{hie}}\right) \times \left(N_Y / N_{BY}^{N_{hie}}\right) + N_{ID} \cdot 2N_{SX} \cdot 2N_{SY} \cdot N_{hie} \quad (4.3)$$

元画像画素数 320×240 画素，ビニング階層 3，ビニングサイズ 2×2 画素，ID 受信領域 5×5 画素とすると ($N_X=320, N_Y=240, N_{hie}=3, N_{BX}=N_{BY}=2, N_{SX}=N_{SY}=5$)，階層化なしの場合は 76,800 回，階層化ありの場合は 3,300 回となり，計算量を 4.3% に減らして処理を高速化することができる．

4.3.3 ID の受信・復号

上述の処理で得た ID 受信領域の座標を，パラレル I/O を介して ID 受信イメージセンサに設定する．その結果，イメージセンサからは，それぞれの領域の ID パターンが 1.2 kfps で高速に出力される．取得した ID パターンから ID を復号する手順を図 4.5 に示す．それぞれの ID 受信領域に対して取得した ID パターンについて，それぞれのフレームで全画素値を加算して，そのフレームでの ID 信号値とする．次に，前後 1 フレームの ID 信号値を一定の重みで加算するローパスフィルタを通し，ノイズを低減する．その後，ID 信号値を，ある閾値を定めて 2 値化する．閾値として，まず，2 値化するフレームを含む前方（正の時間方向） N_{av} フレームの ID 信号値の平均を用いる．ただし，前方平均を用いると，パケット末端では ID が送信されていない時間の ID 信号値を閾値に考慮してしまうため，2 値化が適切に行われない．そこで，パケット末端では，後方（負の時間方向） N_{av} フレームの平均値を閾値として用いる．ID 情報の 1-bit は ID パターン 3 フレームとして検出される．したがって，孤立した 1 フレームはノイズを含むと考えられるので，除去する．ノイズ除去後，連続するビットのフレーム数を数える．マンチェスター符号の性質として，同じ符号は 3 ビット以上続かない．そこで，連続する 0 が N_{bit} フレーム以下の場合 '0'，そうでない場合は '00' に復号する．1 についても同様である．本研究では， $N_{bit}=3$ とした．最後にマンチェスター符号を復号する．まず，マンチェスター符号化後のプリアンブル "1010101010101001" を検索する．プリアンブルの直後から，マンチェスター符号の復号 (01 1, 10 0) を行い，セパレータを取り除いて ID を得る．マンチェスター符号では，'00' または '11' は存在しないので，これらを検出するとエラーとなる．

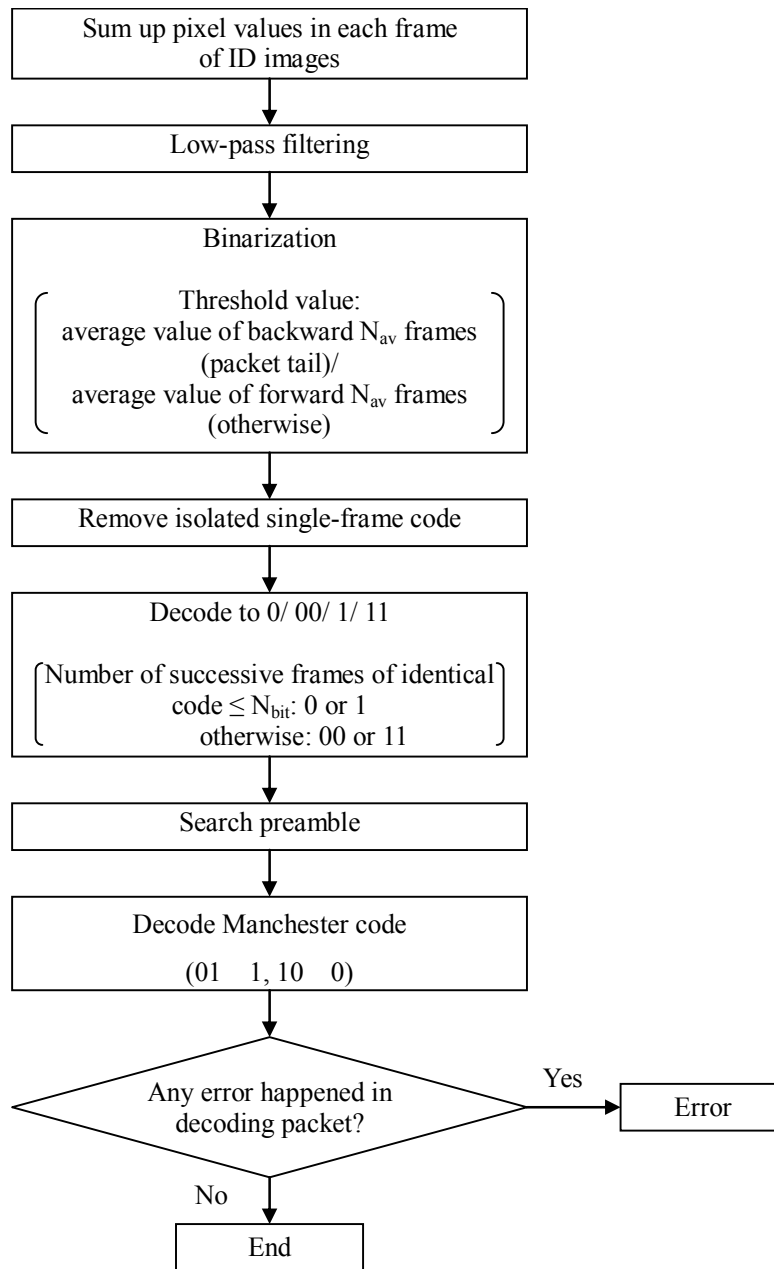


図 4.5 ID 複合のフローチャート

4.4 プロトタイプシステムの構築と機能検証

4.4.1 システム構成

図 4.6 に構築したプロトタイプシステムの構成を示す。機器として、以下の 5 種類の情報家電を模擬した PC を用いた。

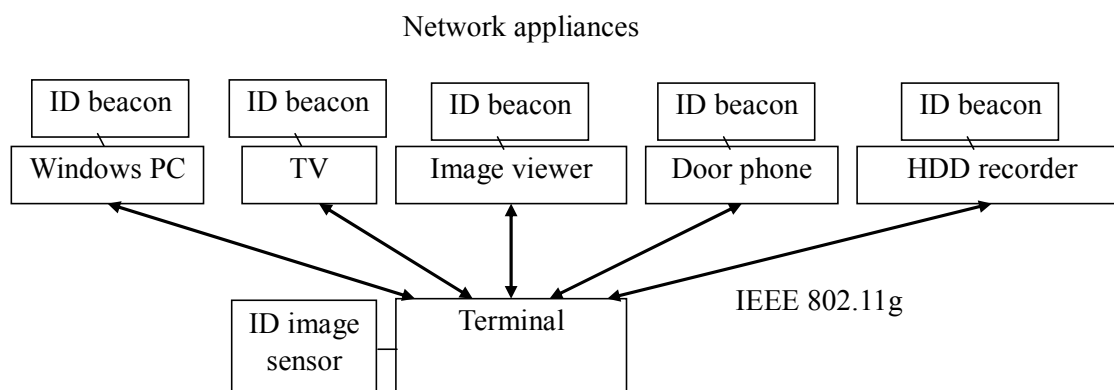


図 4.6 プロトタイプシステムの構成

PC (ダブルクリックに応答): アイコンをダブルクリックすると, ネットワーク共有されているディレクトリのウィンドウが端末側で開く.

TV (ダブルクリックに応答): アイコンをダブルクリックすると, 番組チャネルを選択するボタンが並んだウィンドウが端末側で開く. チャネルボタンを押すと, 機器側で対応する動画画が再生される.

画像ビューア (ドラッグアンドドロップに応答) アイコンに, 画像ファイルをドラッグアンドドロップすると, 機器側でその画像が表示される.

監視カメラ付ドアホン (ダブルクリックに応答): アイコンをダブルクリックすると, カメラで撮影している画像が端末側で表示される.

ハードディスクレコーダ (ダブルクリックとドラッグアンドドロップに応答): ハードディスクレコーダのアイコンに監視カメラ付ドアホンのアイコンをドラッグアンドドロップすることにより, 監視カメラで撮影した動画画を機器側に保存する. アイコンをダブルクリックすると, 保存した動画画を端末側で再生する.

プロトタイプシステムの諸元を表 4.1 に示す. 端末・機器は, PC を用いて実験的に実装した. 無線 LAN として, IEEE802.11g を用いて端末・機器間を接続した. ID 光源の構成を図 4.7 に示す. USB 2.0 を用いて, パーソナルコンピュータから ID 光源の USB・パラレル変換器に ID を送信する. マイコンは, パラレル入力ポートから ID を取得し, パケットデータを LED から端末側に向けて送信する.

表 4.1 プロトタイプシステムの諸元

ID light source	Infrared LED ($\lambda_p=890$ nm, average output power: 0.8 mW)
Pilot signal	5 Hz, duty 50%
ID data rate	40 bps
Imaging lens	FUJINON YV2.6x3B-2 (focal length: 3 mm, F/1.3, CS mount, FOV: 44° (horizontal))
ID data rate	40 bps
Terminal	Gateway 7430JP (Mobile AMD Athlon™ 64 3700+, operation frequency: 2.4 GHz, memory: 1.5 Gbytes, OS: WindowsXP Home Edition Service Pack 2)
Network appliance	Gateway 4546JP (Intel Pentium M processor 725, operation frequency: 1.6 GHz, memory: 512 Mbytes, OS: WindowsXP Home Edition Service Pack 2)
Wireless LAN	IEEE802.11g
Wireless LAN access point	Air Station™ G54 WHR-G54S/U (Buffalo)
WWW server	Apache 2.0.54
Perl	Active Perl 5.8.7.813
Java	Java SDK 1.4.2.08

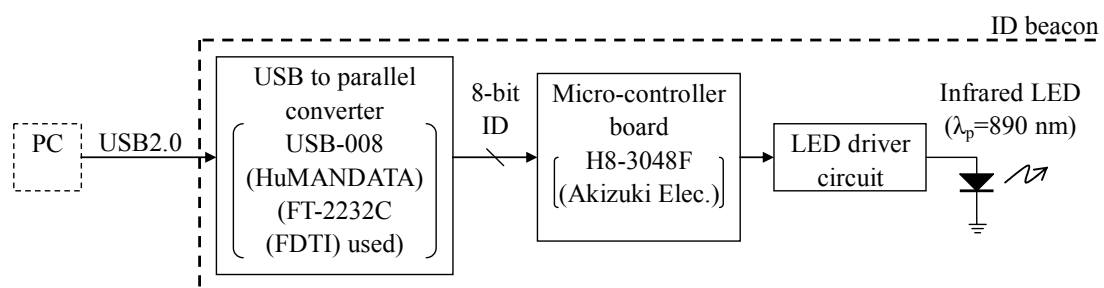


図 4.7 ID 光源の構成

図 4.8 に，実験系を示す．端末と機器は約 2.2 m 離して配置した．位置は固定とし，手振れなどが発生しない環境で実験を行った．

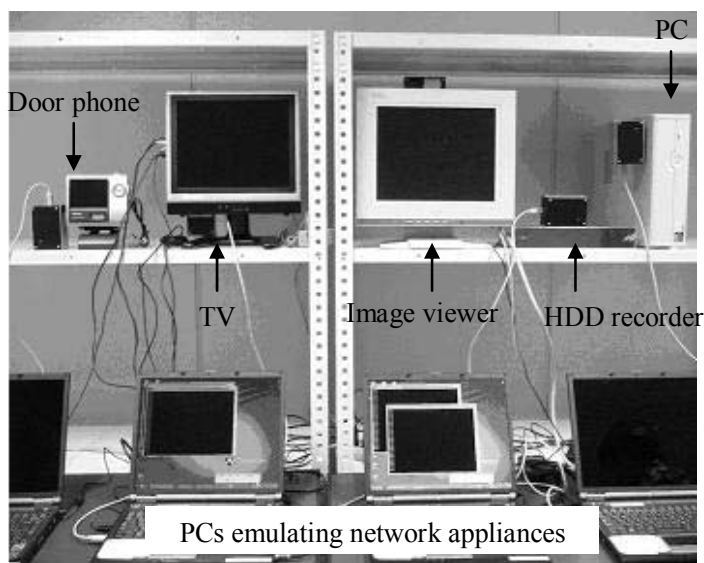
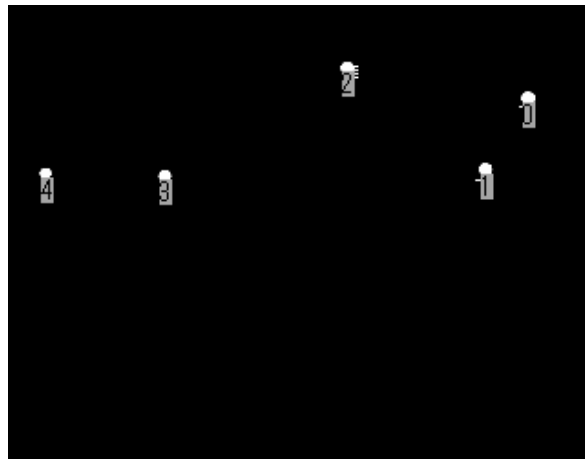


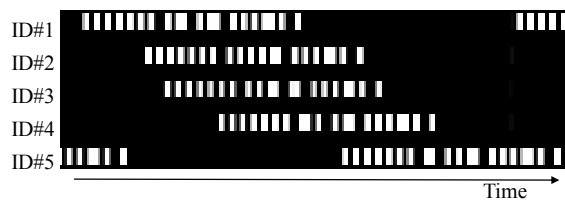
図 4.8 実験系

4.4.2 機能検証結果

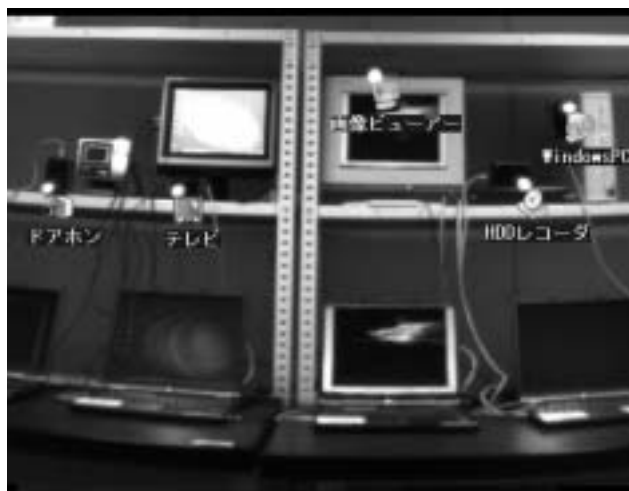
図 4.9 に ID 受信実験の結果を示す．図 4.9(a)に示す ID 受信領域検出結果より，ID 受信領域のみを検出できているのがわかる．図 4.9(b)は，ID 受信領域内の画素値を加算した ID の時系列パターンである．図 4.9(a)において，ID 検出部分の表示されている数字は，時系列の ID パターンから復号した ID である．図に示すように，送信した ID を正しく受信できているのがわかる．図 4.9(c)に端末の表示画面を示す．ID 光源がある位置に ID に対応するアイコンを表示している．



(a) ID 受信領域の特定



(b) ID パターン



(c) 端末表示画面

図 4.9 ID 受信実験の結果

図 4.10 に、各機器を操作した結果を示す。

PC (図 4.10(a)): アイコンをダブルクリックすると、図に示すように、対応する PC の共有フォルダのウィンドウが開く。

TV (図 4.10(b)): アイコンをダブルクリックすると、図に示すチャンネル選択ウ

インドウが開く．チャンネルをマウスでクリックして選択すると，図のように対応する映像がテレビ側で再生される．

画像ビューア（図 4.10(c)）: 画像ビューアのアイコンに，端末側で画像ファイルをドラッグ&ドロップすると，画像ビューア側で，その画像が表示される．

監視カメラ付ドアホン（図 4.10(d)）: アイコンをダブルクリックすると，図に示すように，監視カメラの映像が端末側で開く．

ハードディスクレコーダ（図 4.10(e)）: 監視カメラ付ドアホンのアイコンをドラッグアンドドロップすると，図 4.10(e)上のウィンドウが開き，ドアホンで撮影した画像を保存できる．ウィンドウを閉じた後，ハードディスクレコーダのアイコンをダブルクリックすると，図 4.10(e)下のように，ウィンドウが開いて保存した画像を再生できる．

以上の結果から，提案するシステムの機能実証に成功した．



(ダブルクリック時)
(a) PC



(ダブルクリック時)
(d) ドアホン



(ダブルクリック時)



(チャンネル選択時)
(b) TV



(ドアホンのアイコンを
ドラッグ&ドロップ時)



(ダブルクリック時)
(e) HDD レコーダ



(画像ファイルをドラッグ&ドロップ時)
(c) 画像ビューワ

図 4.10 情報家電模擬デバイスの動作

4.5 考察とまとめ

ID 受信可能な CMOS イメージセンサの応用として、画像情報に基づく拡張現実感を利用した情報家電用ユーザインターフェイスを提案した。提案システムのソフトウェア・ハードウェア構成について検討を行った。ネットワークで接続された、情報家電を模擬した PC と携帯端末を模擬した PC によりプロトタイプシステムを構築し、機能実証を行った。この結果、ID 受信 CMOS イメージセンサを用いた情報家電ユーザインターフェイスの有用性を示した。

今後の課題として、手ブレへの対応、ID 受信領域特定手法の改善がある。本研究で提案するシステムでは、操作対象を情報機器としており相手が動くことを想定していない。しかし、手ブレの影響により機器の位置が動いてしまうため、パイロット信号・ID 検出を妨げられる。手ブレへの対応として、連続するフレームの通常画像をもとに動き量を計算して補正することができると考えられる。また、ID 光源の動きは、ID 受信領域内は高速に読み出していることから、ID 受信領域画像の 1 フレーム内での ID 光源の動きは少ないため、ID 受信領域の位置を常に更新することで対応可能である。ID 受信領域の位置特定を妨げる要因として外乱光の影響を検討する必要がある。提案方式では、ID 光源からの 5 Hz のパイロット信号を検出することにより、ID 位置の特定を行っている。このため、5 Hz 程度の周波数をもった外乱光や移動する物体ある場合、ID 位置と誤認識してしまう。これを改善するため、データの受信できない ID 受信領域は除外する等の ID 受信領域特定手法の改善や、パイロット信号を用いない ID 受信領域特定手法の開発が必要である。例えば、イメージセンサ側から ID の発光要求信号を送信し、そのタイミングで光った光源を ID 光源と認識させる方式が考えられる。

参考文献

- [1] ECHONET Web サイト <http://www.echonet.gr.jp/>
- [2] DLNA Web サイト <http://www.dlna.org/>
- [3] HAVi Web サイト <http://www.havi.org/>
- [4] UPnP Web サイト <http://www.upnp.org/>
- [5] 松下伸行, 日原大輔, 後輝行, 吉村真一, 暦本純一, “ID Cam : シーンと ID を同時に取得可能なスマートカメラ”, 情処学論,” Vol.43, No.12, pp.3664-3674, 2002.
- [6] Y. Oike, M. Ikeda, and K. Asada, “A Smart Image Sensor with High-Speed Feeble ID-Beacon Detection for Augmented Reality System,” Proc. IEEE European Solid-State Circuits Conference, pp.125-128, 2003.B

第5章 結論

本研究では、強度変調した光源の変調成分を検出可能な新しい機能を有する CMOS イメージセンサの実現を目指し、変調光成分を検出可能な CMOS イメージセンサとして、振り分け転送方式による変調光成分撮像 CMOS イメージセンサと部分領域高速読み出し方式による ID 受信 CMOS イメージセンサを提案した。それぞれ CMOS イメージセンサの設計及び試作を行い、その評価結果により提案方式の有用性を示した。以下に、本研究の主要な成果をまとめる。

(1) 振り分け転送方式による変調光成分撮像 CMOS イメージセンサ

変調光成分撮像 CMOS イメージセンサの画質向上を目指し、感度向上や画素内ばらつきを低減するための画素構造の改善、ノイズ低減のための CDS 回路の適用、カラム AD 変換回路の集積化を行った。0.35- μm CMOS プロセスで、改善した画素構造によるカラム AD 変換回路を有する 128×128 画素変調光成分撮像 CMOS イメージセンサの試作、評価を行った。

櫛型 PG 構造を用いることにより、光感度を 1.36 倍に向上した。また、画素内の検出部を共通化し CDS 回路を適用することにより、画素内ばらつきを低減し、暗時の FPN を 1% 以下の十分な値にまで低減することができた。さらに、対称性を考慮した画素構造により、光照射時の FPN を $1/3$ に低減した。これらの改善によりノイズを低減することで、変調光成分撮像の画質向上に成功した。

(2) 部分領域高速読み出し方式による ID 受信 CMOS イメージセンサ

ID 受信の方式として、携帯端末への搭載を考慮して、単純な画素構成ながらも低消費電力で ID 受信可能な部分領域高速読み出し方式を考案した。提案する ID 受信方式により、ID 受信可能な CMOS イメージセンサの設計・試作、評価を行った。その結果、1 画素あたり 4 トランジスタと簡素な画素構成ながら、30 fps での通常撮像と同時に最大 7 つの ID 受信領域を 1,200 fps で高速読み出すことにより、ID 情報のパターンを検出することに成功した。また、消費電力は携帯端末への搭載が実用的な 3.6 mW にまで抑えることができた。

ID 受信領域を 1,200 fps で高速に読み出すため、ID 受信画素の信号強度が $1/40$ になり、ID 受信の S/N が低下する問題があったが、カラム適応ゲインアンプを適用し、信号レベルを 16 倍に増幅することにより、ID 受信率 50% 以上で受信できる光量範囲を 2 倍に向上することができた。さらに、画像構造を改善した ID 受信 CMOS イ

メージセンサにより，ID 受信時の画像劣化を抑えることが可能となった．

(3) ID 受信イメージセンサを用いた情報家電用ユーザインターフェイス

ID 受信可能な CMOS イメージセンサの応用として，画像情報に基づく拡張現実感を利用した情報家電用ユーザインターフェイスを提案した．ネットワークで接続された情報家電を模擬した PC と，試作した ID 受信可能な CMOS イメージセンサを接続した携帯端末を模擬した PC により，プロトタイプシステムを構築し機能実証を行った．この結果，ID 受信 CMOS イメージセンサを用いた情報家電ユーザインターフェイスの有用性を示した．

謝辞

本論文は，奈良先端科学技術大学院大学 物質創成科学研究科 光機能素子科学講座において，布下正宏教授，太田淳教授，徳田崇助手，香川景一郎助手のスタッフ皆様の5年間にわたる熱心な御指導によってまとめることができたものであり，ここに深く感謝致します．

同研究科 冬木隆教授，同大学 情報科学研究科 湊小太郎教授には本論文をまとめるにあたって数多くのご助言とご指摘をして頂きました．先生方より頂きました，広い視野からのご意見は本論分をまとめる上で大変参考になりました，感謝致します．

本研究室 布下正宏教授には，日々の研究や学会発表，論文執筆における研究者としての姿勢などをご指導いただきました．心から御礼申し上げます．

本研究室 太田淳教授には，CMOS イメージセンサの基礎から，アナログ回路設計までの広い分野にわたる御指導を頂き，感謝致します．また日々の実験や研究の進め方などを熱心にご指導頂いたことについて心から感謝致します．

本研究室 徳田崇助手には実験手法などを含め多くのご助言を頂きました，感謝致します．

本研究室 香川景一郎助手には，日頃の実験や研究の方向付けなどに具体的かつ熱心にご助言して頂き感謝致します．

本稿で述べた変調光成分撮像可能なイメージセンサの研究にあたり，マイクロシグナル株式会社 渡辺國寛氏には深く感謝致します．また，本研究室 博士前期課程に在籍していた平井隆夫氏（現 ローム株式会社），大屋雄氏（現 ソニー株式会社）には多くのご協力を頂きました．ここに深く感謝致します．

本稿で述べたID受信可能なイメージセンサの研究は，独立行政法人 科学技術振興機構 研究成果活用プラザ大阪の支援により行ったものであり，コーディネータの鈴木義彦氏には深く感謝致します．船井電機株式会社 政木康生氏，三宅康也氏，田邊英樹氏には，ID受信 CMOS イメージセンサの設計，評価において，多大なご指摘，ご助言を頂きました，心から感謝致します．また，本研究は，独立行政法人 日本学術振興会 特別研究員制度の支援により行ったものであり，ここに感謝致します．

この他にも奈良先端科学技術大学院大学 物質創成科学研究科 光機能素子科学講座の皆様には，研究を進める上で大変お世話になりました．ここに，全ての皆様へ御礼申し上げます．

研究発表目録

発表論文

1. 山本幸司, 大屋雄, 香川景一郎, 太田淳, 布下正宏, 渡辺國寛, “変調光検波方式イメージセンサにおける変調光撮像画質の改善,” 映情学誌, Vol.57, No.9, pp.1108-1114, 2003.
2. 山本幸司, 香川景一郎, 前田勇希, 三宅康也, 田邊英樹, 政木康生, 布下正宏, 太田淳, “部分領域高速読み出し機能をもつ低消費電力ID受信CMOSイメージセンサを用いた情報家電マルチリモコン「オプトナビ」システムの提案,” 映情学誌, Vol. 59, NO. 12, pp. 1830-1840, 2005.
3. **Koji Yamamoto**, Yu Oya, Keiichiro Kagawa, Masahiro Nunoshita, Jun Ohta and Kunihiro Watanabe, “A 128 x 128 Pixel CMOS Image Sensor with an Improved Pixel Architecture for Detecting Modulated Light Signals,” Optical Review Vol.12, No.2, 2006. (to be published)

国際会議における発表

1. **Koji Yamamoto**, Takao Hirai, Keiichiro Kagawa, Jun Ohta, Masahiro Nunoshita, Masashi Yamada, Yasushi Yamasaki, Shozo Sugishita, Kunihiro Watanabe, “A vision chip with an in-pixel demodulation function for detecting a modulated light signal,” Optics in Computing 2002, pp.83-85, Taipei, Taiwan, April, 2002.
2. **Koji Yamamoto**, Keiichiro Kagawa, Jun Ohta, Masahiro Nunoshita, Masashi Yamada, Yasushi Yamasaki, Shozo Sugishita, Kunihiro Watanabe, “Application of a frequency- demodulation image sensor to motion capturing,” International Conference on Optics-photonics Design & Fabrication, FA08, pp.91-92, Tokyo, Japan, October, 2002.
3. **Koji Yamamoto**, Keiichiro Kagawa, Jun Ohta, Masahiro Nunoshita, Yasushi Yamasaki, Kunihiro Watanabe, “Demonstration of a Frequency-Demodulation CMOS Image Sensor,” Electronic Imaging, Santa Clara, America, Jan, 2003.

4. **Koji Yamamoto**, Yu Oya, Keiichiro Kagawa, Jun Ohta, Masahiro Nunoshita, Kunihiko Watanebe, “Demonstration of a frequency-demodulation CMOS image sensor and its improvement of image quality,” IEEE Workshop on CCD & AIS, Schloss Elmau, Germany, May, 2003.
5. **Koji Yamamoto**, Yuki Maeda, Yasuo Masaki, Keiichiro Kagawa, Masahiro Nunoshita and Jun Ohta, “A CMOS Image Sensor with High-Speed Readout of Multiple Region-of-Interests for an Opto-Navigation System,” Electronic Imaging, Santa Jose, America, Jan, 2005.
6. **Koji Yamamoto**, Yuki Maeda, Yasuo Masaki, Keiichiro Kagawa, Masahiro Nunoshita and Jun Ohta, “A CMOS image sensor for ID detection with high-speed readout of multiple region-of-interests,” IEEE Workshop on CCD & AIS, Karuizawa, Japan, 2005.

国内会議における発表

1. 山本幸司, 香川景一郎, 太田淳, 布下正宏, 山崎康司, 山田雅司, 杉下正蔵, 渡辺國寛, “変調光検波方式イメージセンサ,” レーザ学会学術講演会第22回年次大会, 大阪国際交流センター, 2002年1月.
2. 山本幸司, 香川景一郎, 太田淳, 布下正宏, 山崎康司, 山田雅司, 杉下正蔵, 渡辺國寛, “変調光検波方式イメージセンサの画質改善の検討,” 映像情報メディア学会 情報センシング研究会, 東京理科大学, 2002年6月.
3. 山本幸司, 香川景一郎, 太田淳, 布下正宏, 山崎康司, 山田雅司, 渡辺國寛, “変調光検波方式イメージセンサ - 画像特性 -, ” 映像情報メディア学会 2002年年次大会, 工学院大学, 2002年8月.
4. 山本幸司, 香川景一郎, 太田淳, 布下正宏, 山田雅司, 渡辺國寛, “振り分け転送方式 変調光検波イメージセンサとその応用,” VDEC デザイナーフォーラム, パシフィックホテル沖縄, 2002年9月.
5. 山本幸司, 香川景一郎, 太田淳, 布下正宏, 山崎康司, 渡辺國寛, “変調光検波方式イメージセンサによるマーカー検出,” 2002年第63回秋季応用物理学学会学術講演会, 新潟大学, 2002年9月.
6. 山本幸司, 大屋雄, 香川景一郎, 太田淳, 布下正宏, 渡辺國寛, “変調光検波方式イメージセンサにおける変調光画像の階調性の改善,” 映像情報メディア学会情報センシング・コンシューマエレクトロニクス研究会, 工学院大学, 2003年3月.

7. 山本幸司, 大屋雄, 香川景一郎, 太田淳, 布下正宏, 渡辺國寛, “振分転送方式変調光検波イメージセンサへのCDS導入の基礎検討,” 映像情報メディア学会情報センシング研究会, 東京理科大学, 2003年10月.
8. 山本幸司, 大屋雄, 香川景一郎, 太田淳, 布下正宏, 渡辺國寛, “コラムADC・CDS機能を有する変調光検波イメージセンサ,” 映像情報メディア学会情報センシング・コンシューマエレクトロニクス研究会, 機械振興会館, 2004年3月.
9. 山本幸司, 大屋雄, 香川景一郎, 太田淳, 布下正宏, 渡辺國寛, “128×128画素変調光検波CMOSイメージセンサ,” 第10回画像センシングシンポジウム, パシフィコ横浜, 2004年6月.
10. 山本幸司, 前田勇希, 政木康生, 香川景一郎, 布下正宏, 太田淳, “「オプトナビ」システムに向けた30fps通常撮像・1kfps ID画像同時取得可能なCMOSイメージセンサ,” 映像情報メディア学会情報センシング・コンシューマエレクトロニクス研究会, 機械振興会館, 2005年3月.
11. 山本幸司, 前田勇希, 政木康生, 香川景一郎, 布下正宏, 太田淳, “30fps通常画像・1.2kfps ID画像を同時取得可能な複数部分領域高速読み出し方式イメージセンサ,” 映像情報メディア学会 2005年年次大会, 東京理科大学, 2005年8月.
12. 山本幸司, 香川景一郎, 前田勇希, 政木康生, 布下正宏, 太田淳, “「オプトナビ」システム: ID受信可能なCMOSイメージセンサを用いた情報家電用ビジュアルマルチリモコン,” 電子情報通信学会 2005年ソサイエティ大会, 北海道大学, 2005年9月.
13. 山本幸司, 香川景一郎, 前田勇希, 三宅康也, 田邊英樹, 政木康生, 布下正宏, 太田淳, “「オプトナビシステムに向けたコラム適応ゲインアンプを有する通常撮像・ID受信可能なCMOSイメージセンサ」,” 映像情報メディア学会情報センシング研究会, 東京理科大学, 2005年10月.
14. 山本幸司, 香川景一郎, 前田勇希, 三宅康也, 田邊英樹, 政木康生, 布下正宏, 太田淳, “撮像とID同時取得可能なCMOSイメージセンサの開発と情報家電マルチリモコン-オプトナビ-への適応,” 第9回システムLSIワークショップ, 北九州国際会議場, 2005年11月.