

学位論文

低温ポリシリコン薄膜トランジスタの
高性能化・高信頼性化と
その液晶表示装置への応用に関する研究

物質創成科学研究科
微細素子科学講座

古田 守

2003年 3月

【目次】

第1章 序論

1-1	液晶ディスプレイと低温 poly-Si 薄膜トランジスタ	1
1-2	薄膜トランジスタの種類と TFT 作製プロセス	3
1-2-1	ボトムゲート TFT 作製プロセス	
1-2-2	トップゲート TFT 作製プロセス	
1-3	本研究の目的	7
1-4	本論文の構成	8
第1章の参考文献		

第2章 エキシマレーザー結晶化技術と poly-Si 結晶性

2-1	はじめに	12
2-2	結晶化に与える a-Si 膜中水素濃度の影響	13
2-3	エキシマレーザー照射による不純物の活性化	15
2-4	エキシマレーザー結晶化 poly-Si の結晶性評価	16
2-4-1	移動度のレーザーエネルギー密度依存性	
2-4-2	Poly-Si 膜の結晶構造評価	
2-4-3	ELA poly-Si 中でのダングリングボンドの分布	
2-5	まとめ	28
第2章の参考文献		

第3章 イオンドーピングによる不純物注入技術

3-1	はじめに	31
3-2	イオン注入プロファイルシミュレーション	32
3-3	イオンドーピングによる薄膜への不純物注入	36
3-3-1	イオンドーピングにおけるドーズ量制御	
3-3-2	イオンビーム中のドーパント濃度制御	
3-3-3	プロファイルシミュレーションによるイオン種とそのドーズ量の同定	
3-4	イオンドーピングにて同時注入される水素イオンの TFT 特性への影響	42
3-4-1	ドーパント活性化(p ⁺ 抵抗)に対する水素イオン注入の影響	
3-4-2	TFT 特性 (移動度およびしきい電圧) に対する水素イオン注入の影響	
3-4-3	ドーパントと同時注入された水素イオン種の同定	
3-4-4	水素注入プロファイル制御による TFT 特性の向上	
3-5	まとめ	55
第3章の参考文献		

第4章 TFT信頼性

4-1	はじめに	58
4-2	ダイナミックストレスによる TFT 特性の劣化	59
4-2-1	ダイナミックストレス試験方法	
4-2-2	n-ch TFT の特性劣化 (ホットキャリア劣化)	
4-2-3	LDD 構造(電界緩和)によるホットキャリア劣化の抑制	
4-2-4	LDD-TFT の劣化メカニズム (LDD 注入ダメージの影響)	
4-2-5	p-ch TFT の特性劣化 (ホットキャリア劣化)	
4-2-6	p-ch TFT の劣化メカニズム	
4-3	まとめ	73
	第4章の参考文献	

第5章 低温 poly-Si TFT の LCD 応用

5-1	はじめに	77
5-2	MoW ゲート電極ドライエッチング技術の開発	80
5-2-1	Reactive Ion Etching (RIE) を用いた MoW ゲート電極加工の課題	
5-2-2	Inductively Coupled Plasma (ICP) エッチング法	
5-2-3	ICP エッチングによる MoW/SiO ₂ 選択比制御	
5-2-4	エッチング形状制御	
5-3	駆動回路内蔵 LCD の作製	87
5-4	まとめ	90
	第5章の参考文献	

第6章 本研究の総括

謝辞

研究論文・学会発表履歴

第1章 序論

1-1 液晶ディスプレイと低温 poly-Si 薄膜トランジスタ

近年の映像・情報通信技術の進展に伴い、液晶ディスプレイ (LCD) はブラウン管 (CRT) に代わり薄型・軽量・低消費電力といった特徴を活かし、携帯映像・情報表示デバイスとしての地位を不動のものとしてきた。

ディスプレイにおける情報量とは表示可能な画素の数であり、画素数の増加すなわち高精細化が液晶パネルの動向を語る上での重要なポイントである。

図 1-1 に、液晶ディスプレイの画面サイズと解像度の関係を示す。高精細化を実現するには画素の微細化と、それに伴う画素開口率を確保するため駆動素子である薄膜トランジスタ (Thin Film Transistor) の微細化が要求される。駆動素子として非晶質シリコン薄膜トランジスタ (a-Si:H TFT) を用いた LCD の解像度は 150ppi 程度であるのに対して、低温ポリシリコン薄膜トランジスタ (低温 poly-Si TFT) は、その高移動度を活かし素子サイズを微細化でき、200ppi を超える LCD が提案されている。¹⁻⁴⁾

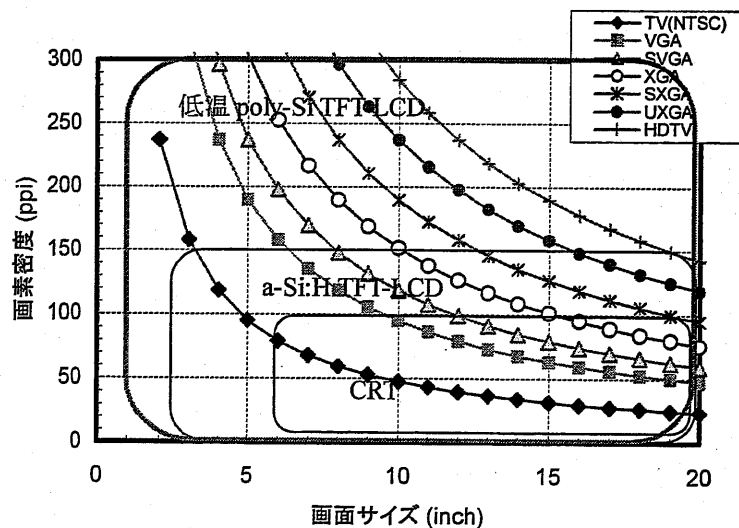


図 1-1 画面サイズと解像度 (LCD の商品分野)

低温 poly-Si TFT を用いた LCD は 1990 年代後半より実用化が始まった。これを第 1 世代と定義すると、第 1 世代は移動度が $100\text{cm}^2/\text{Vs}$ 以下、しきい電圧 (V_{th}) が $|2.0\sim 4.0|\text{V}$

程度である。それら TFT を用いて作製した論理回路は設計ルール $>6.0\mu\text{m}$ 、動作周波数 1~5MHz であり、作製可能な回路としてはシフトレジスタを中心とした LCD 周辺駆動回路の一部に限られていた。⁵⁾ 低温 poly-Si TFT の技術ロードマップを表 1-1 に示す。

表 1-1 低温 poly-Si TFT の技術トレンド

[Year]	1998	2002-03	2006-07
Generation	1 st -generation	2 nd -generation	3 rd -generation
Mobility (cm^2/Vs)	~100	150~300	>300
V _{th} (V)	2.0~4.0	1.0~1.5	<1.0
Design rule (μm)	4~6.0	1.5~3.0	<1.0
Clock frequency (Hz)	1~5MHz	10~40MHz	>100MHz
Circuit integration	Driver, Shift resistor	DAC, Graphic I/F, Memories,	CPU
Display system	LCD	LCD / OLED \Rightarrow System on Panel (SOP)	
Process technology	ELA / Gate insulator / Ion doping Defects passivation / Cleaning (contamination free) Dry etching / Photo lithography Low resistive & high thermal durability wiring		
Device technology	Reliability (BTS / Hot carrier / Short channel)		Reliability (CPU)

この後、Excimer Laser Annealing (ELA) や水素化を中心とする欠陥補償プロセスによる多結晶シリコン膜の品質向上、Tetra-Ethyl Ortho-Silicate (TEOS) をソースガスに用いた Plasma Enhanced Chemical Vapor Deposition (PECVD) によるゲート絶縁膜膜質改善と SiO_2/Si 界面準位低減による MOS 特性の改善、ドライエッチングによる素子の微細化等により TFT 特性 (μ_{FE} , V_{th}) やそれを用いて作製した回路の動作周波数が大きく改善し、レベルシフタや D/A コンバータ、さらには画素内にメモリーを集積化した LCD が実現され、第 2 世代へと入りつつある。^{3,6-12)} また、近年開発が加速している有機 EL (Organic Light Emitting Diode) ディスプレイは電流駆動表示であるため、駆動素子である TFT には高い電流駆動能力と信頼性が要求される。¹³⁾ このため OLED の駆動素子には低温 poly-Si TFT が必要不可欠であり、低温 poly-Si TFT の応用は LCD 以外の表示デバイスにも拡大していくことは確実である。さらに低温 poly-Si TFT の応用は LCD や有機 EL といった表示デバイスの駆動素子にとどまらず、CPU を含む各種機能デバイスと表示デバイスを同一基板上に集積したシートコンピュータである System on Panel (SOP) を実現するデバイスとしての期待が大きい。

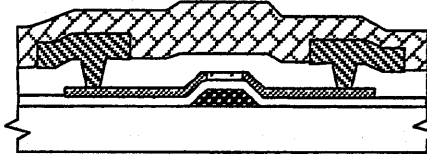
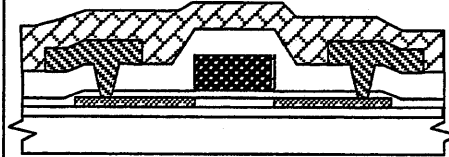
1-2 薄膜トランジスタの種類と TFT 作製プロセス

アクティブマトリクス駆動による LCD (AM-LCD) は、表示画素毎に TFT を形成し、ダイナミック駆動を行うことで高い表示性能を実現している。

AM-LCD に用いる TFT のスイッチング特性として、1) 書き込み時間内に画素容量を充電できる電流駆動能力 (高移動度)、2) TFT の寄生容量に起因する画素電位変動が少ないこと (低寄生容量)、3) 画素電位を一定時間 (1/フレーム時間) 保持可能な高い OFF 抵抗 (低 OFF 電流)、4) 駆動素子としての信頼性、が要求される。

薄膜トランジスタは、表 1-2 に示すように、ゲート電極を半導体層の下側に形成するボトムゲート型と、半導体層の上側に形成するトップゲート型の二種類に大別できる。

表 1-2 薄膜トランジスタの構成断面図と特徴

	ボトムゲート構造	トップゲート構造
断面構成図		
p-Si 結晶性	△ (Si 下部チャネル)	○ (Si 上部チャネル)
寄生容量 (C _{GD})	△ (非自己整合)	◎ (自己整合)
SiO ₂ /p-Si 界面	○ (連続成膜)	△ (非連続成膜)
補助容量 (C _{LC})	ゲート絶縁膜にて形成可能	ゲート絶縁膜にて形成可能

以下に、本研究で用いたボトムゲートおよびトップゲート型 poly-Si TFT の作製プロセスと、その課題に関して説明する。

1-2-1 ボトムゲート TFT 作製プロセス

本研究で用いたボトムゲート poly-Si TFT 作製プロセスに関して、断面構成図 (図 1-2) を用いて説明する。¹⁴⁾

- 1) まず、ガラス (Corning#7059) 基板の上にアンダーコート層となる SiO₂ (200nm) を常圧 CVD にて形成する。次に、DC スパッタリングにて Cr (100nm) を成膜し、フォトリソグラフィにてゲート電極の形状に加工する。

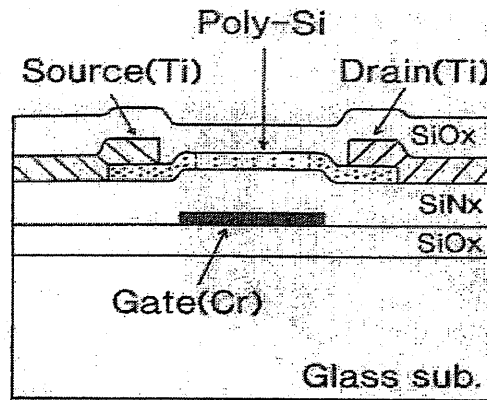


図 1-2 ボトムゲート型 poly-Si TFT の断面構成図

- 2) ゲート電極を形成した基板に、PECVD にて SiNx ゲート絶縁膜 (400nm) ならびに a-Si:H (50nm) を真空中で連続成膜する。成膜条件は第 2 章、表 2-1 に示す。
- 3) フォトリソグにてドーピングマスクを形成し、ソース・ドレイン領域にリン (P) をドーピングする。ドーピングは加速電圧 10keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ である。
- 4) ドーピングマスクを除去した後、450°Cにて脱水素アニールを行い a-Si:H 中の水素濃度を低減する。脱水素アニール後、レーザー照射により a-Si 膜の結晶化と、不純物の活性化を同時に行う。
- 5) 結晶化後、poly-Si を TFT の形状に加工し、DC スパッタリングにて Ti (100nm) を成膜する。成膜した Ti はソース・ドレイン配線に加工する。
- 6) TFT の保護膜として SiO₂ (200nm) を常圧 CVD にて成膜する。
- 7) 最後に、水素プラズマ処理を行い、poly-Si 中のダングリングボンドをターミネートし、TFT が完成する。水素プラズマ処理は、基板温度 350°Cで行った。

ボトムゲート型 poly-Si TFT は、ゲート絶縁膜 (本研究では SiNx を用いた) と a-Si を PECVD にて真空中で連続成膜したあと ELA による結晶化を行うことで、汚染の少ない良好な poly-Si/SiNx 界面が得られる。しかしながら、自己整合による不純物注入が難しく TFT の寄生容量 (C_{GD}) が大きい、poly-Si の結晶性がガラス基板から離れるほど良好になるためチャンネルが形成される poly-Si/SiNx 界面での結晶性が悪い、といった課題を有する。本研究では、第 2 章にて、SiNx 上に形成した poly-Si の結晶性 (グレインサイズならびに結晶欠陥) が移動度に与える影響に関して検討する。また、poly-Si/SiNx 界面における結晶評価を通じて、高移動度化に適したデバイス構造に関して議論する。

1-2-2 トップゲート TFT 作製プロセス

本研究で用いた、C-MOS、トップゲート poly-Si TFT 作製プロセスに関して、断面構成図 (図 1-3) を用いて説明する。^{2,5)} p-ch、n-ch ともに、ゲート電極をマスクに用いた自己整合により不純物を注入した。

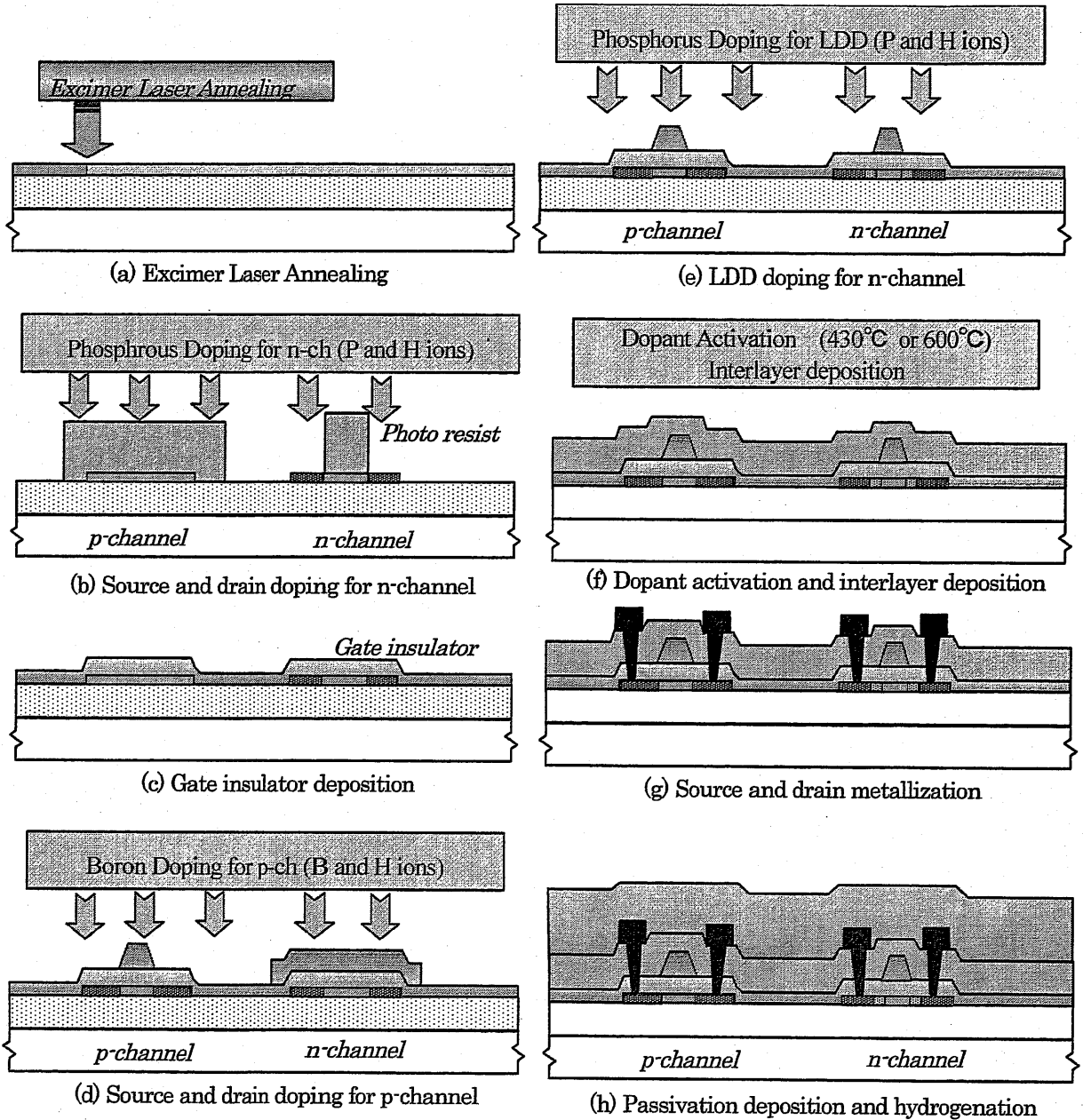


図 1-3 トップゲート TFT 作製工程断面図

- 1) ガラス(Corning #7059 or #1737)基板にアンダーコート層となる SiO_x (600nm) と半導体層となる a-Si:H (50nm) を PECVD にて連続成膜する。成膜条件は第 2 章、表 2-2 に示す。a-Si:H の脱水素アニールを行った後、ELA を行う。
- 2) TFT 領域以外の poly-Si をエッチングし素子分離を行う。フォトレジストにて n-ch TFT のソースおよびドレイン (S/D) 領域にドーピングマスクを形成し、イオンドーピングにてリン(P)を加速エネルギー12keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ で注入する。
- 3) TEOS+O₂ をソースガスとする PECVD にてゲート絶縁膜 SiO₂ (90nm) を形成する。
- 4) DC スパッタリングにてゲート電極となる MoW (100nm)、Al-Ta(100nm)積層膜を成膜する。p-ch TFT にゲート電極を形成し、n-ch TFT をゲート電極材料でマスクした状態で、イオンドーピングにて p-ch TFT の S/D 領域にホウ素 (B) を加速エネルギー60keV、ドーズ量 $8 \times 10^{14} \text{ cm}^{-2}$ で注入する。
- 5) n-ch TFT にゲート電極を形成し、Lightly Doped Drain (LDD) 領域に、イオンドーピングにてリン(P)を加速エネルギー70keV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ で注入する。
- 6) 不純物を注入後、活性化アニールを実施する。活性化アニールは 450~600°Cで行った。活性化アニール後、PECVD にて層間絶縁膜 (SiO₂) を 400nm 形成する。
- 7) n-ch、p-ch TFT の S/D 領域上にコンタクトホールを開口し、Ti (80nm) 上に Al (350nm) を積層した S/D 配線を形成する。
- 8) 保護膜となる SiN_x (350nm) を PECVD にて成膜する。SiN_x には多量の水素を含んでおり、成膜後に 350°Cのアニールを行うことで SiN_x 中の水素を薄膜トランジスタ中に拡散させ poly-Si のダングリングボンドを水素終端し、TFT が完成する。

トップゲート構造は、ゲート電極をマスクとして不純物を自己整合により注入することで、TFT の寄生容量を大幅に低減できる。しかしながら、ゲート絶縁膜を通して不純物を注入するため、高い加速電圧が必要となる。イオンドーピングは、生成したイオンを質量分離することなく注入するため、ドーパントと同時に注入された水素イオンはゲート電極を突き抜けてチャネル領域にまで到達する。本研究では、第 3 章にて高エネルギーで注入された水素イオンの TFT 特性に与える影響に関して議論する。また、第 4 章では CMOS 機能素子の信頼性向上を目的に、ダイナミックストレス印加における TFT 信頼性と、不純物注入後の活性化アニールの関係を議論する。

1-3 本研究の目的

低温 poly-Si TFT は量産の途についたばかりの技術であり、SOP 実現には TFT の高性能化を実現するプロセス技術と、LSI 並みの信頼性を実現するデバイス技術の両面からのアプローチが不可欠である。また、基板材料も現在のガラス（耐熱温度～600℃）からより軽量でフレキシブルなプラスチック（耐熱温度～250℃）化の要望も強く¹⁵⁾、高性能化と同時にプロセス温度の低温化も重要となる。TFT 作製プロセスにおいてはエッチングや PECVD、さらにはイオンドーピングといった荷電粒子を用いたプラズマプロセスが多用される。プロセス低温化に伴いプラズマプロセスの重要性はますます増大するが、荷電粒子によるプロセスダメージをいかに低減するかが低温化と高性能化を両立する上での技術ポイントとなる。また、各種機能デバイスを低温 poly-Si TFT にて集積化するには素子の微細化による動作速度の向上と、それに伴う信頼性向上が重要課題である。

以上の背景から本研究では、

薄膜トランジスタの高性能化の観点から、エキシマレーザー結晶化 (ELA) poly-Si の結晶性と移動度との相関、ならびに結晶欠陥の存在場所とその TFT 特性への影響に関する検討、さらに薄膜トランジスタ作製プロセスで最も高エネルギーな荷電粒子を用いるイオンドーピングにてドーパントと同時注入される水素イオンの TFT 特性への影響に関する検討を行うことで高性能化ならびにプロセス低温化の指針を検討する。

低温 poly-Si TFT の信頼性に関しては DC ストレス印加でのデバイス劣化メカニズムに関するものがほとんどであり¹⁶⁻¹⁸⁾、実際の回路動作に近い高周波（ダイナミック）ストレス印加における劣化メカニズムの解明は充分とは言い難い。本研究では実動作に近いダイナミックストレス印加時の薄膜トランジスタ劣化メカニズムの解明とその対策を検討し、機能素子の動作周波数向上の基盤とする。

素子の微細化に関して加工技術の観点から、高密度プラズマエッチングである Inductively Coupled Plasma (ICP) エッチング装置の開発とプロセス応用を検討し、今後の微細化に伴う方向性を示す。

これら取り組みを通じ、薄膜トランジスタの高性能化ならびにプロセス温度の低温化と信頼性改善を進めることで、各種機能素子を液晶パネル上に集積化した SOP 実現へのステップとすることを主たる目的としている。

1-4 本論文の構成

本論文は、低温 poly-Si TFT 高性能化・高信頼性化の研究とその LCD 応用に関する研究成果である。

第 1 章は本研究の背景として、LCD の動向ならびに低温 poly-Si TFT の現状と課題に関してまとめ、本研究の位置付けを明確にすると同時に研究の目的および論文の構成について記述した。

第 2 章はエキシマレーザーアニール (ELA) による高品位 poly-Si 形成技術に関する研究成果を述べる。ELA はパルスエネルギー照射を用いた熔融・再結晶化プロセスであり、基板への熱ダメージが少なく、良質な poly-Si を低温で形成可能な手法である。ELA poly-Si の TFT 検証を行い、アモルファスシリコンの 200 倍以上の移動度 ($200\text{cm}^2/\text{V}\cdot\text{s}$) を得た。Poly-Si 結晶性に関して Transmission Electron Microscope (TEM) を用いた評価を行い、移動度と結晶性の関連を調べた。また、poly-Si 中でのダングリングボンドの分布を Electron Spin Resonance (ESR) にて評価した結果、65%ものダングリングボンドが結晶粒内に存在し、移動度に強く影響していることを示した。一方、結晶粒界に存在するダングリングボンドは 24%に過ぎないものの、その高密度な配置から、poly-Si に大きなローカルストレスを与えていることを明らかにした。

第 3 章ではイオンドーピングによる不純物注入技術に関する研究成果を述べる。イオンドーピングは質量分離機構を持たないイオン注入法であり、ドーパント以外にも希釈ガスである水素イオンを同時に注入するため、イオンビーム中のイオン種とその TFT 特性への影響を検討した。 B_2H_6 ガスをソースガスに用いたイオンビームのイオン種測定より、ドーパントは分子イオン (B_2H_x^+ $x=1\sim 6$) が主であり、平均飛翔 (R_p) は LSS 理論から想定される値の 1/2、濃度は 2 倍となることを示した。イオンドーピングにて同時注入される水素イオンが TFT 特性へ与える影響について調べた結果、p-ch TFT の移動度ならびに V_{th} は同時注入される水素ドーズ量の増大につれて劣化し、プロセス温度の低温化に伴い特性劣化が顕著になることを示した。チャンネル領域の ESR 測定より、TFT へ水素イオンが注入されることで poly-Si のダングリングボンドが増大することを見出した。さらに、ゲート電極膜厚により、チャンネル領域への H_2^+ イオンの注入を抑制することで TFT 特性 (移動度、 V_{th}) が大幅に改善することを示し、TFT 特性に主たる影響を与えるイオン種が H_2^+ であることを初めて明らかにした。

第4章では低温 poly-Si TFT の信頼性、特に実際の回路動作に近いダイナミックストレス印加による特性劣化メカニズムの解明と、その対策に関する研究成果を述べる。ダイナミックストレス印加による特性劣化は n-ch, p-ch TFT 双方に観察されたが、n-ch TFT で特に顕著であり、ホットキャリア劣化であることを示した。n-ch TFT の劣化抑制手法として Lightly Doped Drain (LDD) による TFT 内部電界緩和が有効であることを示した。ホットキャリア劣化の LDD 活性化アニール温度依存性より、劣化は活性化アニール温度に強く依存していることがわかった。ラマン分光にて、LDD 注入後の poly-Si 結晶性 (LDD 注入ダメージ) と劣化の相関を調べた結果、ホットキャリア劣化は LDD 領域を形成する poly-Si 結晶性に強く依存しており、劣化抑制には LDD 注入欠陥の回復が重要であることを見出した。P-ch TFT についても劣化とアニール温度依存性を調べた結果、劣化は p+ドーピング後の活性化温度には依存せず、ゲート絶縁膜形成後のアニール、すなわちゲート絶縁膜の膜質に依存していることがわかり、劣化抑制には、ゲート絶縁膜の膜質改善が重要であることを示した。

第5章では低温 poly-Si TFT の LCD 応用 に関する研究成果を述べる。TFT-LCD 用アクティブマトリクスアレイの作製には TFT の性能のみならずそれらをガラス基板に集積化するプロセス技術が不可欠である。低温 poly-Si TFT-LCD が LCD 基板上に機能素子を取り込んで差別化を推進していくためには、素子の微細化による動作速度の向上が不可欠であり、高密度プラズマ源として ICP プラズマを用いたドライエッチング装置の開発とこれを用いた高速・低ダメージエッチング技術に関する研究結果を述べた。以上の結果より、発表当時業界最高精細 (223ppi) である駆動回路内蔵低温 poly-Si TFT-LCD を実現した。この LCD にはシフトレジスタのみならず DC-DC コンバータやレベルシフタといった機能素子を集積化しており低温 poly-Si 技術の今後の可能性の高さを実証した。

第6章では第1章から第5章までの研究成果を総括し本研究の結論とした。

第1章の参考文献

- 1) K. Suzuki, M. Tada, Y. Yamaji and Y. Ishizuka, "Low Temperature Poly-Si TFT Technology and It's Application to 12.1-inch XGA," AMLCD'98 Tech. Dig., 1998, p.5
- 2) M. Furuta, Y. Nakazaki, A. Nakamura, T. Kawakita, H. Tsutsu, T. Kawamura, and Y. Tsuchihashi, "Reliability of Low-Temperature Poly-Si TFTs with LDD Structure and It's Application for 3.6-inch (VGA) TFT-LCDs." , AMLCD'01 Tech. Dig., 2001, p.183
- 3) H. Tomitani, Y. Numada, T. Ohtomo, M. Matsunami, T. Kawamura and Y. Tsuchihashi, "A 3.6-inch VGA Low-Temperature Poly-Si TFT-LCD", AMLCD'01 Tech. Dig., 2001, p. 89
- 4) C. Chen, P. Chen, W. Hung and Y. Yeh, "The Laser-Induced Latent Damage on p-channel Low Temperature Polycrystalline Silicon TFTs", *Proc. of ASID'02, Singapore*, 2002, p.497
- 5) M. Furuta, S. Maegawa, H. Sano, T. Yoshioka, Y. Uraoka, H. Tsutsu, I. Kobayashi, T. Kawamura and Y. Miyata, "A 2.8-in. diagonal Low-temperature-processed Poly-Si TFT-LCD with a new LDD structure", *Euro Display Tech. Dig., Birmingham*, 1996, p.547
- 6) H. Kimura, T. Maeda, T. Tsunashima, T. Morita, H. Murata, S. Hirota and H. Sato, "A 2.15 inch QCIF Reflective Color TFT-LCD with Digital Memory on Glass", *SID'01 Tech. Dig.*, 2001, p. 268
- 7) James IM, "Crystallization of Amorphous Si Films for AMOELDs and AMLCDs", *Proc. of ASID'02, Singapore*, 2002, p.63
- 8) B. Fechner, U. Rebhan, R. Osmanov, M. Schiwiek and H. Kahlert, "300W XeCl Excimer Laser Annealing Techniques in Low Temperature Poly Silicon Technology", *Proc. of ASID'02, Singapore*, 2002, p.69
- 9) T. Sameshima, K. Sakamoto, K. Asada, M. Kondo, A. Matsuda and S. Higashi, "Reduction of Defects of Polycrystalline Thin Films by Heat Treatment with High Pressure H₂O Vapor", *Solar Energy Materials & Solar Cells* 65 (2001) 577.
- 10) M. Yamamoto, H. Nishitani, M. Sasaki, M. Gotoh, Y. Taketomi, H. Tsutsu and M. Nishitani, "High Performance Low Temperature Poly-Si TFT Obtained by a New Fabrication Method", *Euro Display'99 Tech. Dig.*, 1999, p.53
- 11) H. Tanabe and K. Sera, "A Clean Poly-Si/Gate-oxide Interface Formation through Consecutive Remote-plasma Chemical Vapor Deposition of SiO₂ Following Excimer Laser Crystallization of Si Layer", *AM-LCD'01 Tech. Dig.*, 2001, p.155

- 12) T. Shimoda, "Current Status and Future of TFTs", *Proc. of ASID'02, Singapore*, 2002, p.59
- 13) M. Stewart, R. S. Howell, L. Pires and M. K. Hatalis, "Polysilicon TFT Technology for Active Matrix OLED Displays", *IEEE Trans. Electron Devices* **48** (2001) 845.
- 14) M. Furuta, T. Kawamura, T. Yoshioka, and Y. Miyata, "Bottom-Gate Poly-Si Thin Film Transistors using XeCl Excimer Laser Annealing and Ion Doping", *IEEE Trans. Electron Devices* **40** (1993) 1964.
- 15) E. Lueder, "Plastic Substrates for Flat Panel Displays", *Proc. of ASID'02, Singapore*, 2002, p.13
- 16) I. Wei Wu, W. B. Jackson, T. Huang, A. G. Lewis and A. Chiang, "Mechanism of Device Degradation in n- and p-channel Polysilicon TFT's by Electrical Stressing", *IEEE Electron Device Lett.* **11** (1990) 167.
- 17) N. D. Young and J. R. Ayres, "Negative Gate Bias Instability in Polycrystalline Silicon TFTs", *IEEE Trans. Electron Devices* **42** (1995) 1623.
- 18) Y. S. Kim and M. K. Han, "Degradation Due to Electrical Stress of Poly-Si Thin Film Transistors with Various LDD Length", *IEEE Electron Device Lett.* **16** (1995) 245.

第2章 エキシマレーザー結晶化技術と poly-Si 結晶性

2-1 はじめに

多結晶シリコン (poly-Si) は、非晶質シリコン (a-Si:H) に比較して電子移動度が 100 倍以上大きく、CMOS 動作が可能であることより、LCD 等の電子デバイス应用到に重要な材料である。Poly-Si の形成法としては 1) 気相成長法 (Chemical Vapor Deposition) による直接堆積、2) 固相成長法 (Solid Phase Crystallization)、が主流であったが 600°C 以上のプロセス温度を必要とし、石英基板上の応用に限定されていた。低温化のアプローチとして CW レーザーアニールの検討も行われてきたが、基板への熱ダメージの課題が存在していた。1980 年代後半に、エキシマレーザー照射による a-Si の結晶化技術とその薄膜トランジスタ応用の可能性が示されて以降¹⁾、エキシマレーザーアニール (ELA) による低温 poly-Si 形成技術に関して多くの研究・開発が行われてきた。ELA は、1) Si への吸収係数が大きな紫外光を用いるため、表面近傍で全てのエネルギーが熱に変換される、2) 薄膜を熔融するに十分なエネルギー密度が得られる、3) パルス幅が短い (数十 nsec) ため基板への熱ダメージが少なく、ガラス基板上に高品質な poly-Si を形成可能である、等の特徴を有している。

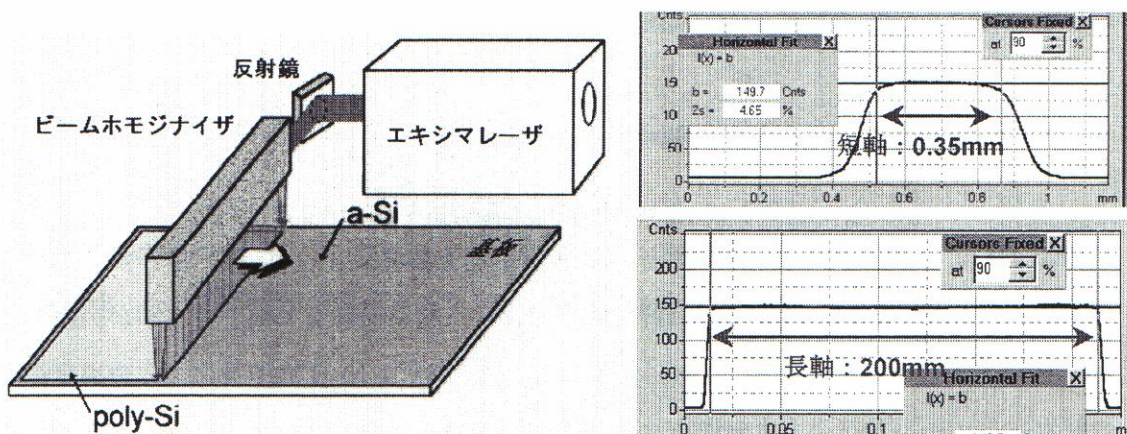


図 2-1 エキシマレーザーアニールの概念図と整形後のビーム形状

ELA の光源としては、最大出力が大きく、ショット安定性に優れ、かつ a-Si 膜に対する吸収係数 ($\sim 10^6 \text{ cm}^{-1}$) の大きな XeCl (308nm) エキシマレーザーが一般的に用いられる。図 2-1 にエキシマレーザーアニールの概念図を示す。レーザー光の強度分布はガウス分布であるため、ビームホモジナイザーにて光学的に矩形や線状にエネルギーを均一化し、エキシマレーザーをパルス発振 (数百 Hz) させた状態で基板ステージをスキャンしながらアニールを行う。^{2,3)} 平均照射回数は発振周波数とスキャン速度により制御する。レーザーアニールは表面酸化や不純物コンタミネーションを防止するため真空中で行われることが多いが、照射雰囲気は poly-Si の膜質や表面凹凸に影響を与えるとの報告もある。^{4,5)} またレーザー照射時の基板温度も結晶性の制御には重要である。400°C の基板温度にてレーザーアニールを行うことで、熔融時間の増大と固化速度の減少により大粒径 poly-Si が得られるとの報告や、ビームオーバーラップ領域の結晶性の不均一性が改善されるとの報告がある。^{6,7)} しかしながら、ELA にて作製した poly-Si TFT の移動度に関してはグレインサイズとの相関が報告されているものの、結晶欠陥が移動度を与える影響に関しては充分議論されているとは言い難い。本章では、走査型トンネル顕微鏡 (Scanning Tunneling Microscope) ならびに透過電子顕微鏡 (Transmission Electron Microscope) 観察より、ELA poly-Si の結晶性 (グレインサイズならびに結晶欠陥) のレーザーエネルギー依存性を評価し、TFT 特性 (移動度) に与える poly-Si 結晶欠陥の影響に関して議論する。さらに、poly-Si の代表的な欠陥であるダングリングボンドについて、poly-Si 中での存在場所の特定を行い、TFT の高性能化に関する指針を検討する。

2-2 結晶化に与える a-Si:H 膜中水素濃度の影響

PECVD にて成膜した a-Si:H は膜中に多量の水素を含有している。膜中に多量の水素を含有した状態でエキシマレーザー照射を行うと、熔融・結晶化過程で膜中の水素が突沸し、ボイドやアブレーション (膜はがれ) が生じる。そこで、a-Si:H 成膜後に、成膜温度以上で脱水素アニールを行い、水素濃度ならびにアブレーションエネルギーの脱水素アニール温度依存性を調べた。脱水素アニールは真空中で 90min 実施した。a-Si:H (50nm) は、TFT のゲート絶縁膜となる SiN_x (400nm) 上に、PECVD にて連続して成膜した。SiN_x ならびに a-Si:H の成膜条件を表 2-1 に示す。

表 2-1 実験に用いた a-Si:H/SiNx 膜の成膜条件

	SiNx	a-Si:H
SiH ₄ (ccm)	18	68
NH ₃ (ccm)	108	0
N ₂ (ccm)	150	0
H ₂ (ccm)	150	0
Press. (Pa)	119.7	66.5
Substrate temp. (°C)	320	270
RF power density (W/cm ²)	0.33	0.033

ELA は波長 308nm、パルス幅 45nsec の XeCl エキシマレーザーを用い、ビームホモジナイザーにて 6×6mm の矩形ビームに整形したのち基板に照射した。アニールは真空中で基板を静止した状態で行い、同一場所に 8 shots の照射を行った。基板温度は室温である。

膜中の水素濃度は赤外吸収 (Fourier Transform Infrared) およびラザフォード後方散乱 (Rutherford Backscattering Spectrometry) を用いて測定した。

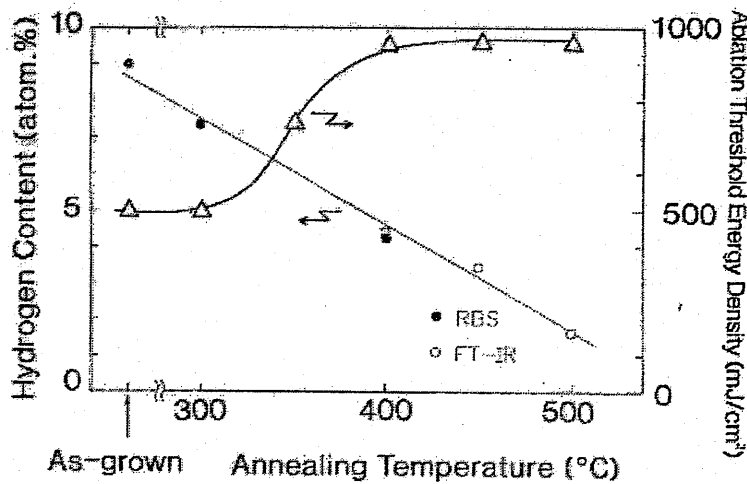


図 2-2 a-Si:H 膜中水素濃度とアブレーションエネルギーの脱水素アニール温度依存性

成膜直後の a-Si:H 膜中には 9atom% 程度の水素が含まれており、500mJ/cm² 以上のレーザー照射にてアブレーションが観察された。a-Si:H 成膜後に成膜温度以上で脱水素アニールを行うことで膜中の水素脱離が進み、アブレーションエネルギーが増大したが、膜中水素濃度が 5atom% 以下、すなわちアニール温度 400°C 以上でアブレーションエネルギーは飽和した。以上の結果より、レーザー照射前の脱水素アニールとして 450°C、90min

のアニールを行うこととした。一方、a-Si 下層の SiNx にも $2 \times 10^{22} \text{ cm}^{-3}$ の水素が存在する。しかしながら、SiNx の水素濃度はレーザー照射前の脱水素アニール (450°C) を行っても変化が見られなかった。¹⁰⁾

2-3 エキシマレーザー照射による不純物の活性化

エキシマレーザーアニールは poly-Si の形成 (結晶化) に加え、不純物の活性化にも応用可能な技術であり、熔融結晶化プロセスを利用した高い活性化率が期待できる。本節では ELA の不純物ドーピング応用に関して検討した。Poly-Si への不純物導入手法として、1) undoped a-Si:H (50nm) 上にリン (P) をドーピングした n+ a-Si:H (5nm) を成膜し、レーザー照射によりリンを undoped a-Si:H 中に拡散させる固相拡散法¹⁾、2) undoped a-Si:H (50nm) にイオンドーピング (第3章に詳細を記述) にてリン (P) およびホウ素 (B) を導入し、レーザー照射により結晶化と活性化を同時に行う方法、の2種類を検討した。ドーパントとなるリンおよびボロンは、イオンドーピングを用いて、加速電圧 10keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ にて注入した。各種ドーピング法で形成した薄膜抵抗率のレーザーエネルギー密度依存性を図 2-3 に示す。

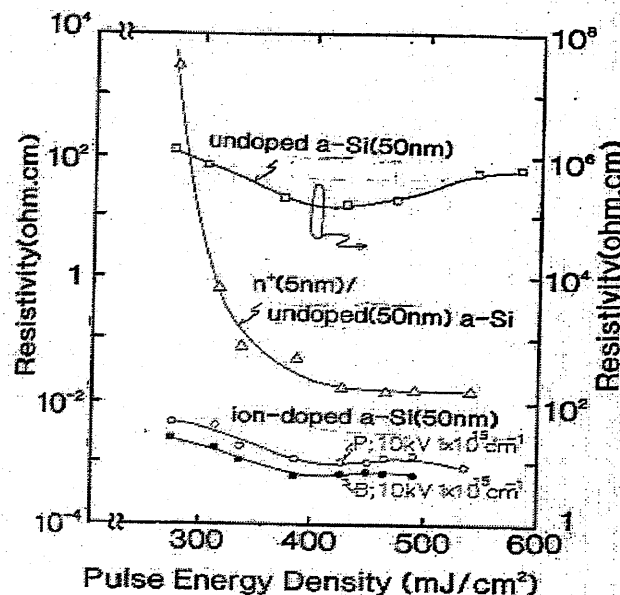


図 2-3 ELA を利用した不純物ドーピング検討結果

Undope a-Si:H を結晶化した poly-Si の抵抗率は $10^5 \sim 10^6$ ($\Omega \cdot \text{cm}$) と高抵抗である。N⁺/undope a-Si:H を積層した固相ドーピングの場合、抵抗率はエネルギーの増大と共に減少するが、 430 mJ/cm^2 以上で抵抗率は飽和 ($\sim 10^2 \Omega \cdot \text{cm}$) した。これは、レーザーエネルギー密度が 430 mJ/cm^2 以下ではエネルギー増加に伴い溶融深さが増大し抵抗率が低下するが、 430 mJ/cm^2 で膜全体の溶融が起こり抵抗率が飽和するものと考えられる。本結果より、本実験の薄膜が完全溶融にいたるレーザーエネルギー密度は 430 mJ/cm^2 と推察される。一方、イオンドーピングにて薄膜中に直接不純物を導入した場合は、固相拡散法に比較して1桁近く低い抵抗率が得られておりドーピング効率が高いことがわかる。また、レーザーエネルギー密度の低下に伴う抵抗率の上昇も少ない。このようにイオンドーピングとレーザー結晶化(活性化)を組み合わせることで doped poly-Si が形成でき、TFT 作製においてチャネル領域の undope poly-Si とソース・ドレイン領域の doped poly-Si を一度のレーザー照射で同時に形成できる。^{2,10)}

2-4 エキシマレーザー結晶化 poly-Si の結晶性評価

2-4-1 移動度のレーザーエネルギー密度依存性

ELA poly-Si を活性層に用いた TFT の移動度の、レーザーエネルギー密度依存性を図 2-4 に示す。TFT は 1-2-1 節に示したボトムゲート構造にて作製した。

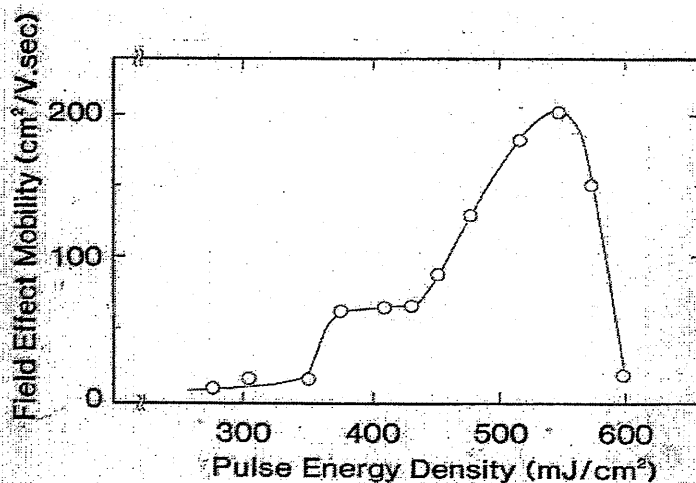


図 2-4 ELA poly-Si を用いた TFT の移動度のレーザーエネルギー密度依存性

レーザーエネルギー密度が $350\text{mJ}/\text{cm}^2$ 以下の領域では移動度は $10\text{cm}^2/\text{V}\cdot\text{s}$ 程度であった。レーザーエネルギー密度を $350\text{mJ}/\text{cm}^2$ に増大すると移動度は $60\text{cm}^2/\text{V}\cdot\text{s}$ まで増大したが、 $430\text{mJ}/\text{cm}^2$ までは移動度はエネルギー密度に依存せず一定であった。ところがレーザーエネルギー密度が $430\text{mJ}/\text{cm}^2$ 以上の領域では、移動度はエネルギー密度に強く依存し、 $530\text{mJ}/\text{cm}^2$ で最大移動度 $200\text{cm}^2/\text{V}\cdot\text{s}$ が得られた。この値はアモルファスシリコンの200倍以上、通常の固相成長 poly-Si を用いた TFT の2倍以上であり、レーザー結晶化 poly-Si の高い電流駆動能力を示している。さらにレーザーエネルギー密度を増大することで、移動度は急激に減少した。このように ELA poly-Si TFT の移動度はレーザーエネルギー密度に強く依存し、エネルギー密度が最適値を超えると移動度が急激に減少することがわかった。次に、移動度がレーザーエネルギー密度に強く依存する領域で、結晶性（グレインサイズや結晶欠陥）と移動度の相関に関して検討する。

2-4-2 Poly-Si の結晶構造評価

ELA poly-Si-TFT の移動度は、レーザーエネルギー密度に大きく依存することがわかった。ELA poly-Si に関して、表面粗さのエネルギー密度依存性を Scanning Tunneling Microscope (STM) にて、グレインサイズならびに結晶欠陥のレーザーエネルギー密度依存性を Transmission Electron Microscope (TEM) を用いて調べた。STM を用いて測定した poly-Si 表面粗さ Ra のレーザーエネルギー密度依存性を図 2-5 に示す。

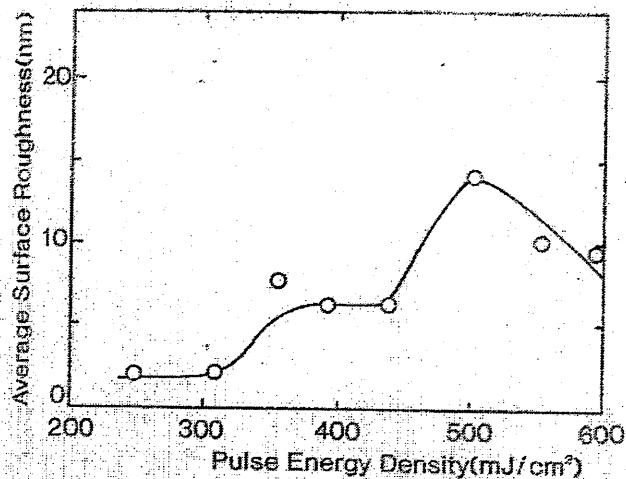


図 2-5 poly-Si 表面粗さ Ra のレーザーエネルギー密度依存性

Poly-Si の表面粗さ R_a は $2\ \mu\text{m}$ の領域を測定した平均値で定義した。 R_a は、図 2-4 に示した移動度のエネルギー依存性と同様の傾向を示した。レーザーエネルギー密度が $350\text{mJ}/\text{cm}^2$ 以下の領域では R_a は 2nm 程度であるが、 $350\text{mJ}/\text{cm}^2$ を超えると R_a は $5\sim 7\text{nm}$ へ増大し、 $430\text{mJ}/\text{cm}^2$ 以上の領域では R_a はレーザーエネルギー密度に強く依存し最大移動度が得られた $530\text{mJ}/\text{cm}^2$ で最大となった。さらにレーザーエネルギー密度を増大することで、移動度同様、 R_a も減少した。

これは、エネルギー密度が $350\text{mJ}/\text{cm}^2$ 以下の領域ではレーザー照射による a-Si の溶融は起こらず R_a は a-Si と同等であるが、エネルギー密度 $350\text{mJ}/\text{cm}^2$ において表面層の溶融が始まることで R_a が増大するものの、 $430\text{mJ}/\text{cm}^2$ まではエネルギー密度の増大により溶融深さが増すものの薄膜全体の溶融には至らず、 R_a はエネルギー密度にあまり依存しないものと考えられる。一方、エネルギー密度が $430\text{mJ}/\text{cm}^2$ 以上の領域では薄膜は完全溶融し、エネルギー密度の増大により薄膜の溶融時間が増大し、個々のグレインがラテラル成長する過程でグレインエッジでのリッジが増大し R_a が増大するものと考えられる。

このように、ELA poly-Si の表面粗さは移動度との相関が強く、薄膜の溶融・結晶化過程を反映した結果であると考えられ、結晶のモニター法として有用である。

次に透過電子顕微鏡 (TEM) を用い、移動度がレーザーエネルギー密度に強く依存する領域、すなわちエネルギー密度 $430\text{mJ}/\text{cm}^2$ 以上で結晶化を行った poly-Si の観察を行い、移動度と結晶性の相関を検討した。

レーザーエネルギー密度 (a) $452\text{mJ}/\text{cm}^2$ 、(b) $529\text{mJ}/\text{cm}^2$ 、(c) $623\text{mJ}/\text{cm}^2$ にて結晶化を行った poly-Si の平面 TEM 観察結果ならびに電子線回折像を図 2-6 に示す。図 (a)、(b) に示した poly-Si とともに平均グレインサイズは 250nm でほぼ同一であったが、グレインバウンダリは図 (b) の $529\text{mJ}/\text{cm}^2$ で結晶化した poly-Si の方が明瞭であり、電子線回折パターンも結晶性が良好であることを示している。しかしながら図 (b) のエネルギー条件では、結晶粒内に微小なダークスポットが観察された。これはレーザーエネルギー密度の増加により固化速度が増大し、アモルファス化が生じ始めた結果であり⁸⁾、エネルギー密度を $623\text{mJ}/\text{cm}^2$ に増大した図 (c) のサンプルではほとんどの領域がアモルファスもしくは微結晶化しており、電子線回折でも結晶性の低下が確認できた。

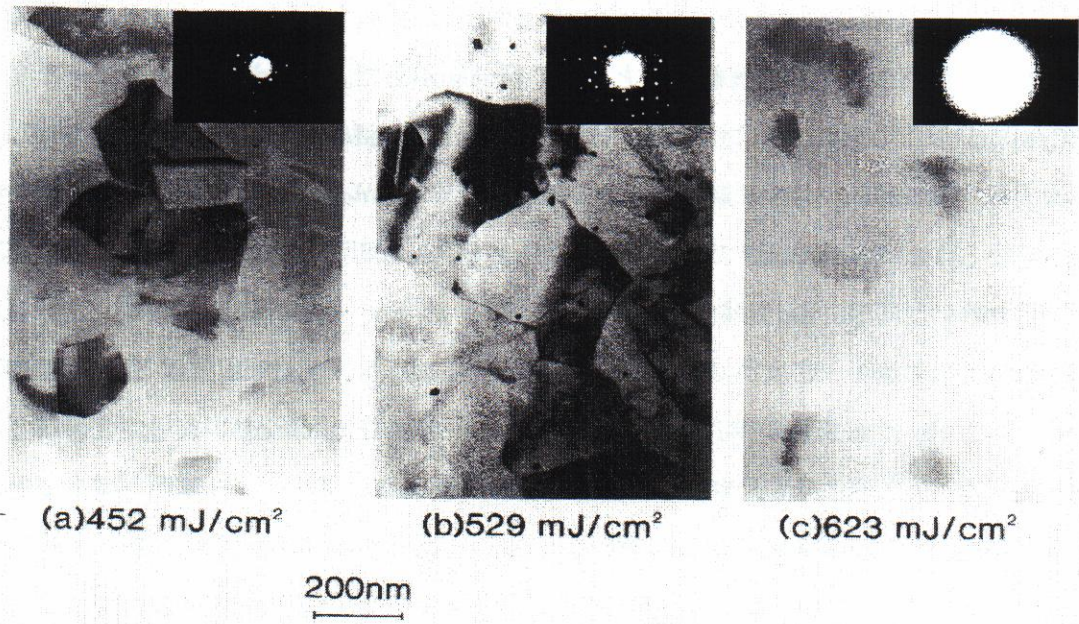


図 2-6 ELA poly-Si の平面 TEM 像および電子線回折像

以上の平面 TEM 観察結果より、レーザーエネルギー密度 $530\text{mJ}/\text{cm}^2$ 以上での移動度ならびに R_a の減少はアモルファス化の進行による結果であることがわかった。しかしながら、図 (a) ならびに図 (b) のエネルギー密度で結晶化した poly-Si は、グレインサイズはほぼ同一であるにも関わらず、作製した TFT の移動度は $60\text{cm}^2/\text{V}\cdot\text{s}$ と $200\text{cm}^2/\text{V}\cdot\text{s}$ と 3 倍以上の差が見られた。移動度の差の原因を調べるため、断面 TEM 観察を行った。

図 2-6 と同一条件で結晶化した poly-Si の断面 TEM 観察結果を図 2-7 に示す。

図 (a) に示した $452\text{mJ}/\text{cm}^2$ で結晶化を行ったサンプルでは、グレイン内部で膜厚方向に多数の結晶欠陥が観察され、グレインバウンダリも不明瞭であった。これに対して図 (b) に示した $529\text{mJ}/\text{cm}^2$ で結晶化したサンプルでは、グレイン内部の結晶欠陥が劇的に減少しており、個々のグレイン内部にはほとんど欠陥が観察されなかった。これはレーザーエネルギー密度の増大によりグレインサイズはほとんど変化しないものの、グレイン内部の改質が進み、結晶欠陥が低減されたことを示す結果である。このグレイン内部の欠陥低減の結果、移動度は $60\text{cm}^2/\text{V}\cdot\text{s}$ から $200\text{cm}^2/\text{V}\cdot\text{s}$ へ増大したと考えられ、移動度はグレインサイズのみならずグレイン内部の結晶欠陥に大きく影響されることが明らかになった。

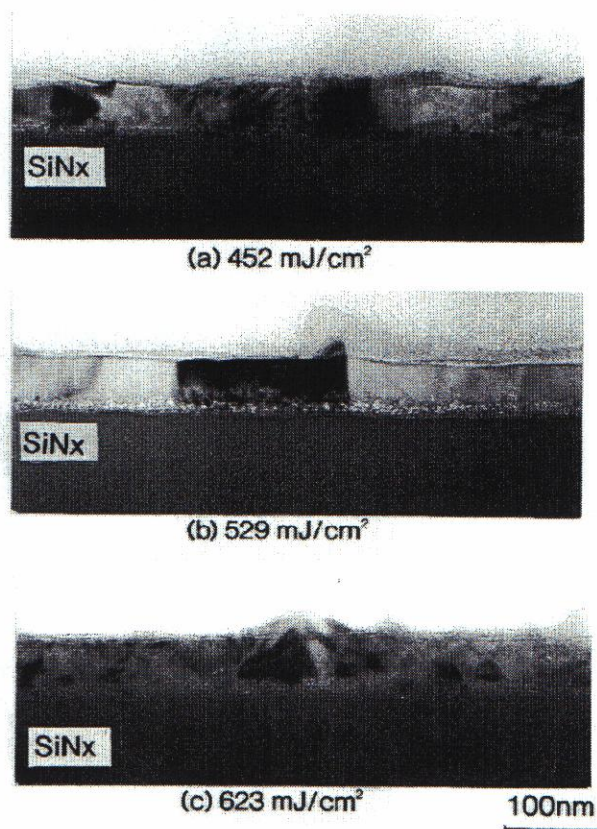


図 2-7 ELA poly-Si の断面 TEM 像

図 2-7 に示した断面 TEM 結果から、3種類のレーザーエネルギー密度で結晶化した poly-Si とともに、poly-Si/SiNx 界面で約 10nm の微小粒径 poly-Si が形成されており、この微小粒径 poly-Si 上に大粒径 poly-Si が形成される 2 層構造となっていることがわかった。微小粒径 poly-Si は水素が結晶化を阻害することで形成されることが報告されている。⁹⁾ 本章で用いた窒化シリコンには $2 \times 10^{22} \text{ cm}^{-3}$ 程度の水素が含まれており、脱水素アニール (450°C) では脱離しない。¹⁰⁾ このため、エキシマレーザー照射により a-Si の熔融が始まると SiNx 中の水素が Si 中へ脱離・拡散し poly-Si/SiNx 界面で結晶化を阻害した結果、微小粒径 poly-Si が形成されたと考えられる。断面 TEM 結果では、結晶欠陥は微小粒径と大粒径 poly-Si の界面近傍に集中している。ボトムゲート構造の場合、薄膜トランジスタのチャンネルはゲート絶縁膜となる窒化シリコンとの界面近傍に形成されるため、これら微小粒径 poly-Si やそれに起因する結晶欠陥は移動度を低下させる要因となる。

そこで a-Si 下地材料として水素含有量の少ない常圧 CVD による SiO₂ を用い、その上に形成される poly-Si の断面 TEM 観察を行った結果を図 2-8 に示す。

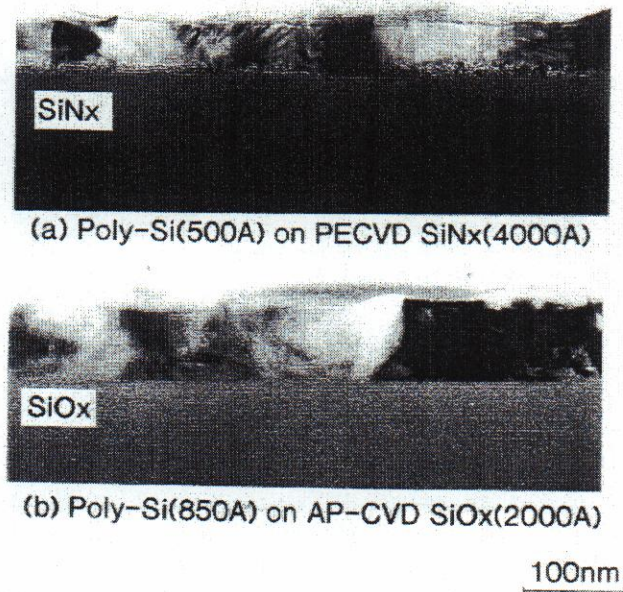


図 2-8 poly-Si 結晶性の下地材料依存性 (断面 TEM 観察)

Poly-Si 下地膜として常圧 CVD にて成膜した水素濃度の少ない SiO_2 を用いた場合には、poly-Si / SiO_2 界面に微小粒径 poly-Si は観察されず、 SiO_2 上に直接大粒径 poly-Si が形成されており、poly-Si の下地材料としては SiO_2 が望ましいと考えられる。しかしながら SiO_2 を下地に用いた場合でも、結晶欠陥は poly-Si / SiO_2 界面側から表面側に向かって形成されており、結晶性は poly-Si 表面側のほうが良好である。以上の結果より、高移動度 TFT の実現にはチャンネルが poly-Si 下層 (基板側) に形成されるボトムゲート構造よりも、上層 (表面側) に形成されるトップゲート構造が望ましいと考えられる。

2-4-3 ELA Poly-Si 中でのダングリングボンドの分布

レーザーアニール Poly-Si の結晶性は下地材料の影響を受け、水素含有量の多い窒化シリコン (SiNx) を下地に用いた場合には poly-Si / SiNx 界面で微小粒径 poly-Si が形成されるため、下地材料としては酸化シリコン (SiO_2) が望ましいことを示した。また、poly-Si 中に存在する結晶欠陥も下地界面近傍に多く、表面側に移行するにつれ減少することより、高移動度薄膜トランジスタにはチャンネルが poly-Si 表面近傍に形成されるトップゲート構造が有利である。Poly-Si の結晶欠陥は、キャリアトラップや散乱中心となり移動度を減少させることが知られている。本節では ELA poly-Si 中の結晶欠陥の存在場所を特定する

ことで、TFTの高移動度化の指針を検討した。

以下に実験の手法を示す。まずガラス基板の上に、アンダーコート (SiO₂: 600nm) ならびに a-Si:H (50nm) を PECVD にて連続成膜した。成膜条件を表 2-2 に示す。窒素雰囲気中で 450°C、90min の脱水素アニールを行った後、エキシマレーザーアニールにより poly-Si を形成した。波長 308nm、パルス幅 25nsec の XeCl エキシマレーザーを用い、ビームホモジナイザーにて 200×0.35mm の線状ビームに整形した後、基板をスキャンしながら照射した。レーザーアニールは減圧窒素雰囲気中で実施し、基板温度は室温、平均照射回数は 35shots である。

表 2-2 本節の実験で用いた SiO₂ ならびに a-Si:H の成膜条件

	アンダーコート SiO ₂	a-Si:H
SiH ₄ (ccm)	0	225
H ₂ (ccm)	0	1000
TEOS (ccm)	400	0
O ₂ (ccm)	6000	0
He (ccm)	100	0
Press. (Pa)	160	153
Substrate temp. (°C)	360	330

ELA poly-Si のグレインサイズの、レーザーエネルギー密度依存性を図 2-9 示す。

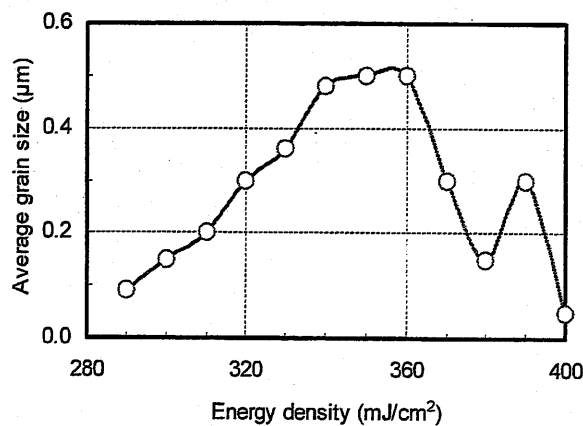


図 2-9 SiO₂ 上に形成した poly-Si グレインサイズのレーザーエネルギー密度依存性

グレインサイズは Secco エッチング¹¹⁾によりグレインバウンダリを顕在化させた後、Scanning Electron Microscopy (SEM)にて測定した。

前節までの実験とは a-Si:H の成膜条件や下地材料、レーザーのパルス幅等が異なるため、エネルギーの最適値が異なる点に注意を要する。グレインサイズはレーザーエネルギー密度とともに増大し、 $350\text{mJ}/\text{cm}^2$ 近傍で最大値をとった。この時の平均グレインサイズは $0.5\mu\text{m}$ である。 $350\text{mJ}/\text{cm}^2$ にて結晶化した poly-Si の平面 SEM および断面 TEM 像を図 2-10 に示す。平面 SEM 像からはグレインバウンダリでリッジが形成されている様子が、断面 TEM 像からはグレイン内部に結晶欠陥が形成されている様子が確認できた。

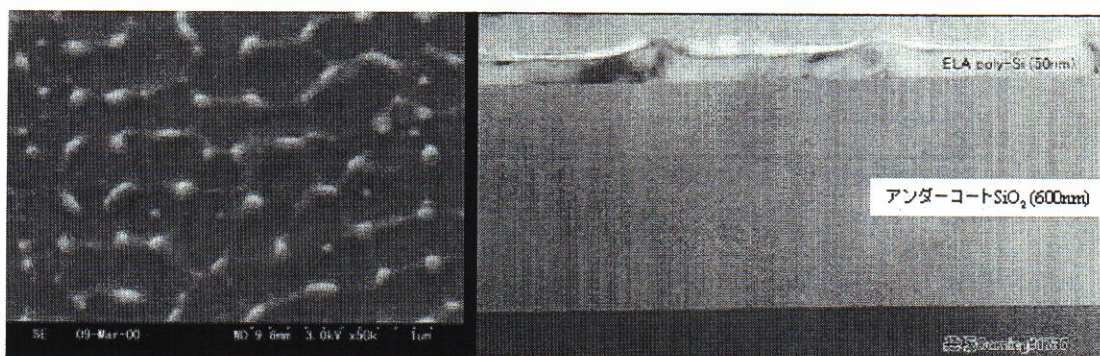


図 2-10 ELA poly-Si ($350\text{mJ}/\text{cm}^2$) の平面 SEM および断面 TEM 像

Poly-Si の代表的な結晶欠陥であるダングリングボンドのうち、グレインバウンダリに存在するものは mid-gap 近傍に準位を形成し薄膜トランジスタのしきい電圧 (V_{th}) やサブスレッシュールド特性 (S 値) に影響を与え、グレイン内部に存在するダングリングボンドや格子変位 (Strain-bond) は poly-Si の tail-state を増大させ薄膜トランジスタの移動度やリーク電流に影響を与えるとの報告がある。¹²⁾ ELA poly-Si 中に存在するダングリングボンドの存在場所を特定することは、TFT の高性能化の指針を示す上で重要である。

Electron Spin Resonance (ESR) を用いて poly-Si のダングリングボンドを評価した結果を図 2-11 に示す。ESR の g 値は測定磁場の基板への入射角度を変化させることで 2.0035 から 2.0065 まで変化し、信号強度は基板への磁場入射角度が 45° 、すなわちランダム配向 poly-Si のダングリングボンドを表す g 値 2.0055^{13,14)} で最大となった。これらの結果より、poly-Si 中のダングリングボンドの指標として g 値 2.0055 の信号強度を用い、存在場所を分離・特定する実験を行った。

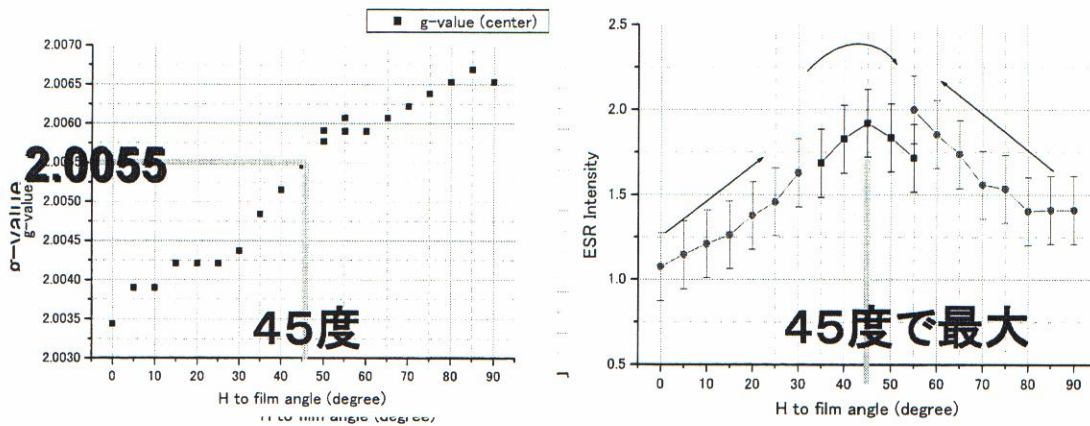
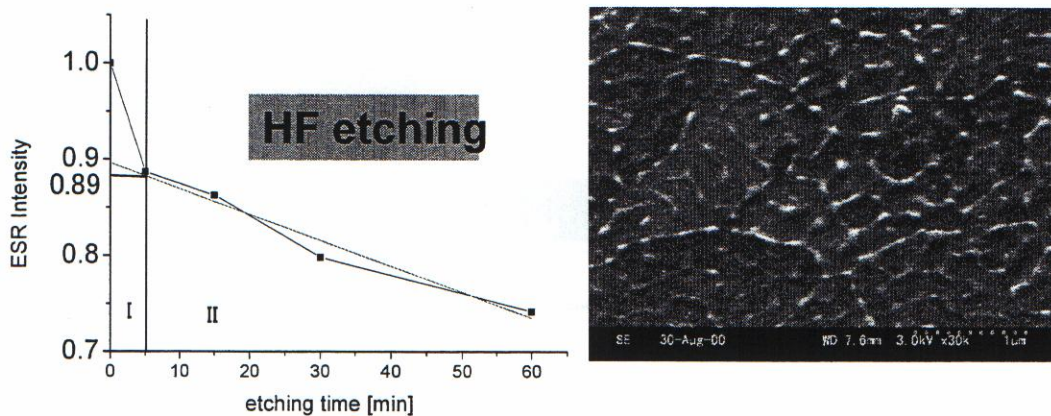


図 2-11 ESR にて求めた g 値ならびに ESR 強度の磁場角度依存性

Poly-Si のダングリングボンドを、1) 自然酸化膜界面、2) グレインバウンダリ、3) グレイン内部の 3 つに分離し、存在場所の分離を試みた。

1) HF エッチングによる自然酸化膜界面に存在するダングリングボンドの分離

まず、poly-Si と自然酸化膜との界面に存在するダングリングボンドを分離するために、フッ化水素酸 (HF) による表面エッチングを行いながら ESR 信号強度のエッチング時間依存性を調べた。エッチング液は 46%HF:H₂O=1:9 を用いた。



(a) ESR 信号強度の HF エッチング時間依存性 (b) 60min エッチング後の表面 SEM 像

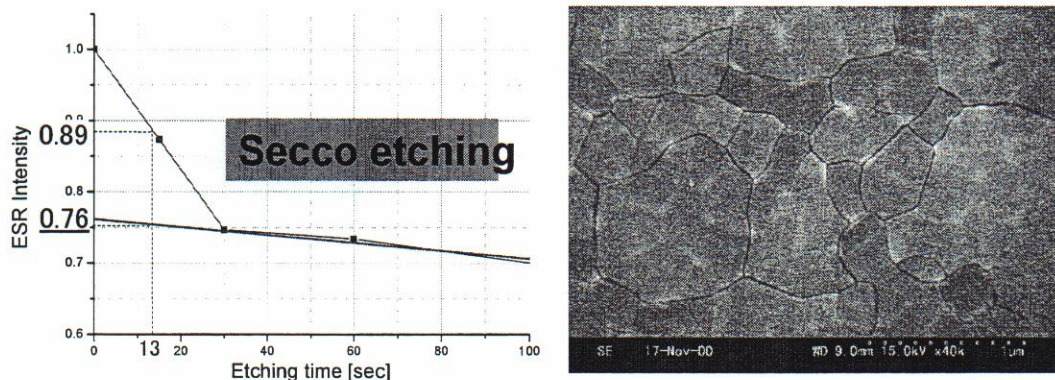
図 2-12 ESR 強度の HF エッチング (表面酸化膜除去) 時間依存性

ESR 信号強度の HF エッチング時間依存性、ならびに 60min エッチング後の表面 SEM 像を図 2-12 示す。SEM 像からは 60min エッチング後においてもグレインバウンダリの選択エッチング等も観察されず、一様に表面層がエッチングされていることが確認できた。ESR 信号強度は初期 5min で約 11%減少し、それ以降はエッチング時間の増大とともに徐々に減少した。以上の結果より、Poly-Si と自然酸化膜との界面近傍に存在するダングリングボンドは約 11%である。トップゲート型薄膜トランジスタ作製時は、ゲート絶縁膜を形成する前に HF による poly-Si 自然酸化膜除去が行われるため、自然酸化膜界面に存在するダングリングボンドは除去される。

2) Secco エッチングによるグレインバウンダリに存在するダングリングボンドの分離

次に poly-Si グレインバウンダリに存在するダングリングボンドを分離するため、Secco エッチングによるグレインバウンダリの選択エッチングを行いながら ESR 信号強度のエッチング時間依存性を調べた。エッチング液は 100 倍希釈 HF : 0.15mol $K_2Cr_2O_7$ = 2 : 1 を用いた。ESR 信号強度の Secco エッチング時間依存性、ならびに 4 分エッチング後の表面 SEM 像を図 2-13 示す。

4 分エッチング後の SEM 像からはグレインバウンダリが選択的にエッチングされている様子が観察されたが、一部はエッチングされず残存していた。これは Secco エッチング液が結晶性の良いシリコンを保護することでグレインバウンダリの選択エッチングを行うためであり、結晶性の悪い部分が選択的に除去された結果である。



(a) ESR 信号強度の Secco エッチング時間依存性 (b) 4 min エッチング後の表面 SEM 像

図 2-13 ESR 強度の Secco エッチ時間依存性

Secco エッチングにて除去された粒界の割合を SEM 観察より求めた結果を図 2-14 に示す。Secco エッチング前の粒界長 ($6.0 \times 10^8 \mu\text{m}/\text{cm}^2$) の 55%にあたる粒界 ($3.3 \times 10^8 \mu\text{m}/\text{cm}^2$) がエッチングされており、残存した粒界は 45%であった。ESR 信号強度は初期 30 秒で約 24%減少し、それ以降はエッチング時間を増大しても信号強度の変化は小さかった。これは初期 30 秒程度で粒界のエッチングが終了したためと考えられ、グレインバウンダリの選択エッチング後にも 76%もの ESR 信号が残存しており、グレイン内部に多数のダングリングボンドが存在していることを示している。

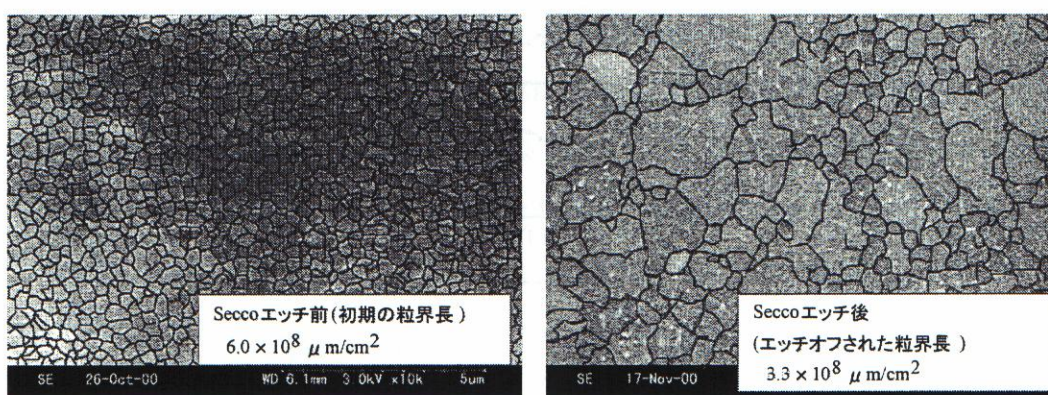


図 2-14 Secco エッチングにより除去されたグレインバウンダリ長

以上のように ESR 信号強度を評価指標として poly-Si ダングリングボンドの存在場所の分離を行った結果、1) 自然酸化膜界面に約 11%、2) Secco エッチされるグレインバウンダリに 24%、3) グレイン内部および Secco エッチされない比較的結晶性の良い粒界に 65%、のダングリングボンドが存在していることがわかった。グレインバウンダリ部で、ダングリングボンドが幅 10nm の領域で厚み方向に均一に存在すると仮定した場合、グレインバウンダリ部が占める割合は poly-Si のほぼ 3%に相当する。この 3%の領域に、全体の 24%に相当するダングリングボンドが存在しており、グレイン内部に比較して約 11.5 倍の高密度でダングリングボンドが存在していることになる。グレインバウンダリに存在するダングリングボンドは水素プラズマ処理で比較的短時間にターミネートされるが、グレイン内部に存在するダングリングボンドのターミネートには長時間を有する。¹²⁾ 従って、poly-Si TFT の移動度の向上には、グレインサイズを増大させ相対的にグレインバウンダリの影響を低減することに加えて、Sequential Lateral Solidification (SLS) 等の新たな結晶化手

法によるグレイン内部の結晶欠陥の低減や、高圧 H₂O アニールや O₂ プラズマ処理といった新たな欠陥補償プロセスの重要度が増すことを示している。¹⁵⁻¹⁹⁾ これは、グレイン内部の欠陥低減により、ボトムゲート TFT の移動度が 60cm²/V·s から 200cm²/V·s へと増大した、図 2-7 に示した結果とも対応している。

最後に、グレインバウンダリに存在するダングリングボンドが poly-Si に与える影響を調べるため、Secco エッチング前後でのラマン分光分析結果を図 2-15 に示す。

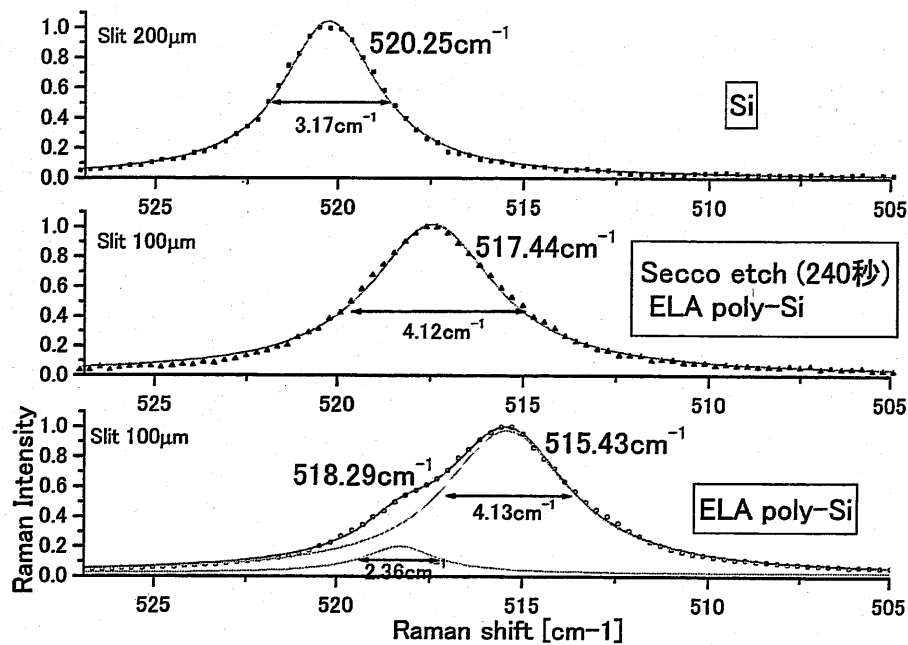


図 2-15 グレインバウンダリ除去前後での poly-Si ラマンスペクトル変化

ELA poly-Si のラマンスペクトルは結晶シリコンの波数 (520.25cm⁻¹) に比較して低波数側へのシフトが見られ、515.43cm⁻¹ と 518.29cm⁻¹ の 2 つのピークの合成となった。このラマンピークの低波数側へのシフトは、膜中に存在するローカルストレスによるものであると報告されている。²¹⁾ またスペクトルの半値幅も増大しており膜中に多くの欠陥が存在することを示している。²⁰⁻²³⁾ これに対して、Secco エッチングにてグレインバウンダリを選択的に除去したサンプルは、ラマンピークが長波数側にシフトし、半値幅にも改善が見られた。このように、グレインバウンダリに存在するダングリングボンドは全体の 24% 程度に過ぎないが、グレイン内部に比較して 1 桁以上高密度で存在するため、poly-Si に大きなローカルストレスを与えており、グレインバウンダリに存在するダングリングボンドを除去することで結晶性が改善することを確認できた。

2-5 まとめ

本章では“エキシマレーザー結晶化技術と poly-Si 結晶性”に関する研究成果を述べた。エキシマレーザーアニール (ELA) はパルスレーザー照射を用いた熔融・結晶化プロセスであり、基板への熱ダメージが少なく、良質な poly-Si を低温で形成可能な手法である。ELA による poly-Si 形成と同時に、不純物活性化に関しても検討し、イオンドーピングによる不純物注入と ELA を組み合わせることで高い活性化率が得られることを示すとともに、薄膜トランジスタ作製プロセスに応用した。エキシマレーザー結晶化と不純物活性化を用いて作製したボトムゲート TFT は、アモルファスシリコンの 200 倍以上の高い移動度 $200\text{cm}^2/\text{V}\cdot\text{s}$ が得られた。ELA にて作製した poly-Si TFT の移動度はレーザーエネルギー密度に強く依存し、エネルギー密度を $430\text{mJ}/\text{cm}^2$ から $529\text{mJ}/\text{cm}^2$ に増大することで移動度は $60\text{cm}^2/\text{V}\cdot\text{s}$ から $200\text{cm}^2/\text{V}\cdot\text{s}$ へと 3 倍以上に向上した。移動度がレーザーエネルギー密度に強く依存する領域で poly-Si 結晶性を TEM にて調べた結果、レーザーエネルギー密度の増大により、グレインサイズにはほとんど変化が見られないものの、グレイン内部の結晶欠陥が劇的に減少していることを確認し、移動度はグレインサイズのみならずグレイン内部の結晶欠陥に強く影響されることを明らかにした。

最後に、ESR 測定にて、ダングリングボンドの poly-Si 中での存在場所の特定を行った。この結果、65%ものダングリングボンドがグレイン内部に存在していることがわかり、前述のグレイン内部の結晶欠陥を低減することで移動度が 3 倍以上向上した結果と併せて考えると、グレイン内部に存在するダングリングボンドを低減することが移動度の向上には不可欠である。また、グレインバウンダリに存在するダングリングボンドは全体の 24%程度に過ぎないものの、グレインバウンダリにはグレイン内部に比較して 1 桁以上高密度でダングリングボンドが存在しており、これらダングリングボンドは薄膜に大きなローカルストレスを与えていることを明らかにした。

第2章の参考文献

- 1) T. Sameshima, S. Usui and M. Sekiya, "XeCl Excimer Laser Annealing used in the Fabrication of Poly-Si TFTs", IEEE Electron Device Lett. EDL-7 (1986) 276.
- 2) M. Furuta, T. Kawamura, T. Yoshioka, and Y. Miyata, "Bottom-Gate Poly-Si Thin Film Transistors using XeCl Excimer Laser Annealing and Ion Doping", IEEE Trans. Electron Devices. 40 (1993) 1964.
- 3) M. Kauf, H. Endert and D. Basting, "High-power Excimer Laser for Low-temperature Poly-Si Annealing", SID 99 Tech. Dig., 1999, p.294
- 4) A. T. Voutsas, D. Zahorski and S. Janicot, "Effect of Ambient on Poly-Si TFT Performance using Single-Area ELA Technology", SID 99 Tech. Dig., 1999, p.290
- 5) K. Suga, M. Chida, Y. Mishima, A. Hara and N. Sasaki, "The Effect of a Laser Annealing Ambient on the Morphology and TFT Performance of Poly-Si Films", SID00 Tech. Dig., 2000, p.534
- 6) H. Kuriyama, S. Kiyama, S. Noguchi, T. Kuwahara, S. Ishida, T. Nohda, K. Sano, H. Iwata, H. Kawata, M. Osumi, S. Tsuda, S. Nakano and Y. Kuwano, "Enlargement of Poly-Si Film Grain Size by Excimer Laser Annealing and Its Application to High-Performance Poly-Si Thin Film Transistor", Jpn. J. Appl. Phys. 30 (1991) 3700.
- 7) H. Kuriyama, T. Kuwahara, S. Ishida, T. Nohda, K. Sano, H. Iwata, S. Noguchi, S. Kiyama, S. Tsuda, S. Nakano, M. Osumi and Y. Kuwano, "Improving The Uniformity of Poly-Si Films using a New Excimer Laser Annealing Method for Giant-Microelectronics", Jpn. J. Appl. Phys. 31 (1992) 4550.
- 8) T. Sameshima and S. Usui, "Mechanism of Pulsed Laser-Induced Amorphization of Silicon Films", Appl. Phys. Lett. 59 (1991) 2724.
- 9) K. Winer, G. B. Anderson, S. E. Ready, R. Z. Bachrach, R. I. Johnson, F. A. Ponce and J. B. Boyce, "Excimer-laser-induced crystallization of hydrogenated amorphous silicon", Appl. Phys. Lett. 57 (1990) 2222.
- 10) Y. Miyata, M. Furuta, T. Yoshioka, and T. Kawamura, "Polycrystalline Silicon Recrystallized with Excimer Laser Irradiation and Impurity Doping using Ion Doping Method", J. Appl. Phys. 73 (1993) 3271.
- 11) F. Secco and d' Aragona, "Dislocation Etch for (100) Plane in Silicon", J. Electrochem. Soc. SOLID-STATE SCIENCE AND TECHNOLOGY, July, (1972), p.948

- 12) I-Wei Wu, T. Huang, W. B. Jackson, A. G. Lewis and A. Chiang, "Passivation Kinetics of Two Types of Defects in Polysilicon TFT by Plasma Hydrogenation", *IEEE Electron Device Lett.* **12** (1991) 181.
- 13) S. Hasegawa, M. Arai and Y. Kurata, "Relationship Between Electrical Properties and Structure in Uniaxially Oriented Polycrystalline Silicon Films", *J. Appl. Phys.* **71** (1992) 1462.
- 14) D. Balluataud and M. Aucouturier, "Electron Spin Resonance Study of Hydrogenation Effects in Polycrystalline Silicon", *Appl. Phys. Lett.* **49** (1986) 1620
- 15) James IM, "Crystallization of Amorphous Si Films for AMOELDs and AMLCDs", *Proc. of ASID'02, Singapore, 2002*, p.63
- 16) B. Fechner, U. Rebhan, R. Osmanov, M. Schiwiek and H. Kahlert, "300W XeCl Excimer Laser Annealing Techniques in Low Temperature Poly Silicon Technology", *Proc. of ASID'02, Singapore, 2002*, p.69
- 17) F. Takeuchi, M. Takei, K. Hotta, K. Yoshino, K. Suga, A. Hara and N. Sasaki, "Performance of Poly-Si TFTs Fabricated by a Stable Scanning CW Laser Crystallization", *AM-LCD'01 Tech. Dig.*, 2001, p.251
- 18) H. Watakabe and T. Sameshima, "Defect Reduction Technologies Used to Fabricate Poly-Si TFTs", *AMLCD'02 Tech. Dig.*, 2002, p.45
- 19) H. Watakabe and T. Sameshima, "High Pressure H₂O Vapor Heat treatment Used to Fabricate Poly-Si Thin Film Transistors", *Jpn. J. Appl. Phys.* **41** (2002) L974.
- 20) 北原邦紀, "ラマン分光による低温 poly-Si 中の応力・欠陥・水素の評価", *信学技報 ED2000-12,SDM2000-12*, p.15
- 21) K. Mizoguchi, H. Harima, S. Nakashima and T. Hara, "Raman Image Study of Flash-Lamp Annealing of Ion-Implanted Silicon", *J. Appl. Phys.* **77** (1995) 3388.
- 22) Z. Iqbal and S. Veprek, "Raman Scattering from Hydrogenated Microcrystalline and Amorphous Silicon", *Solid State Phys.* **15** (1982) 377.
- 23) T. Inushima, N. Kusumoto, N. Kubo, Hong-Yong Zhang and S. Yamazaki, "Phase Transformation in Amorphous Silicon under Excimer Laser Annealing Studied by Raman Spectroscopy and Mobility Measurements", *J. Appl. Phys.* **79** (1996) 9064.

第3章 イオンドーピングによる不純物注入技術

3-1 はじめに

薄膜トランジスタ (TFT) を作製するには、チャンネル領域やソースおよびドレイン領域への選択的な不純物ドーピングが不可欠である。薄膜に不純物をドーピングするには、1) 薄膜の形成中に薄膜全体に不純物を導入する、2) 固体または気体中の不純物を熱拡散により導入する、3) 加速した不純物イオンを薄膜に打ち込む、手法が用いられる。低温 poly-Si TFT のような高移動度かつ論理回路を形成するデバイスのドーピングには、しきい電圧制御 ($\sim 10^{16} \text{ cm}^{-3}$) からソース・ドレイン領域形成 ($10^{19} \sim 10^{20} \text{ cm}^{-3}$) までのダイナミックレンジの広いドーピング量の制御性が要求される。Si-LSI のドーピングには、質量分離機構を有するイオン注入が一般的に用いられている。しかしながら、LSI プロセスで用いられる基板は 300mm ϕ 程度であるのに対して、LCD 用ガラス基板は第 5 世代基板では 1000mm \square を超えるサイズが用いられる。このような大面積・絶縁性基板にイオン注入を行うことは、大面積にわたりイオンビームを走査する必要があり、スループットやチャージアップ等の課題を有する。そこで大面積に高スループットで不純物注入を行う手法として、非質量分離型イオンドーピング技術が提案・開発されてきた。¹⁻¹⁰⁾ イオンドーピング装置の代表的な装置構成を図 3-1 に示す。

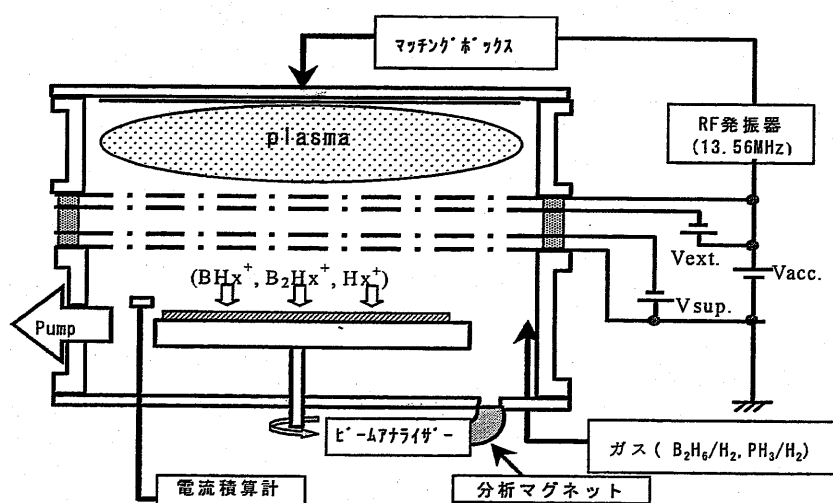


図 3-1 今回の実験に用いたイオンドーピング装置構成図

大面積のイオンビームを生成するため、図 3-1 に示したように、水素希釈したドーパントガス (n 型の場合 PH_3 、p 型の場合 B_2H_6 が一般的に用いられる) をプラズマ室に導入し、高周波もしくはアーク放電によりイオンを生成する。生成したイオンは 4 枚の多孔質電極により引出し・加速され、ステージ上に置かれたサンプルに注入される。注入量の制御は基板近傍に設置したファラデーカップにてビーム電流値を *in-situ* にてモニターおよび積算し、設定ドーズ量になるよう注入時間を制御する。またイオンドーピングでは、サンプル近傍に形成される二次的なプラズマ (ビームプラズマ) からの電子供給が、チャージアップ抑制に有効であるとの報告もある。¹⁰⁾ しかしながら、イオンドーピングは非質量分離型であるため、ドーパントと同時にイオン化した希釈ガス (水素イオン) が注入される。水素イオンはドーパントに比較して質量数が小さいため平均飛翔が大きく、TFT 内部のより深い領域まで到達する。イオンドーピングにて同時注入される水素が TFT 特性に与える影響については、結晶欠陥を補償し特性を向上させる等いくつか報告されているが、系統的な解析が充分であるとは言い難い。⁴⁷⁾ またドーピング後の活性化アニール温度に関しても、Si-LSI では 900°C 程度の高温アニールによる注入ダメージの回復を行うのに対して、低温 poly-Si TFT では基板材料であるガラスの耐熱温度である 600°C 程度に最高温度が制限される。このため低温 poly-Si TFT 作製プロセスにおいては、ドーパントの低温活性化ならびに TFT への注入ダメージの低温回復が重要となる。

本章ではイオンドーピング、特に高加速・高ドーズ量で注入を行うボロンドーピングに関して、ドーパントと同時に注入される水素イオンの TFT 特性並びにドーパント活性化に及ぼす影響に関して検討する。

3-2 イオン注入プロファイルシミュレーション

Si や SiO_2 といった固体中にイオン注入を行った場合、イオンは固体原子との相互作用によって順次そのエネルギーを失い停止する。エネルギー損失の機構として、固体電子との電子衝突および核衝突の 2 種類がある。電子衝突ではエネルギー損失と散乱角が小さくイオンはその進行方向を大きく変えないのに対し、核衝突ではイオンの散乱角も大きく、また固体原子もその格子位置から跳ね飛ばされることが多く格子欠陥の原因となる。

イオンが固体内で静止までに進む距離は図 3-2 に示すように全飛翔 R 、注入方向への R の投影を投影飛翔 (Projected Range) R_p 、静止位置からの注入方向への垂直距離 (Traverse Straggle) R_T と定義する。これらは衝突がランダムに起こるためある平均値に対して分布を有する。

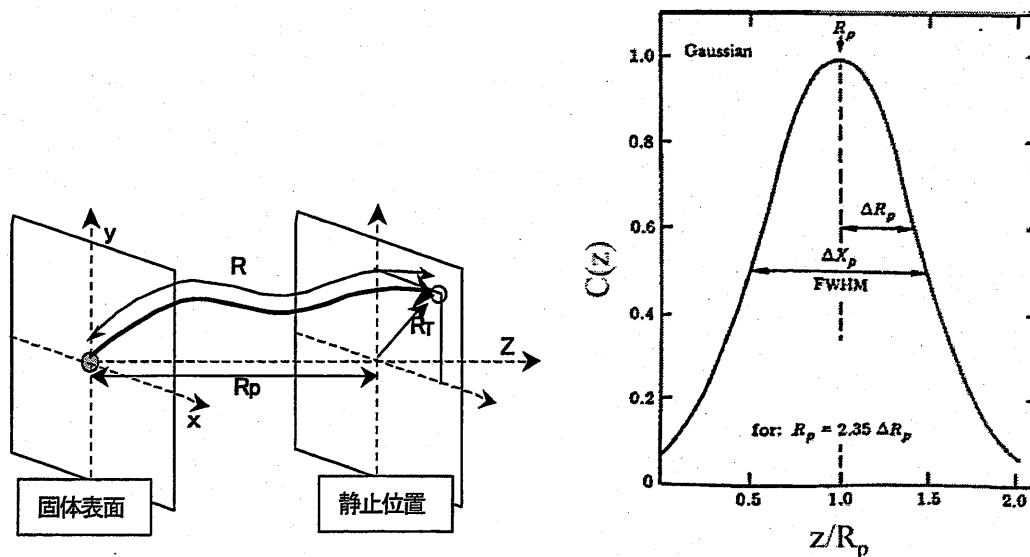


図 3-2 イオンの飛翔 (R) と投影飛翔 (R_p) の定義と LSS 理論に基づくガウス分布

Lindhard、Scharff、Schjott は、固体は非晶質という仮定で注入イオンの任意の次数のモーメントを求める論理的考察を行った。¹¹⁾ これは LSS 理論とよばれ、注入分布をガウス分布としている。深さ z における、打ち込まれた元素の濃度 $C(z)$ (cm^{-3}) は

$$C(z) = N_p \times \exp \frac{-(z - R_p)^2}{2\Delta R_p^2} \quad \text{式 3-1}$$

で表され、図 3-2 のような分布となる。 N_p はピーク密度 (cm^{-3})、 R_p は投影飛翔、 ΔR_p は R_p の標準偏差である。LSS 理論を用いて各種イオンと固体の組合せに対し R_p 、 ΔR_p の計算結果が与えられている。しかしながら実際にイオン注入を行った元素はチャネリング現象や固体と注入イオンの質量の相関により必ずしも式 3-1 に示したガウス分布で表されるような対象分布とはならないことが多い。

複雑な基板構造へのイオン注入分布の計算にはモンテカルロ法を利用することが多い。モンテカルロ法は、擬似的に粒子を基板内に 1 つずつ注入し、基板内でのエネルギー損失の過程を計算し粒子エネルギーがある特定値以下になるところを静止位置と仮定する。粒子モデルを用いたモンテカルロシミュレーションの代表例に Transport Ion in Matter (TRIM) がある。¹²⁾ TRIM は高エネルギー領域での多重散乱近似を導入し、この多重散乱近似を行路長とすることで実効的な衝突回数を減らして計算時間の短縮を行っている。

TRIM シミュレーションではサンプルを非晶質と仮定しており、結晶構造に起因するチャネリングや注入途中で起こる非晶質化等、結晶構造が変化することによる影響は反映できない。本研究では TRIM シミュレーションプログラムとして MS-DOS ベースの TRIM98 を用いた。¹³⁾

イオン注入にて固体内に注入した不純物分布を評価する手法として、Secondary Ion Mass Spectroscopy (SIMS) がある。^{14,15)} SIMS は固体表面に 0.5~20keV に加速した一次イオンを照射し、固体表面よりスパッタリングにより放出された二次イオンを取り出し質量分離することにより、固体の構成元素や固体中の不純物 (ppm~ppb) を分析する手法である。検出限界を決定する要素として、測定ダイナミックレンジ以外に二次イオンに対する妨害イオンの存在がある。非晶質シリコン (a-Si:H) 中の P や Si 中の P を測定する場合は、³⁰SiH が ³¹P を測定するバックグラウンドとなり、検出感度を低下させる。これら対策として、装置のイオン光学系の最適化と質量分析系の磁場設定を改善した高分解能測定により、分析感度を 3~4 桁改善できる。¹⁴⁾ 表 3-1 に Si 中の P、B、H 測定の一次イオンと、その検出限界を示す。

表 3-1 Si 中での元素分析に用いる一次イオンと検出限界

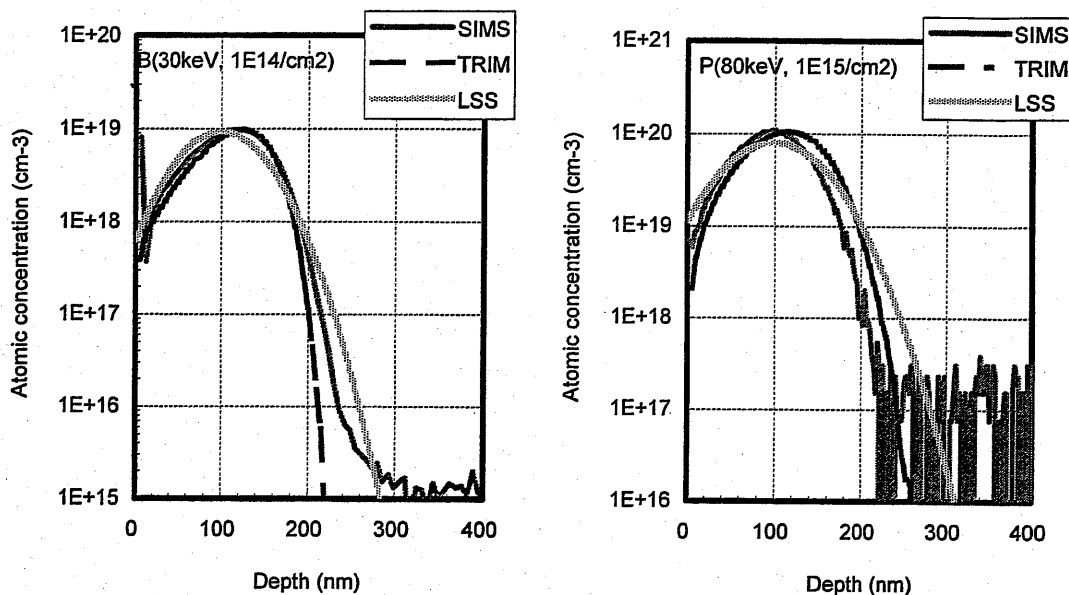
測定元素	一次イオン	検出イオン	検出感度 (cm ⁻³)	要因
H	Cs ⁺ or O ₂ ⁺	¹ H ⁻	~1×10 ¹⁷	バックグラウンド (H ₂ O)
B	O ₂ ⁺	¹¹ B ⁺	~1×10 ¹⁴	
P	Cs ⁺	³¹ P ⁻	~1×10 ¹⁴	高分解測定

結晶 Si 基板に B⁺ならびに P⁺イオンを注入し、実際の不純物分布 (SIMS プロファイル) に対するシミュレーション (LSS および TRIM) プロファイルの一致度を検証した。

B⁺イオン、P⁺イオンを注入したサンプルの SIMS プロファイルと、LSS 理論ならびに TRIM シミュレーションプロファイルの比較を図 3-3 に示す。図 (a) に示した B⁺イオンの注入エネルギーとドーズ量はそれぞれ 30keV、1×10¹⁴ cm⁻² であり、図 (b) に示した P⁺イオンの注入エネルギーとドーズ量はそれぞれ 80keV、1×10¹⁵ cm⁻² である。

注入イオンが B⁺の場合、図 3-3 (a) に示したように、ピーク位置 (Rp) およびピーク濃度近傍のプロファイルはほぼ TRIM シミュレーションにて再現できる。注入深さが大き

な領域では若干 SIMS プロファイルの方が濃度分布の裾を引く傾向があるが、これは一次イオン（測定プローブ）である酸素イオンによるノックオンの影響と考えられる。



(a) B: 30keV、 $1 \times 10^{14} \text{ cm}^{-2}$

(b) P: 80keV、 $1 \times 10^{15} \text{ cm}^{-2}$

図 3-3 SIMS とシミュレーションプロファイルとの比較

一方、図 3-3 (b) に示したように注入イオンが P+ の場合、プロファイルはほぼ TRIM シミュレーションにて再現できているものの、ピーク位置 (R_p) はシミュレーションと実測 (SIMS) との間にずれが見られた。これは、P+イオンの運動エネルギーが 80keV と比較的大きいため、シミュレーションにおける衝突過程でのエネルギー損失に誤差を生じたためと考えられ、イオンの運動エネルギーを 68keV に設定することでシミュレーションプロファイルが SIMS とほぼ一致することを確認した。一方、LSS 理論から求めたプロファイルは、ピーク位置 (R_p) は実測値とほぼ一致するものの、ガウス分布を仮定しているため実測値とのずれが大きい。

以上の結果より、本研究ではプロファイルシミュレーションとして TRIM を用い、シミュレーションにおけるイオンの運動エネルギーは、実測 (SIMS) との差が最小となるように設定した。

3-3 イオンドーピングによる薄膜への不純物注入

3-3-1 イオンドーピングにおけるドーズ量制御

イオンドーピングはイオンソースで生成したイオンを質量分離することなく注入することで、大面積・高スループット注入を実現している。そのため必要とするドーパント (P^+ 、 B^+ 、 PH^+ 、 BH^+ 、 B_2H^+) 以外にも、水素イオン (Hx^+) が同時に注入される。ファラデーカップで計測したイオン電流密度を J_I (A/cm^2)、注入時間を t_0 (sec) とすると、ドーズ量 N_{\square} は、

$$N_{\square} = \frac{J_I \times t_0}{q} \quad \text{式 3-2}$$

で計算される。しかしながら、上記ドーズ量はファラデーカップで計測した全てのイオンを積算しているため、ドーパントドーズ量の算出にはイオンビーム中のドーパント比率の計測が必要である。今回、サンプルステージ後方に質量分離マグネットを有するビームアナライザを設置し、イオンビームを質量分離することでイオン種を測定し、ドーパント比率を求めた。図 3-4 は 15% B_2H_6/H_2 および 5% PH_3/H_2 ガスをプラズマ分解して生成したビーム中で検出されるイオンの一例である。横軸がイオンの質量数に相当する mass-to-charge-ratio (m/q) で、縦軸が検出電流強度である

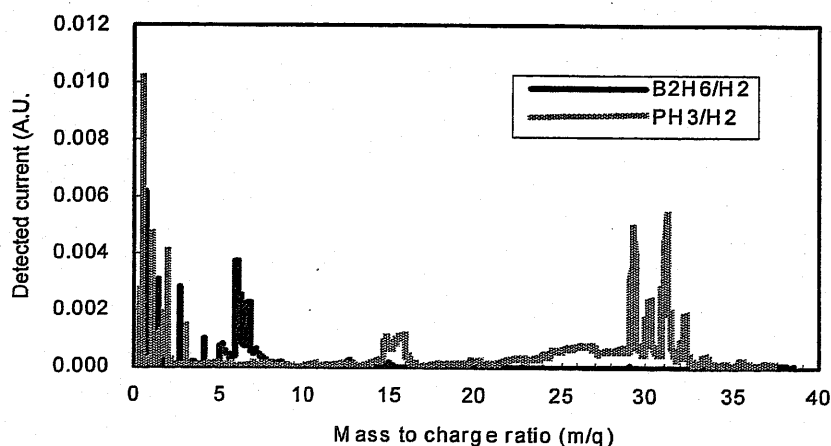


図 3-4 B_2H_6/H_2 および PH_3/H_2 ガスにて生成したイオンビームの質量分析結果

ドーパント比率[ボロン比率 $R(B)$ およびリン比率 $R(P)$]はビームアナライザによるイオン種測定結果から、それぞれ以下のように規定した。

$$R(B) = \frac{\sum_{m/q=4}^{15} P_i + \sum_{m/q=22}^{28} P_i}{\sum_{m/q=1}^{28} P_i} \times 100 \quad (\%) \quad \text{式 3-3}$$

$$R(P) = \frac{\sum_{m/q=14}^{18} P_i + \sum_{m/q=26}^{38} P_i}{\sum_{m/q=1}^{38} P_i} \times 100 \quad (\%) \quad \text{式 3-4}$$

P_i は各質量数における検出電流強度である。

従って実効的なドーパントドーズ量 $N_{\square}(B)$ および $N_{\square}(P)$ はそれぞれ、

$$N_{\square}(B) = \frac{J_I \times t_0}{q} \times R(B) \quad \text{式 3-5}$$

$$N_{\square}(P) = \frac{J_I \times t_0}{q} \times R(P) \quad \text{式 3-6}$$

となる。

3-3-2 イオンビーム中のドーパント濃度制御

イオンドーピングでの実効的なドーパントドーズ量は、式 3-5 および式 3-6 に示したように、トータルドーズ量にドーパント比率を乗じた値となる。リンイオンの生成には水素希釈したホスフィン (PH_3) を、ボロンイオンの生成には水素希釈したジボラン (B_2H_6) を用いるのが一般的であり、ガス濃度を増大することでドーパント比率は向上する。しかしながら、高濃度ガスは安全性や自己分解による濃度変化等、供給上の問題があり、ドーパントガス濃度は 20~30%が上限である。

N型ドーパントである水素希釈した 5% PH_3 をソースガスに用いた場合、検出イオンは H_2^+ 、 H_3^+ 、 PH_x^+ ($x=1-4$)、 P_2Hy^+ ($y=1-5$) であり、ドーパント比率 $R(P)$ はイオンビーム電流密度、すなわちプラズマへの投入電力を変化させても殆ど変化しないことが報告されている。⁸⁾

今回は、p型ドーパントである水素希釈した B_2H_6 をソースガスに用いた場合の、ドーパント比率 $R(B)$ のイオンビーム電流密度依存性について調べた。水素希釈した 15% B_2H_6

をソースガスに用い、イオン源真空度は 4×10^{-2} Pa に設定し、イオン源に投入する高周波電力にてビーム電流密度を変化させることで、ドーパント比率 R (B) のビーム電流密度依存性を調べた。

ドーパント比率 R (B) のイオンビーム電流密度依存性を図 3-5 に示す。

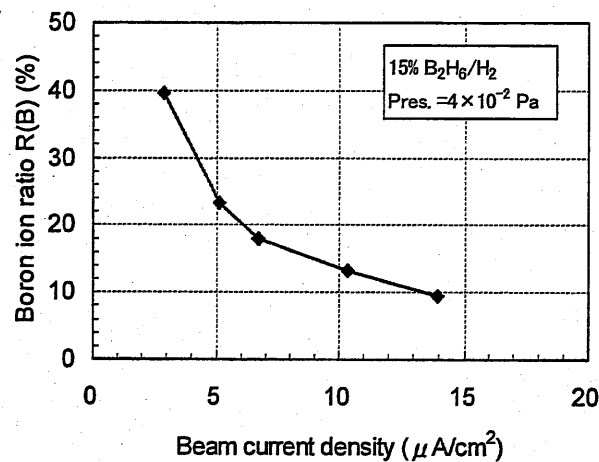


図 3-5 ボロンドーパント比率 R(B)のイオンビーム電流密度依存性

ドーパント比率 R (B) はビーム電流の増大、すなわちプラズマへの投入電力を増大することにより急激に減少した。これはドーパントである B_2H_6 と、希釈ガスである H_2 のイオン化率の RF 電力密度依存性が異なるためと推察され、高ビーム電流領域（高 RF パワー領域）で H_2 のイオン化が B_2H_6 より促進される結果、ビーム電流の増大に伴いドーパント比率 R (B) が減少するものと考えられる。従って、 B_2H_6 を用いた p 型ドーピングは、実効ボロンドーズ量 N_{\square} (B) を同一にするためには、ビーム電流の増大に伴い、トータルドーズ量を増大し R (B) の減少を補正する必要がある。

3-3-3 プロファイルシミュレーションによるイオン種とそのドーズ量の同定

イオンドーピングは大面積基板に高スループットで不純物を注入可能な技術であるが、質量分離機構を持たないため、ドーパント以外のイオンも同時に注入される。このため、これらドーパント以外のイオン種の同定と、その TFT 特性への影響を把握することが重要である。本節では、SIMS 測定から求めたボロン (B) ならびに水素 (H) プロファイルをもとに TRIM シミュレーションにて解析し、ドーパントおよび水素イオン種の同定を行った。SIMS 測定の一次イオンとしては ^{11}B プロファイルの測定には O_2^+ を、 ^1H プロファイルの測定には Cs^+ を用いた。定量分析はイオン注入にて作製した標準サンプルとの信号強度を比較することによって行った。ボロンは加速エネルギー 60keV 、トータルドーズ量 $N_{\square}=3.0 \times 10^{15}\text{ cm}^{-2}$ 、ドーパント比率 $R(\text{B})=10.4\%$ [ボロンドーズ量 $N_{\square}(\text{B})=3.1 \times 10^{14}\text{ cm}^{-2}$] にて Si 基板に注入し、熱処理を行わずに、SIMS 分析を行った。

^{11}B ならびに ^1H の SIMS プロファイルを図 3-6 に示す。

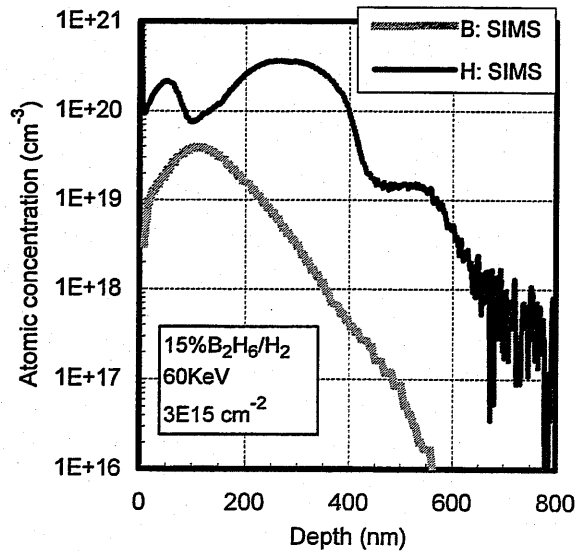


図 3-6 ボロンイオンドーピング後の ^{11}B および ^1H の SIMS プロファイル

まず、ドーパントであるボロン (^{11}B) の SIMS プロファイルに関して検討する。SIMS 測定における ^{11}B プロファイルのピーク深さ (平均飛翔 R_p) は 100nm であった。LSS 理論による Si 中でのボロンの平均飛翔 (R_p) と加速エネルギーの関係を図 3-7 に示す。

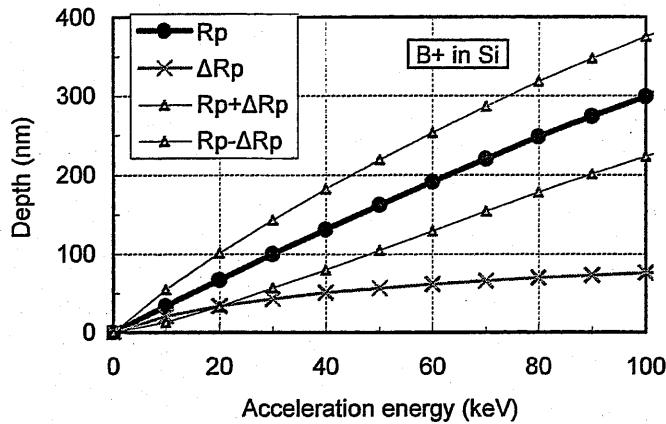


図 3-7 LSS 理論による注入エネルギーと Rp および ΔRp の相関

LSS 理論から求めた加速エネルギー60keVでの Rp は 196nm であり、SIMS 測定結果 (Rp~100nm) と大きく異なる。SIMS 測定にて得られたボロンの Rp (100nm) を得るのに必要な加速エネルギーを LSS 理論から逆算すると 30keV となり、実際の加速エネルギーの 1/2 がボロン (^{11}B) イオンに与えられたことになる。また、SIMS 測定の ^{11}B プロファイルを積分して求めたドーパントドーズ量は $6.3 \times 10^{14} \text{ cm}^{-2}$ であり、ドーパント比率 R(B)から計算した値 ($3.1 \times 10^{14} \text{ cm}^{-2}$) の約2倍であった。

以上のように、SIMS 測定から求めたドーパントドーズ量はドーパント比率から求めた値の約2倍であること、また ^{11}B イオンの運動エネルギーが加速エネルギーの 1/2 であることから、主たるドーパントイオンは分子イオン (B_2H_x^+ $x=1\sim5$) であり、分子イオンとして加速された結果、ボロン濃度が2倍、平均飛翔が 1/2 になったとも考えられる。

ドーパントが分子イオン (B_2^+) として計算したプロファイル (以下 TRIM プロファイルと呼ぶ) と、SIMS プロファイルの比較を図 3-8 (a) に示す。

平均飛翔 Rp 近傍では、ドーパントイオンを B_2^+ とすることで、TRIM プロファイルは SIMS とほぼ一致した。しかしながら、SIMS プロファイルは TRIM プロファイルに比較して大きくテールを引いており、イオンビーム中での B^+ イオンの存在を示唆している。SIMS プロファイルが B_2^+ と B^+ イオンの合成であるとして、TRIM シミュレーションにて求めた B^+ および B_2^+ のドーズ量はそれぞれ $\text{B}^+=7.0 \times 10^{13} \text{ cm}^{-2}$ 、 $\text{B}_2^+=3.1 \times 10^{14} \text{ cm}^{-2}$ となり、主たるドーパントイオンは B_2^+ であるものの、22.6%の B^+ がイオンビーム中に存在することがわかった。

次に、ドーパントと同時注入される水素プロファイルを図 3-8 (b) に示す。SIMS プロ

ファイル (^1H) を積分して求めた水素ドーズ量は $9.0 \times 10^{15} \text{ cm}^{-2}$ であった。SIMS プロファイルは、深さが 50nm、300nm、500nm 近傍に 3つのピークが観察されており、複数のイオン種の合成プロファイルとなっている。そこで水素イオン種として 1) B_2H^+ 、2) H^+ 、3) H_2^+ 、4) H_3^+ の 4種類を想定し、TRIM シミュレーションにて各水素イオン種のプロファイルを計算した。TRIM プロファイルと SIMS の比較を図 3-8 (b) に、シミュレーションで設定した個々の水素イオン種のドーズ量を表 3-2 に示す。

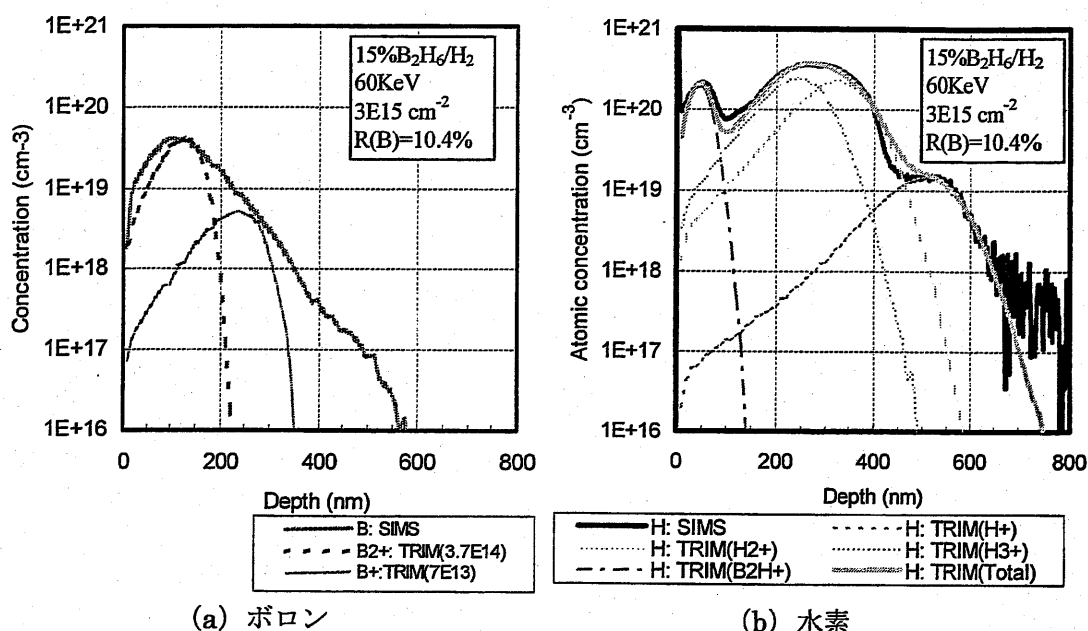


図 3-8 SIMS と TRIM シミュレーションプロファイルの比較

表 3-2 TRIM シミュレーションから求めた水素イオン種とそのドーズ量

SIMS 測定結果	TRIM シミュレーションから求めたドーズ量			
	B_2H^+ (cm^{-2})	H^+ (cm^{-2})	H_2^+ (cm^{-2})	H_3^+ (cm^{-2})
水素 (^1H) (cm^{-2})	1.1×10^{15}	2.7×10^{14}	1.9×10^{15}	1.2×10^{15}

以上のように、SIMS プロファイルを TRIM にてイオン種毎のプロファイルに分解することで個々のイオンのドーズ量を算出でき、ボロンドーピングで同時注入される主たる水素イオンは H_2^+ および H_3^+ であることがわかった。

3-4 イオンドーピングにて同時注入される水素イオンの TFT 特性への影響

イオンドーピングではドーパントイオンと同時に水素イオンが注入される。特に、トップゲート構造の TFT では、ボトムゲート構造に比較して、高い加速エネルギーで不純物を注入する必要がある。このためドーパントと水素イオンとの平均飛翔 R_p の差が大きくなり、水素イオンはゲート電極を突き抜け TFT 内部に注入される。

第 1 章、1-2-2 節、図 1-3 に示したトップゲート型 TFT 作製プロセスにおける 3 回のドーピング工程においては、ドーパントと同時注入される水素イオンの影響として以下の 3 点があげられる。

- 1) n-ch TFT へのソース・ドレイン注入(第 1 章、図 1-3 (b))は、加速電圧が低く (12keV)、フォトレジスト ($\sim 1.5\mu\text{m}$) をマスクに用いるため、水素イオンのチャンネル領域への注入に関しては完全にマスクング可能である。
- 2) p-ch TFT へのソース・ドレイン注入 (第 1 章、図 1-3 (d)) は、高加速 (60keV)、高ドーズ量 ($8 \times 10^{14} \text{ cm}^{-2}$) の注入であり、p-ch TFT にはドーパントと同時に多量の水素イオンが注入される。水素イオンはボロンに比較して平均飛翔 R_p が大きく、注入マスクとなるゲート電極を突き抜け、チャンネル領域に達する。N-ch TFT についてもボロンドーピングの注入マスクとしてゲート電極を用いており、ボロンドーピング時の水素イオンは p-ch TFT と同様に n-ch TFT にも注入される。
- 3) n-ch TFT への LDD 注入 (第 1 章、図 1-3 (e)) は、ボロンドーピング同様、高加速 (70keV) 注入であり、n-ch と同時に p-ch TFT にもドーパント (P) と水素イオンが注入される。しかしながら、ボロンドーピングに比較するとドーズ量 ($\sim 3 \times 10^{13} \text{ cm}^{-2}$) が 1 桁以上少なく水素イオンの影響は比較的小さい考えられる。

上述のように、本研究で作製したトップゲート TFT では、ドーパントと同時に TFT 内部に注入される水素イオンはボロンドーピング工程で注入されるものが支配的である、という特徴を有している。そこで、ボロンドーピングで同時注入される水素イオンの p-ch ならびに n-ch TFT 特性に与える影響を検討するため、TFT 特性のドーズ量依存性を調べた。P-ch ならびに n-ch TFT I_d - V_g 特性の、ボロンドーピングにおけるトータルドーズ量依存性を図 3-9 に示す。ボロンドーピングのドーパント比率 $R(B)$ は 39.5%であり、ドーピング後の活性化アニールは 430°C 、5min で行った。

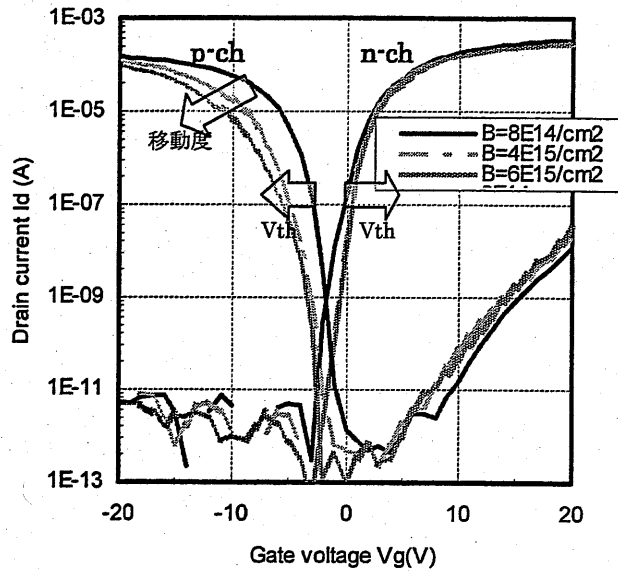


図 3-9 Id-Vg 特性のボロンイオンドーピングにおけるトータルドーズ量依存性

N-ch TFT はボロンドープのトータルドーズ量を増大 (すなわち TFT 中への水素注入量を増大) することで、 V_{th} 近傍の電流変化率 (サブスレッショルド特性) が改善すると同時に V_{th} が若干正方向にシフトした。N-ch TFT への水素注入による特性改善は、注入された水素による結晶欠陥のターミネート (水素化) によるものであるとの報告がある。^{4,6,7)} これに対して、p-ch TFT の Id-Vg 特性は、ボロンドープ時のトータルドーズ量に大きく依存し、トータルドーズ量の増大、すなわちボロンならびに水素イオンドーズ量の増大により ON 電流 (移動度) が減少し、 V_{th} が負にシフトした。ボロンドープ時に TFT チャネル領域に注入される水素イオンは、n-ch も p-ch も同一であるにもかかわらず、TFT 特性への影響に関しては大きな違いが見られた。

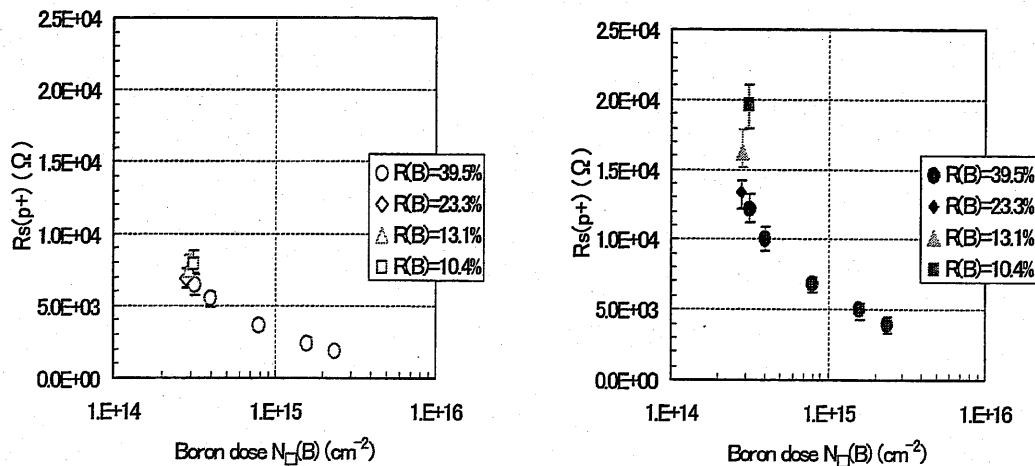
イオンドーピングによる p-ch TFT の特性劣化要因として、1) ドーズ量増大に伴うソース・ドレイン領域への注入ダメージ (非晶質化) による ON 電流の減少、2) 水素イオンによる TFT チャネル領域へのダメージ、の 2 点が考えられる。以下に、イオンドーピングによる p-ch TFT の特性劣化メカニズムを考察する。

3-4-1 ドーパント活性化 (p^+ 抵抗) に対する水素イオン注入の影響

N型ドーパントである、水素希釈 PH_3 を用いたイオンドーピングでは、同時注入される水素イオンによるドーパントの自己活性化が生じることで、ドーパントの低温活性化が可能になるとの報告がある。^{4,6)} 本節では、p型ドーパントである、水素希釈 B_2H_6 を用いたボロンドーピングで同時注入される水素イオンのドーパント活性化に対する影響を調べた。

SiO_2 (600nm) コートしたガラス (Corning#1737) 基板に形成した p-Si (50nm) 上に、ゲート絶縁膜に相当する SiO_2 (90nm) を積層し、ボロンドーピングを行った。ドーピングの加速電圧は、 SiO_2 中での B_2^+ の R_p がほぼ 100nm となる 60kV に設定した。ドーパント比率 R (B) は 10.4~39.5% の 4 種類を用い、ボロンドーズ量はトータルドーズ量にドーパント比率を乗じて算出した。注入後の活性化アニールは、a) 600°C、60min、b) 430°C、5min の 2 条件を用い、同時注入される水素イオンによるドーパント活性化への影響を調べた。

p^+ シート抵抗 $R_s(p^+)$ のボロンドーズ量依存性を図 3-10 に示す。図 (a) は活性化アニールを 600°C (60min) で、図 (b) は 430°C (5min) で行った結果である。



(a) 活性化アニール (600°C、60min)

(b) 活性化アニール (430°C、5min)

図 3-10 p^+ シート抵抗のボロンドーズ量依存性

シート抵抗の絶対値は、活性化アニール温度を 600°C から 430°C に低温化することでドーパントの活性化率が低下し、約 2 倍に増大した。しかしながら活性化アニール 430°C においてもボロンドーズ量を増大させることによって $R_s(p^+)$ は単調減少しており、ボロンドーズ量 $2.4 \times 10^{15} \text{ cm}^{-2}$ までは注入ダメージ (p-Si の非晶質化) に伴う $R_s(p^+)$ の増大は生じないことが確認できた。従って、ボロンドーズ量増大に伴う p-ch TFT の ON 電流減少は、S/D 領域への注入ダメージによる $R_s(p^+)$ の増大、すなわち S/D 領域の抵抗成分によるものではないことが明らかとなった。

次に、同時注入される水素イオンがドーパントの活性化に与える影響を検討するため、ドーパント比率 $R(B) = 10.4 \sim 39.5\%$ の 4 種類のイオンビームを用い、ボロンドーズ量が $3 \times 10^{14} \text{ cm}^{-2}$ となるように設定し、 $R_s(p^+)$ のドーパント比率依存性を調べた。図 3-10 (a) に示した 600°C 活性化の場合、 $R_s(p^+)$ は $R(B)$ にほとんど依存せず一定であった。これに対して、図 3-10 (b) に示した 430°C 活性化の場合、 $R_s(p^+)$ は $R(B)$ に大きく依存し、ボロンドーズ量が同一であっても $R(B)$ が小さくなる、すなわちイオンビーム中の水素の割合が増大するにつれて $R_s(p^+)$ は増大し、そのばらつきも大きくなる傾向を示した。これはイオンドープにて同時注入された水素が、低温でのボロンの活性化を阻害する、もしくは水素注入により形成された結晶欠陥がホールトラップとして働き、実効的なキャリア濃度を減少させるためであると考えられる。

Poly-Si TFT 作製における最高プロセス温度はドーパントの活性化温度であり、プロセス温度の低温化にはドーパントの活性化アニール温度の低減が重要である。本研究の結果より、低温でのボロンの活性化を促進するためには、イオンドーピングで同時注入される水素イオンを低減することが重要であることがわかった。

3-4-2 TFT 特性 (移動度およびしきい電圧) に対する水素イオン注入の影響

イオンドーピングで注入される水素はドーパントに比較して平均飛翔が大きいいため、自己整合マスクであるゲート電極を通過してチャネル領域に到達し、TFT 特性に影響を与えることが懸念される。ドーパントと同時注入される水素イオンが TFT 特性に与える影響について調べるため、ドーパント比率 $R(B) = 10.4 \sim 39.5\%$ までの 4 種類のイオンビームを用い、2 種類の活性化アニール条件 [600°C、60min (図中中抜きで表示) と 430°C、5min (図中塗りつぶしで表示)] を用いて TFT を作製した。

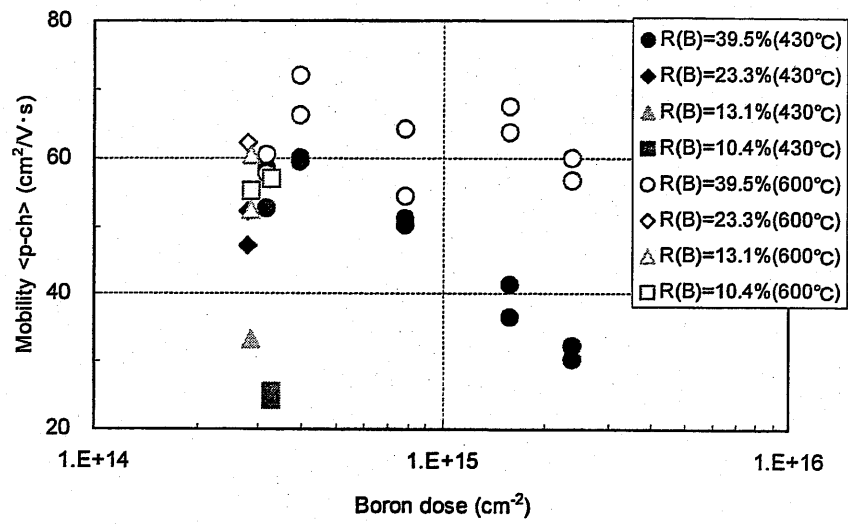
P-ch TFT の移動度ならびにしきい電圧 (V_{th}) のボロンドーズ量依存性を図 3-11 に示す。まず、ドーパント比率 $R(B) = 39.5\%$ (図中○、●で記載) を一定とした場合の、移動度ならびに V_{th} のボロンドーズ量依存性を調べた。

図中○で示した 600°C 活性化を行ったサンプルでは、移動度はボロンドーズ量によらずほぼ一定であった。これに対して、図中●で示した 430°C 活性化を行ったサンプルでは、移動度はボロンドーズ量の増大とともに単調減少し、ドーズ量 $2.4 \times 10^{15} \text{ cm}^{-2}$ では約 1/2 に減少した。一方、 V_{th} に関しては、 600°C 活性化 (図中○) を行ったサンプルではボロンドーズ量が $2.0 \times 10^{15} \text{ cm}^{-2}$ を超えると 1V 程度の負シフトが観られたのに対し、 430°C 活性化 (図中●) を行ったサンプルではドーズ量が $0.8 \sim 1.0 \times 10^{15} \text{ cm}^{-2}$ を超えると 3V 以上の負シフトが観られ、活性化温度の低温化に伴い、 V_{th} シフトが観察されるドーズ量が低ドーズ量側に変化すると同時に V_{th} のシフト量も増加した。ボロンドーズ量増大に伴う V_{th} シフトの要因として、ゲート電極によるドーパントのマスキングが不十分であることが考えられる。しかしながら、ボロンがチャネル領域に注入された場合の V_{th} シフトは正方向であるため、ドーパントのチャネル領域への突き抜けとは考え難く、ドーパントと同時注入された水素イオンが影響している可能性を示唆している。

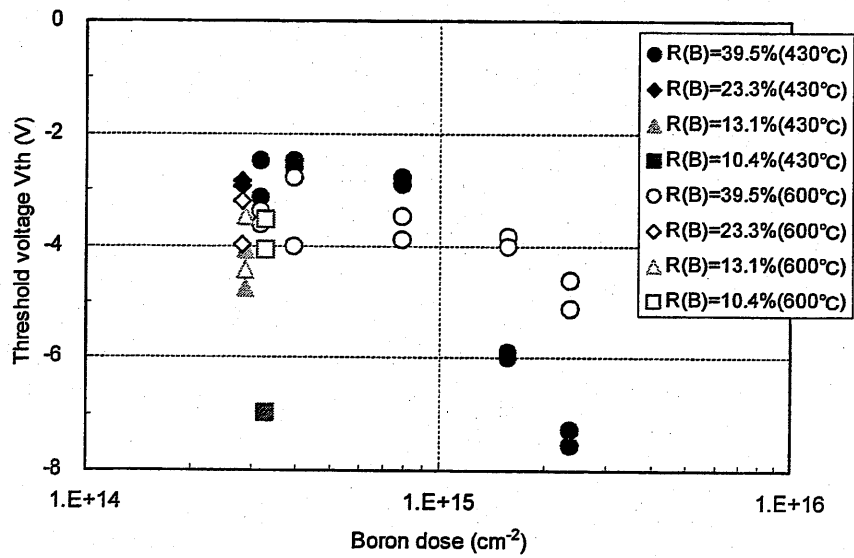
ドーパントと同時注入される水素イオンの影響を検討するため、移動度ならびに V_{th} のドーパント比率依存性を調べた。

ドーパント比率 $R(B)$ はそれぞれ 39.5% (図中○、●)、 23.3% (図中◇、◆)、 13.1% (図中△、▲)、 10.4% (図中□、■) であり、ボロンドーズ量がほぼ $3.0 \times 10^{14} \text{ cm}^{-2}$ で一定となるようトータルドーズ量を設定し、TFT を作製した。ドーピング後の活性化アニールを、 600°C 、60min で行ったものを中抜きで、 430°C 、5min で行ったものを中塗りで、それぞれ図 3-11 中に示した。活性化アニールを 600°C で行くと、移動度、 V_{th} ともに、ドーパント比率 $R(B)$ には大きくは依存しない。これに対して、活性化アニールを 430°C で行くと、移動度はイオンビーム中のドーパント比率 $R(B)$ の減少、すなわち同時注入される水素イオンの増大、により急激に減少し、 V_{th} も大きく負にシフトした。

これらの結果より、活性化アニール温度を低減することで、ドーパントと同時注入される水素の注入ダメージが顕在化し、TFT 特性 (移動度、 V_{th}) に大きく影響することを見出した。



(a) 移動度のボロンドーズ量依存性



(b) しきい電圧 (Vth) のボロンドーズ量依存性

図 3-11 p-ch TFT (a) 移動度、 (b) しきい電圧 (Vth) のボロンドーズ量依存性

ドーパント比率 R(B)39.5%および 10.4%、ボロンドーズ量 $3 \times 10^{14} \text{ cm}^{-2}$ にて作製した TFT の I_d - V_g 特性を図 3-12 に示す。活性化アニールは 430°C、5min で行った。

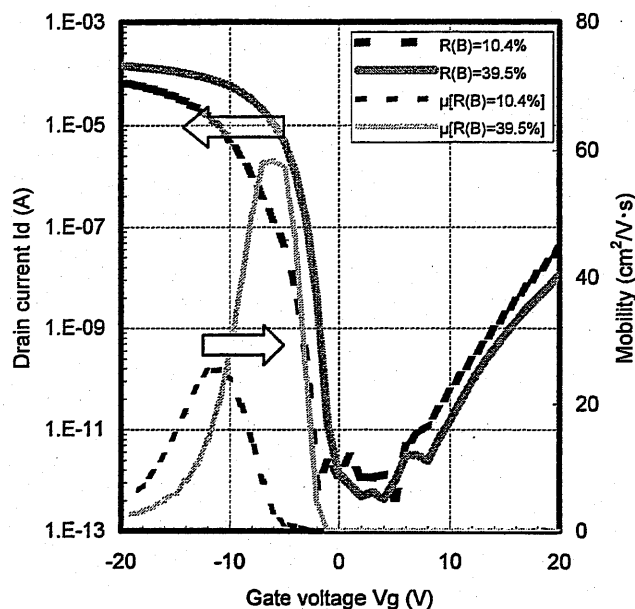


図 3-12 TFT 特性のドーパント比率 R (B) 依存性

ドーパント比率の低下、すなわち同時注入される水素イオンの増大により、移動度は約 1/2 に減少すると同時に、 V_{th} 近傍での電流変化率（サブスレッショルドスイング）も悪化しており、イオンドーピングで同時注入された水素イオンが TFT 特性に大きく影響していることがわかる。水素イオンによる TFT 特性劣化メカニズムを解明することは、プロセス温度の低温化ならびに高性能化を実現する上で重要であり、以下に水素注入によるダメージ形成メカニズムについて考察する。

3-4-3 ドーパントと同時注入された水素イオン種の同定

P-ch TFT の移動度および V_{th} は、イオンビーム中のドーパント比率、すなわち同時注入される水素イオンのドーズ量に大きく依存する結果が得られた。イオンドーピングにて同時注入される水素のプロファイルについては 3-3-3 節で述べたが、水素は複数のイオン種の合成であり、SIMS プロファイルを分解することによりイオン種と、そのドーズ量を

算出可能である。そこで、TFT 特性 (図 3-12 参照) に大きな差がみられた 2 種類のドーピング条件について、水素イオン種とそのドーズ量を調べた。イオンドーピング条件の詳細を表 3-3 に、 ^{11}B ならびに ^1H の SIMS プロファイルを図 3-13 に示す。

表 3-3 SIMS 測定サンプルのイオンドーピング条件

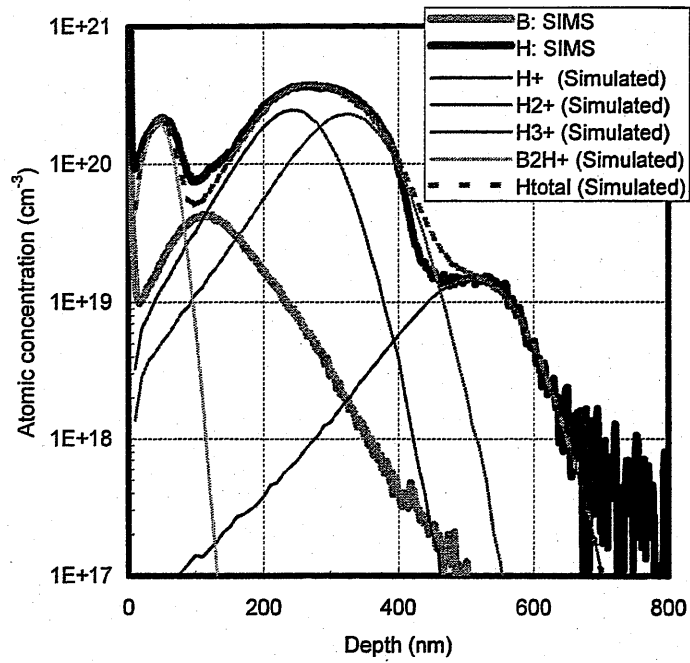
	ビーム電流密度 ($\mu\text{A}/\text{cm}^2$)	加速 (kV)	トータルドーズ量 N_{\square} (cm^{-2})	ドーパント比率 R (B) (%)	B ドーズ量 (cm^{-2})	SIMS
(a)	13.9	60	3×10^{15}	10.4	3.1×10^{14}	図 3-13 (a)
(b)	2.9	60	8×10^{14}	39.5	3.2×10^{14}	図 3-13 (b)

ドーパントであるボロンに関しては、両サンプルでほぼ同一のプロファイルが得られているものの、水素についてはドーパント比率 R (B) の違いにより大きな差が見られた。図 3-13 (a)、(b) の水素プロファイルと比較すると単なる水素総量の変化のみならず、プロファイル自体が変化しており、イオンビーム中の水素イオン種の割合が変化していることを示している。そこで、SIMS 測定プロファイルを TRIM シミュレーションにてイオン種毎のプロファイルに分解し、イオン種とそのドーズ量を算出した。TRIM シミュレーションでは 4 種類の水素イオン (B_2H^+ 、 H^+ 、 H_2^+ 、 H_3^+) を想定し、各イオンの運動エネルギーならびにドーズ量は SIMS プロファイルを最もよく再現できるよう設定した。

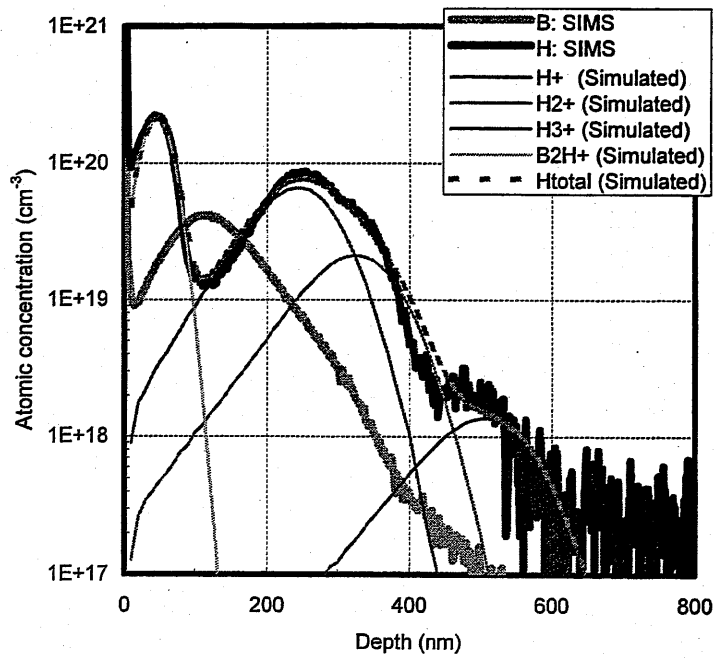
4 種類の水素プロファイルのシミュレーション結果を図 3-13 に、イオン種とドーズ量の一覧を表 3-4 に示す。イオンドーピングにて同時注入された水素のプロファイルは B_2H^+ 、 H^+ 、 H_2^+ 、 H_3^+ イオンの 4 種類のイオンを想定することでほぼ正確に再現できた。

表 3-4 TRIM シミュレーションから求めた水素イオン種とドーズ量

	SIMS 測定結果		TRIM シミュレーション結果		
	ボロン (^{11}B) (cm^{-2})	水素 (^1H) (cm^{-2})	H^+ (cm^{-2})	H_2^+ (cm^{-2})	H_3^+ (cm^{-2})
R (B) = 10.9%	6.3×10^{14}	9.0×10^{15}	2.5×10^{14}	1.8×10^{15}	1.1×10^{15}
R (B) = 39.5%	6.2×10^{14}	2.8×10^{15}	2.5×10^{13}	1.8×10^{14}	3.3×10^{14}



(a) $R(B) = 10.4\%$ 、ボロンドーズ量 $3.1 \times 10^{14} \text{ cm}^{-2}$



(b) $R(B) = 39.5\%$ 、ボロンドーズ量 $3.2 \times 10^{14} \text{ cm}^{-2}$

図 3-13 ^{11}B 、 ^1H の SIMS プロファイルと、
TRIM シミュレーションにて計算した H イオン種毎のプロファイル

4種類の水素イオンのなかで、 B_2H^+ で注入された水素はドーパントより浅い領域にピークを有する。従って、TFT 特性に影響を与える水素イオンとしては、平均飛翔がドーパントより大きな H^+ 、 H_2^+ 、 H_3^+ に着目した。

今回の実験では、イオンビーム電流密度、すなわちイオン源に投入する高周波電力密度によりドーパント比率 R (B) を制御している。表 3-4 に示したように、ドーパント比率 R (B) を減少する、すなわちイオン源に投入する高周波電力密度を増大すると、 H_3^+ は 3 倍程度の増加であるのに対して、 H_2^+ 、 H^+ ともに 1 桁増加しており、この H_2^+ 、 H^+ イオンの増加がドーパント比率を変化させた場合の水素プロファイルの差であることがわかった。これは、 H_2^+ 、 H^+ イオンは主に希釈ガスである H_2 のプラズマ分解にて生成され、 H_2 ガスの分解が高周波電力密度に強く依存していることを示唆しているものと考えられる。

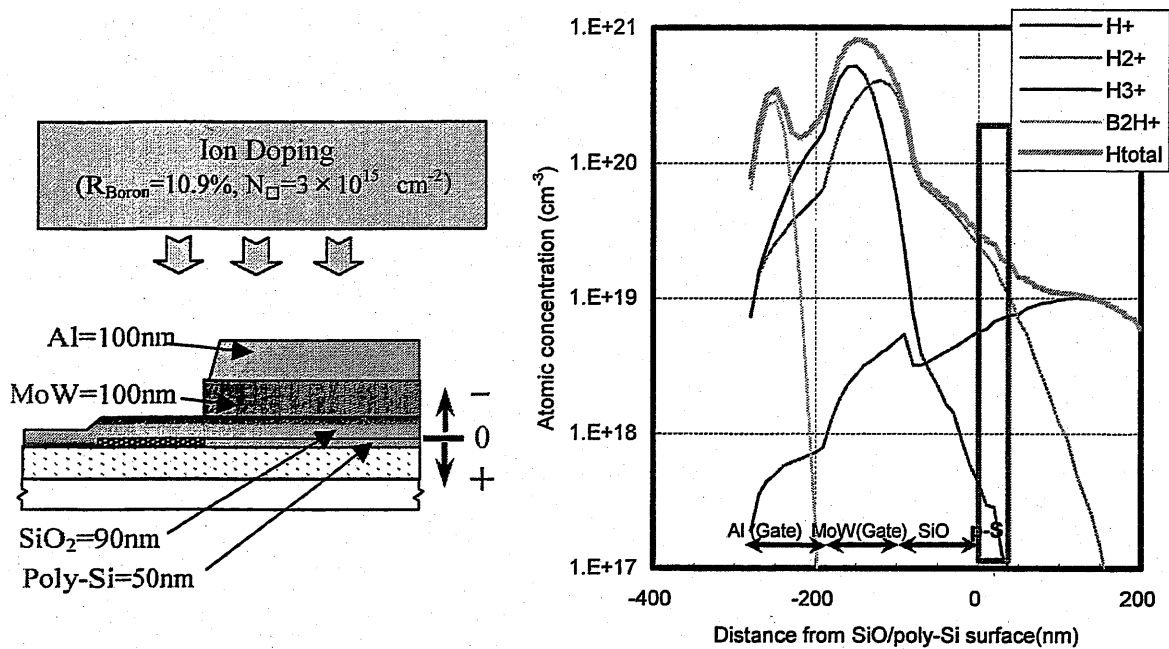
以上の結果から、イオンビームのドーパント比率 R (B) を 39.5%から 10.9%に減少することで H_2^+ 、 H^+ イオンドーズ量がそろって 1 桁増加することが明らかになり、ドーパント比率の低下による TFT 特性劣化は H_2^+ 、 H^+ イオンのドーズ量の増大が主要因であることを見出した。

3-4-4 水素注入プロファイル制御による TFT 特性の向上

イオンドーピングにてドーパントと同時注入される水素の中で、 H_2^+ 、 H^+ イオンが TFT 特性に影響を与える主たるイオン種であることを明らかにした。しかしながら、これらイオンの TFT 中での分布やダメージ発生メカニズムに関しては明確でない。本節では、TFT 中での水素イオンの分布をシミュレーションすると同時に、チャンネル領域に対するダメージを Electron Spin Resonance (ESR) ^{16,17)} を用いて評価した。

TRIM シミュレーションにて求めた、TFT 中での H^+ 、 H_2^+ 、 H_3^+ イオンの注入プロファイルと、それらを合成した水素プロファイルを図 3-14 に示す。シミュレーションに用いたドーピング条件は R (B) =10.4%、ボロンドーズ量 $3.1 \times 10^{14} \text{ cm}^{-2}$ であり、図 3-13 (a) と同一とした。図中の深さは基板と垂直な断面を指し、poly-Si 表面を“0”と規定しそこからゲート電極側を“-”、基板側を“+”と定義した。チャンネル領域 (poly-Si) は深さ 0nm から 50nm の領域である。

シミュレーション結果から、チャンネル領域には若干の H_3^+ も注入されるが、主たる注入イオンは H_2^+ イオンであり、 H^+ イオンは H_2^+ イオンの半分程度であることがわかった。



ドーパント比率 R (B) =10.4% : トータルドーズ量 $3.0 \times 10^{15} \text{ cm}^{-2}$

図 3-14 イオンドーピングにて注入された水素の TFT 中での分布

チャンネル領域への H⁺イオン注入による TFT 特性への影響に関しては、イオン注入を用いた実験より、H⁺ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ までは注入された水素が結晶欠陥をターミネート（水素化）することにより移動度ならびにサブスレッショルド特性が向上し、H⁺注入ダメージによる特性劣化はドーズ量が $5 \times 10^{15} \text{ cm}^{-2}$ 以上で観察されると報告されている。¹⁸⁾ 今回の H⁺ドーズ量は、報告されているダメージが生じるドーズ量に比較して 1 桁以上少ないことより、TFT 特性へ影響しているイオン種は H₂⁺である可能性が高い。

TFT のチャンネル領域に注入された H₂⁺および H⁺イオンが poly-Si に与えるダメージを ESR にて評価した。ESR 測定は、1) 合成石英基板上に多結晶シリコン (50nm) を形成し、2) その上にゲート絶縁膜 (90nm)、およびゲート電極 [MoW (100nm) / Al (100nm)] を形成し、3) イオンドーピングにて R (B) =10.4%、トータルドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ のドーピングを行った後、4) ゲート電極ならびにゲート絶縁膜をウェットエッチングにて除去し、poly-Si 膜を露出させた状態でスピン密度の変化を測定した。ドーピング前の poly-Si のスピン密度は $2.9 \times 10^{17} \text{ spins/cm}^3$ 、g 値は 2.0055 であった。この g 値は優先配向していない poly-Si のダングリングボンドを表す値である。¹⁷⁾ ボロドーピング後に

はスピン密度は 4.2×10^{17} spins/cm³ と約 50% も増大した。これら結果より、イオンドーピングにて同時注入されチャンネル領域に到達した H₂⁺ や H⁺ イオンにより、poly-Si 中のダングリングボンドが増大することが明らかとなった。

Poly-Si 中には mid-gap state と tail-state の 2 種類の欠陥が存在し、TFT 特性に与える影響がそれぞれ異なることが報告されている。¹⁹⁾ しきい電圧やサブスレッショルド特性はダングリングボンドに代表される mid-gap state の影響が強く、移動度は格子歪等に起因する tail-state の影響を強く受ける。本研究ではボロンドーズ量の増大の影響を受けて移動度、しきい電圧の双方とも劣化するが、移動度の方がしきい電圧と比較してドーズ量が低い領域から劣化が始まっている。従って、ドーピングによりチャンネル領域に注入された水素はドーズ量の低い段階では poly-Si 中の tail-state を増大させ、ドーズ量の増大と共に poly-Si 中のダングリングボンド (mid-gap state) を増大させ、これが ESR 測定でのダングリングボンド増大となって検出されたものと考えられる。

TFT 特性に与える H₂⁺ と H⁺ イオンの影響を分離するため、ゲート電極の膜厚にて TFT 中での水素プロファイルを変化させ、TFT 特性の変化を調べた。本章で作製した TFT のゲート電極は、MoW (100nm) 上に Al (100nm) を積層して形成しており、上部 Al の膜厚を 300nm にすることで TFT 中での水素プロファイルを変化させた。ゲート電極膜厚を変化させた場合の、TFT 中での H₂⁺ および H⁺ プロファイルのシミュレーション結果を図 3-15 に示す。シミュレーションに用いたドーピング条件は R (B) =10.4%、トータルドーズ量 3.1×10^{15} cm⁻² である。ゲート電極の Al 膜厚が 100nm の場合はチャンネル領域に H₂⁺、H⁺ イオン双方が注入されるが、Al 膜厚を 300nm に増大することでチャンネル領域への H₂⁺ イオンの注入を阻止できることがわかる。この 2 種類の水素プロファイルを持つ TFT を作製し、チャンネル領域へ注入された H₂⁺ の TFT 特性に与える影響を検討した。

ゲート電極の Al 膜厚を 100nm、300nm とし、チャンネル領域へ注入される水素プロファイルを変化させた場合の Id-Vg 特性の変化を図 3-16 に示す。ゲート電極 (Al) 膜厚を 300nm にし、チャンネル領域への H₂⁺ イオン注入を阻止することにより、V_{th} 近傍のサブスレッショルド特性が改善し、移動度も約 2 倍に増加した。これらゲート電極の膜厚変化による Id-Vg 特性の変化、ならびに ESR によるチャンネル欠陥評価結果より、イオンドーピングにて同時注入される水素イオンによる TFT 特性劣化は、チャンネル領域への H₂⁺ 注入による poly-Si のダングリングボンドの増大が主要因であることを明らかにした。^{20,21)}

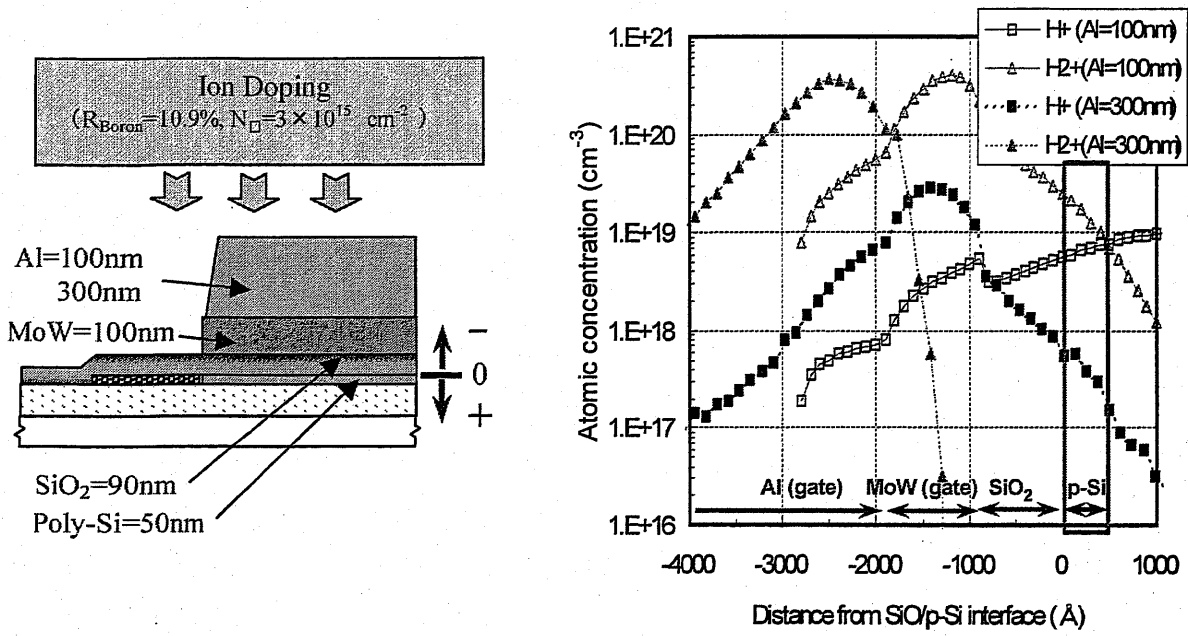


図 3-15 ゲート電極膜厚による TFT 中での水素プロファイルの変化

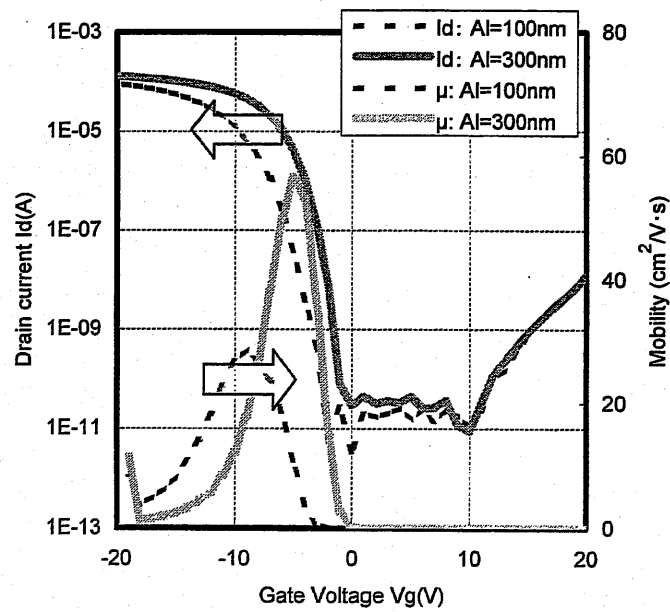


図 3-16 チャンネル領域へ注入される水素プロファイルを変化させた場合の I_d - V_g 特性の変化

3-5 まとめ

イオンドーピングは質量分離機構を持たないため、ドーパントイオン以外に水素イオンが同時に注入される。本章では、トップゲート TFT 作製に用いられるドーピングの中で、高加速かつ最も高ドーズ量注入を行うボロンドーピングに着目し、ボロンドーピングにて同時注入される水素イオンが TFT 特性に与える影響に関する研究成果を述べた。

ドーパントであるボロン注入プロファイルの SIMS 測定から、ボロンの平均飛翔 (R_p) は LSS 理論から想定される値の 1/2、濃度は 2 倍となり、主たるドーパントイオンは分子イオン ($B_2H_x^+$ $x=1\sim6$) であることを示した。

また、水素イオンに関しては、SIMS プロファイルを TRIM シミュレーションにてイオン種毎のプロファイルに分解することで、イオン種とドーズ量を算出する手法を示し、ドーパントと同時注入される主たる水素イオンが H_3^+ と H_2^+ であることを示した。

イオンドーピングにてボロンをドーピングした p-ch TFT は、ドーズ量の増大と共に移動度の低下と V_{th} の負シフトが観察された。ボロンドーズ量増大に伴う TFT 特性の劣化は、作製プロセス温度、すなわちドーピング後の活性化アニール温度を低温化することで顕著になることを見出した。さらに、イオンビーム中のドーパント比率を減少させることにより TFT 特性の劣化が大きくなり、移動度および V_{th} はドーピングで同時注入される H_2^+ および H^+ イオンのドーズ量に強く依存することを示した。ドーピングによる TFT 特性劣化のメカニズムを検討するためドーピング前後の ESR 測定を行った結果、TFT のチャンネル領域に水素イオンが注入されることにより poly-Si 中のダングリングボンドが増加することが明らかとなった。さらに、ゲート電極膜厚を増加し、チャンネル領域への H_2^+ イオンの注入を抑制することで TFT 特性 (移動度、 V_{th}) が大幅に改善することを示し、TFT 特性に主たる影響を与えるイオンが H_2^+ であることを初めて明らかにした。^{20,21)}

p-ch TFT 作製にイオンドーピングを用いた場合、主たるドーパントは分子イオン ($B_2H_x^+$) であり、所望の平均飛翔 R_p を得るためにはイオン注入の 2 倍の加速電圧が必要となり、同時注入される水素イオンの R_p が大きくなり TFT 中に水素イオンが注入される。良好な TFT 特性を得るためには、ゲート電極材料・膜厚にて TFT 中での H_2^+ イオンを制御せざるを得ず、デバイス設計に大きな制約となる。これら課題を解決し、作製プロセスの低温化ならびに TFT の高性能化を推進するためには、イオンドーピングの使用には限界があり、簡易質量分離もしくは完全質量分離型ドーピング装置の使用が必要となる。^{20,23)}

第3章の参考文献

- 1) A. Yoshida, K. Setsune and T. Hirao, "Formation of Source and Drain Regions for a-Si:H Thin Film Transistors by Low-Energy Ion Doping Technique", IEEE Electron Device Lett. 9, (1988) 90.
- 2) Y. Miyata, M. Furuta, T. Yoshioka, and T. Kawamura, "Polycrystalline Silicon Recrystallized with Excimer Laser Irradiation and Impurity Doping using Ion Doping Method", Proc. of Micro Process Conference, 1992, p4559
- 3) M. Furuta, T. Kawamura, T. Yoshioka, and Y. Miyata, "Bottom-Gate Poly-Si Thin Film Transistors using XeCl Excimer Laser Annealing and Ion Doping", IEEE Trans. Electron Devices 40 (1993) 1964.
- 4) M. Matsuo, T. Nakazawa and H. Ohshima, "Low-Temperature Activation of Impurities Implanted by Ion Doping Technique for Poly-Si Thin-Film Transistors", Jpn. J. Appl. Phys. 31 (1992) 4567.
- 5) A. Yoshida, M. Kitagawa and T. Hirao, "Formation of n+ a-Si:H Thin Layer by Ion-Doping Technique", Jpn. J. Appl. Phys. 32 (1993) 2147.
- 6) A. Yoshinouchi, A. Oda, Y. Murata and T. Morita, "Formation of Source/Drain using Self-Activation Technique on Polysilicon Thin Film Transistors", Jpn. J. Appl. Phys. 33 (1994) 4833.
- 7) Y. Mishima, M. Takei, N. Matsumoto, T. Uematsu, U. Wakino, T. Kakehi and M. Okabe, "Effect of Hydrogen Ion Shower Doping in Polycrystalline Silicon Thin Film Transistors", Appl. Phys. Lett. 66 (1995) 31.
- 8) I. Nakamoto, H. Hourai, H. Kuwabara, A. Yoshinouchi and Y. Kawasaki, "Ion Shower Doping System for Poly-Si TFTs", AM-LCD '99 Tech. Dig., 1999, p.155
- 9) Y. Andoh and K. Matsuda, "Ion Doping Equipment with a Large Area Ion Source for Giant-Micro Devices", ION IMPLANTATION TECHNOLOGY -92, 1992, p.661
- 10) Y. Andoh, "Suppression of Charge-up on The Surface of Glass During Ion Implantation by a Large Scale Ion Source", Nuclear Instruments and Methods in Physics Research B80/81 (1993) 1197.
- 11) J. Lindhard, M. Scharff and H. E. Schiott, K. Dan Vidensk. Selsk. Mat.-Fys. Medd. 33, 14

(1963)

- 12) J. F. Ziegler, "The Stopping and Range of Ion in Solids", (Programon press, INC, NY, 1985)
- 13) James Ziegler, <http://www.srim.org/>
- 14) 平尾孝, 新田恒治, 三小田真彬, 早川茂, "イオン工学技術の基礎と応用", 工業調査会
- 15) 河東田隆, "半導体評価技術", 産業図書
- 16) D. Ballutaud and M. Aucouturier, "Electron Spin Resonance Study of Hydrogenation Effects in Polycrystalline Silicon", *Appl. Phys. Lett.* **49** (1986) 1620.
- 17) S. Hasegawa, M. Arai and Y. Kurata, "Relationship Between Electrical Properties and Structure in Uniaxially Oriented Polycrystalline Silicon Films", *J. Appl. Phys.* **71** (1992) 1462.
- 18) M. Cao, T. Zhao, K. C. Saraswat and J. D. Plummer, "Study on Hydrogenation of Polysilicon Thin Film Transistors by Ion Implantation", *IEEE Trans. Electron Devices.* **42** (1995) 1965.
- 19) I-Wei Wu, T. Huang, W. B. Jackson, A. G. Lewis and A. Chiang, "Passivation Kinetics of Two Types of Defects in Polysilicon TFT by Plasma Hydrogenation", *IEEE Electron Device Lett.* **12** (1991) 181.
- 20) M. Furuta, H. Satani, T. Terashita, T. Tamura, and Y. Tshuchihashi "Hydrogen Implantation Damage in Polycrystalline Silicon Thin Film Transistors Caused by Ion Doping", *Jpn. J. Appl. Phys.* **41** (2002) 1259.
- 21) M. Furuta, T. Yoshioka, T. Tamura and Y. Tsuchihashi, "Hydrogen Implantation Damage in Poly-Si TFT during Ion Doping", *AM-LCD '02 Tech. Dig.*, 2002, p.99
- 22) 日新イオン機器, "イオンドーピング装置", *2001FPD テクノロジー大全*, 2001, p.284
- 23) K. Shimamura, N. Miyatake, K. Ujihara, K. Ogura and T. Degawa, "Mass-Analyzed Ion Implantation System for Flat Panel Displays", *AM-LCD'99 Tech. Dig.*, 1999, p.159

第4章 TFT 信頼性

4-1 はじめに

a-Si:H TFT-LCD では表示画素のスイッチングトランジスタのみを TFT にて作製し、周辺駆動回路は LSI を実装し LCD を形成している。これに対して、低温 poly-Si TFT-LCD では、従来 LSI にて形成していた周辺駆動回路を TFT にて同一基板上に内蔵化しており、その動作速度は数 MHz に達する。¹⁻³⁾ 今後、各種機能デバイスを集積したシートディスプレイや System on Panel (SOP) を実現するには最低でも 100MHz 以上の動作が必要となり、TFT には LSI 同等の信頼性が求められる。TFT の劣化モードとしては、1) 駆動電流のジュール熱 (セルフヒーティング) による特性シフト、2) コンタミネーションや可動イオンによる特性シフト、3) バイアスストレスによる特性シフト、4) ホットキャリアによる特性シフトに分類される。このうち、セルフヒーティングによる特性劣化は設計的に回避できるモードである。可動イオンによる特性シフトの対策としてプロセスおよび環境のクリーン化や洗浄技術が⁴⁻⁶⁾、バイアスストレスによる特性シフトの対策としてゲート絶縁膜の膜質向上や Si/SiO₂ 界面の改質⁷⁻¹⁸⁾が行われている。ホットキャリア劣化に関しては、DC ストレス印加時の劣化メカニズムの解析が行われている。^{19,20)} しかしながら、論理回路を形成する TFT は数 MHz のパルス動作を行っており、実際に論理回路を形成する TFT にはパルス電圧、すなわちダイナミックストレスが印加されている。パルスストレスによるホットキャリア劣化は、DC ストレスによるホットキャリア劣化に比較して、劣化量が大きくなることが報告されている。²¹⁾ 今後、TFT の用途は LCD 駆動素子にとどまらず、SOP に向けて集積化する機能デバイスの高速化が進むため、ダイナミックストレス印加でのデバイス劣化メカニズムの解明はさらに重要度を増すものと考えられる。^{3,21-23)}

本章ではダイナミックストレス印加時のホットキャリア劣化に関し、印加パルスの周波数および形状依存性からホットキャリア発生メカニズムを明らかにする。また、TFT 作製時におけるドーピング後の活性化アニール温度とホットキャリア劣化の相関を検討し、ホットキャリアによるダメージ部位を明らかにすると同時に、高信頼性 TFT 実現への指針を検討する。

4-2 ダイナミックストレスによる TFT 特性の劣化

4-2-1 ダイナミックストレス試験方法

図 4-1 に今回実施したダイナミックストレス試験方法を示す。

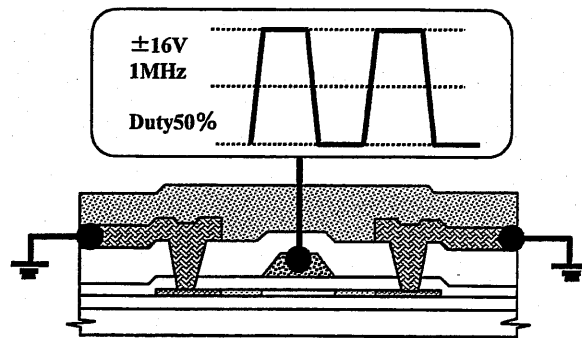


図 4-1 ダイナミックストレス印加試験方法

実験にはトップゲート TFT を使い、n-ch, p-ch ともにソースおよびドレイン (S/D) 電極を接地し、ゲート電極にパルスストレスを印加した。^{1,3)} ゲート電極への印加パルスは振幅 $\pm 16\text{V}$ 、周波数 1MHz 、Duty50%を標準条件とした。ストレス印加は室温で行った。TFT の信頼性として、ストレス試験後の移動度 (μ) を初期移動度 (μ_0) で規格化した移動度保持率を用いた。TFT の作製プロセスの詳細については参考文献 1 に記載している。

4-2-2 n-ch TFT の特性劣化 (ホットキャリア劣化)

n-ch TFT へのダイナミックストレス印加前後での $I_d\text{-}V_g$ 特性の変化を図 4-2 に示す。評価に用いた TFT のチャンネル幅 (W)、チャンネル長 (L) は、それぞれ $12\mu\text{m}$ である。ストレス印加に伴い TFT のサブスレッショルド特性は変化しないものの、ON 電流 (移動度) の減少ならびに OFF 電流の増大が見られた。移動度に関しては、1,000 秒のストレス印加にて約 $1/4$ に減少した。

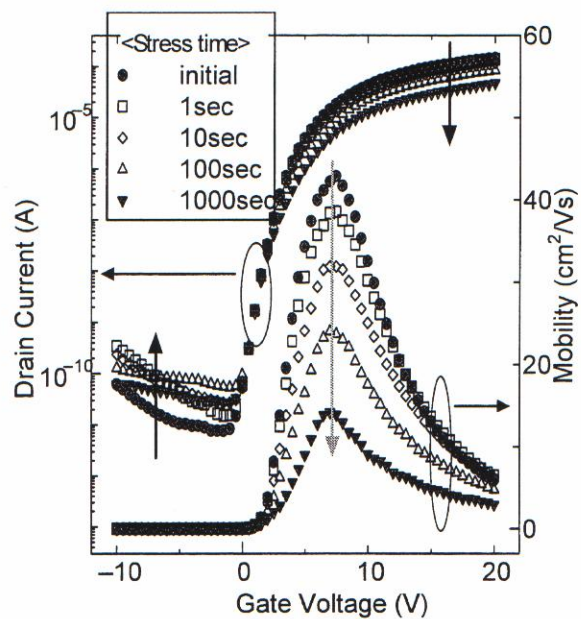


図 4-2 ダイナミックストレスによる I_d - V_g 特性ならびに移動度の変化 (n-ch)

ダイナミックストレス印加時のエミッション顕微鏡像を図 4-3 に示す。エミッション像は、波長 400~800nm、5 秒間の発光を積算したものであり、TFT 裏面から観察した。

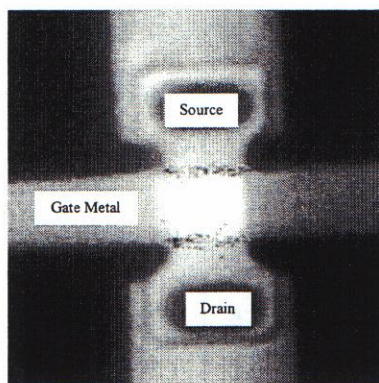
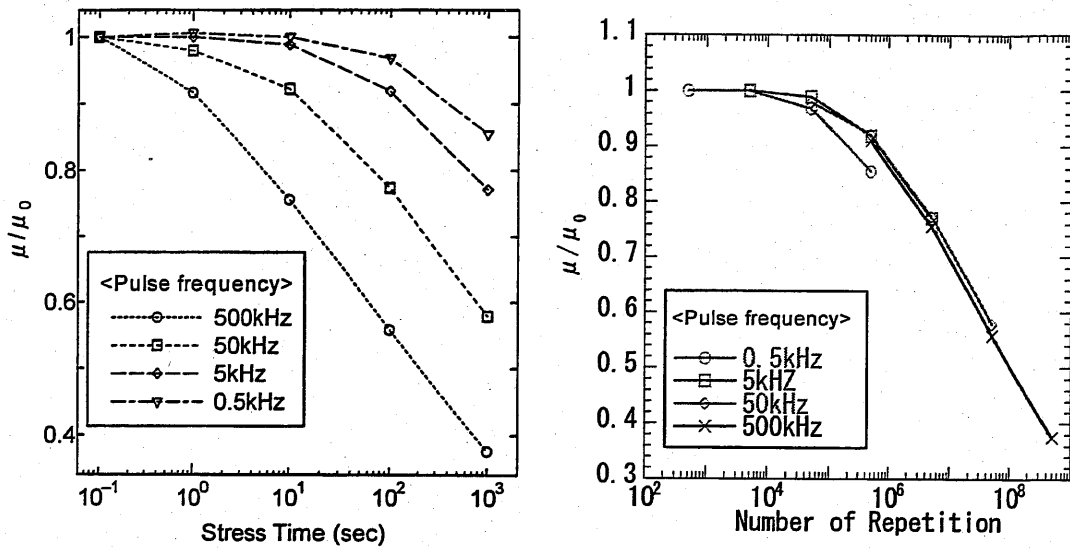


図 4-3 ダイナミックストレス印加時のエミッション顕微鏡像 ($V_g = \pm 15V$, $f = 500kHz$)

ダイナミックストレス印加によりソースおよびドレイン端でホットキャリアによる発光が観察され、TFT の特性劣化はホットキャリア劣化であることがわかった。しかしながら、LSI におけるホットキャリア劣化は V_{th} 変動が顕著であるのに対して²⁴⁾、低温 poly-Si TFT では V_{th} 変動がほとんど観察されず、Si-LSI と劣化メカニズムが異なることを示唆

している。

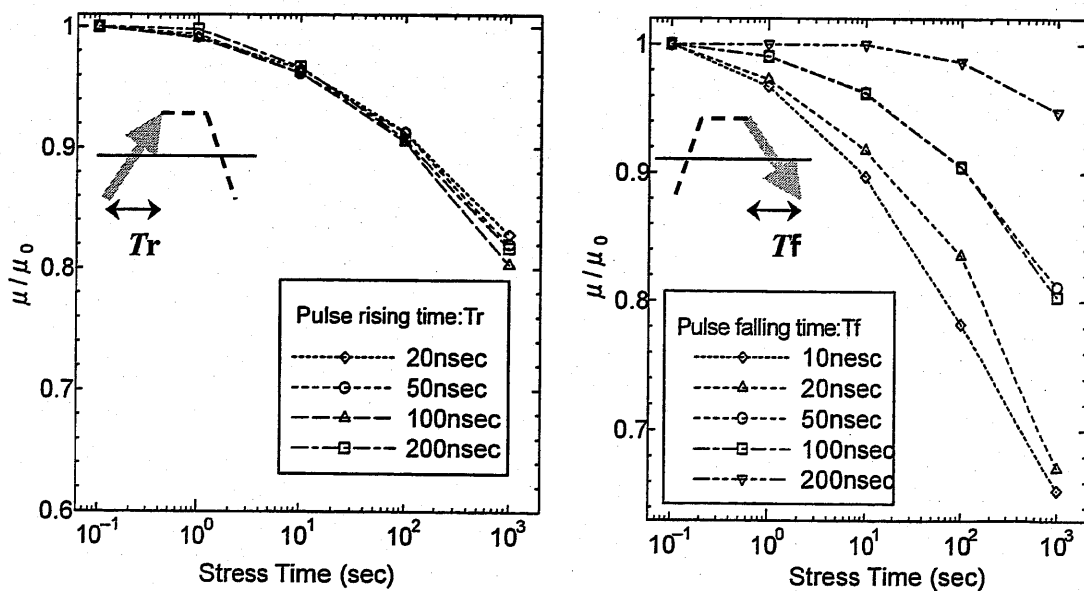
ダイナミックストレス印加による特性劣化要因を検討するため、移動度保持率のストレス時間、パルス繰り返し数、ならびにパルス形状依存性を調べた。



(a) 移動度保持率のストレス時間依存性

(b) 移動度保持率のパルス繰り返し数依存性

図 4-4 移動度保持率 (μ/μ_0) のストレス時間およびパルス繰り返し数依存性 (n-ch)



(a) 移動度保持率のパルス立上がり時間 (T_r) 依存性

(b) 移動度保持率のパルス立下り時間 (T_f) 依存性

図 4-5 移動度保持率 (μ/μ_0) のパルス立上がり (T_r) および立下り (T_f) 時間依存性 (n-ch)

パルス周波数を 0.5KHz から 5KHz まで変化させた場合の、移動度保持率 (μ/μ_0) のストレス印加時間依存性を図 4-4 (a) に、繰り返し数依存性を (b) に示す。1,000 秒ストレス印加後の移動度劣化は、パルス周波数が高くなるほど顕著になるが、パルス繰り返し数にリプロットすると周波数には依存せず繰り返し数で決まっており、劣化がパルス形状に依存していることを示している。

次に、移動度劣化の印加パルスの立上がり (T_r) および立下り (T_f) 時間依存性を図 4-5 に示す。移動度劣化はパルス立上がり (T_r) 時間には全く依存しないのに対して、パルス立下り時間 (T_f) に大きく依存し、立下りが急峻になるほど劣化が大きくなった。

以上の結果より、n-ch TFT のダイナミックストレス劣化は、パルス遷移期間、なかでもパルス立下り時に発生するホットキャリアが劣化の支配要因であることがわかった。

4-2-3 LDD 構造 (電界緩和) によるホットキャリア劣化の抑制

ダイナミックストレスによる n-ch TFT の移動度劣化は、パルス立下りに TFT の内部電界により加速された電子が S/D 領域近傍でホットキャリアとなることで生じることが明らかとなった。そこでホットキャリアの発生メカニズムを解明するため、劣化のゲート電圧依存性を調べた。ソースドレイン間に DC 電圧 (15V) を印加し、各ゲート電圧で 1,000 秒ストレス印加した後のドレイン電流の保持率を測定した。

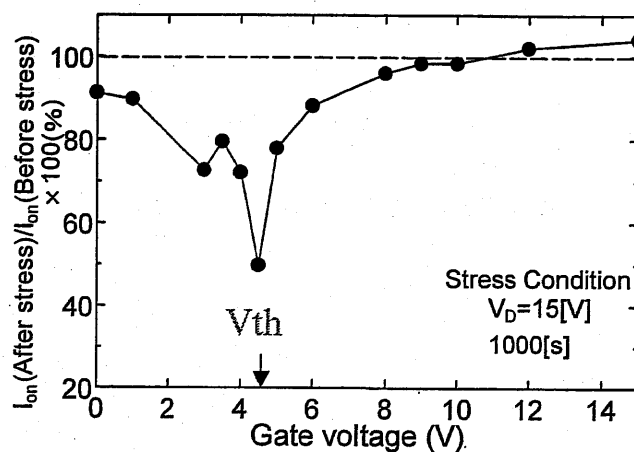


図 4-6 ON 電流保持率のゲート電圧依存性 ($V_{ds}=15V$)

ストレス印加による ON 電流保持率のゲート電圧依存性を図 4-6 に示す。ON 電流保持率はゲート電圧に強く依存しており、ゲート電圧が 4.5V 近傍で変化量が最大となった。これは評価に用いた TFT の V_{th} 、すなわちチャンネルが形成される電圧とほぼ一致しており、低温 poly-Si TFT のホットキャリアはドレインアバランシェホットキャリア (DAHC) が支配的であることを示す結果である。DAHC 劣化の場合はドレイン端での電界強度が劣化に強く影響することが知られており、ドレイン電界強度と ON 電流保持率に関して調べた。

図 4-7 にストレス印加時のドレイン電界強度分布と ON 電流保持率の相関を示す。ゲート電圧は劣化が最大となる $V_g=4.5V$ に設定し、電界強度分布のドレイン電圧依存性をデバイスシミュレータにて算出した。

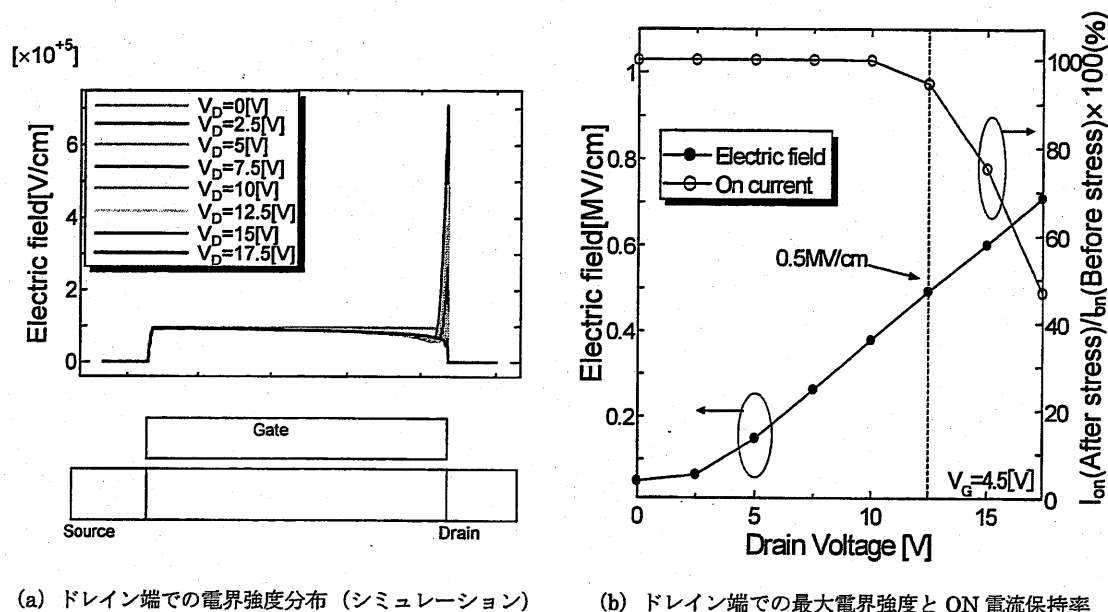


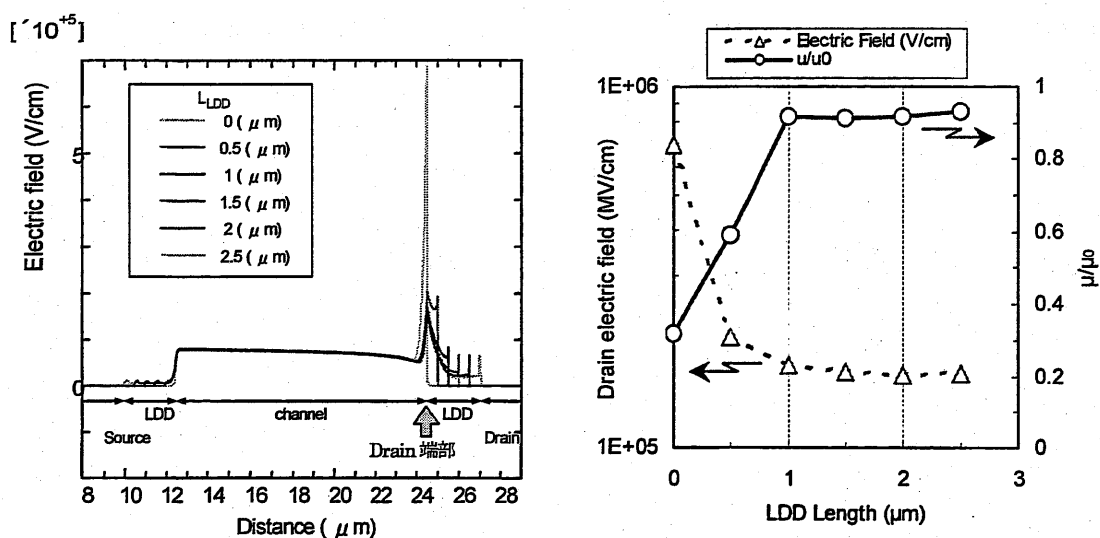
図 4-7 TFT 劣化のドレイン端での最大電界強度依存性

図 4-7 (a) は電界強度分布のドレイン電圧依存性を示す。電界強度はドレイン端で最大となり、ドレイン電圧 $V_d=17.5V$ で $0.7MV/cm$ に達する。図 (b) にドレイン端での最大電界強度と ON 電流保持率の相関を示す。ドレイン端での最大電界強度が $0.5 MV/cm$ 以下ではほとんど ON 電流劣化は見られなかった。これに対して、ドレイン端での最大電界強度が $0.5 MV/cm$ を超える領域では、電界強度の増大とともに ON 電流劣化が加速した。これは、DAHC 劣化が始まる電界強度にしきい値が存在することを示しており、劣化を抑

制するにはドレイン端での最大電界強度をこのしきい値以下に抑制することが有効である。

今回、ドレイン端部の電界強度を低減する手法として、Lightly Doped Drain (LDD) を採用した。¹⁾ LDD 領域はゲート電極に対して自己整合にて形成し、ソース側・ドレイン側両方に形成した。LDD 長は低濃度不純物領域長で定義した。

ドレイン電界強度の LDD 長 (L_{LDD}) 依存性のシミュレーション結果、ならびにドレイン電界強度と移動度保持率の LDD 長依存性を図 4-8 に示す。



(a) ドレイン電界強度の LDD 長依存性 (b) ドレイン電界強度と移動度保持率の LDD 長依存性

図 4-8 TFT 移動度劣化のドレイン電界強度依存性 : LDD 構造

図 (a) はドレイン電界強度の LDD 長依存性のシミュレーション結果である。LDD なし ($L_{LDD}=0 \mu\text{m}$) の場合、電界はドレイン端で急峻に立ち上がり、最大電界強度は 0.8 MV/cm に達する。一方、LDD を採用することで電界が LDD 領域に広がり、LDD 長の増加とともに最大電界強度が低減する様子がわかる。図 (b) にドレイン端での最大電界強度、ならびに移動度保持率の LDD 長依存性を示す。LDD 長の増加とともに最大電界強度は急激に減少し、LDD 長 $1.0 \mu\text{m}$ 以上で 0.2 MV/cm となり、LDD の採用により最大電界強度は $1/4$ に低減した。また、移動度保持率はドレイン端での最大電界強度の低減により向上しており、LDD によるドレイン端での電界緩和が移動度保持率の向上に有効であることがわかった。

4-2-4 LDD-TFT の劣化メカニズム (LDD 注入ダメージの影響)

n-ch TFT では LDD 構造を採用することでドレイン端での最大電界強度を低減でき、ダイナミックストレス印加時のデバイス劣化を抑制可能である。しかしながら LDD-TFT においても、劣化を完全には抑制できておらず、高信頼性デバイス実現には劣化部位の特定が不可欠である。ダイナミックストレスによるホットキャリア劣化に関しては、DC ストレス印加に比較して、劣化が加速されるとの報告がある。²¹⁾ 本節ではダイナミックストレス印加による LDD-TFT の劣化部位の特定とその対策を検討した。

ドレイン端部で発生したホットキャリアによる移動度 (ON 電流) 劣化メカニズムは、1)ゲート絶縁膜中へのキャリア注入、2)チャンネル poly-Si (ドレイン端) への電子トラップ形成、3)LDD 領域 poly-Si への電子トラップ形成、の3つが考えられる。Si-LSI でのホットキャリア劣化は、1) ゲート絶縁膜中へのキャリア注入が支配的であり、 V_{th} のシフトが顕著に観察される。一方、poly-Si TFT のホットキャリア劣化は、 V_{th} の変化がほとんどみられず ON 電流の減少が顕著であり、上記 2) もしくは 3) の劣化要因が支配的であると考えられる。ホットキャリアによる劣化領域を特定するため、ダイナミックストレス劣化の LDD ドーピング後の活性化アニール温度依存性を検討し、ホットキャリア劣化に対する LDD 結晶性の影響を検討した。実験に用いた TFT 作製フローを図 4-9 に示す。

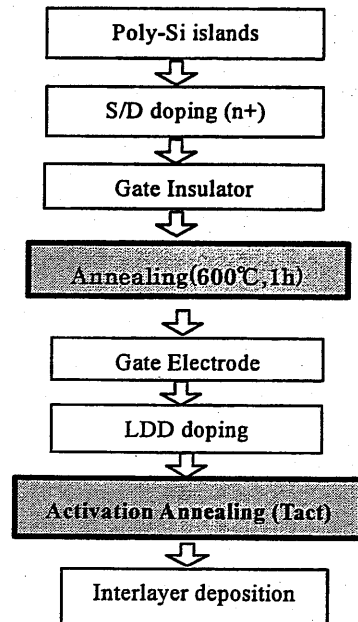


図 4-9 実験に用いた TFT 作製プロセスフロー図

LDD ドーピング後の活性化アニールは 450~600°C で 60min 実施した。ゲート絶縁膜の成膜温度は 350°C であるため、LDD ドーピング後に成膜温度以上で活性化アニールを行うと、ゲート絶縁膜の緻密化により膜質が変化する。このため、図 4-9 に示した TFT 作製プロセスフローでは、ゲート絶縁膜の膜質変化が信頼性に与える影響を少なくするため、ゲート絶縁膜成膜後に活性化アニールの最高温度と同一の 600°C のアニールを行った。これによりゲート絶縁膜の膜質は、後の LDD 活性化アニール温度の影響を受けず一定であると考えられる。また、n⁺ドーピングをゲート絶縁膜成膜前に行っているため、ゲート絶縁膜成膜後に 600°C アニールを行うことで n⁺領域の結晶性についても一定に保たれる。

このように、ゲート絶縁膜成膜後に 600°C のアニールを実施することで、LDD 領域以外の状態を一定に保った状態で、移動度保持率の LDD 活性化アニール温度依存性を検討した。活性化アニール以降は通常のプロセスを用いて TFT を作製した。

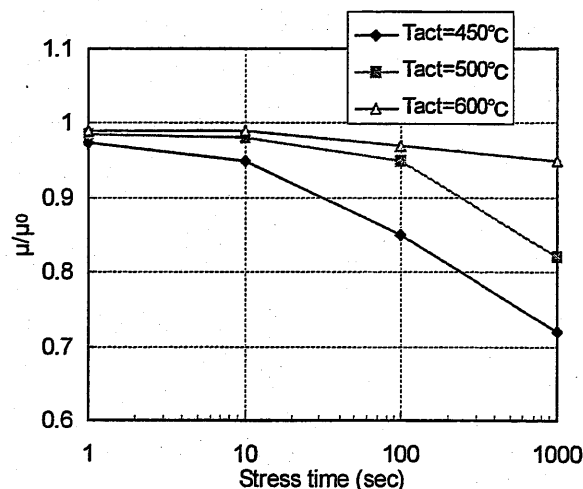


図 4-10 LDD 活性化アニール温度を変化させた場合の移動度保持率のストレス時間依存性

LDD 活性化アニール温度を変化させた場合の、移動度保持率 (μ/μ_0) のストレス印加時間依存性を図 4-10 に示す。移動度保持率は LDD 活性化アニール温度に依存し、LDD ドーピング後の活性化アニール温度を高くすることで劣化が抑制されることがわかった。

これらの結果より、ダイナミックストレス印加による移動度劣化は、LDD 活性化アニール温度、すなわち LDD 領域の結晶性に依存しており、n-ch TFT のホットキャリア劣化は LDD 領域で生じることが明らかとなった。

そこで、LDD 領域 (poly-Si) における結晶性の活性化アニール温度依存性を調べた。結晶性の評価には顕微ラマン分光を用い、プローブ光は波長 514.5nm の Ar イオンレーザー、レーザーパワー 5mW、測定スポット約 5 μm ϕ で測定を行った。LDD ドーピングはゲート絶縁膜 (SiO₂: 90nm) を通して行い、加速エネルギー 70keV、ドーズ量 $2.6 \times 10^{13} \text{ cm}^{-2}$ である。LDD 領域のラマンピーク強度ならびにラマンシフトの活性化アニール温度依存性を図 4-11 に示す。

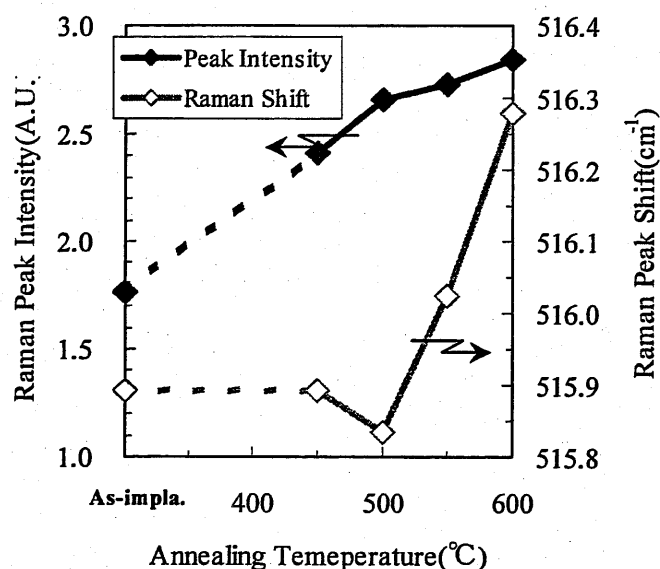


図 4-11 LDD 領域のラマン強度およびピークシフトの活性化アニール温度依存性

LDD ドーピングによりラマンピーク強度は減少し、低波数側へのラマンシフトが観察された。ラマンピーク強度の減少はドーピングダメージによる結晶性の悪化、またはアモルファス成分の増大を示す結果であり、ラマンピークの低波数側へのシフトは Si ダングリングボンドや Si 格子位置の変位による poly-Si の内部ストレスの増大によるものである。²⁵⁾ ピーク強度は活性化温度を増大させるにつれ徐々に増大した。一方、ラマンシフトは活性化アニール温度が 500°C 以下の領域ではほとんど変化が見られず一定である。ラマンシフトは活性化アニール温度が 500°C を超えると温度とともに高波数側に急激にシフトした。この高波数側へのラマンシフトは注入欠陥や残留ストレスが緩和された結果であり、活性化アニール温度が 500°C 以上になると LDD 領域で poly-Si の再結晶化による注入欠陥の回復が生じることでホットキャリア耐性が向上したものと考えられる。

以上の結果を総合すると、n-ch TFT で発生したホットキャリアは、ドーピングによる残留欠陥が存在する LDD 領域に電子トラップを形成し、この電子トラップによる LDD 領域の抵抗増大が ON 電流劣化の原因であると考えられ、ホットキャリア劣化の抑制には LDD 領域でのドーピングによる結晶欠陥回復が重要であることがわかった。²⁶⁾

4-2-5 p-ch TFT の特性劣化 (ホットキャリア劣化)

ダイナミックストレス印加における p-ch TFT の特性変化を図 4-12 に示す。

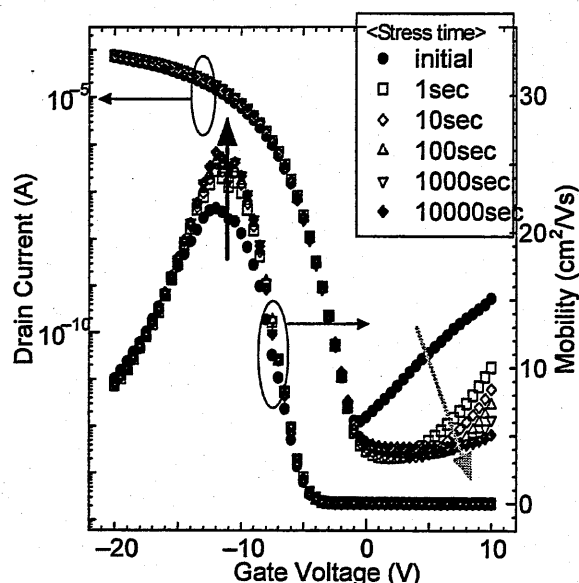
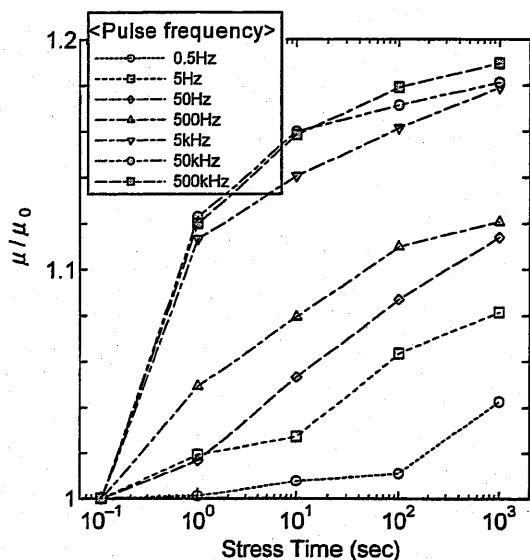


図 4-12 ダイナミックストレス印加による I_d - V_g 特性の変化 (p-ch)

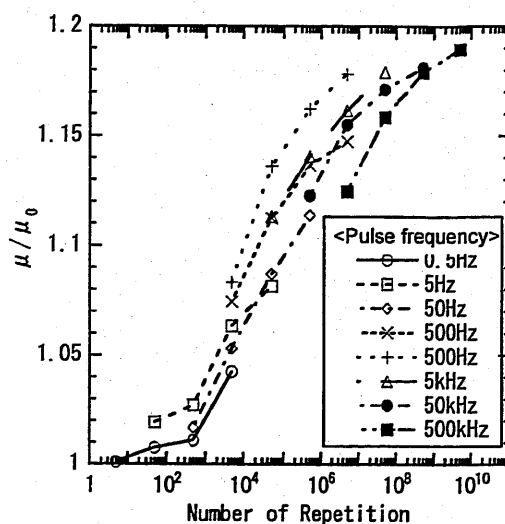
P-ch TFT では、ダイナミックストレス印加により、サブスレッショルド特性は変化しないものの、ON 電流 (移動度) の増大が見られた。この移動度の増大は、n-ch とは異なるが、n-ch 同様に、ストレス印加後の移動度 (μ) を初期移動度 (μ_0) で規格化した値 (μ/μ_0) を移動度保持率と定義した。

パルス周波数を 0.5Hz から 500kHz まで変化させた場合の、移動度保持率 (μ/μ_0) のストレス時間依存性を図 4-13 (a) に、パルス繰り返し数依存性を図 (b) に示す。移動度劣化はパルス周波数が高くなるとともに顕著になるが、n-ch TFT 同様に、パルス繰り返し数にリプロットすると若干の幅を有するものの移動度劣化はパルス繰り返し数でほぼ

決まっており、これは p-ch TFT の移動度劣化もパルス形状に依存していることを示す結果である。

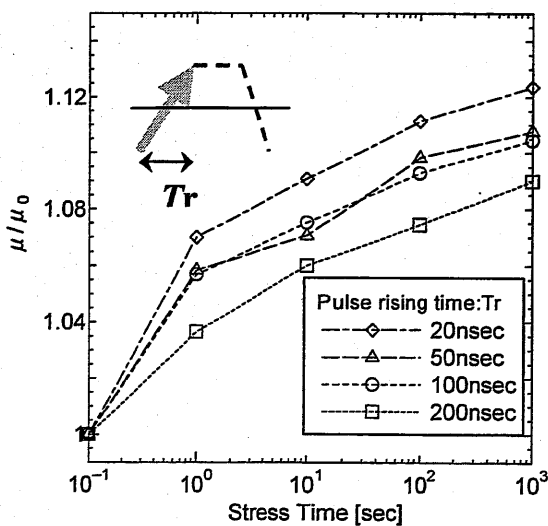


(a) 移動度保持率のストレス時間依存性

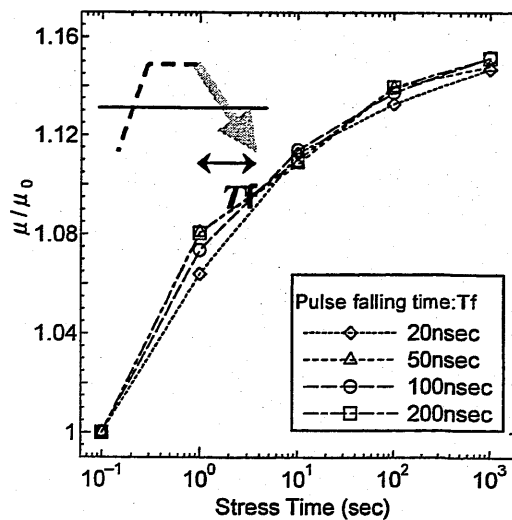


(b) 移動度保持率のパルス繰り返し数依存性

図 4-13 移動度保持率 (μ/μ_0) の印加パルス周波数および繰り返し数依存性



(a) 移動度保持率のパルス立上り時間 (T_r) 依存性



(b) 移動度保持率のパルス立下り時間 (T_f) 依存性

図 4-14 移動度保持率 (μ/μ_0) のパルス立上がり (T_r) および立下り (T_f) 時間依存性

パルス立上がり (T_r) および立下り (T_f) 時間依存性を調べた結果を図 4-14 に示す。

図 (a) に示すように、移動度劣化はパルス立上がり時間 (T_r) が急峻になるほど大きくなるのに対して、図 (b) に示すようにパルス立下り時間 (T_f) には全く依存しない結果が得られた。これら結果より、p-ch TFT のダイナミックストレス印加による移動度劣化は、パルス立上がり領域で発生したホットキャリアが支配要因であることがわかった。

4-2-6 p-ch TFT の劣化メカニズム

ダイナミックストレス印加による p-ch TFT の劣化は、パルス立上がり期間で発生し、パルス立ち上がりが急峻になるほど劣化が加速することがわかった。本節では p-ch TFT のダイナミックストレス印加による特性劣化部位の特定を行った。

まず 4-2-4 節で実施した LDD-TFT のメカニズム解析実験同様、ホットキャリアダメージがチャネル領域もしくは S/D 領域で発生するかを分離する目的で、移動度保持率の p^+ ドーピング後の活性化温度依存性を検討した。TFT 作製プロセスフローを図 4-15 に示す。

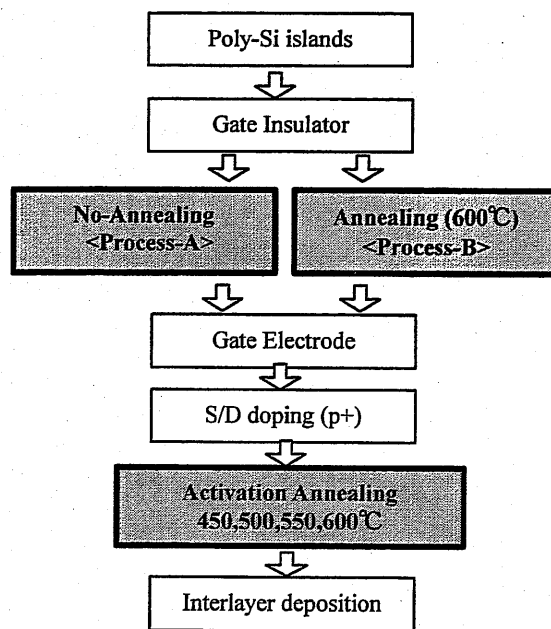
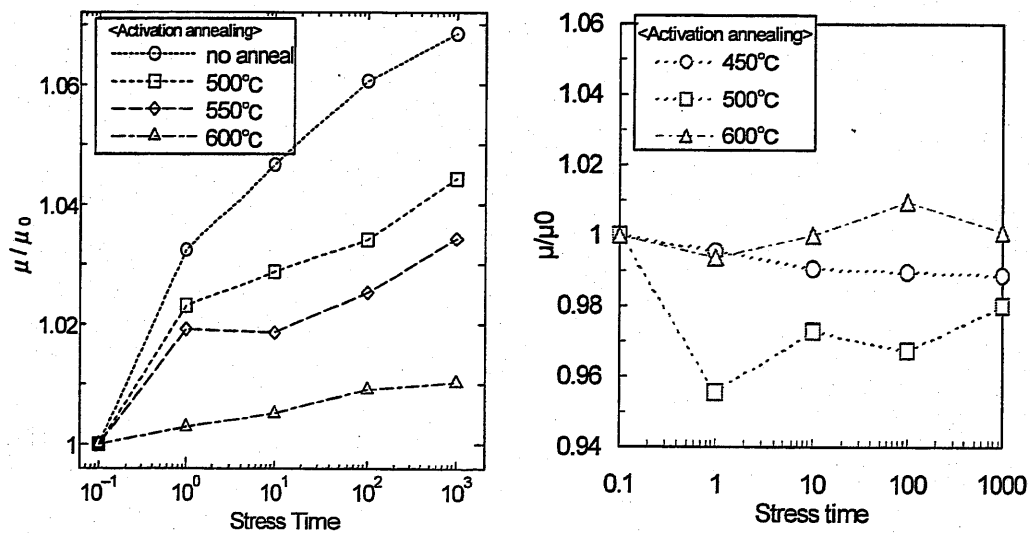


図 4-15 p-ch TFT 活性化アニール温度依存性実験フロー図

S/D (p⁺) ドーピング後の活性化アニールは 450~600°C で 60min 実施した。ゲート絶縁膜の成膜温度は 350°C であるため、ドーピング後に成膜温度以上で活性化アニールを行うと、アニールによりゲート絶縁膜の膜質が変化する。P-ch TFT の移動度劣化に対する p⁺ドーピング後の活性化アニールの影響に加え、ゲート絶縁膜の膜質の影響を調べるため、図 4-15 に示すように、ゲート絶縁膜形成後にアニールを行わず p⁺ドーピング後に活性化アニール温度を変化させたもの (Process-A) と、ゲート絶縁膜成膜後に 600°C (活性化アニールにおける最高温度と同じ) アニールを行ったあと p⁺ドーピング後に活性化アニール温度を変化させたもの (Process-B)、の 2 種類のプロセスにて作製した TFT の劣化を比較した。P⁺ドーピング後の活性化アニール以降は、通常のプロセスにて TFT を作製した。

図 4-16 にダイナミックストレス印加による移動度劣化の、p⁺ドーピング後の活性化アニール温度依存性を示す。図 (a) はゲート絶縁膜形成後にアニールを行わない Process-A にて作製した TFT の測定結果であり、図 (b) はゲート絶縁膜形成後に 600°C のアニールを実施した Process-B にて作製した TFT の測定結果である。



(a) ゲート絶縁膜成膜後アニールなし (Process-A) (b) ゲート絶縁膜成膜後アニールあり (Process-B)

図 4-16 p⁺ドーピング後の活性化アニール温度を変えた場合の移動度保持率のストレス印加時間依存性

図 (a) に示したゲート絶縁膜成膜後アニールなし (Process-A) にて作製した TFT は、活性化アニール温度の増大とともに移動度劣化が抑制されている。しかしながら、Process-A で作製した TFT は、 p^+ ドーピング後の活性化アニールによりゲート絶縁膜の膜質にもアニールの影響が及んでいる。図 (b) はゲート絶縁膜形成後にプロセス最高温度である 600°C のアニールを実施した Process-B にて作製した TFT の移動度保持率の活性化アニール温度依存性を示したものである。Process-B は、ゲート絶縁膜成膜後にプロセス最高温度でのアニールが実施されているため、 p^+ ドーピング後の活性化アニールによるゲート絶縁膜の膜質変化は無視できる。Process-B にて作製した TFT の移動度保持率は、若干ばらつきがあるものの、 p^+ ドーピング後の活性化アニール温度の影響をほとんど受けず一定となった。2種類のプロセスで作製した TFT 劣化の比較より、Process-A での p^+ ドーピング後の活性化アニール温度の高温化に伴う移動度劣化の抑制は、S/D 領域の改質の結果ではなく、活性化アニールによるゲート絶縁膜の改質の結果と言える。

以上の結果より、ダイナミックストレス印加による $p\text{-ch}$ TFT の特性劣化は、 $n\text{-ch}$ TFT とは異なり、ゲート絶縁膜へのキャリア注入によるものであることが明らかとなり、ホットキャリア劣化抑制にはゲート絶縁膜の膜質 (ホットキャリア耐性) 向上が重要であることがわかった。^{26,27)}

4-3 まとめ

本章では“低温 poly-Si TFT の信頼性、特に実動作回路に近いダイナミックストレス印加による特性劣化メカニズム“に関する研究成果を述べた。ダイナミックストレス印加による特性劣化は n-ch, p-ch TFT 双方に観察されたが n-ch TFT で特に顕著であった。エミッション顕微鏡観察結果よりダイナミックストレスによる劣化はホットキャリア劣化であることを示した。

n-ch TFT のホットキャリア劣化抑制には LDD による内部電界緩和が有効である。

ホットキャリア劣化の活性化アニール温度依存性を検討した結果、劣化は LDD ドーピング後の活性化アニール温度に強く依存し、活性化温度の増大とともに劣化が抑制されることを見出し、ホットキャリア劣化が LDD 領域で生じることを明らかにした。

ラマン分光による LDD 領域の poly-Si 結晶性 (ドーピングダメージ) の活性化アニール温度依存性より、活性化アニール温度が 500°C 以上でラマンシフトの高波数側へのシフトが見られ、poly-Si の再結晶化による LDD 注入欠陥の回復が生じることを示した。これら解析結果から、n-ch TFT で発生したホットキャリアは、ドーピングによる残留欠陥が存在する LDD 領域に電子トラップを形成し、この電子トラップによる LDD 領域の抵抗増大が ON 電流劣化の原因であると考えられ、ホットキャリア劣化の抑制には LDD 領域でのドーピングによる結晶欠陥回復が重要であることがわかった。

一方、p-ch TFT に関しても、n-ch 同様に、ホットキャリア劣化の活性化アニール温度依存性を検討した。この結果、p-ch TFT のホットキャリア劣化は、n-ch TFT とは異なり、ドーピング (p⁺) 後の活性化アニール温度の影響をほとんど受けず、ゲート絶縁膜形成後のアニールが支配的であることがわかった。これらの結果より、ダイナミックストレス印加による p-ch TFT の特性劣化は、n-ch TFT とは異なり、ゲート絶縁膜へのキャリア注入によるものが支配的であることが明らかとなり、ホットキャリア劣化抑制にはゲート絶縁膜の膜質 (ホットキャリア耐性) 向上が重要であることがわかった。

第4章の参考文献

- 1) M. Furuta, S. Maegawa, H. Sano, T. Yoshioka, Y. Uraoka, H. Tsutsu, I. Kobayashi, T. Kawamura and Y. Miyata, "A 2.8-in. diagonal Low-Temperature-Processed Poly-Si TFT with a new LDD structure", Euro Display Tech. Dig., 1996, p.547
- 2) N. Ibaraki, "Low-temperature Poly-Si TFT Technology", SID Tech. Dig., 1999, p.172
- 3) M. Furuta, Y. Nakazaki, A. Nakamura, T. Kawakita, H. Tsutsu, T. Kawamura and Y. Tsuchihashi, "Reliability of Low-temperature Poly-Si TFTs with LDD Structure and It's Application for 3.6-inch (VGA) TFT-LCD", AM-LCD'01 Tech. Dig., 2001, p.183
- 4) 大見忠弘, "ウルトラクリーンテクノロジーと TFT-LCD 製造技術", 月刊 LCD Intelligence 1998.01, 1998, p.71
- 5) 平田順太, "クリーンルームにおけるケミカルコンタミネーションコントロール", 電子材料 1999.08, 1999, p.26
- 6) 小島可容子, 桜井直明, "レジスト剥離・洗浄技術", '97 最新液晶プロセス技術, 1997, p.159
- 7) M. Ishikawa, "Gate SiO₂ Film Deposited by TEOS-PCVD System for poly-Si TFT", IDW'95 Tech. Dig., 1995, p.11
- 8) M. Gotoh, M. Sasaki, M. Shibuya and M. Nishitani, "Characteristics of SiO₂ Films Prepared by TEOS based PCVD", AM-LCD'99 Tech. Dig., 1999, p.143
- 9) A. Takami, A. Ishida, J. Tsutsumi, T. Nishibe and N. Ibaraki, "Threshold Voltage Shift under The Gate Bias Stress in Low-temperature poly-silicon TFT with Thin Gate Oxide Film", AM-LCD2000 Tech. Dig., 2000, p.45
- 10) D. Abe, S. Higashi, S. Inoue and T. Shimoda, "Low Temperature Formation of High Quality SiO₂/Si Interface using ECR-PECVD", AM-LCD'01 Tech. Dig., 2001, p.49
- 11) M. Sekiya, M. Hara, N. Sano, A. Kohno and T. Sameshima, "High Performance Poly-crystalline Silicon Thin Film Transistors Fabricated using Remote Plasma Chemical Vapor Deposition of SiO₂", IEEE Electron Device Lett. 15 (1994) 69.
- 12) H. Saito, T. Yamauchi, T. Okamoto, T. Yoshizawa and Y. Nishimura, "The Remote Plasma Scanning Deposition of Gate SiO₂ films for Low Temperature Poly Silicon TFT LCD", AM-LCD'98 Tech. Dig., 1998, p.17
- 13) K. Yuda, H. Tanabe and F. Okamura, "Improvement of Structural and Electrical Properties in

- Low-temperature Gate Oxides for Poly-Si TFTs by Controlling O_2/SiH_4 Ratio”, AM-LCD’97 Tech. Dig., 1997, p.87
- 14) G. Xu, N. Kitano, N. Yokokawa, A. Kumagai, H. Zhang, K. Ishibashi and M. Ikemoto, “Effects of Post-Deposition Treatment on Electrical Properties of RS-CVD SiO_2 Film”, AM-LCD’02 Tech. Dig., 2002, p.115
 - 15) M. Kudo, S. Sohara, A. Izumi and H. Matsumura, “Low Temperature Oxidation of Si using Activate Oxygen Generated by Tungsten Catalytic Reaction for TFT Gate Insulator Application”, AM-LCD’99 Tech. Dig., 1999, p.147
 - 16) M. Yamamoto, H. Nishitani, M. Sasaki, M. Gotoh, Y. Taketomi, H. Tsutsu and M. Nishitani, “High Performance Low Temperature Poly-Si TFT obtained by a New Fabrication Method”, Euro Display’99 Tech. Dig., 1999, p.53
 - 17) H. Tanabe and K. Sera, “A Clean Poly-Si/Gate oxide Interface Formation through Consecutive Remote-Plasma Chemical Vapor Deposition of SiO_2 following Excimer Laser Crystallization of Si layer”, AM-LCD’01 Tech. Dig., 2001, p.155
 - 18) T. Shimoda, “Current Status and Future of TFTs.”, ASID’02 Tech. Dig., 2002, p.59
 - 19) Y. S. Kim and M. K. Han, “Degradation due to Electrical Stress of Poly-Si Thin Film Transistors with Various LDD Length”, IEEE Electron Device Lett. 16, (1995), 245.
 - 20) A. Bove, A. Valleta, A. Pecora, L. Mariucci and G. Fortunato, “Hot Carrier Induced Degradation in Lightly Doped Drain Polysilicon TFTs”, AM-LCD2000 Tech. Dig., 2000, p.49
 - 21) S. Inoue, M. Kimura and T. Shimoda, “Investigation of Hot Carrier Degradation due to AC Stress in Low Temperature Poly-Si TFTs”, SID00 Tech. Dig., 2000, p.365
 - 22) Y. Uraoka, T. Hatayama, T. Fuyuki, T. Kawamura and Y. Tsuchihashi, “Reliability of Low Temperature Poly-Silicon TFTs under Inverter Operation”, IEEE trans. Electron Devices 48 (2001) 2370.
 - 23) Y. Uraoka, N. Nagano, T. Hatayama, T. Fuyuki, M. Furuta, T. Kawamura and Y. Tsuchihashi: “Hot Carrier Effects in Low-temperature Poly-Si p-ch TFTs under Dynamic Stress”, Proc. of AM-LCD’01, (2001) , p.179
 - 24) 安食恒雄、“半導体デバイスの信頼性技術”、日科技連出版
 - 25) K. Mizoguchi, H. Harima, S. Nakashima and T. Hara, “Raman Image Study of Flash-lamp Annealing of Ion-implanted Silicon”, J. Appl. Phys. 77 (1995) 3388.

- 26) M. Furuta, Y. Uraoka and T. Fuyuki, "Reliability of Low-temperature poly-Si TFTs with LDD structures", Jpn. J. Appl. Phys. (in press.)
- 27) Y.Uraoka, Y.Morita, H.Yano, T.Hatayama and T.Fuyuki: "Gate Length Dependence of Hot Carrier Reliability in Low-temperature Polycrystalline-silicon p-channel Thin Film Transistors", Jpn. J. Appl. Phys. 41 (2002) 5894.

第5章 低温 poly-Si TFT の LCD 応用

5-1 はじめに

本章では低温 poly-Si TFT の液晶ディスプレイ (LCD) 応用に関する研究結果について説明する。図 5-1(a)に液晶ディスプレイ用アクティブマトリクスアレイの1画素の等価回路を、(b)に平面図を示す。アクティブマトリクスアレイの設計上重要なパラメータは1)液晶容量 (C_{LC})、2)補助容量 (C_{st})、3)ゲート画素間容量 (C_{GD}) の3つである。その中で液晶容量は表示特性から材料選択されるべきものであり、アレイ設計パラメータは主に2)補助容量 (C_{st})、3)ゲート画素間容量 (C_{GD}) となる。

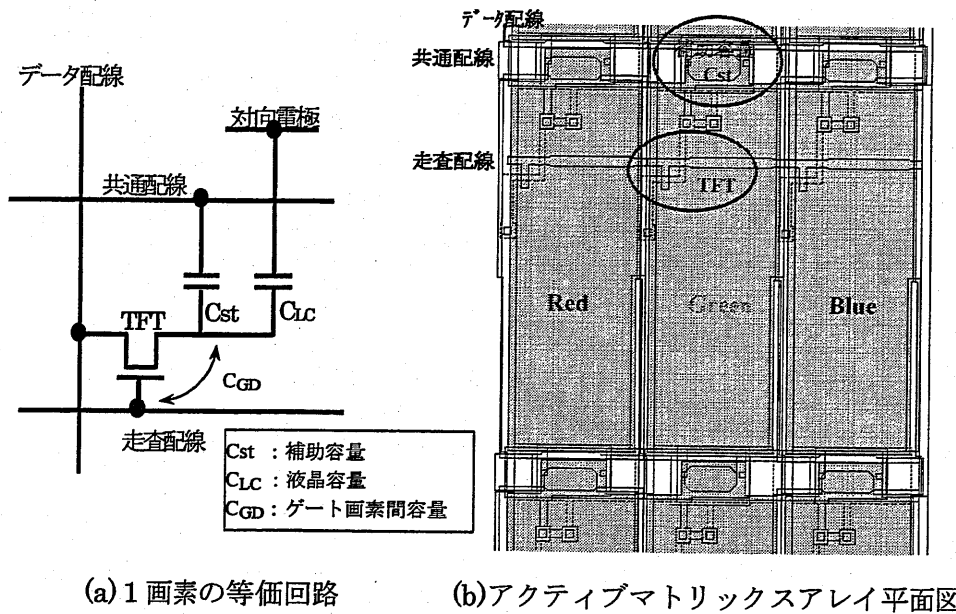


図 5-1 LCD 等価回路とアクティブマトリクスアレイ平面図

補助容量 (C_{st}) は画素の電圧保持・階調表示特性・残像低減等を目的に液晶容量と並列に形成される。一方、ゲート画素間容量 (C_{GD}) は TFT の寄生容量である。画素は TFT が ON 期間に所定の画素電位 (V_p) まで充電される。その後 TFT は OFF 状態となり理想的には画素電位 (V_p) が次の書き込み期間まで保持される。しかしながら実際は TFT の寄生容量 (C_{GD}) 成分の影響で TFT が OFF 状態になるときに画素電位を変動 (Δ

V) させる。画素電位の変動 ΔV は以下の式で表される。

$$\Delta V = V_p \times \frac{C_{GD}}{C_{Total}} \quad \text{式 5-1}$$

(但し $C_{Total} = C_{LC} + C_{st} + C_{GD}$)

この画素電位変動が交流駆動されている LCD に DC 成分を発生させ、フリッカや残像 (焼きつき) 現象となり、表示品位を低下させる。従って、TFT の寄生容量は可能な限り小さいことが望ましく、自己整合による寄生容量低減が可能な poly-Si TFT は LCD 駆動素子として適している。また自己整合による C_{GD} の減少により補助容量 (C_{st}) を減少することが可能となり、LCD の開口率向上に寄与する。図 5-2 に液晶表示装置の断面図を示す。

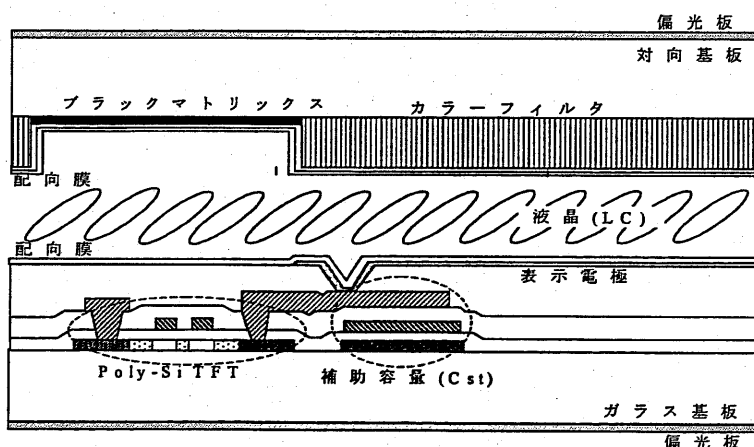


図 5-2 液晶表示装置の断面図

LCD 用アクティブマトリクスアレイの作製には、複数回の成膜・露光・エッチング工程を繰り返し、所定のパターン形成を行う必要がある。TFT アレイに用いられる代表的な薄膜材料とそのエッチング法を表 5-1 に示す。¹⁻³⁾

低温 poly-Si TFT アクティブマトリクスアレイに用いられる薄膜材料は基本的には a-Si:H TFT-LCD で用いられるものを踏襲している。低温 poly-Si TFT プロセスに起因する材料要求としては、ゲート電極の耐熱性がある。低温 poly-Si TFT 作製プロセスでの最高温度はドーピング後の不純物活性化 (400~600°C) であり、ゲート電極には活性化温度と同等以上の耐熱性が要求される。a-Si:H TFT-LCD では、ゲート配線抵抗による信号遅

延を低減するためゲート配線材料として Al 合金が用いられているが、耐熱温度は $\sim 350^{\circ}\text{C}$ 程度であり^{4,5,11)}、poly-Si TFT 用途としては耐熱性が充分でない。このため、本研究では、ゲート電極材料として高耐熱かつ配線抵抗の比較的小さな MoW 合金を採用した。⁶⁾

表 5-1 低温 poly-Si TFT アレイで用いられる薄膜材料とエッチング法

工程	被エッチング膜	エッチング手法	エッチャント
活性層分離	Poly-Si	Dry etching	CF_4+O_2 , SF_6+O_2 , Cl_2 (O_2)
ゲート電極	Mo, MoW Cr Al 系材料	Dry etching Wet etching Wet etching Dry etching	CF_4+O_2 , SF_6+O_2+ (Cl_2) $(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6+\text{HNO}_3$ $\text{H}_3\text{PO}_4+\text{HNO}_3+\text{CH}_3\text{COOH}$ $\text{BCl}_3+\text{Cl}_2+\text{N}_2$
コンタクトホール	SiO_2 , SiN_x	Dry etching Wet etching	CF_4+O_2 , $\text{CF}_4+\text{CHF}_3+$ (O_2) $\text{HF}+\text{NH}_4\text{F}$
ソース電極	Al 系材料	Wet etching Dry etching	$\text{H}_3\text{PO}_4+\text{HNO}_3+\text{CH}_3\text{COOH}$ $\text{BCl}_3+\text{Cl}_2+\text{N}_2$
保護膜	SiN_x	Dry etching	CF_4+O_2 , SF_6+O_2
表示電極	ITO	Wet etching Dry etching	$\text{HI}+\text{HNO}_3$, $\text{HCl}+\text{FeCl}_3$ HI , HBr , Cl_2

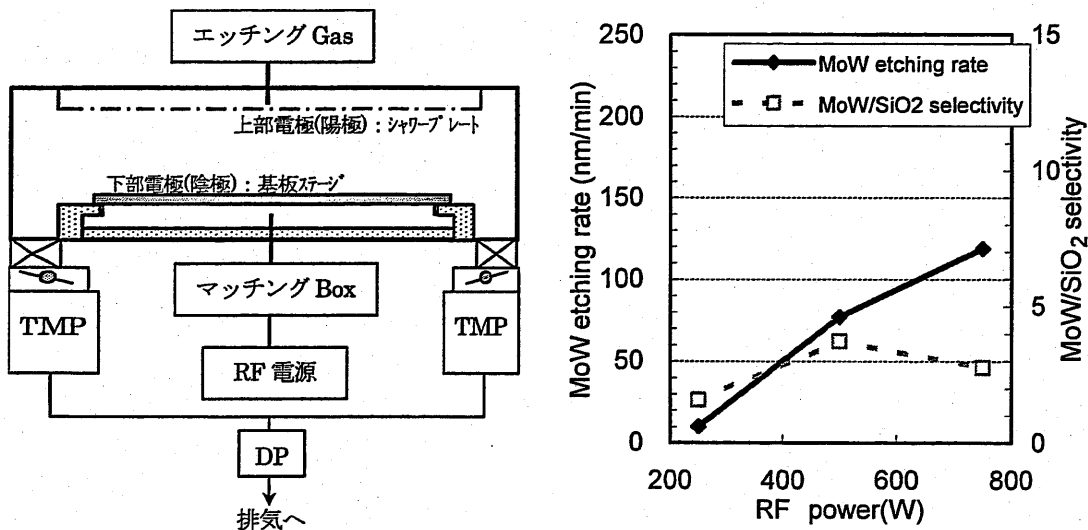
低温 poly-Si アクティブマトリックスアレイのゲート電極加工には、LCD の解像度向上に伴い、開口率を確保するため TFT サイズの縮小が要求され、エッチング精度に優れるドライエッチング化の要望が強い。さらに、トップゲート型 TFT のゲート電極加工には、エッチング精度（微細化）に加え、ゲート絶縁膜 (SiO_2) とのエッチング選択性が求められる。ゲート電極のエッチングによりゲート絶縁膜の残膜厚が変動すると、イオンドーピングで poly-Si に注入される不純物濃度が変化し、デバイス特性や信頼性に影響を与えるという課題が存在する。

本章では、アクティブマトリックスアレイ用配線の中で、加工精度ならびにゲート絶縁膜との選択性が要求されるゲート電極 (MoW) エッチングに関して、大面積基板向けドライエッチングの主流である Reactive Ion Etching (RIE) に代わり、プラズマ密度とイオンエネルギーを個別に制御可能な Inductively Coupled Plasma (ICP) を用いたドライエッチング装置ならびにプロセス開発を行い、高いエッチングレートとゲート絶縁膜との選択性ならびに良好な形状制御性を実現し、高解像度表示が可能な低温 poly-Si TFT-LCD を作製した。

5-2 MoW ゲート電極ドライエッチング技術の開発

5-2-1 Reactive Ion Etching (RIE) を用いた MoW ゲート電極加工の課題

LSI に比較して大面積基板を扱う LCD プロセスでは大面積化が容易な平行平板型 Reactive Ion Etching (RIE) がドライエッチングの主流である。^{1,3)} RIE は図 5-3 (a) に示したように、真空チャンバー内のエッチングガス雰囲気中にセットされた一対の平行平板電極間に高周波を印加することによりプラズマを発生させ、プラズマ中のイオンとラジカルを用いて物理・化学的にエッチングを行う手法である。



(a) RIE 装置構成図

(b) MoW エッチングレート及び MoW/SiO₂ 選択性の RF パワー依存性

図 5-3 RIE 装置構成図(a)と MoW エッチングレート及び MoW/SiO₂ 選択比の RF パワー依存性(b)

RIE の場合、投入する高周波パワーを変化することでプラズマ密度とイオンエネルギーが同時に変化し、独立には制御できない。図 5-3 に MoW エッチングレートならびに MoW/SiO₂ 選択比の RF パワー依存性を示す。エッチング条件は、ガス流量 SF₆/O₂ = 150/15 ccm、エッチング圧力 13.3Pa (100mTorr)、ステージ (下部電極) 温度 60°C である。MoW エッチングレートは投入パワーと共に増大するが、高パワー領域ではイオンエネルギーが増大し MoW/SiO₂ 選択比が低下する。このようにプラズマ密度とイオンエネルギーを同時

に制御する RIE では、エッチングレートと SiO₂ 選択比の両立が困難である。これら課題に対し、プラズマ密度とイオンエネルギーを独立に制御でき、高速・高選択エッチングが可能な Inductively Coupled Plasma (ICP) エッチング^{4,6)}の大面积基板への展開を行い、低温 poly-Si TFT ゲート電極加工への応用を試みた。

5-2-2 Inductively Coupled Plasma (ICP) エッチング法

松下電器産業(株) 生産技術研究所と共同開発した ICP プラズマ源を用いた LCD 用エッチング装置の構成を図 5-4 に示す。⁷⁾

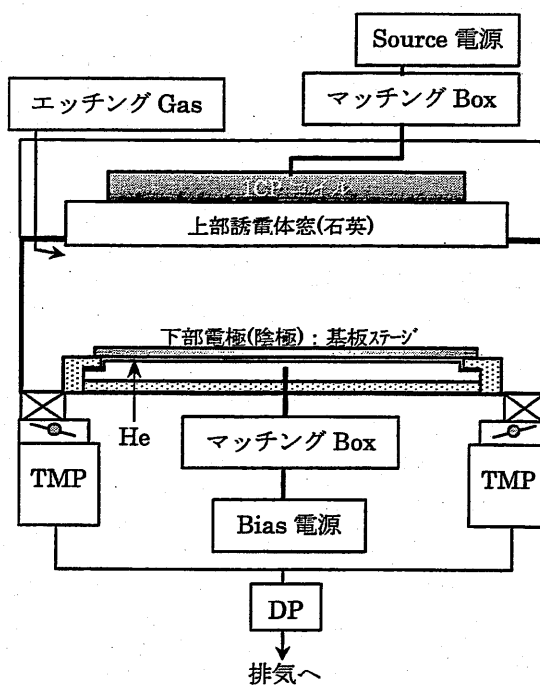


図 5-4 ICP エッチング装置構成図

上部誘電体窓上に置かれた ICP コイルは、マルチスパイラルコイルと呼ばれる構造を有し、ソースパワーはコイルの誘導結合にてプラズマ中に投入されイオン密度を制御する。ICP は RIE に比べて低圧力で放電可能であり、イオン密度も 2 桁以上大きい。基板がセットされる下部電極には第二の高周波 (バイアス) が印加されており、基板に入射するイオンエネルギーを制御する。このように ICP エッチングは、プラズマ密度をソースパワーに

て、入射イオンエネルギーをバイアスパワーにて、個別に制御しており、高速・低ダメージエッチングが可能である。しかしながら、プラズマ中のイオン密度が大きく高エッチングレートが得られる反面、ガラス等の熱伝導率の小さな基板では入射イオンによる基板温度上昇が顕著であり、フォトリソットが変質し剥離が困難となる。このため基板と下部電極の間に熱伝導率の大きな He ガスを導入し、基板と下部電極間の熱伝導を改善することでイオン衝撃による基板温度の上昇とそれに伴うレジスト変質を防止している。

5-2-3 ICP エッチングによる MoW/SiO₂ 選択比制御

エッチングレートとゲート絶縁膜選択比の両立を要求されるゲート電極エッチングに対し、プラズマ密度とイオンエネルギーを独立に制御可能な ICP エッチングの適用を試みた。MoW エッチングレートならびに MoW/SiO₂ 選択比のバイアスパワー依存性を図 5-5 に示す。エッチング条件は、ガス流量 SF₆/O₂=150/15 ccm、エッチング圧力 10.6Pa (80mTorr)、ステージ (下部電極) 温度 60°C である。

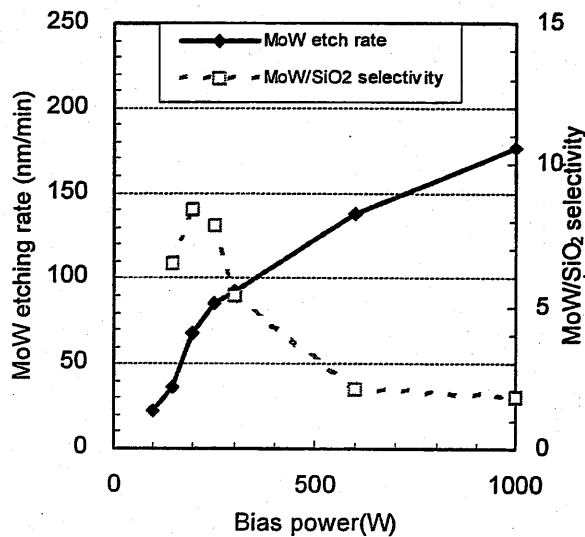


図 5-5 MoW エッチングレートおよび MoW/SiO₂ 選択比のバイアスパワー依存性

バイアスパワーは基板に入射するイオンエネルギーを制御しており、パワーを低減することで基板への入射イオンエネルギーが減少し、MoW/SiO₂ 選択比が向上する。しかしながら、イオンエネルギーの減少により MoW のエッチングレートも低下する。ICP エッ

チングでは、MoW/SiO₂ 選択比をバイアスパワーにて設定した後、ソースパワーによりエッチングレートを制御できる。MoW エッチレートならびに MoW/SiO₂ 選択比のソースパワー依存性を図 5-6 に示す。

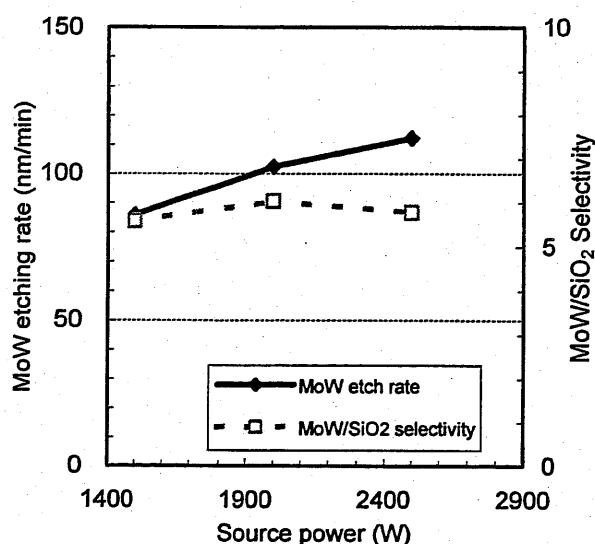


図 5-6 MoW エッチングレートおよび MoW/SiO₂ 選択比のソースパワー依存性

ソースパワーはプラズマ密度を制御し、イオンエネルギーには影響しないため、パワーを増大することでイオンエネルギー (MoW/SiO₂ 選択比) を維持したままエッチングレートを向上できる。このようにプラズマ密度とイオンエネルギーを独立に制御可能な ICP エッチングを用いることで、ゲート絶縁膜との選択性に優れる MoW ゲート電極の高速エッチング技術を確立した。

5-2-4 エッチング形状制御

Si-LSI に比較して 1 桁以上設計ルール of 緩やかな LCD 用 TFT アレイの場合、極端な異方性エッチングによる微細パターン形成よりもエッチング形状の制御が優先される。ドライエッチングにおける形状制御はレジスト後退法を用いるのが一般的であり、被エッチング膜と同時にフォトリジストもエッチングし、フォトリジストのエッチングレート R_{PR} と

被エッチング膜のエッチングレート R_E のレート比率 R_E/R_{PR} を利用するものである。

エッチング形状 Θ は

$$\Theta = A \times \tan^{-1} \left(\frac{R_E}{R_{PR}} \right) \quad \text{式 5-2}$$

でほぼ表現できる。A は初期のレジスト形状で決まる定数である。

アクティブマトリクスアレイではゲート配線とデータ配線が直交して同一基板上に形成され、これら配線間を層間絶縁膜にて電氣的に分離しており、XGA クラスの解像度でその交差部は表示領域だけで 235 万ヵ所以上ある。これら交差部で絶縁不良によるショートが発生すると表示 (線) 欠陥となり製造歩留りに大きく影響する。このため、ゲート電極上に形成する層間絶縁膜には絶縁不良を防止するため良好なステップカバレッジ (段差被覆性) が要求される。ゲート電極のエッチング形状は層間絶縁膜のステップカバレッジに影響が大きく、テーパ角 Θ が小さいほど層間絶縁膜のステップカバレッジが向上する。

エッチング形状を制御するため、MoW およびフォトリソ (PR) のエッチングレート、ならびに PR/MoW エッチングレート比の酸素 (SF_6/O_2 比率) 流量依存性を調べた結果を図 5-7 に示す。エッチングは SF_6+O_2 総流量 310ccm, 圧力 9.3Pa (70mTorr), Source/Bias パワー 2000W/600W, ステージ温度 60°C で行った。

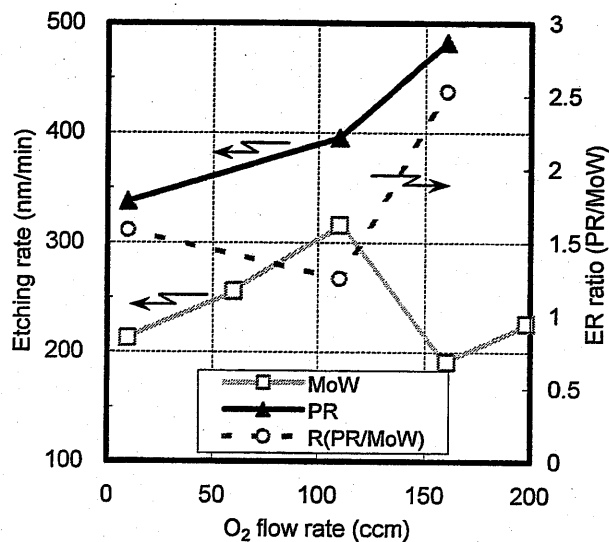


図 5-7 MoW、PR エッチングレート並びに PR/MoW エッチレート比の酸素流量依存性

MoW エッチングレートは O₂ 流量 100sccm 以下では O₂ 流量とともに増加するが、100sccm を越えると減少に転じた。一方、フォトレジストのエッチングレートは O₂ 流量の増大とともに単調増加する。これに伴い、O₂ 流量 100sccm を越えると PR/MoW エッチングレート比は大きくなる。O₂ 流量 10sccm (PR/MoW=1.58)、110ccm (PR/MoW=1.25)、160ccm (PR/MoW=2.53) の 3 条件にてエッチングした MoW の断面形状を図 5-8 に示す。

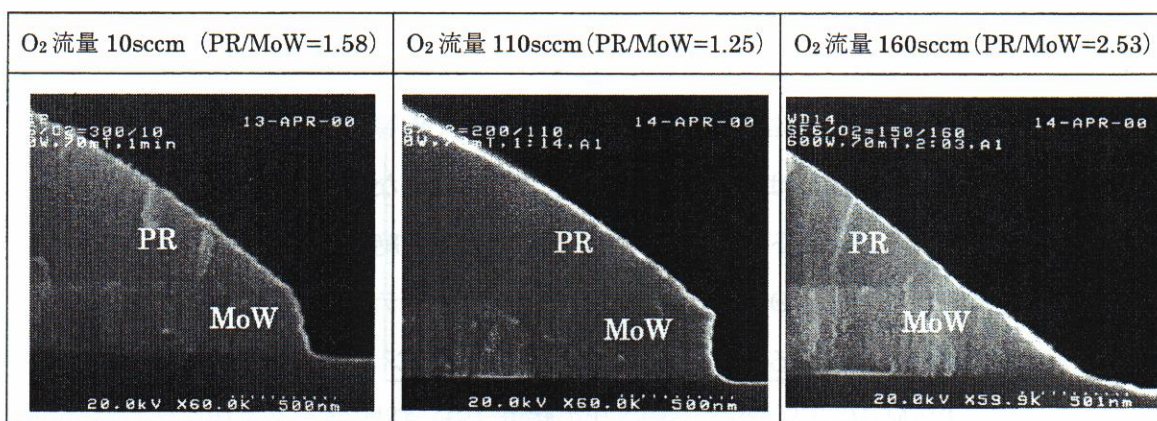


図 5-8 MoW エッチング形状の酸素流量依存性 (SEM)

MoW エッチング形状は O₂ 流量に依存して変化しており、エッチング形状 (テーパ角度) の PR/MoW エッチングレート比依存性を図 5-9 に示す。

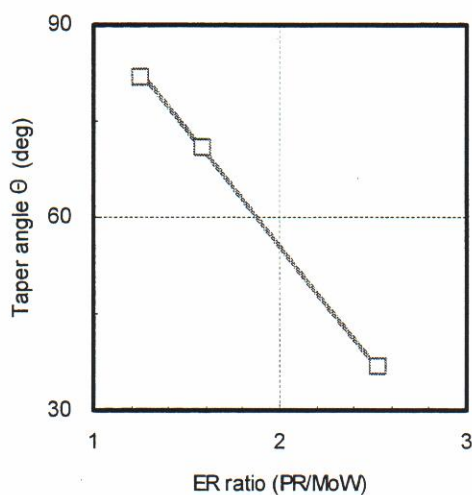


図 5-9 エッチング形状 (テーパ角度: θ) の PR/MoW エッチレート比依存性

図 5-9 の結果より、MoW のテーパ形状 θ は PR/MoW エッチングレート比で決ま
ており、所望のテーパ角度を得るにはエッチングガス中の O_2 流量比を制御して、
PR/MoW エッチングレートを制御すれば良いことがわかった。

ゲート電極のテーパ形状が層間絶縁膜のステップカバレッジに与える効果を確認する
ため、層間絶縁膜 (SiO_2 : 400nm) 成膜後のカバレッジの観察結果を図 5-10 に示す。

	テーパ角度 $\sim 80^\circ$	テーパ角度 $\sim 50^\circ$
エッチング形状		
層間絶縁 (SiO_2) 成膜後		
ステップカバレッジ	0.74	0.87

図 5-10 エッチング形状による層間絶縁膜ステップカバレッジ改善効果 (SEM)

層間絶縁膜形成後の段差形状に関しても、ほぼ下地 MoW エッチング形状を継承してお
り、ゲート電極が低テーパ角度であるほど層間絶縁膜の形状もスムーズとなりステップ
カバレッジ (段差部の膜厚/平坦部の膜厚) が向上することが確認できた。

5-3 駆動回路内蔵 LCD の作製

本節では低温 poly-Si TFT 応用技術として、駆動回路内蔵液晶 (LCD) 表示装置に関して代表例を用いて述べる。^{11,14)} 図 5-11 は、今回開発した映像および情報表示用 LCD のブロック図である。対角 3.6 インチ、解像度は VGA (480×640) であり、画素密度 223ppi は業界最高 (発表当時) の高密度液晶表示デバイスである。¹⁴⁾

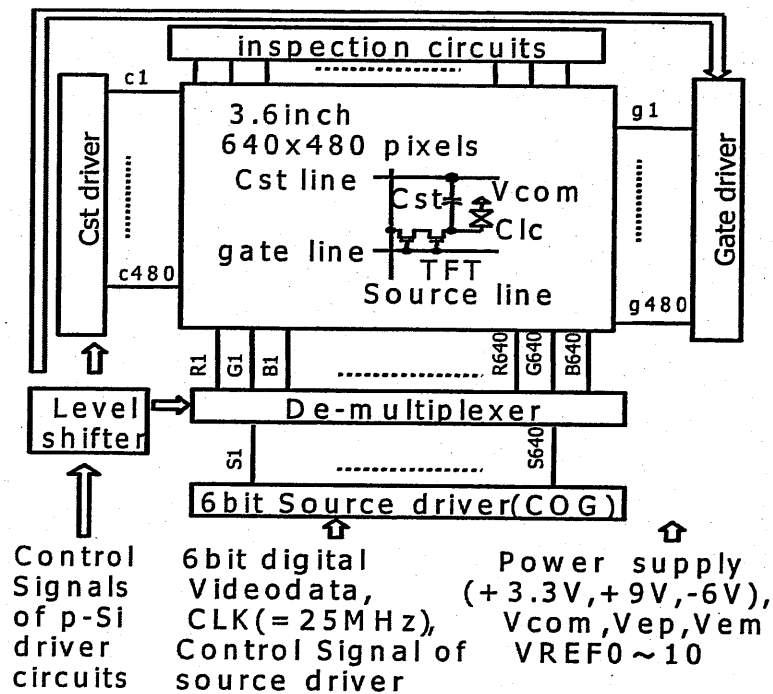


図 5-11 3.6 インチ VGA パネル (223ppi) のブロック図

LCD での動画表示の課題はその応答速度にあり、一般的な TN-LCD の応答速度は 30msec 以上である。今回作製した LCD は、松下電器産業独自の Capacitively Coupled (CC) 駆動法^{15,16)}により、動画表示に問題ない応答速度 (25msec) を得ている。CC 駆動はデータ信号線から供給される電位に加えて、補助容量線と画素の容量結合成分を利用して画素電位を供給する駆動方法である。このため、a-Si:H TFT-LCD で CC 駆動を行う場合はゲート線駆動用 LSI に加えて容量配線電位を変化させるための駆動 LSI が必要であったが、低温 poly-Si TFT を用いることでゲート線駆動回路に加え共通容量線駆動回路も内蔵化した。今回作製した LCD に内蔵化した回路の代表例を図 5-12 に、LCD のタイミ

ングチャートを図 5-13 に示す。

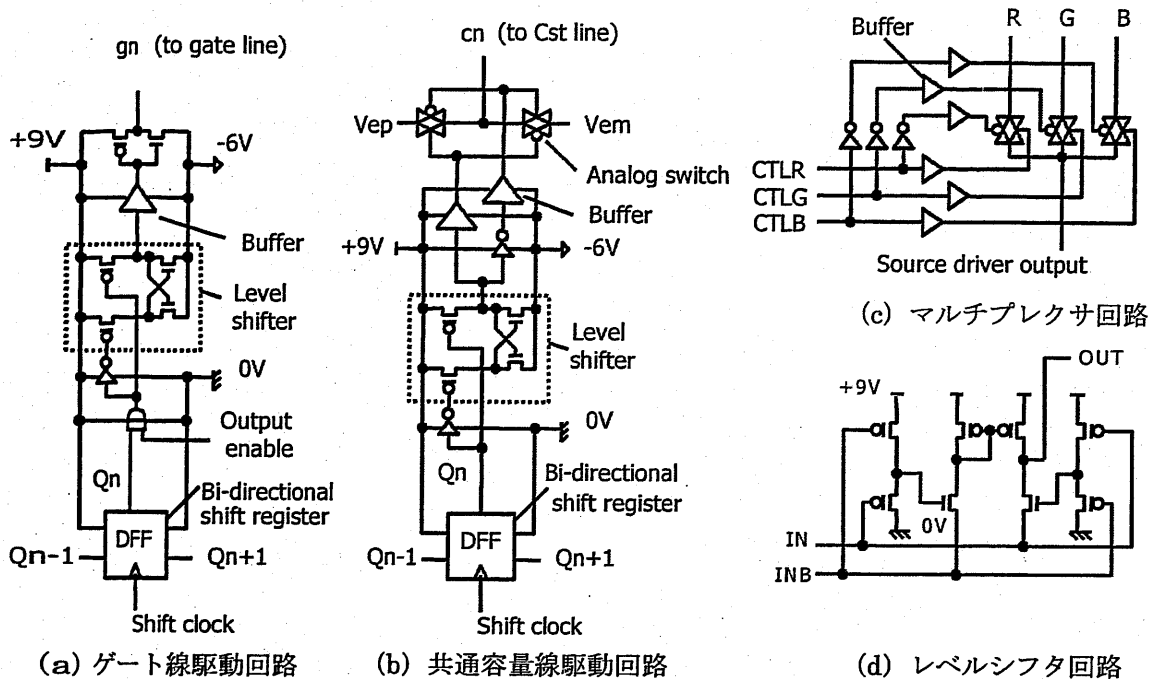


図 5-12 作製した LCD に内蔵した各種機能部の回路図

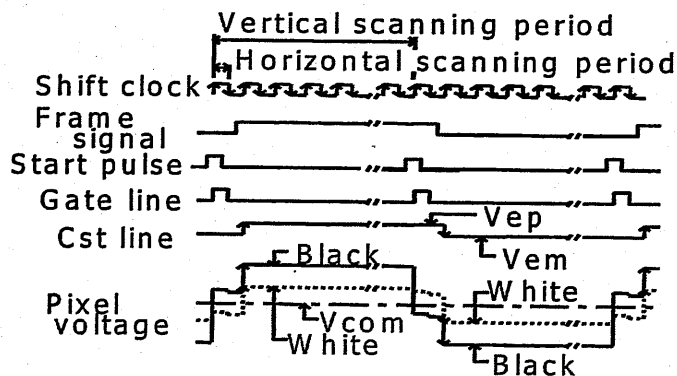


図 5-13 作製した LCD のタイミングチャート

携帯情報端末用 LCD ではその消費電力が課題である。CC 駆動は 1) 対向電極電位を一定に維持可能である、2) データ信号振幅を小さくできる、等の利点を有し低消費電力化が可能な技術である。消費電力の観点から、現時点の poly-Si TFT の性能では、動作周波数が高いデータ配線駆動回路は内蔵化するより LSI を実装したほうが有利である。今回は

消費電力低減の観点から、データ信号は Chip on Glass (COG) 実装した LSI から供給しているが、駆動 LSI と LCD の間に 1 つの LSI 信号を RGB に分割するマルチプレクサ回路(図 5-12(c))を poly-Si TFT で内蔵化しており、これにより実装する LSI の数を a-Si:H TFT-LCD の 1/3 に低減し LSI コストの削減ならびに消費電力の低減を行うと同時に、LCD の高密度化に伴う COG 実装の狭ピッチ化に伴う問題を緩和している。ゲート駆動回路、共通容量線駆動回路、マルチプレクサには 3.3V の入力信号を+9V/0V に LCD 内部でレベルシフト(図 5-13(d))して供給している。

今回作製した LCD の画像表示例を図 5-14 に、スペックを表 5-2 に示す。

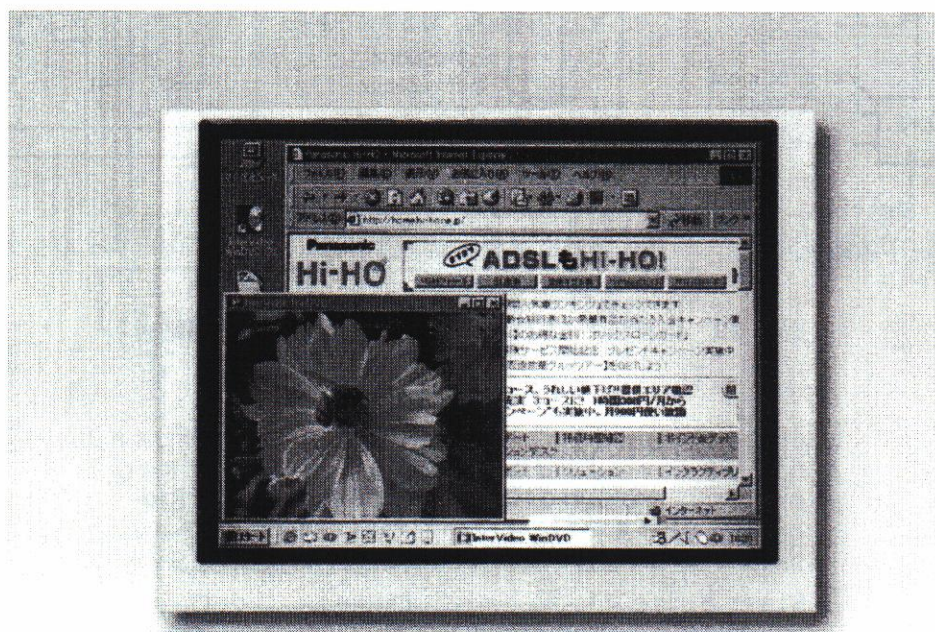


図 5-14 3.6"-VGA パネルの画像表示例

表 5-2 作製した poly-Si TFT-LCD のスペック

パネルサイズ	3.6 インチ 駆動回路内蔵 p-Si TFT アクティブマトリックス
解像度	640(H)×480(H) : VGA [223ppi]
表示色数	262,144 色
消費電力	50mW (typical)
コントラスト比	250:1 (透過型)、 25:1 (反射型)
応答速度	25msec

5-4 まとめ

本章では“低温 poly-Si TFT の LCD 応用 “ に関する研究成果を述べた。低温 poly-Si TFT-LCD が LCD 基板の上に機能素子を取り込んで差別化を推進していくには、素子の微細化、すなわち微細加工技術の進展が不可欠であり、配線材料とその加工技術に重点をおき開発を行った。特に、トップゲート型 TFT のゲート電極の加工に関しては、エッチング速度と同時にゲート絶縁膜との選択性、ならびに加工形状の制御が要求される。これら要求に対し、大面積基板向けドライエッチングの主流である RIE 法に代わり、高密度プラズマ源を用い、プラズマ密度とイオンエネルギーを個別に制御可能な ICP ドライエッチング装置ならびにプロセス開発を行い、高いエッチングレートとゲート絶縁膜との選択性、ならびに良好な形状制御性を実証し LCD 用ゲート電極 (MoW) の加工に適用した。

第 4 章までの低温 poly-Si TFT 技術と、本章のアクティブマトリックスアレイ技術を組み合わせることで、発表当時業界最高精細 (223ppi) である携帯・映像表示用駆動回路内蔵 TFT-LCD を実現した。この LCD にはシフトレジスタに加えてレベルシフタやマルチプレクサ等の機能素子を低温 poly-Si TFT で内蔵化している。

低温 poly-Si TFT の移動度は、近年結晶化技術や欠陥ターミネート技術の改善により $500 \text{ cm}^2/\text{V}\cdot\text{s}$ を超えるレベルが報告されており、低温 poly-Si TFT を用いたガラス基板上の ZSO-CPU が実証されるなど、LCD にとどまることなくその電子デバイス応用が拡大していくものと期待される。しかしながらシステムオンパネル実現には、素子の更なる高性能化・微細化による動作速度の向上・消費電力の低減・信頼性の向上といった解決すべき課題も多い。本研究の成果が低温 poly-Si TFT 技術の進展に寄与することを期待する。

第5章の参考文献

- 1) 筒 博司, “TFT-LCDのエッチング技術”, 月刊 Semiconductor World 1990.08, 1998, p.171
- 2) 金子寿輝, 高島勝, “エッチング技術の最新動向”, 月刊 LCD Intelligence 1996.10, 1996, p.69
- 3) 村上誠, “エッチング技術”, 2001 FPD Technology Outlook, 2001, p.183
- 4) S. Yamamoto, T. Ohnishi, K. Yoshikawa, K. Itayama and Y. Koga, “The Properties of Al-Ta and Al-Ti Alloy Film for Address Line of TFT-LCDs”, IDRC'92 Tech. Dig., 1992, p.217
- 5) M. Yamamoto, I. Kobayashi, T. Hirose, S M Bruck, N. Tsuboi, Y. Mino, M. Okafuji and T. Tamura, “High Performance Al Alloy for High Aperature ratio a-Si TFT-LCD”, IDRC'94 Tech. Dig., 1994, p.142
- 6) Y. Tsuji, M. Ikeda, Y. Ogawa and K. Suzuki, “Low Resistance Mo-W Gate Line for a-Si TFT-LCDs”, AM-LCD'95 Tech. Dig. 1995, p.71
- 7) 斎藤修一, 片岡好則, “エッチング・アッシング技術の現状と課題”, '99 最新液晶プロセス技術, 1999, p.151
- 8) H. Takei, M. Ishikawa, Y. Ohta, “Dry Etching Technologies for 1m Square Substrate”, AM-LCD'99 Tech. Dig., 1999, p.151
- 9) Y. Hatta, Y. Tsubota, K. Matsutani, H. Tanaka, T. Yukawa and Y. Matsushita, “A novel 5-mask Top-gate TFT Process for Reflective LCD Panel”, AM-LCD'02 Tech. Dig., 2002, p.207
- 10) T.Okumura and I.Nakayama, ” New Inductively Coupled Plasma Source using Multi Spiral Coil”, American Institute of Phys. 11 (1995) 5262.
- 11) M. Furuta, S. Maegawa, H. Sano, T. Yoshioka, Y. Uraoka, H. Tsutsu, I. Kobayashi, T. Kawamura and Y. Miyata, “A 2.8-in. diagonal Low-temperature-processed Poly-Si TFT-LCD with a new LDD structure”, Euro Display Tech. Dig., 1996, p.547
- 12) 古田守, ”2.8型新構造LDD 低温 Poly-Si TFT-LCD.”, 月刊 LCD Intelligence 1997.06, 1997, p.72
- 13) M. Furuta, Y. Nakazaki, A. Nakamura, T. Kawakita, H. Tsutsu, T. Kawamura, and Y. Tsuchihashi, “Reliability of Low-temperature Poly-Si TFTs with LDD structure and It's Application for 3.6-inch (VGA) TFT-LCDs”, AMLCD '01 Tech. Dig., 2001, p.183
- 14) H. Tomitani, Y. Numada, T. Ohtomo, M. Matsunami, T. Kawamura and Y. Tsuchihashi, “A 3.6-inch Low-temperature Poly-Si TFT-LCD”, AM-LCD'01 Tech. Dig., 2001, p. 89
- 15) E. Takeda, Y. Nan-no, Y. Mino, A. Otsuka, S. Ishihara and S. Nagata, “Simplified Method of

Capacitively Coupled Driving for TFT-LCD", Japan Display Tech. Dig., 1989, p.580

- 16) Y. Takubo, T. Ohtani and R. Ogishima, "Response Time Improvement of TFT-LCDs by using Capacitance Coupled Driving", AM-LCD'95 Tech. Dig., 1995, p.59

第6章 本研究の総括

本論文は低温 poly-Si 薄膜トランジスタの高性能、高信頼性化と、その液晶表示装置応用に関する一連の実験的研究とその成果をまとめたものである。以下に本研究において得られた主要な成果を列挙し、本研究の結論とする。

[1] エキシマレーザーアニール (ELA) はパルスレーザー照射による溶融・再結晶化プロセスであり、基板への熱ダメージが少なく、良質な poly-Si を低温で形成可能である。ELA による poly-Si 結晶化に加えて不純物活性化への応用に関しても検討し、一度の ELA にてチャンネル領域 (undoped poly-Si) とソース・ドレイン領域 (doped poly-Si) を同時に形成するプロセスによりボトムゲート型 poly-Si TFT を作製し、a-Si:H TFT に比較して 100 倍以上の移動度 ($200\text{cm}^2/\text{V}\cdot\text{s}$) を得た。また、TEM を用いた poly-Si 結晶評価の結果、移動度はグレイン内部に存在する結晶欠陥に強く影響されることを明らかにした。

[2] ESR を用いて poly-Si 中に存在するダングリングボンドの分布を特定した結果、65% ものダングリングボンドがグレイン内部に存在し、24% のダングリングボンドがグレインバウンダリに存在することを明らかにした。グレインバウンダリに存在するダングリングボンドは全体の 24% 程度に過ぎないものの、その密度はグレイン内部に比較して 1 桁以上大きく、薄膜にローカルストレスを与えていることを示した。

[3] 水素希釈 B_2H_6 をソースガスに用いたイオンドーピングのドーパント比率を調べた結果、イオンビーム中のドーパント比率はプラズマ源への投入電力密度に大きく依存し、投入電力密度が大きくなると相対的に水素イオン比率が増大することを示した。イオンビーム中の主たるドーパントイオンは分子イオン (B_2H_x^+ $x=1\sim 6$) であり、平均飛翔 (R_p) は LSS 理論から想定される値の 1/2、濃度は 2 倍となることを明らかにした。

[4] イオンドーピングは、薄膜トランジスタ作製において最も高エネルギーな荷電粒子を用いるプロセスである。移動度、 V_{th} のボロンドーズ量依存性を調べた結果、ドーズ量増大に伴い移動度の低下ならびに V_{th} の負シフトが観察され、特性劣化はドーピング後の活性化アニール温度を低温化するほど顕著になることがわかった。ドーパントドーズ量を一定にした状態で、移動度、 V_{th} のドーパント比率依存性を調べた結果、移動度ならびに V_{th} はドーパント比率の低下、すなわち同時注入される水素イオンドーズ量の増大、に伴い劣化し、ドーパントと同時注入された水素イオンが TFT 特性に大きく影響していること

を明らかにした。SIMS 測定と TRIM シミュレーションによるイオン種解析より、ボロンドーピングで同時注入される主たる水素イオンは H_3^+ と H_2^+ であることを示した。イオンドーピングにて同時注入される水素イオンによる TFT 特性劣化メカニズムを検討した結果、チャンネル領域への水素注入により poly-Si のダングリングボンドが増大することを ESR 測定より見出した。また、チャンネル領域への H_2^+ イオン注入を防止するようゲート電極膜厚を設定することで、移動度が向上することを示し、移動度ならびに V_{th} に影響を与える水素イオンが H_2^+ であることを初めて明らかにした。

[5] Poly-Si TFT の信頼性、特に実際の回路動作に近いダイナミックストレス印加による特性劣化メカニズムに関して検討した結果、劣化はホットキャリア劣化であり、n-ch TFT の劣化抑制には LDD による内部電界緩和が有効であることを示した。LDD-TFT における、劣化の活性化アニール温度依存性を評価した結果、移動度保持率は LDD 活性化温度の増加とともに向上することがわかり、劣化が LDD 領域で生じることを明らかにした。ラマン分光より、活性化アニール温度の増加とともに LDD ドーピングによる欠陥の回復が進行することが明らかとなり、ドーピングによる残留欠陥が存在する状態でホットキャリアが生じることで LDD 領域での電子トラップ形成が加速され、劣化が進行するものと考えられ、劣化抑制には LDD 領域の結晶性改善が重要であることを示した。

[6] p-ch TFT のダイナミックストレス劣化の TFT 作製プロセスにおけるアニール工程位置、温度依存性を調べた結果、劣化はゲート絶縁膜形成後のアニール、すなわちゲート絶縁膜の膜質に依存することがわかった。これは、p-ch TFT のホットキャリア劣化は、ゲート絶縁膜へのキャリア注入による実効チャンネル長の減少によるものと考えられ、劣化抑制にはゲート絶縁膜の膜質改善が重要であることを示した。

[7] ICP エッチングを用いてプラズマ密度とイオンエネルギーを独立に制御することにより、LCD 用アクティブマトリックスアレイに用いる、高エッチングレートかつゲート絶縁膜との選択性、エッチング形状制御性に優れた、トップゲート型 TFT のゲート電極配線 (MoW) の微細加工技術を確立した。

[8] 低温 poly-Si TFT を LCD 用アクティブマトリックスアレイの駆動素子として用いることで、発表当時業界最高精細(223ppi)である、情報・映像表示用、駆動回路内蔵 TFT-LCD を実証した。この LCD はシフトレジスタやレベルシフタ等の機能素子を集積化しており、将来のシステムオンパネル実現の可能性を示した。

謝辞

本研究の遂行にあたり奈良先端大学院大学 物質創成科学研究科 冬木隆教授ならびに浦岡行治助教授には始終懇切な御指導、御鞭撻を賜りましたこと、謹んで感謝申し上げます。また、本論文をまとめるにあたり有益なご助言を頂きました奈良先端大学院大学 物質創成科学研究科 布下正宏教授ならびに塩寄忠教授に深く感謝申し上げます。

本研究は松下電器産業株式会社 中央研究所、ディスプレイ研究所、ならびに液晶事業部にて行ったものであり、本研究の機会を与えていただきました元ディスプレイ研究所所長 小坂雅弘氏ならびに元液晶事業部長 犬丸重樹氏に厚く感謝致します。東芝松下ディスプレイテクノロジー株式会社 住友康祐社長、生産統括本部 平田教行部長、竹澤浩義副部长、武田篤グループ長には本論文の作製に際し多大なる御理解を頂きました。

本研究を進めるにあたり直接の上司として御指導・御鞭撻を頂きました松下電器産業株式会社 宮田豊チームリーダー、東芝松下ディスプレイテクノロジー株式会社 田村達彦グループ長、川村哲也主席技師、小林郁典主席技師、AFPD PTE., LTD. 土橋友次 Senior Advisor に心より感謝致します。また共同研究者として有益な議論および御協力を頂きました東芝松下ディスプレイテクノロジー株式会社 筒博司主席技師、吉岡達男主任技師、佐野浩技師、山本孝史技師、寺田正孝氏、株式会社液晶先端技術開発センター (ALTEDEC) 中崎能彰氏、松下電器産業株式会社 西谷幹彦主席技師を始めとする関係各位に深く感謝致します。

第2章エキシマレーザー結晶化poly-Siの評価に関しては大阪大学大学院工学研究科 平尾孝教授、播磨弘助教授、古田寛博士、川島隆氏、深家信洋氏には共同研究者として有益なる御討論ならびにご支援を頂きました。また poly-Si 膜の TEM 評価に関しては松下電器産業株式会社 安部由朗技師に御協力頂きました。第3章のイオンドーピング技術の開発に際しては松下電器産業株式会社 吉田哲久博士、佐谷裕司主任技師に有益な御討論ならびに御協力を頂きました。材料分析に関しては株式会社松下テクノロジーの皆様、特に佐藤実主任技師にはSIMS分析ならびにTRIMシミュレーションに関して有益なる御討論ならびに御協力を頂きました。第5章のLCD用ドライエッチング技術ならびに装置開発に関しては松下電器産業株式会社 宝珍隆三チームリーダー、柳義弘主任技師、大熊崇文技師、森田雅史氏、また元松下電器産業株式会社 寺下俊幸氏には多大なる御協力を頂きました。第6章のLCD製品の設計・評価には東芝松下ディスプレイテクノロジー株式会社 松浪将仁グループ長、河島秀弥グループ長、大友哲哉チームリーダー、富谷央チームリーダーを始めとする設計評価グループのメンバーに御協力を頂きました。

本研究はこれら多くの方々の御指導と御協力により達成された結果であり、ここに心より厚くお礼申し上げます。

最後に本研究を遂行するにあたり、常日頃より私を励まし支えてくれた両親ならびに家族に感謝します。

研究論文・学会発表履歴

< 発表論文 >

1. M. Furuta, T. Kawamura, T. Yoshioka and Y. Miyata, "Bottom-Gate Poly-Si Thin Film Transistors using XeCl Excimer Laser Annealing and Ion Doping", *IEEE Trans. Electron Devices* 40 (1993) 1964.
2. M. Furuta, H. Satani, T. Terashita, T. Tamura and Y. Tsuchihashi, "Hydrogen Implantation Damage in Polycrystalline Silicon Thin Film Transistors Caused by Ion Doping", *Jpn. J. Appl. Phys.* 41 (2002) 1259.
3. M. Furuta, Y. Uraoka and T. Fuyuki, "Reliability of Low-temperature Poly-Si TFTs with LDD structures", *Jpn. J. Appl. Phys.* (in press)

< 国際会議発表 >

1. M. Furuta, S. Maegawa, H. Sano, T. Yoshioka, Y. Uraoka, H. Tsutsu, I. Kobayashi, T. Kawamura and Y. Miyata, "A 2.8-in. diagonal Low-temperature-processed Poly-Si TFT-LCD with a new LDD structure", *Euro Display Tech. Dig., Birmingham, 1996*, p.547
2. M. Furuta, Y. Nakazaki, A. Nakamura, T. Kawakita, H. Tsutsu, T. Kawamura and Y. Tsuchihashi, "Reliability of Low-temperature Poly-Si TFTs with LDD structure and It's application for 3.6-inch (VGA) TFT-LCDs", *AMLCD'01 Tech. Dig., Japan, 2001*, p.183
3. M. Furuta, T. Yoshioka, T. Tamura and Y. Tsuchihashi, "Hydrogen Implantation Damage in Poly-Si TFT during Ion Doping", *AM-LCD '02 Tech. Dig., Japan, 2002*, p.99

< 雑誌寄稿 >

1. 古田守, "2.8型 新構造LDD 低温 Poly-Si TFT-LCD", *月刊LCD Intelligence* 1997.06, 1997, p.72

< 発表リスト : 国内会議 >

1. 古田守, 川村哲也, 吉岡達男, 宮田豊, "エキシマレーザーアニールを用いたボトムゲート型 poly-Si TFT", 1993年(平成5年)秋季応用物理学会 学術講演会

2. 古田守, 川村哲也, 吉岡達男, 宮田豊, “エキシマレーザーアニールを用いたボトムゲート型 poly-Si TFT”, 1994 年応用物理学会 応用電子物性分科会研究報告 p.7

<論文発表：共著>

1. Y. Miyata, M. Furuta, T. Yoshioka and T. Kawamura, “Low-Temperature Polycrystalline Silicon Thin-Film Transistors for Large-Area Liquid Crystal Display”, *Jpn. J. Appl. Phys.* **31** (1992) 4559.
2. Y. Miyata, M. Furuta, T. Yoshioka and T. Kawamura, “Polycrystalline Silicon recrystallized with Excimer Laser Irradiation and Impurity Doping using Ion Doping Method”, *J. Appl. Phys.* **73** (1993) 3271

<国際会議発表：共同研究>

1. Y. Miyata, M. Furuta, T. Yoshioka and T. Kawamura, “Polycrystalline Silicon Recrystallized with Excimer Laser Irradiation and Impurity Doping using Ion Doping method”, *Proc. of Micro Process Conference, Japan*, 1992, p.4559
2. T. Yoshioka, S. Maegawa, H. Sano, M. Furuta, Y. Uraoka, H. Tsutsu, I. Kobayashi, T. Kawamura and Y. Miyata, “Low-Temperature Poly-Si TFTs with a SiO₂/TaOx Double Layered Gate Insulator and Al·Nd/Ti Gate Metal”, *AM-LCD '96/IDW '96 Tech. Dig., Japan*, 1996, p.389
3. Y. Uraoka, T. Hatayama, T. Fuyuki, M. Furuta, T. Kawamura and Y. Tsuchihashi, “Degradation of Low Temperature Poly-silicon p-ch TFTs under Dynamic Stress”, *AMLCD '01 Tech. Dig., Japan*, 2001, p.179
4. H. Furuta, T. Kawashima, H. Harima, T. Hirao, M. Furuta, Y. Tsuchihashi and A. Yosida, “Location of Dangling Bonds in Excimer Laser Anneal (ELA) Poly-Si.”, *3rd Asia-Pacific EPR/ESR Symposium (APES'01, Kobe Univ., Japan, 2001)*

<国内発表：共同研究>

1. 吉岡達男、古田守、川村哲也、宮田豊：“ボトムゲート型エキシマレーザーアニール Poly-Si TFT”，電子情報通信学会学術技術研究報告、ED-93, (1994), p.19
2. 古田寛、川島隆、深家信洋、播磨弘、平尾孝、古田守：“エキシマレーザーアニール結晶化シリコン薄膜”，ESR 応用研究会(2000)

3. 大野孝幸、浦岡行治、畑山智亮、冬木隆、古田守、川村哲也、土橋友次：“FE法を用いた低温 Poly-Si TFT の粒界における DOS 解析”，2001 年 春季応用物理学会 学術講演会
4. 浦岡行治、畑山智亮、冬木隆、古田守、川村哲也、土橋有次：“低温ポリシリコン p-ch TFT におけるホットキャリア効果” 2001 年 春季応用物理学会 学術講演会
5. 大野孝幸、浦岡行治、畑山智亮、冬木隆、古田守、川村哲也、土橋友次：“FE法を用いた低温 Poly-Si TFT の粒界における DOS 解析” 2001 年 春季応用物理学会 学術講演会