

シリコン集積回路素子微細化のための
浅い接合形成技術の研究

2003年9月

奈良先端科学技術大学院大学
物質創成科学研究科

獅子口 清一

—目次—

第1章 緒論

- 1. 1 はじめに -1-
- 1. 2 シリコン集積回路素子微細化と浅い接合形成に関する研究背景 -2-
 - 1. 2. 1 超微細トランジスタの構造 -2-
 - 1. 2. 2 トランジスタ微細化に伴う浅い接合の必要性 -3-
- 1. 3 本研究の目的 -6-
- 1. 4 本論文の構成と概要 -7-
- 参考文献 -9-

第2章 浅い接合の形成方法と評価方法

- 2. 1 はじめに -10-
- 2. 2 浅い接合の形成方法 -10-
 - 2. 2. 1 イオン注入による浅い接合形成 -10-
 - 2. 2. 2 選択エピタキシャル成長技術による浅い接合形成 -14-
- 2. 3 接合特性の評価方法 -17-
- 2. 4 まとめ -19-
- 参考文献 -20-

第3章 超低加速イオン注入法による注入点欠陥の抑制と接合深さ制御

- 3. 1 はじめに -21-
- 3. 2 注入点欠陥による増速拡散現象とその定量化 -21-
 - 3. 2. 1 注入点欠陥による不純物の増速拡散 -21-
 - 3. 2. 2 注入点欠陥の定量化 -23-
- 3. 3 注入点欠陥の抑制 -26-
 - 3. 3. 1 PMOS-FET形成における注入点欠陥の抑制 -26-
 - 3. 3. 2 NMOS-FET形成における注入点欠陥の抑制 -37-
- 3. 4 まとめ -48-
- 参考文献 -50-

第4章 注入イオン活性化熱処理の最適化による浅い低抵抗拡散層の形成

- 4. 1 はじめに -51-
- 4. 2 熱処理温度・時間の接合に与える影響 -51-
 - 4. 2. 1 高速昇温・短時間熱処理の提案 -51-
 - 4. 2. 2 高速昇温・短時間熱処理の効果 -54-
- 4. 3 熱処理雰囲気の影響に与える影響 -59-
 - 4. 3. 1 酸素の影響 -59-
 - 4. 3. 2 表面カバ膜の影響 -68-
- 4. 4 まとめ -73-
- 参考文献 -75-

第5章 イオン注入法による浅い接合形成の限界	
5.1 はじめに	-76-
5.2 接合深さと拡散層抵抗の決定要因の解析	-76-
5.3 イオン注入法による浅接合化の限界明確化	-77-
5.4 まとめ	-83-
参考文献	-84-
第6章 選択エピタキシャル成長技術による浅い接合の形成	
6.1 はじめに	-85-
6.2 選択エピタキシャル成長によるソース/ドレイン形成	-85-
6.2.1 選択エピタキシャル成長条件	-85-
6.2.2 選択成長による浅い接合形成の課題	-91-
6.2.3 成長前処理プロセスの最適化による膜質改善	-93-
6.2.4 浅いソース/ドレイン接合形成への適用	-97-
6.3 まとめ	-100-
参考文献	-102-
第7章 結論	-103-
発表論文リスト	-106-
謝辞	-111-

第1章 緒論

1. 1 はじめに

近年の情報化 (IT) 社会の急速な発展は、パーソナルコンピュータや携帯電話に代表されるデジタル機器が担っている。このデジタル機器を構成する重要な部品が半導体素子に代表される電子デバイスである。とくに、シリコン基板上にトランジスタを集積したシリコン集積回路 (いわゆる LSI) の高集積化は、デジタル機器の性能を飛躍的に向上させ続けている。最近では、百万個のトランジスタを集積し、所望のシステムをシリコンチップ上に搭載するシステムオンチップ (SOC) が実現されるに至っている。

シリコン集積回路の高集積化は、トランジスタなど回路を構成する素子の微細化によって初めて可能になる。LSI 微細化の歴史は、1 k ビット DRAM (動的任意番地書込み読みメモリ) の開発 (1970 年) に始まった [1]。スイッチング素子としては、金属酸化膜電界効果型トランジスタ (MOS-FET) が用いられた。微細化の程度は、設計寸法 (最も密に配置したトランジスタ列のハーフピッチ) を指標として表現される。1 k ビット DRAM は、設計寸法 10 μm で製造された。その後、1990 年代初期には設計寸法 1 μm の製造技術を用いて 4 M ビット DRAM が、現在では 0.2 μm 未満の設計寸法で 256 M ビット DRAM が製造されるに至っている。

1990 年代に入り、微細化のテクノロジードライバーは DRAM に代表されるメモリー LSI から CPU (中央演算ユニット) や SOC などのロジック LSI に移った。ロジック LSI では、信号のスイッチングを担うトランジスタの個数でそのデバイスの機能が、スイッチング速度で動作速度が決まる。スイッチング速度は、電気信号の到達時間で決まる。素子の微細化は、信号伝達距離を短縮させる。したがって、LSI に搭載するトランジスタの微細化は、LSI の高集積化と同時に動作速度の高速化に寄与する。

トランジスタを微細化するためには、ソース、ドレイン、及びゲートなどその構成要素のサイズ縮小が必要である。LSI の平面パターンサイズはリソグラフィ技術で決まる。より波長の短い光を用いることで、現在 100 nm 程度のサイズの加工が可能となっている。しかし、トランジスタを微細化するためには、平面的なサイズ縮小だけでは十分ではない。平面的な縮小に併せ、Si 基板中に形成するソース、ドレイン領域を浅くする必要はある。

シリコン集積回路 (LSI) は、現在の IT 社会を支える重要なデバイスに成長した。今後、IT 環境は、誰もが、何時でも、何処でもインターネットなどの情報源にアクセスできる、いわゆるユビキタスコンピューティングに発展すると言われて

いる [2]。このためには、さらに、高機能、高速度 LSI の実現が不可欠であり、シリコン集積回路素子のさらなる微細化技術の開発が望まれている。以上述べた背景のもと、本研究では、シリコン集積回路素子の微細化に不可欠な浅い接合形成技術の開発を研究テーマとして選択した。

1. 2 シリコン集積回路素子微細化と浅い接合形成に関する研究背景

本節では、まず、シリコン集積回路を構成する超微細トランジスタの基本構造について述べる。次に、この超微細トランジスタのさらなる微細化を実現する上で、浅い接合形成技術の開発が不可欠であることを述べる。

1. 2. 1 超微細トランジスタの構造

図 1. 1 にシリコン集積回路 (LSI) の基本構造を示した。LSI は、電気信号の ON/OFF を切り替えるトランジスタとその信号を伝達するためのメタル配線から構成される。このトランジスタとメタル配線を微細化することにより、LSI の高集積化、高速化を実現することができる。本論文では、トランジスタの微細化について述べる。現在、最も集積化が可能なトランジスタは、金属酸化膜電界効果型トランジスタ (MOS-FET) である。図 1. 2 に MOS-FET の基本構造を示した。MOS-

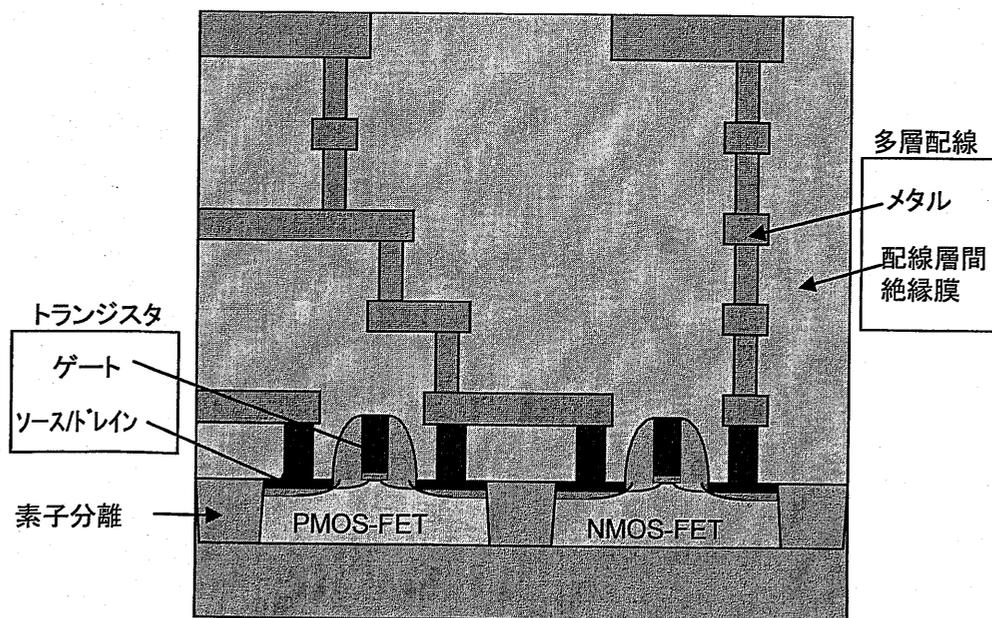


図 1. 1 シリコン集積回路 (LSI) の構造

FETは、ソース、ドレイン、及びゲートから構成される。ゲートは、不純物をドーピングしたN型（あるいはP型）単結晶シリコン基板の上にゲート絶縁膜を介して多結晶シリコンを直方体形状に加工して形成する。ソース、及びドレインは、ゲートを挟む左右のシリコン基板中に、基板と反対の伝導型を持つ不純物を導入して形成する。ソースとドレイン領域をN型にドーピングし、信号伝達に電子を用いるNMOS-FETと、その領域をP型にし、ホールで信号を伝達するPMOS-FETがある。隣接するMOS-FET間には素子分離領域が設けられ、各トランジスタは電気的に絶縁分離される。

1. 2. 2 トランジスタの微細化に伴う浅い接合の必要性

MOS-FETを微細化する上で解決すべき最も困難な課題は、短チャネル効果の抑制である。トランジスタのソースあるいはドレイン（今後、ソース/ドレインと略記する）間をチャンネルと呼ぶ（図1.2）。チャンネル長の短縮は、チャンネル端のドレイン電界のゲート領域への影響を増大させる。その結果、トランジスタのON/OFFはゲート電極に印加する電圧のみで制御できなくなる。この現象を短チャネル効果と言う。正常なトランジスタ動作が可能な最短チャンネル長 (L_{min}) は、経験的に次式で与えられる [3]。

$$L_{min} = 0.4[X_j \times D(W_s + W_d)^2]^{1/3} \quad , \quad \text{式 1-1}$$

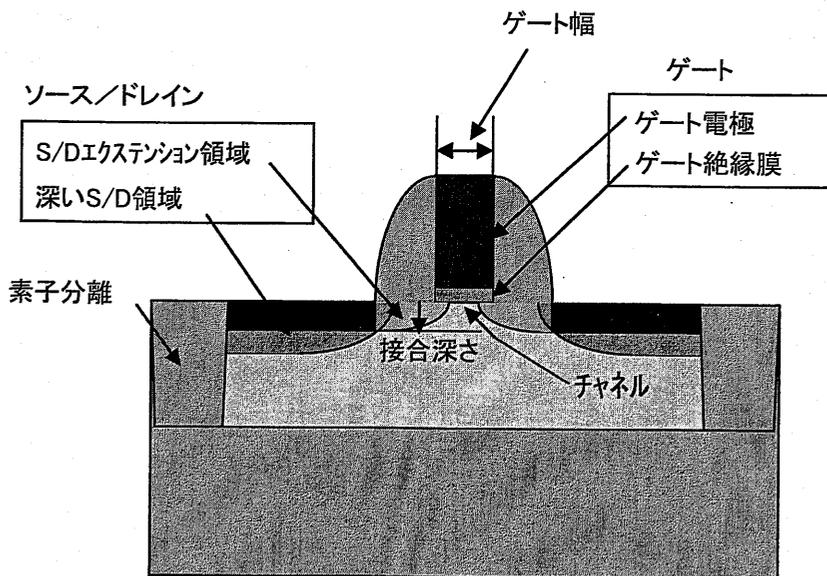


図1.2 超微細トランジスタの構造

ここで、 X_j はソース及びドレインの接合深さ、 D はゲート絶縁膜厚さ、 W_s 、 W_d は夫々ソースおよびドレイン領域のキャリア反転層幅である。上式より、 L_{min} を小さくする、すなわち、より微細なトランジスタの動作を可能にするためには、ソース／ドレイン領域の接合深さ (X_j) を浅くする必要がある。

また、トランジスタの動作速度 (ON / OFF の切り替え速度) を向上させるためには、信号伝達パスの電気抵抗を低減する必要がある。トランジスタを微細化すると、電気信号が走行するチャンネル長が短くなりチャンネル抵抗が低減する。このため、高集積化と同時に高速化が図れる。MOS-FETの微細化が進み、設計寸法0.25 μm 程度の超微細MOS-FETにおいては、ソース／ドレイン領域の抵抗はトランジスタの寄生抵抗として無視できない大きさになる。したがって、本論文で取り上げた超微細MOS-FETにおいては、ソース／ドレイン領域の低抵抗化が必要である。

図1. 2に示したMOS-FETの構造は、チャンネル端にソース／ドレインエクステンション (S/Dエクステンション) 領域を持つ [4]。この構造は、ドレイン領域のチャンネル領域への重なりを最小限に抑えることで短チャンネル効果を抑制することができる。このS/Dエクステンション領域の外側に深いソース／ドレイン (深いS/D) 領域を形成する (エクステンション領域との比較で深いS/Dと記述した。MOS-FETの微細化のためには、深いS/D領域も浅接合化が必要である)。深いS/D領域には、チタン、コバルトなどの高融点金属膜を成膜した後、熱処理を加えて金属シリサイド膜を形成し、ソース／ドレイン領域の低抵抗化を図る。金属シリサ

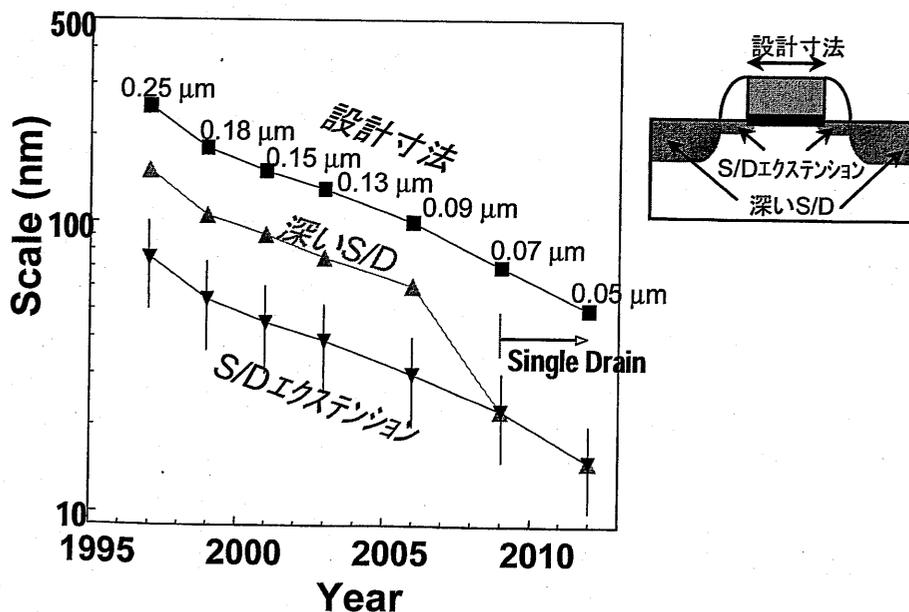


図1. 3 超微細MOS-FETに要求されるソース／ドレイン領域の接合深さ

イドを形成するためには、十分な拡散層膜厚が必要である。このため、深いS/D領域の接合深さは、S/Dエクステンション領域と適当な重なりを保ちつつ、かつ、金属シリサイド形成に十分な深さを確保するように設計する必要がある [5]。

図1.3に、MOS-FET微細化に要求されるソース/ドレインの接合深さについてまとめた [6]。ソース/ドレインの接合深さは、設計寸法の縮小に伴いますます浅くなる傾向にある。とくに、S/Dエクステンション領域は50 nm以下の極浅い接合が必要となる。以上述べたように、超微細MOS-FETを実現するためにはソースドレイン領域に低抵抗の極浅接合を形成する技術を実現することが不可欠である。

1. 3 本研究の目的

前節で述べたように、さらなる LSI の高集積化、高速化を実現するためには、MOS-FET を微細化する必要がある。そのためには、ソース/ドレイン領域の極浅接合化が不可欠である。本研究の目的は、接合形成に関わる基礎現象を理解することで、浅接合化を実現するための指針を示すと同時に、LSI 製造に実際に適用可能な形成プロセスを実現することにある。

本研究では、まず、現在広く LSI 製造に利用されているイオン注入法による接合形成技術について検討する。この方法では、イオンがシリコン結晶に導入される際、注入ダメージで結晶中に形成される結晶欠陥が不純物の異常拡散を引き起こす現象が課題となる。この注入ダメージを定量的に評価し、不純物の異常拡散を抑制するイオン注入プロセスを実現することが本研究の第 1 の目的である。

本研究の第 2 の目的は、イオン注入後の熱処理について最適化を図ることである。イオン注入でシリコン結晶中に導入した不純物は、熱処理を施すことで電氣的に活性化される。とくに、熱処理シーケンスとその雰囲気最適化を図った。

第 1、第 2 の研究で得られた結果を考察し、イオン注入法による浅い接合形成の限界、すなわち、現在 LSI 製造に利用されている技術の限界を明確化することが本研究の第 3 の目的である。

本研究の第 4 の目的は、選択エピタキシャル成長による浅接合形成技術を用いて、イオン注入法の限界を打開することである。

1. 4 本論文の構成と概要

本論文は第1章「緒論」、第2章「浅い接合の形成方法と評価方法」、第3章「超低加速イオン注入法による注入点欠陥の抑制と接合深さ制御」、第4章「注入イオン活性化熱処理の最適化による浅い低抵抗拡散層の形成」、第5章「イオン注入法による浅い接合形成の限界」、第6章「選択エピタキシャル成長技術による浅い接合の形成」、第7章「結論」から構成される。第2章以下の各章の概要を以下に述べる。

第2章 浅い接合の形成方法と評価方法

本研究を進める上で基礎となる浅い接合の形成方法と接合評価方法について述べる。まず、現在、最先端のLSIの製造ラインで用いられている接合形成方法について述べる。次に、今後、LSIラインへの導入が期待される新しい接合形成方法について説明する。評価方法としては、接合特性として重要な不純物濃度の深さプロファイルの測定法と不純物拡散層抵抗の測定法について述べる。

第3章 超低加速イオン注入法による注入点欠陥の抑制と接合深さの制御

浅い接合形成に関わる重要な物理現象として、結晶中で発生する点欠陥による不純物の過渡増速拡散現象がある。浅い接合を形成するためには、この過渡増速拡散の抑制が不可欠である。本章では、イオン注入条件について検討し、PMOS-FET、および、NMOS-FETのそれぞれの場合について、最適注入プロセスを実現する。

第4章 注入イオン活性化熱処理の最適化による浅い低抵抗拡散層の形成

本章では、注入イオンの活性化熱処理条件を最適化することにより増速拡散を抑制する方法について述べる。まず、熱処理シーケンスについて、とくに高速昇温法を新たに提案し、その効果を実験的に実証する。次に、被熱処理基板上に堆積する各種絶縁膜や熱処理時の炉内雰囲気の不純物拡散に与える影響に注目し、その効果を調べる。

第5章 イオン注入法による浅い接合形成の限界

本章では、現在用いられているイオン注入と熱処理による注入イオンの活性化法の限界について議論する。まず、接合深さと拡散層抵抗の決定要因について解析し、次に、前章までに得られた実験結果から接合深さと拡散層抵抗の下限界を議論する。

第6章 選択エピタキシャル成長技術による浅い接合の形成

前章までに議論したイオン注入法による接合形成限界を打破するための技術として、選択エピタキシャル成長技術を検討した結果について述べる。この方法は多くの研究がなされている。しかし、実LSIの製造プロセスを経た基板表面は研究レベルで用いるような清浄表面が期待できないなど、実際のLSI製造に選択成長技術を応用するためには課題が多い。本章では、実LSIプロセスにおける膜質の改善、および、接合形成への適用結果について述べる。

第7章 結論

本章では、本研究について総括し、今後の展望、指針を述べる。

参考文献

- [1] W. M. Regitz and J. A. Karp “ A three transistor cell, 1024 bit, 500ns MOS RAM”, IEEE ISSCC Tech. Digest, pp. 42-43 (1970)
- [2] 坂村 健 「21世紀日本の情報戦略」、岩波書店 (2002)
- [3] 例えば、S. M. Sze, “Physics of Semiconductor Devices second edition”, John Wiley & Sons, pp.469 (1981)
- [4] S. Shishiguchi, A. Mineji, T. Hayashi and S. Saito, 1997.6, Kyoto, IEEE Symposium on VLSI Technology, pp89-90, “Boron implanted shallow junction formation by high-temperature/ short-time/ high-ramping-rate (400 °C/sec) RTA”
- [5] K. Imai, S. Shishiguchi, K. Yamaguchi, N. Kimuzuka, H. Oonishi and T. Horiuchi, 1999.6, Hawaii, IEEE Symposium on VLSI Technology, pp51-52, “ A source/drain technology utilizing sub-10keV arsenic and assist-phosphorous implantation for 0.13um MOS-FET”
- [6] International SEMATECH, “International Technology Loadmap for Semiconductors” (2002)

第2章 浅い接合の形成方法と評価方法

2. 1 はじめに

本章では、本研究で用いた浅い接合の形成方法とその評価方法について述べる。まず、イオン注入法による接合形成法について述べる。この方法は最先端のLSIラインで現在用いられている方法である。このイオン注入法を用いてMOS-FETのソース/ドレイン領域を形成する製造工程を詳細に説明する。次に、撰択Si成長法を用いた浅い接合形成技術について述べる。この方法は将来の接合形成技術の候補として期待されている方法である。評価方法では、接合特性として重要な、不純物濃度の深さプロファイル測定法と不純物拡散層抵抗の測定法について、本研究で用いた手法について述べる。

2. 2 浅い接合の形成方法

2. 2. 1 イオン注入による浅い接合形成

浅い接合の形成方法として、まず、イオン注入法を検討した。所定の不純物を、所望のドーズ量で高精度に結晶中に導入できるからである [1]。この方法は、現在の最先端ラインでLSIの製造に用いられている。イオン注入法では、まず、導入したい不純物をアークチャンバー内でイオン化した。次に、イオン化した不純物を電界で加速した後、質量分析器を用いて所望のイオンのみを取り出した。その後、加速されたイオンをSi結晶表面から物理的に打ち込むことで不純物を結晶中に導入した(図2.1)。この際、不純物が結晶中に導入されると同時に、注入衝撃で結晶中には格子欠陥など結晶欠陥が発生する。この注入欠陥が導入された結晶を回復させるため、結晶基板に熱処理を加えた。この際、結晶の回復と同時に不純物は結晶表面から内部に

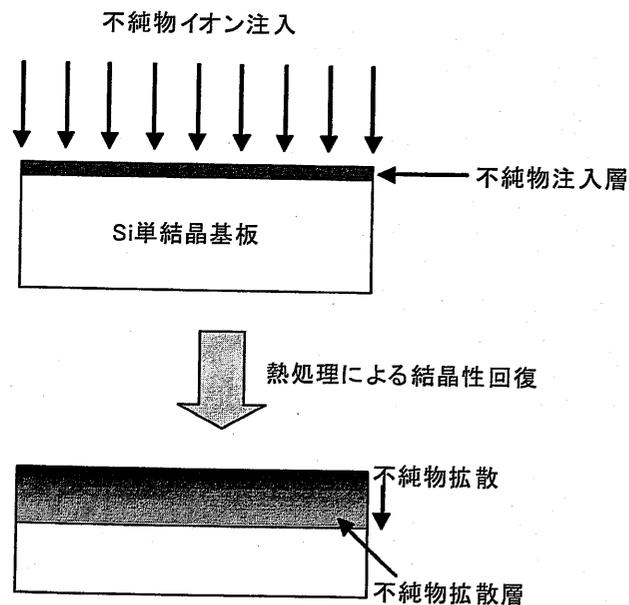


図2.1 イオン注入による不純物拡散層の形成

熱拡散する。この熱拡散によって不純物拡散層が形成される。P/N接合は、Si基板中の深い領域にN型拡散層を形成した後、表面側にP型拡散層を形成することで形成した。また、N/P接合を形成する場合は、P型拡散層中を形成した後、N型拡散層を形成した。

また、ボロン(B)のような軽元素を注入する場合には、図2.2に示した非晶質化技術を併用した。Si LSIでは面方位(100)の単結晶Si基板を使用する。注入イオンは、 $\langle 100 \rangle$ 方向、あるいは $\langle 110 \rangle$ 方向にチャネリングを起こし、結晶内部深くまで到達する。とくに、軽元素イオンではこの現象が顕著である。本研究では、まず、第1の不純物イオンをSi結晶に注入した。第1イオンとしてはSiイオンやGeイオンなど、Si結晶中で中性、かつ、比較的重い元素を用いた。この第1のイオン注入によりSi基板表面近傍に非晶質層を形成した。

次に、P型もしくはN型の第2の不純物イオンを注入した。既に表面が非晶質化されているため、注入飛程を非晶質化領域内に設定すると、チャネリングを完全に抑制することができる。この技術は、注入直後の不純物導入深さを浅くする効果がある。同時に、重元素の注入を伴うため、結晶に与えるダメージが大きいという課題もある。

MOS-FETのソース/ドレイン領域は低抵抗化のため不純物を高濃度に導入する必要がある。このため、接合はP+/NあるいはN+/P接合である(図2.3)。接合深さ(X_j)は、P+/N接合であれば、P型、および、N型拡散層の不純物濃度が等しくなる深さで定義される。正確には、電気的に活性なキャリア濃度が等しくなる

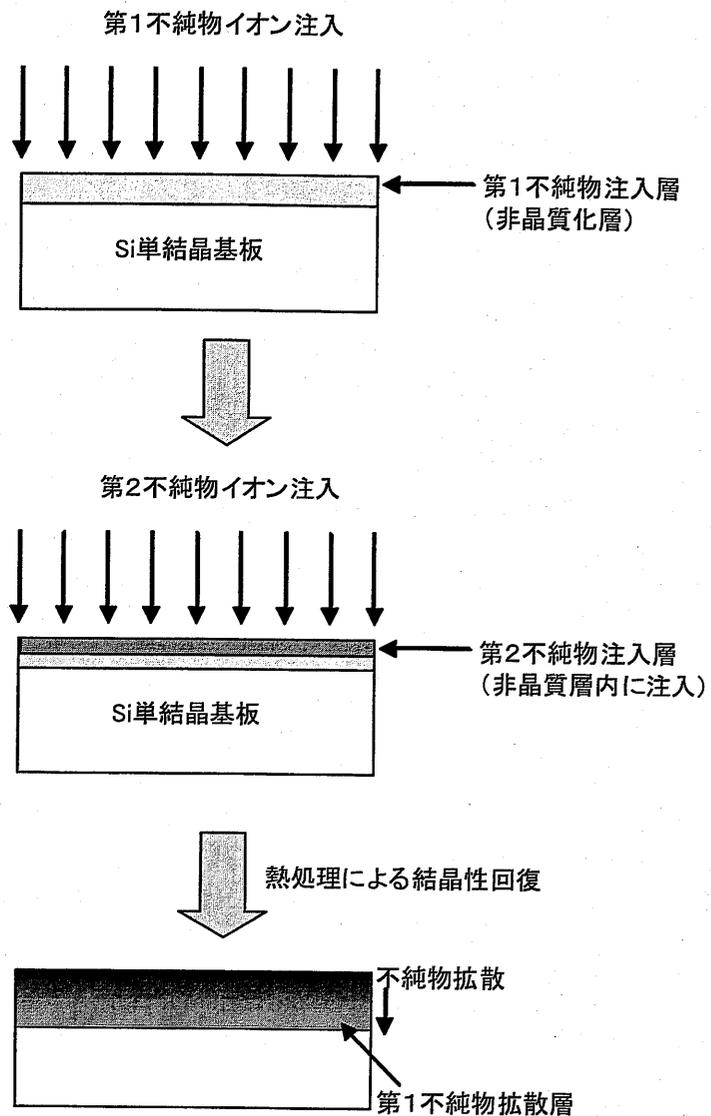


図2.2 非晶質化技術を用いたイオン注入による不純物拡散層の形成

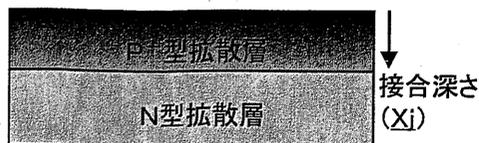


図2.3 P+/N接合

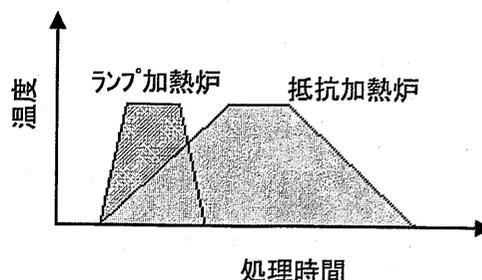


図2.4 熱処理炉

深さで定義される。本研究で対象とする MOS-FET のソース/ドレイン領域の場合、接合位置での不純物はほぼ 100 % 電気的に活性化していると考えられる。このため本論文では不純物濃度で接合深さを定義した。

浅い接合を形成するためには、イオン注入後の結晶性回復熱処理時における不純物の拡散を抑制することが重要である。熱処理では、基板を所望の温度に昇温した後、所定の時間（結晶回復に必要な時間）保持し、その後基板を降温して取り出す手順を踏む（図2.4）。加熱方法としてはカーボンなどの抵抗体に電流を流して発熱させる抵抗加熱炉や高輝度のランプを加熱源とするランプ加熱炉が用いられる。本研究では、昇降温速度が速く回復熱処理時の不純物拡散が少ないランプ加熱炉を用いた。ランプ加熱炉は、高速熱処理炉（RTA）とも呼ばれる。とくに、第4章の高速昇温プロセスの研究を実施するため、従来炉と比較して昇温速度を高速化した RTA 装置を新たに製作した [2]。この装置では昇温速度を 400 °C/秒まで高速化可能である。また、炉内雰囲気の影響を研究するため、炉内の酸素濃度を制御した [3]。

MOS-FET のソース/ドレインは、イオン注入法を用いて以下の手順で形成した。基板は、PMOS-FET では N 型の、NMOS-FET では P 型の不純物を濃度 $1 \times 10^{18}/\text{cm}^3$ 程度ドーピングしたシリコン単結晶基板を用いた。まず、ゲートを介して S/D エクステンション領域にイオン注入を行なった（図2.5(a)）。PMOS-FET の場合は P 型の、NMOS-FET の場合は N 型の不純物イオンを用いた。この際ゲート電極を注入マスクとして用い、ゲート下への不純物注入を防止した。次に、結晶回復熱処理を施して注入領域の結晶性を回復させた。同時に注入不純物は熱拡散し、S/D エクステンション拡散層が形成される（図2.5(b)）。その後、ゲート側壁に電気的絶縁のためスペーサ膜（ゲートサイドウォールスペーサと呼ぶ）を形成した。深い S/D 領域の形成は、エクステンション領域の形成と同様に行なった。まず、不純物イオンを注入した（図2.5(c)）。エクステンションの場合と同様に、ゲート、および、サイドウォールスペーサをマスクとして用い、ゲート、および、エク

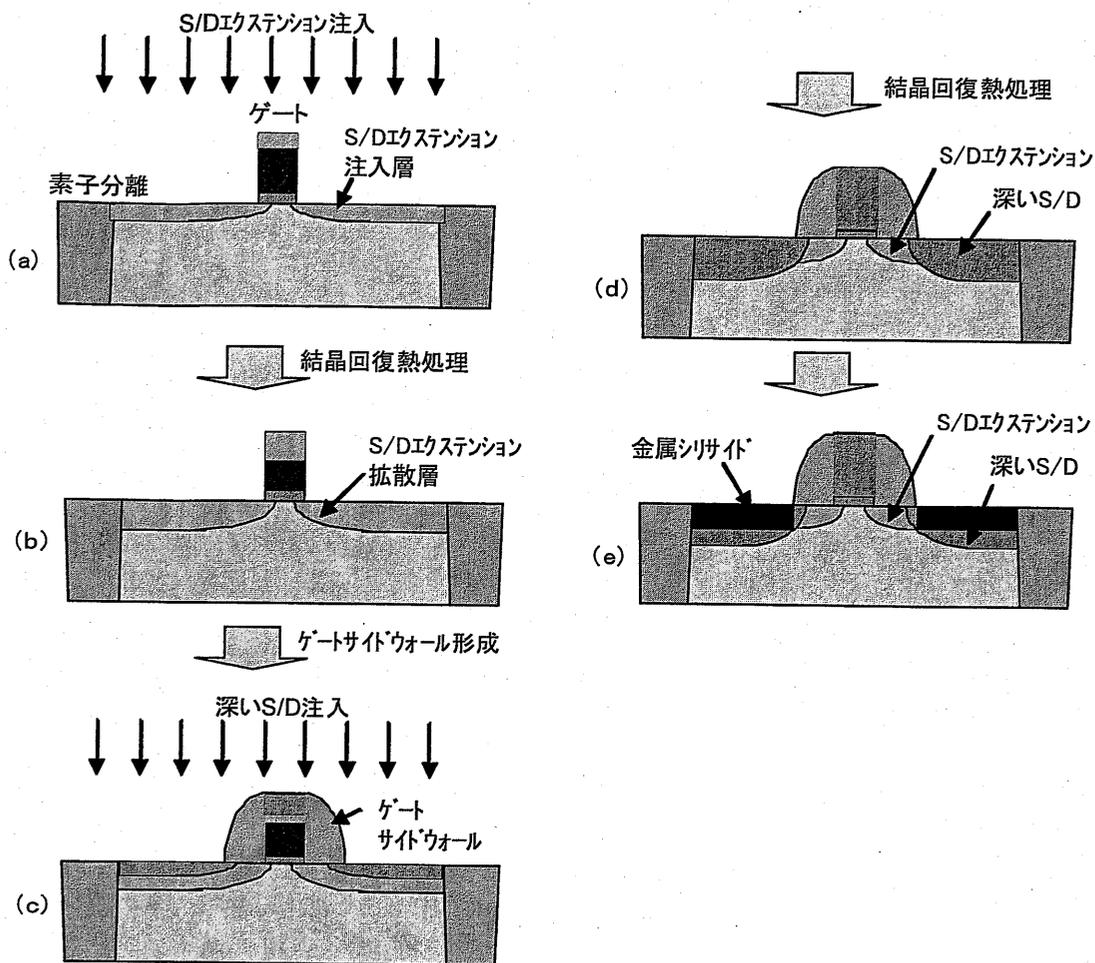


図2.5 MOS-FETのソース/ドレイン形成方法

ステンション領域へのイオン注入を防止した。最後に、再び結晶回復熱処理を施して深いS/D拡散層を形成した(図2.5(d))。深いS/D領域の一部は金属シリサイドを形成してソース/ドレインの低抵抗化を図った(図2.5(e))。本研究では、特別に説明しない限り、ここで述べた方法でソース/ドレイン拡散層を形成した。また、前フレーズで述べた非晶質化技術を併用する場合は、S/Dエクステンションあるいは深いS/D形成の前に非晶質化のためのイオン注入を実施した。基板は、とくに断らない限り、不純物濃度が $1 \times 10^{18}/\text{cm}^3$ の基板を使用した。したがって、本論文では、ソース/ドレインの接合深さ(X_j)は、エクステンション領域、深いS/D領域ともに、注入不純物の濃度が $1 \times 10^{18}/\text{cm}^3$ となる深さで決定した。

2. 2. 2 選択エピタキシャル成長技術による浅い接合形成

前節では現在 LSI ラインで実用化されているイオン注入法による接合形成方法について述べた。本研究では、さらに浅い接合形成を実現するため、選択 Si 成長を用いた方法を述べる。

選択 Si 成長は化学気相成長 (CVD) 法を用い、所望の領域のみに選択的に Si 膜を成長する方法である [4, 5]。図 2. 6 に示したように、本研究では、Si 基板結晶表面をシリコン酸化膜 (SiO_2 膜) で被覆し、Si 結晶開口部のみに選択的に Si 膜を成長した。膜は Si 結晶

上のみに成長し、 SiO_2 膜上には成長しない。Si 成長は、到達真空度 1×10^{-9} Torr 以下の超高真空成長装置を用い、基板温度を 600°C 程度とし、ジシラン (Si_2H_6)

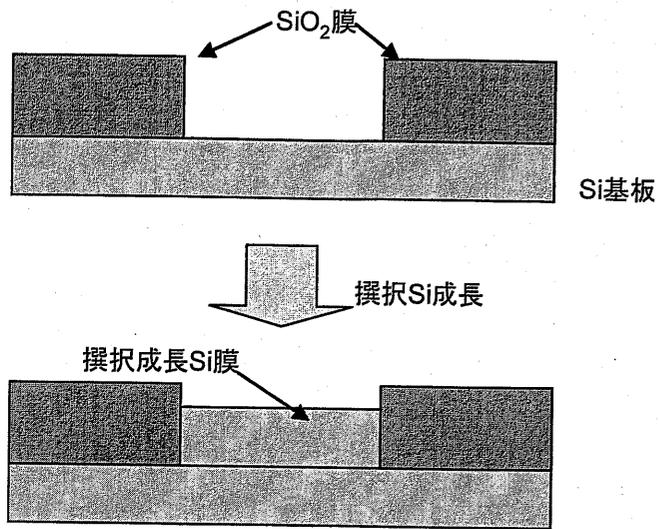


図2. 6 選択シリコン(Si)成長

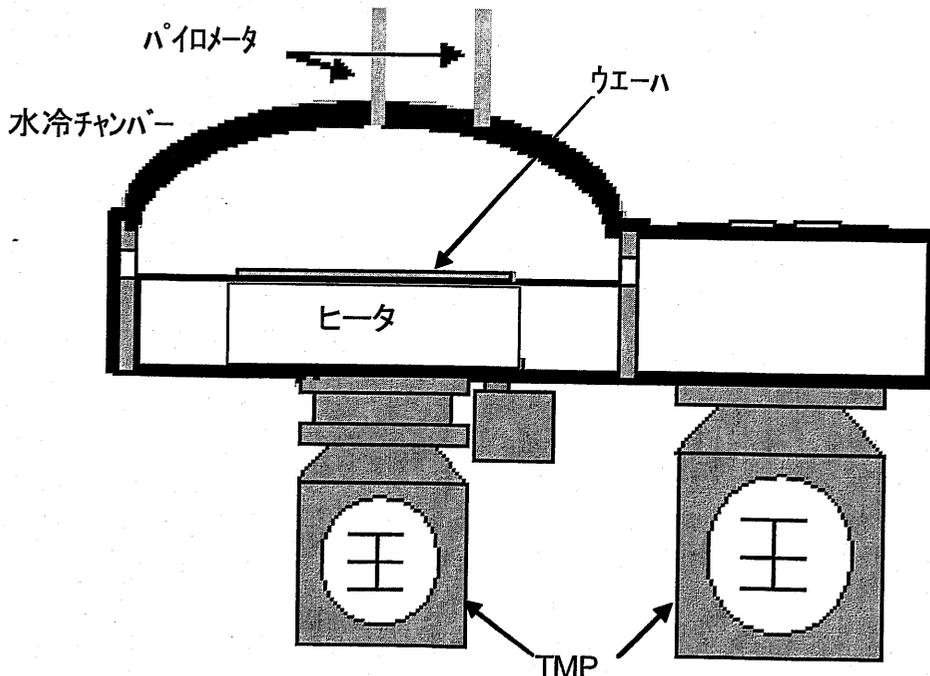


図2. 7 選択シリコン(Si)成長装置

ガスを供給して行なった(図2.7)。成長時のチャンバー内真空度は 1×10^{-3} Torr以下とした。撰択成長のメカニズムと成長条件については第6章でさらに詳細に述べる。

この撰択Si成長技術を用いたMOS-FETのソース/ドレイン形成方法を次に述べる。図2.8にその工程を示した。まず、シリコン単結晶基板表面に素子分離領域とゲート、および、ゲートサイドウォールを形成した。次に、上記の化学気相成長(CVD)法を用い、Si撰択成長膜を成長した。Si膜が成長する領域は、基板表面のシリコン単結晶が開口された領域とゲート上のみである(2.8(a))。この時、単結晶である基板にはシリコンエピタキシャル膜が、多結晶であるゲート電極上には多結晶シリコン膜が成長する。その後、不純物イオンを選択シリコン膜を介して注入した。MOS-FETのソース/ドレインの実効的な接合深さ(実効 X_j)は、ゲートとSi結晶の界面(正確にはゲート絶縁膜と基板の界面)を基準として深さ方向に測定した深さである。この基準面は撰択Si膜を成長する前の基板表面である。このため、接合深さは、撰択成長をしない場合(X_j)と比較して撰択Si成長膜の膜厚(T)だけ浅くすることが可能となる。すなわち、実効 $X_j = X_j - T$ となる。前章で述べたように、金属シリサイド膜を形成するためには、ソース/ドレイン領域に十分な拡散層膜厚が必要である。このため、イオン注入法では、深いS/D領域の接合深さは、S/Dエクステンション領域と適当な重なり保ちつつ、かつ、金属シリサイド形成に十分な深さを確保するように設計する必要がある。撰択Si

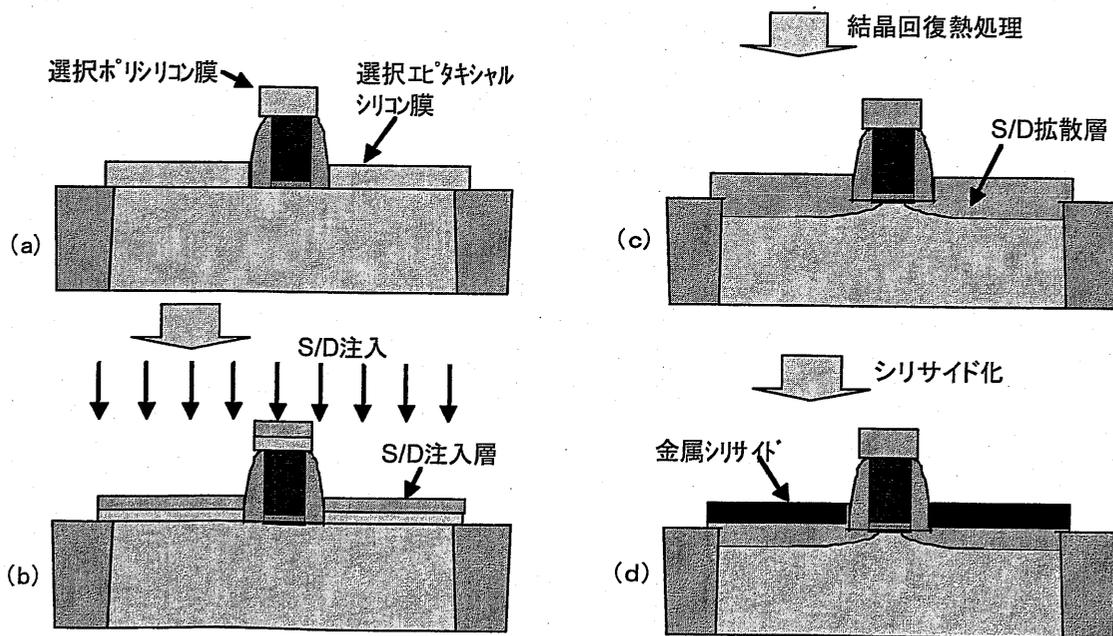


図2.8 選択エピタキシャル成長技術によるソース/ドレイン形成方法

成長法を用いた場合、このシリサイド化に必要な拡散層深さを確保するための深いS/D領域は形成する必要がない。シリサイド化のために必要なSi拡散層の厚さは基板上方に成長した選択Si膜が担う。この技術では、ソース/ドレインを深くすることなく、金属シリサイド形成に十分な厚い拡散層を上方に確保できるという利点もある。また、選択Si膜を上方に成長することから、S/Dせり上げ技術とも呼ばれる。

2. 3 接合特性の評価方法

本節では、本研究で用いた接合特性の評価方法について述べる。

P/N 接合を評価する上で重要な特性は、接合深さ (X_j)、拡散層抵抗 (R)、および、逆方向電圧印加時のリーク電流である。

接合深さ (X_j) は、2次イオン質量分析法 (SIMS) を用い、不純物濃度の深さ方向分布を測定することで評価した。装置は、Cameca 社製の IMS-6f を用いた。本研究では、100 nm 以下の極表面近傍の不純物濃度測定が必要である。極表面近傍の不純物測定では、とくに SIMS の測定条件に注意する必要がある。このため、一次イオンの加速電圧の低加速化を中心に測定条件の最適化を図った。図 2. 9 にその結果の一部を示した。図では、ボロンイオンを 0.1 keV の加速電圧で Si 基板に注入した場合の

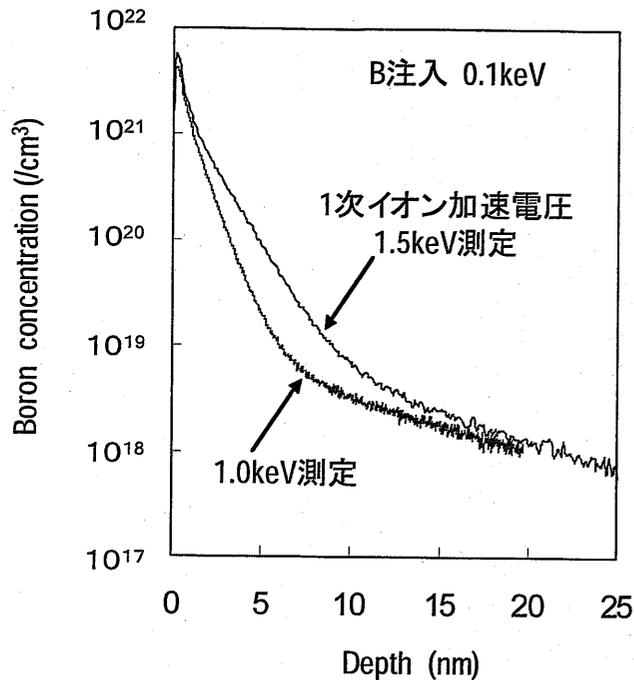


図2. 9 浅い接合評価のためのSIMS測定条件の最適化

不純物濃度の深さ分布を示した。SIMSで測定される不純物濃度の深さプロファイルは、測定時の1次イオンの加速電圧に依存した。より低加速電圧で測定することにより、測定されるボロンの深さプロファイルはより浅くなることがわかった。0.1 keVで注入されたボロンイオンのプロファイルはさらに浅いことが他の実験からわかっている。すなわち、SIMSで測定されたボロンプロファイルは真の注入プロファイルではなく、より真のプロファイルに近いボロンプロファイルを得るためには1次イオンの加速電圧をできるだけ低くする必要がある。図より、1次イオンの加速電圧を1 keVまで低減すれば、少なくとも10 nmより深い接合評価には十分であることがわかった。図2. 10を参照してP⁺/N接合の場合を例にとり接合深さの決定方法を示す。N⁺/P接合の場合も同様である。シリコン基板濃度は $1 \times 10^{18}/\text{cm}^3$ に設定した(図中のN型不純物分布を参照)。図に示したように、この不純物分布は深さ方向にわずかな勾配を持つが、後で説明する理由で本研究では一定濃度として扱う。一方、ソース/ドレイン領域の不純物濃度は次のような分布を持つ。すなわち、表面近傍は高濃度 ($10^{20} - 10^{21}/\text{cm}^3$ 程度) であり、表面から深さ

方向に急峻に減少する分布である。したがって、基板濃度分布に現れるわずかな濃度勾配の接合深さへの影響は無視できる。前章でも述べたが、SIMSで測定される濃度は不純物濃度であって、正確には伝導キャリア濃度ではない。しかし、 $1 \times 10^{18}/\text{cm}^3$ 程度の低濃度領域では不純物はほぼ100%電気的に活性化していると考えられる。このため、接合深さを議論する場合には、SIMS測定で接合深さを決定した。また、ここで定義する接合深さは、P型、N型それぞれのキャリア濃度が等しくなる深さ、すなわち物理的接合深さである。電気的には、P+/N接合近傍はキャリアの空乏層が発生するため一定の厚さを持つ。

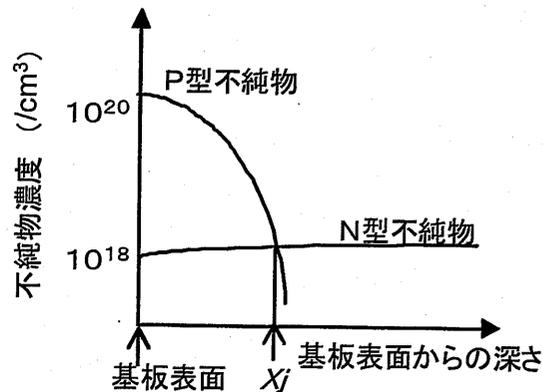


図2.10 接合深さの定義

拡散層抵抗は、図2.6に示したP+拡散層の抵抗値で定義した。不純物キャリアの移動度が既知であれば、図のP+拡散層濃度分布とキャリア移動度から拡散層抵抗は算出できる。しかし、本研究で扱うイオン注入法ではこの方法による算出は困難である。イオン注入法では、注入プロセスで結晶欠陥が発生する。その後の結晶回復熱処理により結晶性を回復させる。キャリア移動度はこの回復熱処理条件に依存するため、SIMSプロファイルのみで抵抗値を算出することはできない。とくに、高濃度の不純物が注入される結晶表面近傍は、回復熱処理で電気的に活性化することは通常の方法ではできない。これは、表面近傍の不純物濃度が、熱処理温度における結晶中での不純物固溶度をはるかに越えているためである。このため、本研究では、四探針法を用いて拡散層抵抗を電気的に測定した。尚、本研究で形成した接合は、片側急峻接合とみなせるので、空乏層は基板側(接合位置より深い方向)にのみに広がり、表面側には広がらないと近似できる。したがって、拡散層の厚さは接合深さと同一とみなせる[6]。

接合リーク電流は、形成したP+/NあるいはN+/P接合に逆バイアス電圧を印加して測定した。典型的な評価形状として、接合面が $500 \mu\text{m} \times 500 \mu\text{m}$ の矩形のテストパターンを使用した。この接合面に対し逆方向電圧を0Vから数Vの範囲で0.1Vステップで印加して電流-電圧特性(I-Vカーブ)を測定した。

本研究ではサブミクロンオーダーのデバイスを対象とする。このため、MOS-FET形成など微細デバイスの作成に当たっては、形成の過程で必要に応じて走査型電子顕微鏡(SEM)を用いて形状を評価した。

2. 4 本章のまとめ

本研究に用いた浅い接合の形成方法とその評価方法について述べた。まず、現在最先端のLSI製造ラインで用いられているイオン注入法による接合形成方法を述べた。イオン注入法は、注入により不純物を結晶中へ導入する過程と熱処理により結晶性を回復して不純物を電氣的に活性化する過程からなる。熱処理過程で不純物が拡散し、Si基板中に不純物拡散層が形成される。次に、選択Si成長を用いて、さらに浅い接合形成を可能にする方法を述べた。また、これらの方法でMOS-FETを製造する場合のプロセスを説明した。

接合評価方法としては、基礎特性として重要な接合深さ、拡散層抵抗、および、接合リーク電流の測定方法について述べた。接合深さはSIMSで、拡散層抵抗は四探針測定で、リーク電流は矩形形状の接合を用いた電流-電圧特性から評価した。

参考文献

- [1] 例えば、獅子口 清一、「MOS-FETの微細化に関わるイオン注入技術」、日本金属学会会報「まてりあ」、第38巻、第2号、pp111-114 (1999)
- [2] S. Shishiguchi, A. Mineji, T. Hayashi and S. Saito, 1997.6, Kyoto, IEEE Symposium on VLSI Technology, pp89-90, "Boron implanted shallow junction formation by high-temperature/ short-time/ high-ramping-rate (400°C/sec) RTA"
- [3] S. Shishiguchi, A. Mineji, T. Yasunaga and S. Saito, 1998.6, Hawaii, IEEE Symposium on VLSI Technology, pp134-135, "33nm ultra-shallow junction technology by oxygen-free and point-defect reduction process"
- [4] T. Tatsumi, et al., "SiGe/Si heterostructures", Ext. Abst. of SSDM, 668-670 (1992)
- [5] S. Shishiguchi, T. Yasunaga, T. Aoyama, T. Tatsumi and S. Saito, SPIE Proceedings of Microelectronics Device Technology (1997) 106-117
- [6] 例えば、S. M. Sze, "Physics of Semiconductor Devices second edition", John Wiley & Sons, pp.469 (1981)

第3章 超低加速イオン注入法による 注入点欠陥の抑制と接合深さ制御

3. 1 はじめに

MOS-FETを微細化するためにはソース/ドレイン領域にできるだけ浅い接合を形成する必要がある。本章と次章ではイオン注入法による浅い接合形成技術を研究した成果を述べる。イオン注入法では、不純物イオンを結晶に導入する。この際、注入ダメージにより結晶中には格子欠陥などの結晶欠陥が導入される。このため、熱処理を施して結晶性を回復する。この注入ダメージに起因する結晶欠陥は、熱処理時に不純物拡散を増速させる。本章と次章の目的は、この結晶欠陥の発生を制御して増速拡散を抑制するプロセスを得ることである。

本章では、イオン注入工程で結晶が受ける注入ダメージの抑制法を、次章では熱処理工程で発生する欠陥の抑制法を述べる。本章では、まず、注入ダメージに起因する不純物の増速拡散がLSIプロセスに与える影響について説明する。次に、本研究で用いた注入ダメージの定量化手法について述べる。その後、PMOS-FET、NMOS-FETそれぞれの場合について、注入欠陥の発生を抑制して浅い接合を実現するプロセスを提案する。最後にまとめを行なう。

3. 2 注入点欠陥による増速拡散現象とその定量化

3. 2. 1 注入点欠陥による不純物の増速拡散

本研究ではシリコンLSIを対象とする。不純物を導入するソース/ドレイン領域はシリコン単結晶基板である。P型の拡散層を形成する不純物としては、ボロン(B)やインジウム(In)などある。ソース/ドレイン領域はできるだけ低抵抗であることが要求される。このため、ソース/ドレインに使われる不純物としては、シリコン中の固溶度が高いボロンが主として使用されている。本研究でもボロンをP型の不純物として用いた。一方、N型不純物としては、リン(P)、砒素(As)、アンチモン(Sb)などがある。ここでは、同様の理由でリン、もしくは、砒素を使用した。これらの不純物に対する真性拡散係数(結晶欠陥がないSiバルク結晶中での拡散係数)や固溶度は既に測定データがある。浅い接合を形成するためにはできるだけ拡散係数が低く固溶度が高い不純物を選択すべきであることは言うまでもない。しかし、イオン注入法で不純物を導入する場合、注入ダメージに起因する特異な拡散現象が報告されており、その拡散制御は簡単ではない。とくに、シリコ

ン結晶中の拡散については、不純物原子が空孔や格子間シリコンなどの点欠陥と対になって拡散する、いわゆる増速拡散現象が重要である。この増速拡散の原因となる点欠陥は、イオン注入やシリコン表面の酸化などLSI製造プロセスで結晶中に導入される外的な要因で発生する。点欠陥の発生を抑制して浅い接合を形成するためには、LSI製造プロセスの最適化が不可欠となる。イオン注入に起因する点欠陥が原因で後の熱処理中に不純物拡散が増速する現象を過渡増速拡散（TED：Transient Enhanced Diffusion）と呼ぶ。また、酸化プロセスで不純物拡散が増速する現象を酸化増速拡散（OED：Oxidation Enhanced Diffusion）と言う。本研究で使用した不純物種の中で、ボロンは真性拡散係数が大きく、かつ、イオン注入や酸化工程におけるTEDやOEDに起因する拡散係数の増大が報告されている[1]。いかにして、ボロンの増速拡散を抑制するかが、MOS-FETのソース/ドレイン浅接合形成において最も重要である。

ボロン注入の場合の過渡増速拡散は、図3.1に示すメカニズムで発生する。まず、注入時の衝撃でシリコン結晶内部に多数の格子間Siと空孔が発生する。その後熱処理を施すと、熱処理初期に{311}欠陥と呼ばれる棒状の格子欠陥が発生す

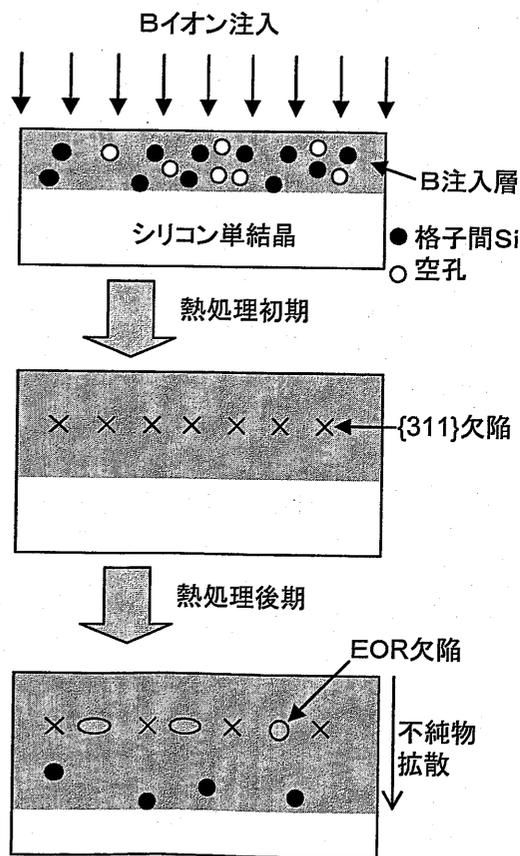


図3.1 イオン注入による点欠陥発生

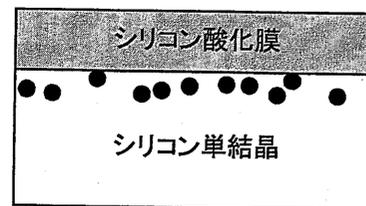


図3.2 シリコン表面酸化による点欠陥(格子間Si)の発生

る。熱処理を続けると、この欠陥は分解する際に格子間シリコンを放出する。この格子間シリコンはボロンと対を成して拡散することで結晶中を通常より高速に拡散する [1]。

一方、酸化増速拡散は、シリコン表面の酸化に伴い酸化膜/シリコン基板界面に発生する格子間シリコンにより引き起こされる (図 3. 2)。例えば、熱処理時に炉内に残留する微量酸素でさえ、シリコン中に格子間シリコンを発生させ、結晶中のボロンの拡散を増速させる [2、3]。

以上、イオン注入法で浅い接合を形成するためには、プロセス起因の点欠陥発生量を抑制することが重要である。本研究では、この点欠陥低減プロセスを実現するに当たって、まず、点欠陥発生量を定量化する方法について研究した。点欠陥を考慮した不純物拡散シミュレータ (計算機シミュレーション) が開発されつつあるが、注入欠陥と不純物の相互作用は複雑で、点欠陥の発生量や不純物拡散距離を完全に再現するには至っていない。本研究では、実験的に点欠陥を定量化する方法を検討した。

次節では、この実験的定量化法について述べる。

3. 2. 2 注入点欠陥の定量化

前節で述べたように、イオン注入に起因してシリコン中に発生する点欠陥量を定量的に評価することが浅い接合形成に向けて重要である。本節では、この注入点欠陥の実験的な定量化法について述べる。

まず、図 3. 3 に示したシリコン (Si) の超格子基板を形成した。超高真空化学気相成長 (UHV-CVD: ultra high vacuum chemical vapor deposition) 装置を用い、不純物濃度 $1 \times 10^{16}/\text{cm}^3$ 以下の低濃度 P 型 Si(100) 基板の上に Si エピタキシャル膜 (以下 Si エピ膜と略記) を成長した [4]。成長は、基板表面をアンモニア (NH_4OH) と過酸化水素 (H_2O_2) の混合溶液で洗浄した後、UHV-CVD 装置内で、 750°C 、5 分の真空熱処理を施して Si 単結晶表面を清浄化した。続いて、基板温度を 600°C まで下げた後、反応ガスを供給してノンドープ層と不純物 δ ドープ層を交互に成長し図 3. 3 に示す超格子構造を形成した。Si 原料ガスとしてはジシラン (Si_2H_6) を用いた。また、不純物層を形成するボロン (B)、リン (P)、及び砒素 (As) のドーピングガスとしては、ジボラン (B_2H_6)、ホスフィン (PH_3) 及びアルシン (AsH_3) を夫々用いた。 δ ドープ層は現実には形成できないため、実際の設計膜厚は 5 nm とした。後で述べるように、この膜厚は熱処理での拡散長と比較して十分薄いので、本研究の実験範囲では δ ドープ層とみなすことができる。この δ ドープ層は、後のイオン注入工程や熱処理工程で発生する点欠陥のマーカとし

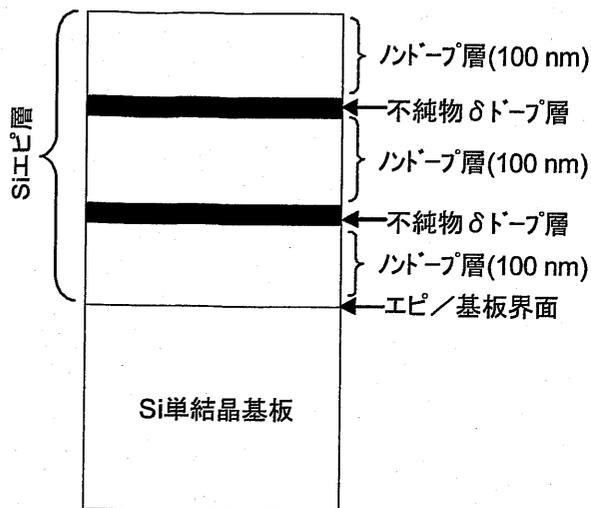


図3.3 不純物 δ ドーピング層を有する超格子基板

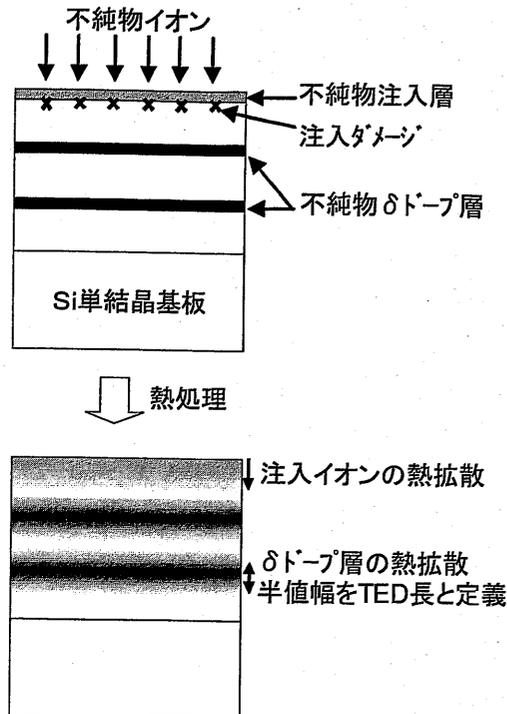


図3.4 イオン注入ダメージ起因の点欠陥定量化

て利用する。また、マーカとなる δ ドーピング層の間隔、すなわちノンドープSiエピ膜厚は100 nmとした。これは、本研究のターゲットデバイスであるMOS-FETのサイズが100 - 200 nm程度であり、このサイズ範囲における点欠陥の影響を調べるためである。

次に、形成した超格子基板に対し、表面から不純物イオンを注入した。この際、注入ダメージが超格子基板に導入される。この基板に酸素残留濃度が1 ppm以下の窒素雰囲気中で熱処理を施し、注入イオンおよび予め形成した δ ドーピング不純物を拡散させた。この際、注入ダメージに起因する点欠陥が発生し増速拡散が生じる。この点欠陥量を δ ドーピング層の拡散距離(拡散後の δ ドーピング層半値幅)から定量化した(図3.4) [3]。

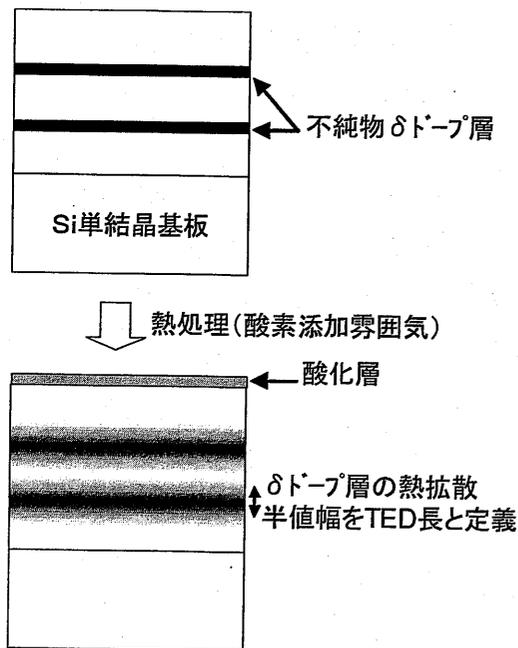


図3.5 熱処理時の表面酸化で発生する点欠陥の定量評価

酸化増速拡散 (OED) に関する点欠陥発生量の定量化実験では、超格子基板へのイオン注入は行なわない。超格子基板を炉内に酸素を添加した雰囲気中で熱処理することで酸化増速拡散を発生させた (図 3. 5)。点欠陥発生量の定量化は、イオン注入起因の過渡増速拡散 (TED) の場合と同様の方法を用いて行なった。すなわち、マーカである δ ドープ層の拡散後の半値幅から定量化した。

以上、本節では、イオン注入法を用いて浅い接合を形成するためには、注入ダメージや後プロセスなどで発生するシリコン結晶内での点欠陥発生を抑制することが重要であることを述べた。点欠陥の発生量を低減するためには、点欠陥発生量の定量化が不可欠であり、本研究では実験的に定量化する方法を開発した。

3. 3 注入点欠陥の抑制

本節では、前節で述べた点欠陥発生量の定量化手法を用いて、欠陥発生量の抑制法を検討した。LSIでは、PMOS-FETとNMOS-FETを両方形成してなるCMOS-FET（相補型金属酸化膜電界効果型トランジスタ）が製造されている。このため、PMOS-FET, NMOS-FETのそれぞれの場合について点欠陥の発生量を最小化するプロセスを開発した。まず、PMOS-FETの場合について述べ、次にNMOS-FETの場合を述べる。

3. 3. 1 PMOS-FET形成における注入点欠陥の抑制

3. 3. 1. 1 PMOS-FET形成における点欠陥の流れ

PMOS-FET形成プロセスにおける注入点欠陥の影響を図3. 6に示した。第1章2節で説明したように、MOS-FETの製造ではシリコン結晶表面に伝導キャリアのパスとなるチャンネルを形成した後、シリコン酸化膜と多結晶シリコン膜を積層した矩形ゲート加工し、その後、浅いS/Dエクステンションと深いS/Dからなるソース/ドレイン(S/D)層を形成した。PMOS-FETでは、リン(P)などのN型不純物でチャンネルを形成し、S/D層はP型不純物であるボロン(B)で形成した。点欠陥は、S/Dエクステンション注入と深いS/D注入(いずれもボロンイオンを注入する)時にシリコン結晶が受けるダメージに起因して発生する(図3. 6)。結晶回復熱処理を施すと、S/Dエクステンションダメージ起因の点欠陥(格子間シリコン)が発生し、注入ボロンの拡散が加速される。同時に、この点欠陥はチャンネル領域にまで拡

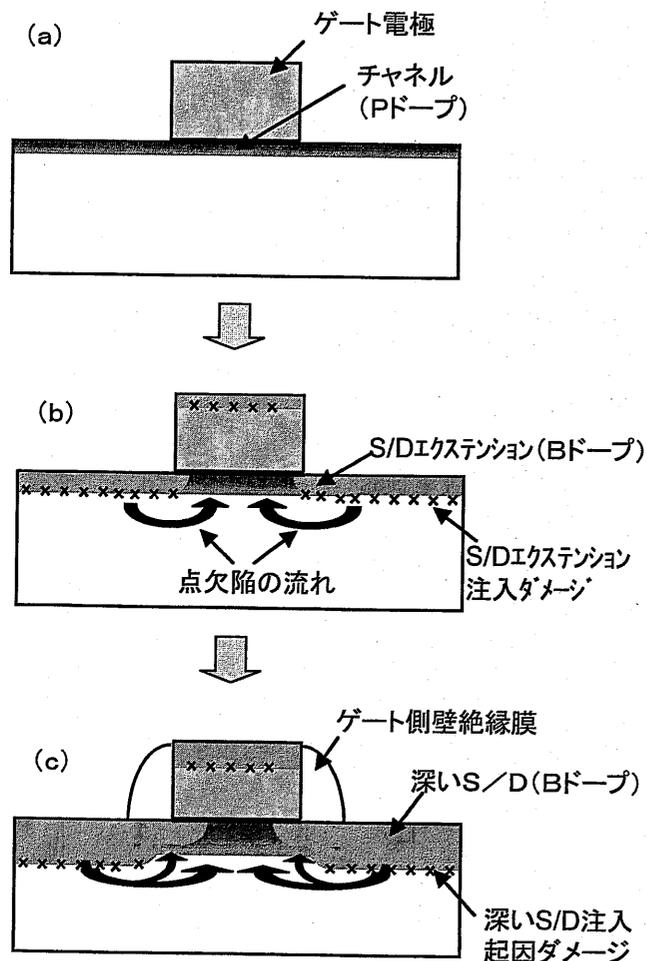


図3. 6 PMOS-FET形成プロセスにおける注入点欠陥の影響

散し、チャンネル不純物であるN型不純物(P)を再分布させる(図3.6(b))。同様に、深いS/D注入時のダメージ起因で発生した点欠陥(格子間シリコン)は、深いS/D注入で導入された不純物の拡散を増速させる。同時に、この点欠陥は、浅いS/Dエクステンション領域、ならびに、チャンネル領域にまで拡散し、S/Dエクステンションボロンとチャンネルリンを再分布させる(図3.6(c))。チャンネル領域の不純物深さ分布はできるだけ急峻であることが望ましい。S/D形成時の再分布は、トランジスタ特性を劣化させるので、望ましくない。また、S/Dエクステンション領域には、短チャンネル効果抑制の観点からできるだけ浅い接合を形成する必要がある。深いS/D注入ダメージによるS/Dエクステンション領域の再分布は抑制する必要がある。

3.3.1.2 S/D注入ダメージの注入加速電圧依存性

イオン注入ダメージの注入加速電圧依存性について実験した。実験には、前節で説明した超格子基板を用いた。まず、S/D領域(不純物ボロン)の不純物拡散に対する点欠陥の影響を定量化した。 δ ドープ層にボロンをドーピングした超格子を用いて評価した(図3.7)。イオン注入条件は、 B^+ イオンを用い、加速電圧を0.2 keVから2.0 keVの範囲で変化させた。注入ドーズ量は、いずれの場合も、 $1 \times 10^{15}/\text{cm}^2$ とした。その後、結晶回復のため、RTA装置を用い、窒素雰囲気下で950℃、10秒の熱処理を施した。ボロンの注入加速条件は、設計ルール100 nm世代のS/D注入の典型的な条件を用いた。数keVを上

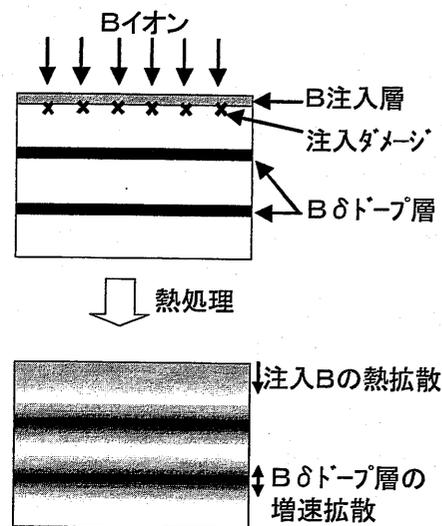


図3.7 Bイオン注入ダメージの定量化

限とし、現在注入可能な最も低い加速電圧0.2 keVを下限とした。注入ダメージは、熱処理後のボロン δ ドープ層(深い位置にある δ ドープ層)の広がり(半値幅)から定量化した。不純物濃度分布の測定にはSIMSを用いた。

図3.8に熱処理後の超格子基板中ボロンの深さ濃度分布を示した。図中、深さ100 nmと200 nm近傍に観測される2本のボロン濃度ピークは、超格子中のボロン δ ドープ層が熱処理で再分布したものである。290 nm近傍に見られる小ピークは故意にドーピングしたボロンではなく、Siエピ膜成長前に基板表面に残留していたボロンがエピ/基板界面に閉じ込められたものである。超格子基板表面から内部に向かって急激に減少するボロン分布は、注入イオンの拡散プロファイルである。

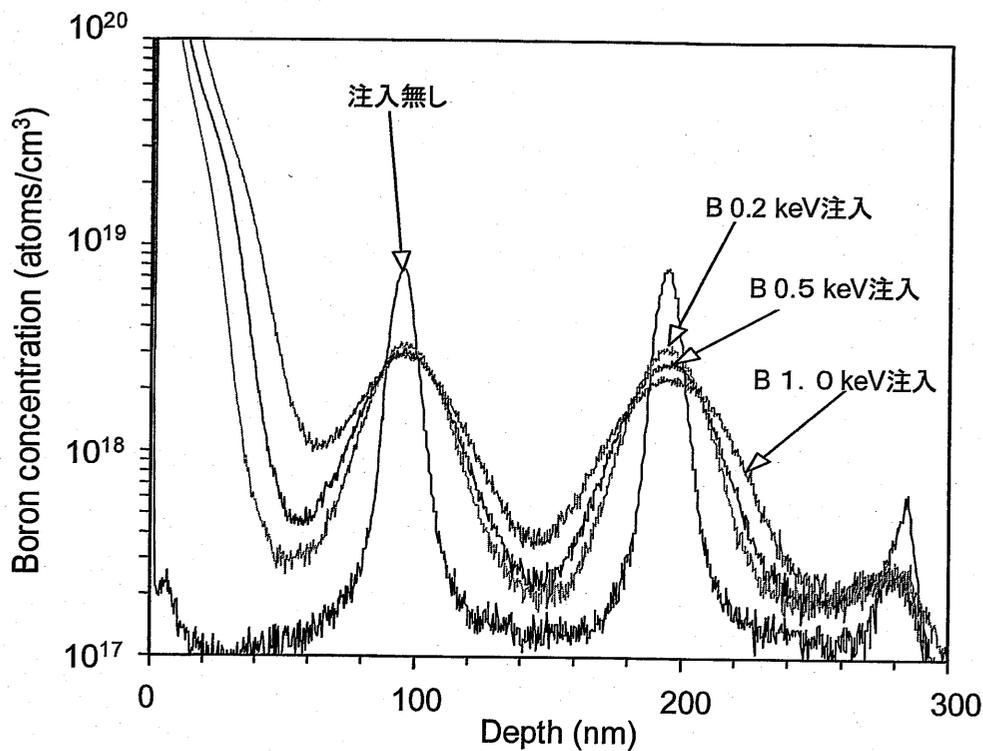


図3.8 熱処理後の超格子基板中Bの濃度分布

イオン注入を行わない場合の拡散分布においても、表面から内部に向かって減少するプロファイルがわずかに観察された。このボロンは、クリーンルーム中の雰囲気中存在するボロンが超格子基板表面に付着し、熱処理で拡散したものであり、注入ボロンではないと考えられる。図には示していないが、950 °C、10 秒の熱処理条件でのボロンの真性拡散係数は非常に小さい。熱処理前後でマーカ層であるボロンδドープピークのプロファイルはほとんど変わらなかった(正確にはSIMSの測定分解能以下である)。したがって、図の注入無し条件のボロンプロファイルは、熱処理前の超格子基板のボロンプロファイルとほぼ同一であった。一方、ボロンを注入した基板では、いずれの場合もマーカ層の再分布が観測された。これは、結晶回復熱処理時にボロン注入領域で発生した点欠陥がマーカ層まで拡散してボロンの再分布に影響したためである。マーカ層のボロン拡がり、点欠陥との相互作用でボロン拡散が加速し、再分布した結果と考えられる(過渡増速拡散TEDによる異常拡散と考えられる)。図より、表面から注入したボロンの拡散は50 nm程度の深さに留まっていることがわかる。マーカ層ボロンの拡散は、熱処理前にδドープ層中に存在したボロンの拡散であり、表面から注入したボロンが拡散したものではないことが確認できる。さらに、熱処理前の注入層深さは50 nm以下であることから、注入ダメージ深さについても同様であると考えられる。熱処理時に点欠陥が影

響を与える領域は、表面から 200 nm の深さの第 2 マーカ層まで及んでいた（点欠陥が 200 nm 以上拡散した）。したがって、本研究で対象とするチャンネル長 100 – 200 nm の MOS-FET では、S/D 注入ダメージの影響は S/D 領域のみでなくチャンネル領域にまで達することが確認された。

マーカ層の再分布量は、ボロンの注入加速電圧に大きく依存した。加速電圧が高くなるに従いマーカ層のボロン拡散が増大した。すなわち、高加速注入ほど注入ダメージが増大し、結晶回復熱処理時に放出する点欠陥量が増加することが分かった。以上から、注入ダメージを低減し、点欠陥発生量を低減するためには、注入低加速化が有効であることが分かった。注入加速を低加速化すると、注入イオンはより結晶表面に近い領域に導入される。このため、活性化熱処理時に形成される {311} 欠陥についても、低加速化条件では、より表面近傍に形成されると考えられる。TED を引き起こす点欠陥（格子間 Si）は、熱処理後期に {311} 欠陥が分解することで発生する。{311} 欠陥が結晶表面に近い領域に発生すると、この欠陥の分解で発生した格子間 Si は結晶表面で空孔と容易に再結合して消滅することが可能であると考えられる。注入の低加速電圧化で TED 長が短くなった原因は、低加速化により点欠陥の発生源である {311} 欠陥と点欠陥のシンクとなる結晶表面との距離が短くなり、発生した点欠陥が結晶表面で再結合消滅する確率が増大したためであると考えられる。

3. 3. 1. 3 ゲルマニウムイオンによる結晶表面非晶質化

非晶質化注入の点欠陥発生量に及ぼす影響を評価した。ボロン注入に先立ってゲルマニウム (Ge) を注入して基板表面近傍を非晶質化した。実験には、ボロン単体注入の場合と同様、ボロン δ ドープ層をマーカとする超格子基板を用いた。図 3. 9 に示したように、まず、Ge イオンを加速電圧 5.0 keV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ の条件で超格子基板に注入し、表面近傍を非晶質化した（この工程をプレアモルファス化と言う）。続いて、ボロンイオンを加速電圧 0.2 keV から 2.0 keV の範囲で、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ の条件で注入した。その後、窒素雰囲気下で 950 °C、10 秒の結晶回復熱処理を施した。Ge イオンの注入条件は、十分に結晶表面を非晶質化可能で、かつ、ボロンイオンの飛程 (R_p) が非晶質内に入るように設定した。

図 3. 10 に熱処理後の超格子基板中のボロン濃度分布を示した。ボロン単体注入の場合と同様、イオン注入のない場合 (Ge イオン、B イオンのいずれのイオンも注入していない場合) は、熱処理によるマーカ層ボロンピークの再分布はほとんど観測されなかった。イオン注入を行なった場合、ボロン単体注入の場合と同様、注入ダメージ起因の増速拡散によるマーカ層の再分布が見られた。既に述べたように、B 単体注入の場合、マーカ層の再分布の程度は注入加速電圧に強く依存した。

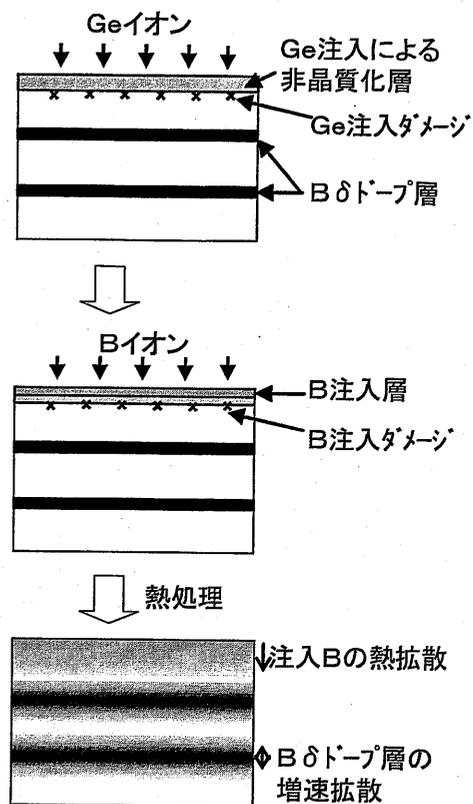


図3. 9 Ge非晶質化プロセスにおけるB注入ダメージの定量化

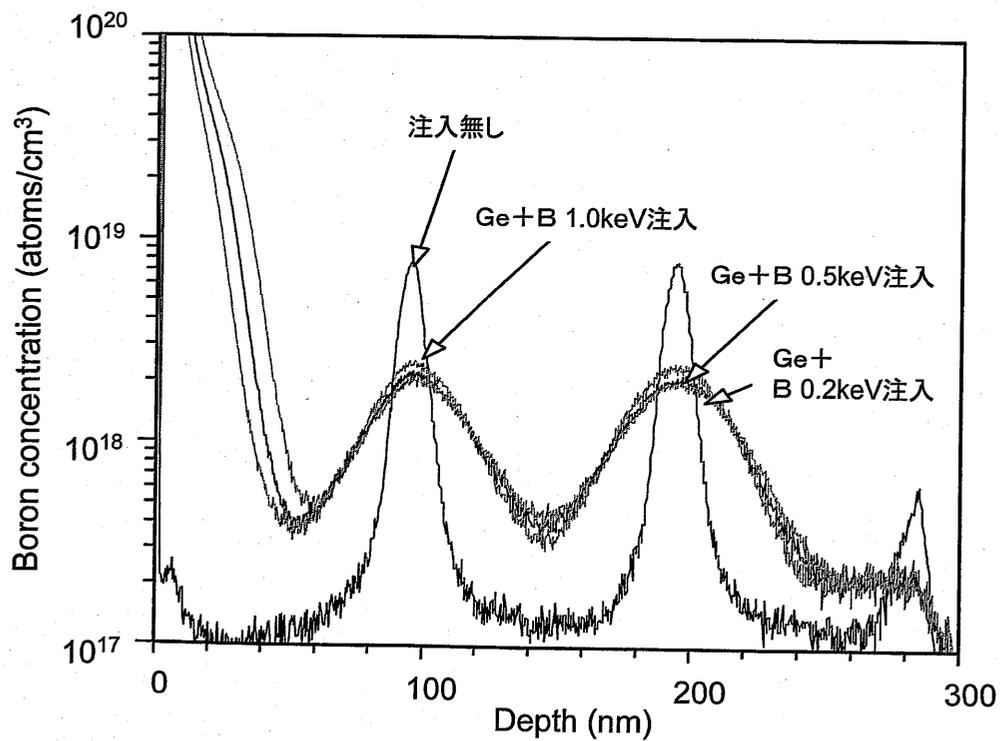


図3. 10 熱処理後の超格子基板中Bの濃度分布

一方、Ge非晶質化を実施した場合、マーカ層の拡散はB注入加速電圧に依存しないことがわかった。すなわち、Ge非晶質化プロセスでは、注入ダメージ起因の点欠陥発生量がB注入加速電圧に依らず一定であることを示している。これは、B注入の飛程(R_p)を非晶質内に入るように設定したためであると考えられる。すなわち、もともと結晶構造を持たない非晶質Si中では、B注入によりダメージを受けないためである。Ge非晶質化プロセスでは、Ge注入によりSi結晶中に導入されたダメージのみが点欠陥発生量を決定する。このため、点欠陥の発生量がB注入条件に依存しなかったものと考えられる。

3. 3. 1. 4 S/D注入ダメージの不純物リン拡散への影響

前節までと同様の方法を用い、S/Dボロン注入ダメージの不純物リン拡散への影響について評価した。この評価は、S/Dエクステンションボロン注入、ならびに、深いS/D注入のダメージがPMOS-FETのチャネル領域に及ぼす影響を定量化するために行なったものである。実験には、リンをマーカ層として形成した超格子基板を用いた。ボロンの場合と同様、リンのマーカ層は基板表面から100 nmと200 nmの深さに形成した。S/D注入を想定し、超格子基板表面よりボロンイオンを加速電圧0.2 keV - 2.0 keVの範囲、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ の条件で注入した。その後、

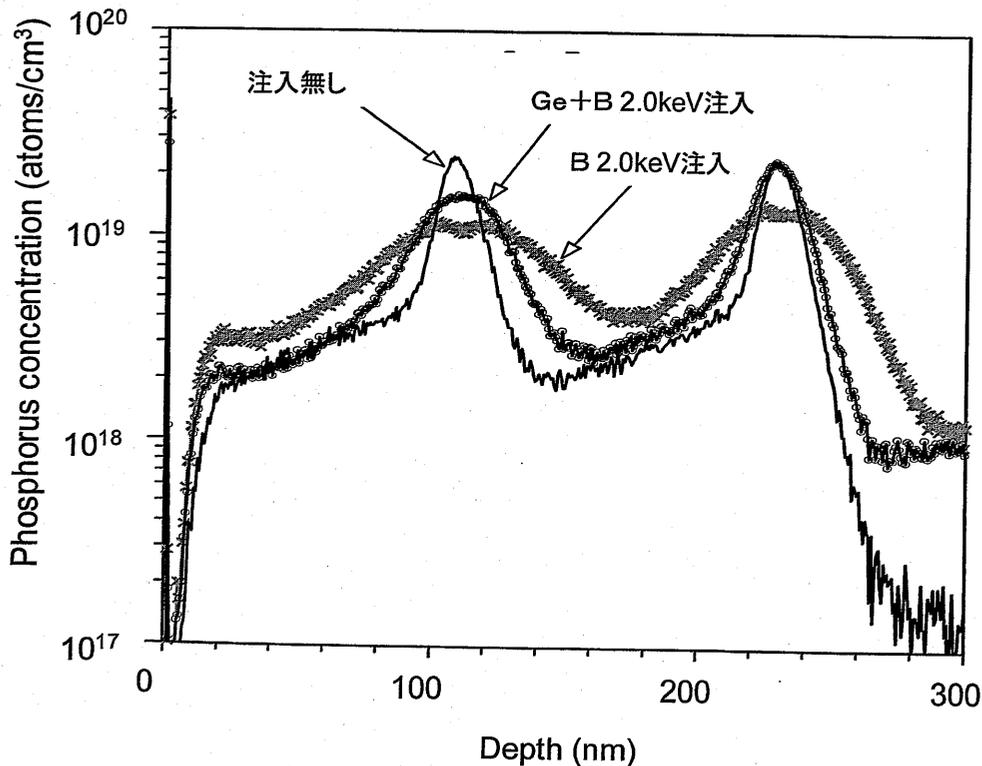


図3. 11 熱処理後の超格子基板中Pの濃度分布

窒素雰囲気下で950℃、10秒の結晶回復熱処理を施した。また、ボロンマーカの場合と同様にGe非晶質化の効果についても実験した。

図3.11に結晶回復熱処理後の超格子基板中のリン濃度深さ分布を示した。実際には、基板表面から深さ方向に急激に減少するボロン分布が存在するが、図中には示していない。また、リン分布についてはボロン注入加速電圧2.0 keVの場合を代表例として示した。リンのマーカ層は注入無しの場合であっても広がりが見られた。この広がり熱拡散によるものではなく、リン δ ドーピング層形成時に生じたものであることが分かっている。リンのようなN型不純物をエピ膜中にドーピングする場合、エピ成長中に表面方向に向かってリンが偏析する表面偏析現象が観察された。このため、ボロンの場合のような急峻なピークを持つ δ ドーピング層を形成することは困難であった。ただし、ボロン単独注入、並びに、Ge非晶質化プロセスのいずれの場合についても、このリンプロファイルを用いて、リンマーカ層の増速拡散を観測することは可能であった。すなわち、基板表面近傍に注入されたボロン注入のダメージに起因する点欠陥により、表面から200 nmの深さのリン原子の拡散が増速されることが確認できた。MOS-FETでは、S/Dボロン注入のダメージ領域とチャンネルリン領域の距離は200 nmより短いので、S/D注入がチャンネル再分布に影響を及ぼすものと考えられる。

3. 3. 1. 5 S/D注入起因の点欠陥発生量を最小にするプロセス条件

図3.8、図3.10及び図3.11の δ ドーピング層の半値幅を測定し、過渡増速拡散長(TED長)と定義した。図3.12及び図3.13は、それぞれボロン、及び、リンのTED長に対するボロン注入加速電圧依存性を示したものである。ボロン、リン、いずれの場合もボロン単独注入においては、TED長はボロン注入の加速電圧に対して強い依存性を示した。注入加速が高いほどTED長は長くなった。一方、Ge非晶質化プロセスでは、いずれの場合もボロン注入の加速電圧依存性は小さいことが分かった。このため、注入加速電圧1.0 keVを境に、低加速領域ではB単独注入の場合の方が、高加速領域ではGe非晶質化プロセスの場合の方がTED長を短くできることがわかった。したがって、S/Dボロン注入に起因して熱処理時に発生する点欠陥量の抑制法について、以下のようにまとめることができる。

- ボロン単独注入では、点欠陥発生量は注入加速電圧に依存し、低加速化により点欠陥を低減できる。
- ゲルマニウム非晶質化注入プロセスでは、点欠陥の発生量はボロンの注入加速電圧依存性を持たない。
- ボロンの注入加速電圧1.0 keVを境に、これより低加速条件ではボロン単独注

入の方が、高加速条件ではゲルマニウム非晶質化注入プロセスの方が点欠陥の発生量が少ない。

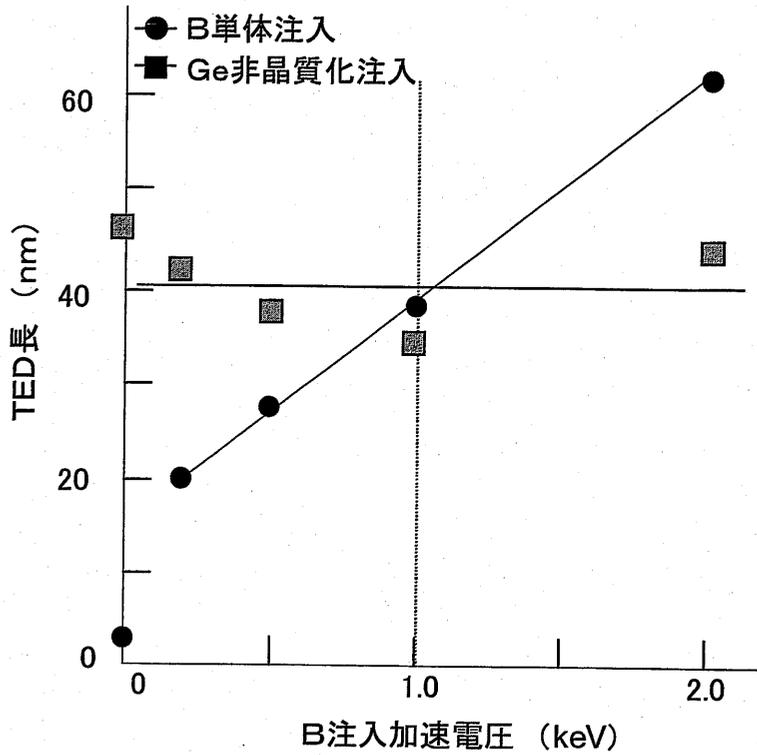


図3. 12 B TED長のB加速電圧依存性

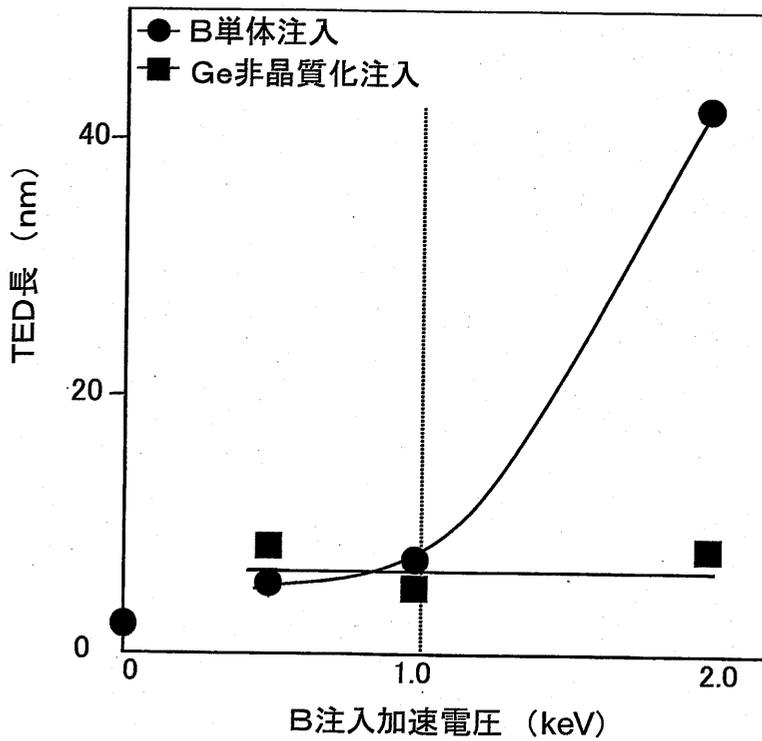


図3. 13 P TED長のB加速電圧依存性

したがって、S/D注入起因の点欠陥発生量を抑制するという観点からは、1.0 keV以下の注入加速電圧を使用する場合にはボロン単体注入を、それ以上の加速電圧を使用する場合にはゲルマニウム非晶質化注入プロセスを使用すべきである。

以上、S/D注入ダメージが他の領域（例えばチャンネル領域）に及ぼす影響について議論した。次に、S/D注入で導入されたボロン原子自身の拡散について議論する。

3. 3. 1. 6 S/D領域の接合深さを浅くするプロセス条件

N型不純物リンが低濃度 ($1 \times 10^{18}/\text{cm}^3$) ドーピングされたシリコン単結晶基板に対し、ボロンを注入した。注入は、ボロン単体注入、ならびに、ゲルマニウム非晶質化プロセスを用い、注入加速電圧は0.2 keV - 2.0 keVの範囲とした。ドーズ量は $1 \times 10^{15}/\text{cm}^2$ とした。その後、窒素雰囲気下で950 °C、10秒の結晶回復熱処理を施し、表面に高濃度のボロン拡散層を有するP⁺/N接合を形成した。図3.14はこのようにして形成した接合深さをSIMSで評価した結果である。第2章で述べたように、接合深さは、ボロン濃度がN型基板の濃度 ($1 \times 10^{18}/\text{cm}^3$) と等しくなる深さで定義した。図より、いずれの注入プロセスを用いた場合であっても注入条件の低加速電圧化に伴い接合深さが浅くなるのがわかる。注入プロセスの比

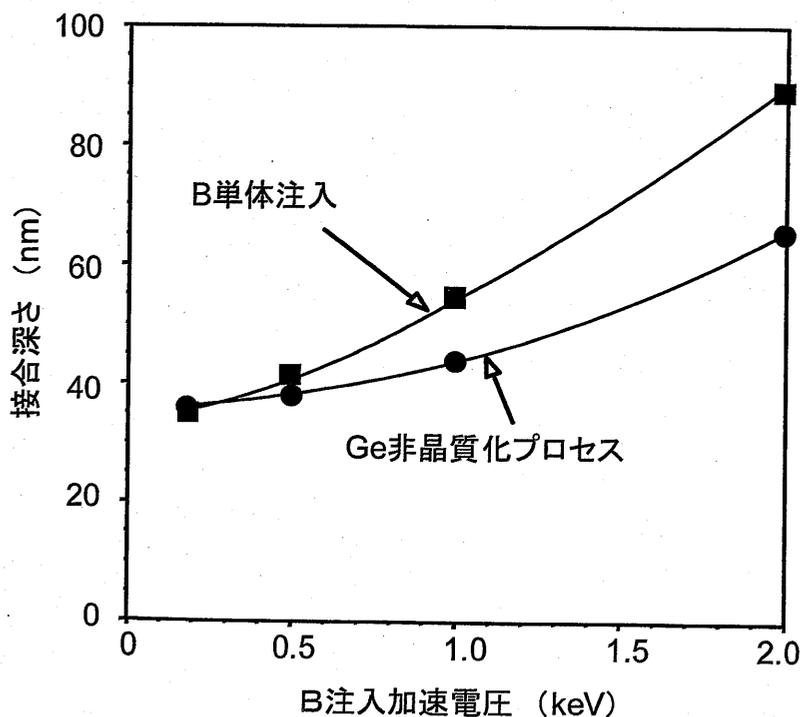


図3.14 接合深さのB注入加速電圧依存性

較では、ゲルマニウム非晶質化プロセスを用いた場合の方が接合深さは浅くなった。しかし、0.5 keV以下の超低加速領域では、その差は僅かであった。注入加速が sub-keV の領域で非晶質化注入の効果が低減した原因は次のように説明することができる。浅接合化に対する非晶質化の効果は、ボロン注入時のチャネリング防止である。すなわち、(100)面を用いる MOS-FET において、注入 B は {100} 方向の結晶軸に沿ったイオンチャネリングにより結晶深くまで到達する。このため、深さプロファイルにチャネリングテイルと呼ばれる裾引きが生じる。ボロン注入に先立って結晶表面を非晶質化すると、このチャネリングを抑制でき、ボロン注入プロファイルを浅くすることが可能である。しかし、結晶回復熱処理時において、注入ダメージによるボロンの TED が発生する。熱処理時のボロン TED は、非晶質化なしの場合はボロンの注入ダメージで、非晶質化プロセスの場合は Ge 注入ダメージに起因して生じる。Si 超格子基板を用いた実験から、ボロン加速が sub-keV の領域では、ボロン注入より Ge 注入のダメージが大きいことが分かった。したがって、sub-keV 領域のボロン注入では、チャネリングの観点からは、Ge 非晶質化が、熱拡散の観点からは非晶質化無しプロセスが有利であると考えられる。実際の接合深さは、上記のバランスで決まるため、0.5 keV を境に、それ以下では、Ge 非晶質化に伴う TED の影響が主原因となり接合深さを深くしたと考えられる。よって、0.5 keV 以下の領域では非晶質化しないボロン単体プロセスでより浅い接合が形成できたと説明できる。

3. 3. 1. 7 PMOS-FET における最適 S/D 注入プロセス条件の提案

以上得られた結果から、PMOS-FET の S/D 形成プロセス、すなわち、S/D エクステンションならびに深い S/D 形成プロセスを最適化する。S/D エクステンション及び深い S/D 共通の最適化指標は、熱処理時の点欠陥発生量を最小にすることである。加えて、S/D エクステンションプロセスについては、注入ボロン自身の拡散を抑制して接合深さを浅くすることが必要である。

まず、S/D エクステンション注入について議論する。エクステンション領域はできるだけ浅い接合が必要である。この観点からボロン単体注入、ゲルマニウム非晶質化プロセスのいずれの場合も、できるだけ低加速電圧で注入することが望ましい。また、点欠陥の発生量を抑制する要請からは、低加速領域ではボロン単体注入を用いることが望ましい。接合深さは 0.5 keV 以下の領域ではゲルマニウム非晶質化の利点は少ない。したがって、S/D エクステンション領域を形成するための注入プロセスでは、ボロン単体プロセスを用い、注入加速電圧を 0.5 keV 以下にすることが最適である。一方、深い S/D を形成するためには、1.0 keV 以上の比較的高加速条件で注入する必要がある。この場合、ゲルマニウムで非晶質化するプロセスが

点欠陥の発生量を最小化できる。したがって、深いS/D領域を形成するための条件としては、ゲルマニウム非晶質化プロセスを用い、1.0 keV以上の加速電圧でボロンを注入することが最適である。

以上、本節ではPMOS-FET形成における注入点欠陥の抑制方法を最適化した。

3. 3. 2 NMOS-FET 形成における注入点欠陥の抑制

本節では、NMOS-FET形成プロセスにおける注入点欠陥の抑制方法について議論する。S/D注入ダメージに起因する点欠陥発生量の定量化については前節と同様の手法を用いた。点欠陥発生量が最小になるようにプロセスを最適化する。加えて、NMOS-FETでは注入不純物種を選択をS/D接合リーク電流低減の観点から議論する。

3. 3. 2. 1 NMOS-FET 形成における点欠陥の流れ

図3. 15に示したように、NMOS-FET形成では、チャンネル領域のドーパントとしてP型不純物であるボロン(B)を用いた。また、S/Dエクステンション及び深いS/D領域の形成には砒素(As)もしくはリン(P)を用いた。PMOS-FET形成の場合と同様に、S/D領域のイオン注入ダメージに起因する点欠陥が、後の結晶回復熱処理時に放出される。NMOS-FETではボロンと比較して拡散係数が小さく、かつ、シリコン結晶中での固溶度が高い砒素をS/D注入種として用いることができる。このため、後述するように低加速の砒素注入技術を用いることで比較的容易に浅いS/Dエクステンション領域を形成できる。一方、チャンネル領域には拡散係数の大きいボロンを用いている。このため、S/Dエクステンション、ならびに、深いS/D注入ダメージに起因するボロンの過渡増速拡散(TED)が顕著に現れる。したがって、S/D注入ダメージに起因するボロン再分布を評価することが重要である。

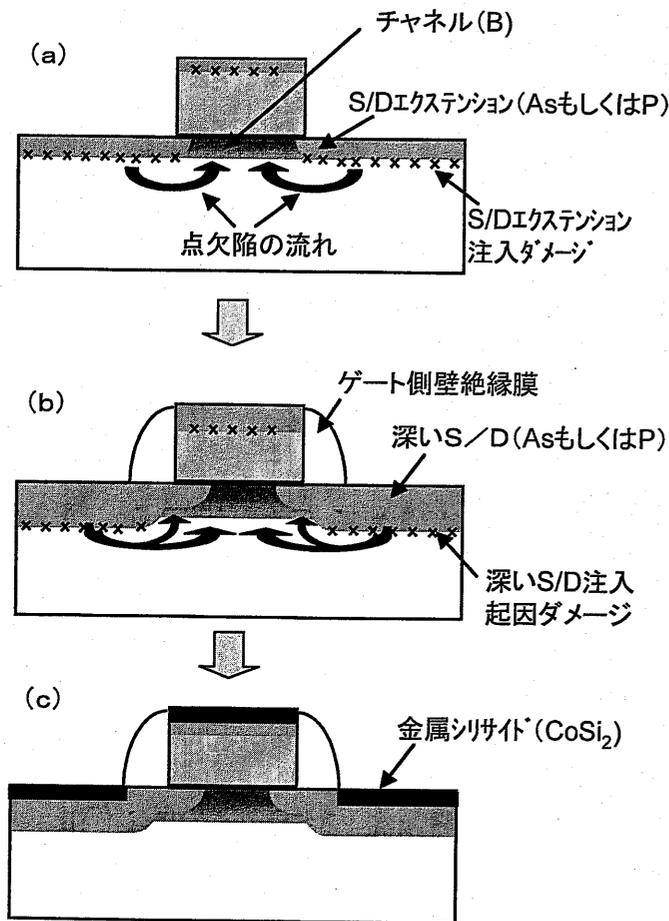


図3. 15 NMOS-FET形成プロセスにおける注入点欠陥の影響

拡散層抵抗低減を目的として、深いS/D領域には金属シリサイドを形成した。シ

リサイド化はシリコン拡散層を消費するため、十分な厚さ（50 - 100 nm程度）の深いS/D拡散層が必要となる。拡散層厚が不十分な場合、金属シリサイド下部がN⁺/P接合に達しリーク電流を増大させる。前述したようにNMOS-FETのS/D形成は比較的拡散係数の小さい不純物を用いるため、注入加速電圧を高くすることが必要である。しかし、高加速化は点欠陥の発生量を増大させチャンネルボロンの再分布を増大させる可能性がある。

このようにNMOS-FETでは、注入ダメージが小さく（チャンネルボロンの再分布を抑制）、かつ、比較的深いS/Dの形成（接合リークを抑制）を可能にするS/D注入条件を開発する必要がある。

3. 3. 2. 2 S/D注入ダメージの注入種及び加速電圧依存性

NMOS-FETのS/D注入ダメージについて、注入イオン種、および、加速電圧依存性を評価した。実験は、N型のドーパントとして砒素、および、リンを用い、それらの注入ダメージはボロンδドーパ層を

マーカとした超格子基板を用いて評価した（図3. 16）。シリコンエピ層の膜厚やボロンδドーパ層の深さなど超格子基板の構造は前節で述べたPMOS-FET評価の場合と同一である。超格子基板に対し表面から砒素、もしくは、リンイオンを注入した。その後、結晶回復熱処理を施し、ボロンδドーパ層の広がり（半値幅）から注入ダメージを定量化した。加速電圧は、熱拡散係数の小さい砒素では比較的高加速条件を、熱拡散係数の大きいリンでは比較的低加速条件を撰択した。砒素注入では4.0 - 30.0 keVの範囲を用い、リン注入では、

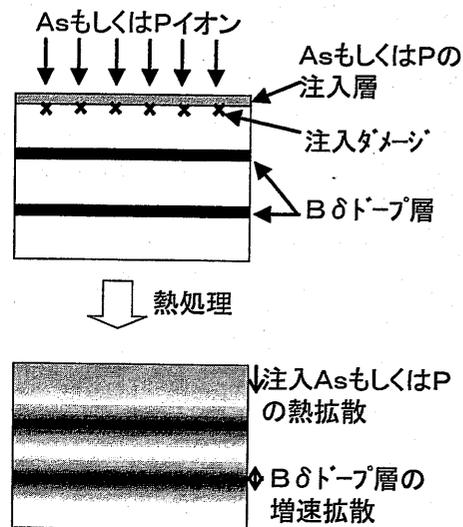


図3. 16 N型イオン注入ダメージの定量化

2.0 - 5.0 keVの範囲とした。注入ドーズ量はいずれの場合も $5 \times 10^{15} / \text{cm}^2$ とした。結晶回復熱処理にはRTA装置を用いた。処理条件は、窒素雰囲気下で1000 °C、10秒とした。図3. 17は熱処理後のボロンマーカ層幅（半値幅）、すなわち、ボロンの過渡増速拡散長をイオン種別に注入加速電圧についてプロットしたものである。図より、N型イオンの場合においても、増速拡散長に注入加速依存性が強く見られた。加速電圧を低減することでボロンの過渡増速拡散を抑制できることがわかった。また、同一加速電圧でイオン種の違い（砒素及びリン）の効果を比較した。その結果、砒素イオンを注入種として用いた場合の方が過渡増速拡散を抑制できる

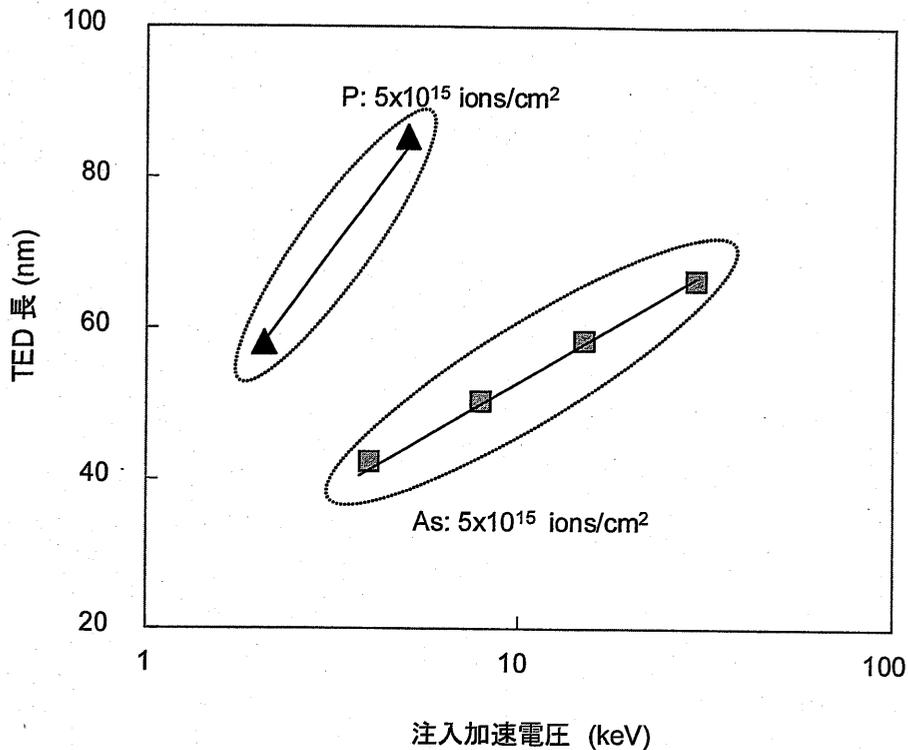


図3. 17 TED長の注入イオン種、及び、注入加速電圧依存性

ことがわかった。加えて、リン注入では、高加速化により過渡増速拡散長が大幅に増大した。一方、砒素注入の場合は、高加速化による増速拡散長の増大は比較的ゆるやかであった。すなわち、注入を高加速化した場合の過渡増速拡散長の増大率は、砒素注入の場合の方が低い。このことから、砒素注入では、比較的広い範囲に亘る注入加速電圧を利用できるとことがわかった。

低加速化でTEDが抑制された原因は前節でのボロン注入の場合と同様に説明できる。すなわち、低加速化で注入欠陥発生領域と点欠陥のシンクとなる結晶表面との距離が短縮される。その結果、熱処理時に発生した点欠陥が表面で再結合消滅する確率が増大し、その効果でTEDが抑制されたと考えられる。一方、砒素とリンの点欠陥発生量の違いは、注入されたイオンの深さプロファイルに関係していると推察する。S/D注入のように高ドーズで砒素やリンを注入した場合、結晶表面近傍は非晶質化される。非晶質化領域では、結晶構造を持たないため後の結晶回復熱処理時において点欠陥を発生する欠陥を生じない。非晶質化領域より深い側の注入領域では、結晶にダメージが導入される。ダメージ量は、注入イオン濃度が高いほど大きいと考えられるので、注入で最もダメージを受ける領域は非晶質化された領域とされていない領域の界面近傍である。砒素とリン濃度の深さプロファイルを比較すると、砒素の場合の方が深さ分布の幅が狭い。すなわち、プロファイルのテイル

部の傾きが急峻である。したがって、非晶質化領域と非晶質化していない領域の界面近傍に形成されるダメージ層の幅は、砒素注入の場合の方がリン注入と比較して狭くなり、その結果、点欠陥発生量が抑制できたと考えられる。

図3. 18は過渡増速拡散長と接合深さの相関を示したものである。ここで言う接合深さは、砒素、もしくはリンの拡散層深さである。すなわち、NMOS-FETのS/D拡散層の接合形成を想定したものである。また、過渡増速拡散長は、このS/D形成時に生じるチャンネルの再分布を想定したものであり、ボロンの拡散長である。PMOSにおけるボロンの場合と同様に、SIMSにより不純物濃度分布を測定し、接合深さを不純物濃度が $1 \times 10^{18} / \text{cm}^3$ になる深さとして決定した。図より、不純物種に寄らず、過渡増速拡散長、接合深さは注入の低加速化により低減されることがわかった。注入種の違い(砒素とリンイオン)を図3. 18の相関図で比較すると、砒素注入グループの相関直線に対しリン注入グループのそれは右方向にシフトしていることがわかる。このことは、過渡増速拡散距離が同じであれば、砒素を注入種として用いた場合の方が浅い接合を形成できることを意味している。

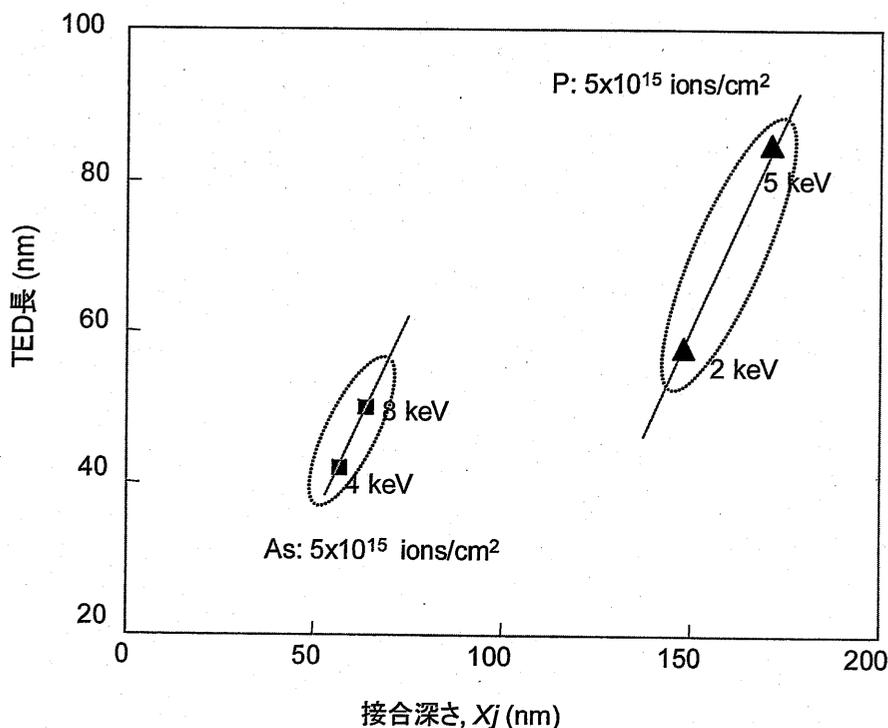


図3. 18 As及びP注入におけるTED長—接合深さの相関

以上、砒素、および、リンイオンによる注入ダメージと接合深さを評価した結果、以下のことが明らかとなった。

- ボロンの過渡増速拡散は注入の低加速化で抑制される。同一加速電圧で比較すると、注入種として砒素イオンを用いた場合の方が過渡増速拡散量は小さい。
- 注入イオンで形成される拡散層の接合深さは注入の低加速化で浅くなる。過渡増速拡散の程度が同一の場合、注入種として砒素イオンを用いた場合の方が接合深さは浅い。

以上より、NMOS-FETの浅いS/Dエクステンション領域の形成プロセスとしては、ボロンの過渡増速拡散が抑制でき、かつ、浅い接合形成が可能な砒素の低加速注入を使用すべきである。

3. 3. 2. 3 砒素、リン混合注入による接合深さの制御

深いS/D領域は、後工程で金属シリサイド膜を形成して低抵抗化を図るため十分な拡散層厚を必要とする。現在の技術では、シリサイドプロセス条件にも依存するが、およそ、50 - 100 nmの接合深さに相当する拡散層厚が必要である [5]。上記のようにS/Dエクステンションへの適用では、接合深さは浅いほど望ましいので、接合深さ、過渡増速拡散ともに低減できる低加速注入が適用できた。一方、深いS/Dでは、接合深さのみに注目すれば注入加速電圧を高くすれば良い。しかしながら、注入条件の高加速化は過渡増速拡散を増大させるため望ましくない。このように、深いS/D形成にあっては、過渡増速拡散の増大を抑えつつ、接合を深くするプロセスが必要となる。

このため、本研究では、砒素注入とリン注入を組み合わせる混合注入法を検討した。砒素、および、リンの単独注入の場合と同様に、注入ダメージは、超格子基板のボロンマーカ層の拡散半値幅から評価した。接合深さはSIMS測定により不純物濃度が $1 \times 10^{18} / \text{cm}^3$ に減少する深さとして定義した。混合注入の場合、電気伝導キャリア濃度は砒素、および、リンにより発生するキャリアの和になるので、接合深さは、砒素原子濃度とリン原子濃度の和（正味のN型不純物濃度）を用いて決定した。

注入加速電圧は、砒素イオンの場合4.0 keV、リン注入の場合5.0 keVあるいは2.0 keVとした。注入ドーズ量は、砒素ドーズとリンドーズの和、すなわち、正味のドーズ量が $5 \times 10^{15} / \text{cm}^2$ になるように撰択した。尚、注入順は全ての場合について砒素注入を先に行なった。実験で用いた、砒素とリンイオンの混合比を以下の表に示す。

混合条件	砒素注入	リン注入
A	As 4 keV, 4.5×10^{15} ions/cm ²	P 5 keV, 5.0×10^{14} ions/cm ²
B	As 4 keV, 3.5×10^{15} ions/cm ²	P 5 keV, 1.5×10^{15} ions/cm ²
C	As 4 keV, 1.5×10^{15} ions/cm ²	P 5 keV, 3.5×10^{115} ions/cm ²
D	As 4 keV, 5.0×10^{14} ions/cm ²	P 5 keV, 4.5×10^{15} ions/cm ²
E	As 4 keV, 3.5×10^{15} ions/cm ²	P 2 keV, 1.5×10^{15} ions/cm ²

表3. 1 砒素、リン混合注入条件

図3. 19は、上表の砒素、リン混合注入条件で実験したボロン過渡増速拡散の注入加速電圧依存性を示したものである。図中のAからEのアルファベットで指示したポイントは、上表の混合条件AからEに対応する。また、図中には、砒素、リン単独注入の場合の結果(図3. 17)も参照データとしてプロットされている。図より砒素 4.0 keV とリン 5.0 keV 注入の混合条件の結果は、夫々単独で注入し

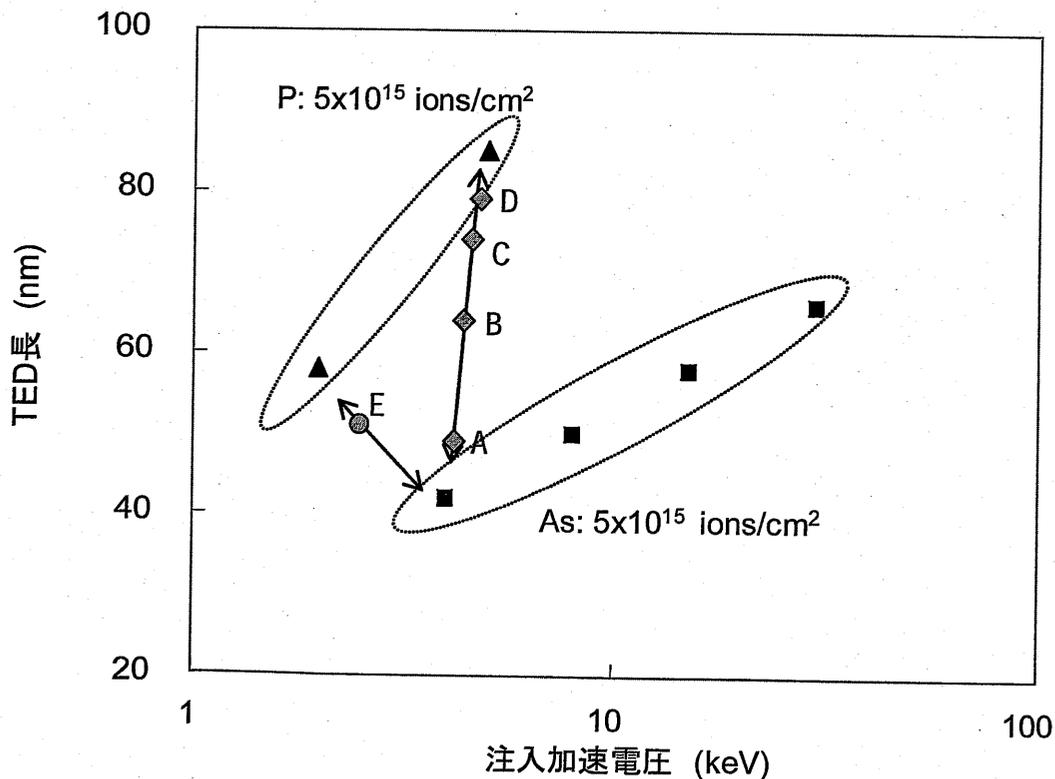


図3. 19 As, P混合注入条件下でのTED長の注入加速電圧依存性

た場合の点を結ぶ直線上にほぼ配置されることがわかった。砒素4.0 keV注入とリン2.0 keV注入の混合プロセスの場合も同様の結果を示した。図3. 20に砒素、リン混合注入プロセスにおけるボロン過渡増速拡散長と接合深さの相関関係を示した。図3. 19の場合と同様、参照データとして砒素、リン単独注入の結果もプロットしている。このTED長— X_j 相関図においても、混合注入プロセスでの結果は、注入加速電圧依存性の場合と同様の結果が得られた。すなわち、混合注入の結果は、砒素、リン単独注入での結果を結ぶ直線上にほぼ配置されることがわかった。砒素単独注入の場合、相関図上の比較的浅い接合領域でプロット点が直線上に配置された。一方、リン単独注入の場合、深い接合領域に直線上にプロットされた。いずれの場合も、過渡増速拡散と接合深さには強い相関があり、独立して制御することはできないことがわかった。これに対し、砒素、リン混合注入プロセスを用いた場合、適当な砒素加速とリン加速を選ぶことで、図中の菱形に着色した領域の結果を得ることができた。すなわち、過渡増速拡散長と接合深さを独立に制御することが可能になることが分かった。

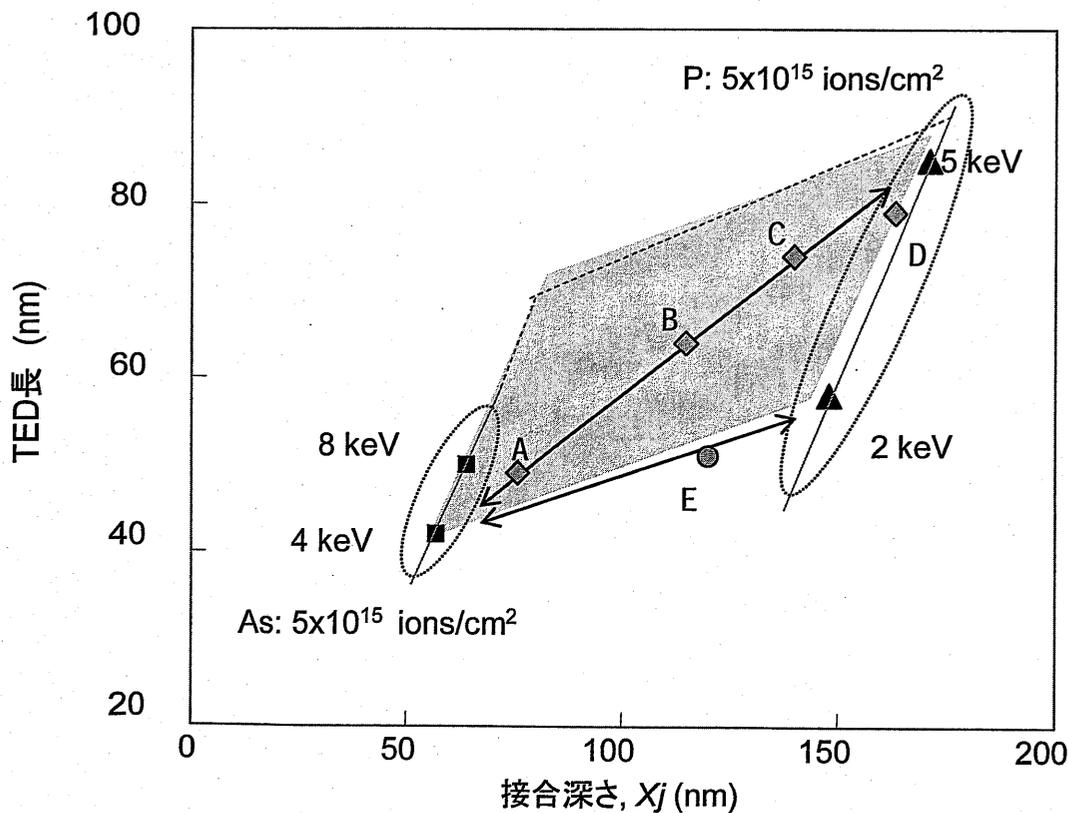


図3. 20 As, P混合注入条件下でのTED長—接合深さの相関

深いS/D形成では、金属シリサイド形成に必要とされる50—100 nm程度の比較的深い接合が要求され、かつ、S/D形成に伴うチャンネルボロンの過渡増速拡散は

できるだけ抑制する必要がある。前述したように、リン単独注入では深いS/D形成を想定した場合であっても接合が深すぎる。また、TEDの影響が大きいという問題もある。一方、砒素単独注入では、接合が浅すぎる。また、砒素注入条件の高加速化は、接合深さを深くする目的には有効であるが、過渡増速拡散量を大幅に増大するという問題がある。これに対し、砒素、リン混合注入プロセスを用いると、例えば砒素 4.0 keV とリン 2.0 keV の単独注入を結ぶ直線上の値を得ることができるといえる。この条件では、接合深さ 50 nm から 150 nm の領域において、わずかな過渡増速拡散量の増大で接合深さを深くする(最適化する)ことが可能であることが分かった。

以上得られた砒素、リン混合注入プロセスの結果をまとめる。

- 砒素、もしくは、リンの単独注入では、過渡増速拡散長と接合深さを独立して制御することは困難である。
- 砒素、リン混合注入プロセスを用いると、過渡増速拡散長と接合深さを独立して制御できる。このため、わずかな過渡増速拡散長の増大で接合深さを深くすることが可能である。

以上の結果より、NMOS-FETの深いS/D形成プロセスとしては、砒素とリンの混合注入プロセスを用いるべきである。

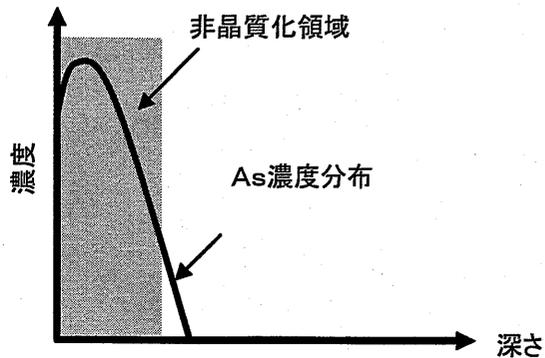
3. 3. 2. 4 砒素、リン混合注入プロセスの考察

ここでは、砒素、リン混合注入プロセスを用いることで、注入ダメージを増大させることなく接合深さを深くできたメカニズムについて考察する。混合注入では、まず、砒素イオンを注入する。本研究で用いたように、低抵抗の浅い接合の形成には低加速で高ドーズの注入を行う。前節で述べたGeと同様Asをこのように低加速、高ドーズ条件でシリコン結晶中に注入すると、表面近傍が非晶質化される(図3.21(a))。次に、リンイオンを注入する。適当な注入加速電圧を撰択すると、注入イオンの大部分は図3.21(a)で形成した非晶質化領域に導入されることになる。非晶質層はもともと原子位置がランダムで結晶格子を持たないため、注入点欠陥は発生しない。注入リン濃度分布の非晶質領域から深さ方向にはみ出したイオンのみが点欠陥を発生させる。したがって、リン単独注入の場合と比較して、注入による点欠陥の発生量が大幅に低減される(図3.21(b))。この砒素、リンが注入された基板に熱処理を施すとそれぞれ拡散する。リンは砒素と比較して拡散係数が大きいので、より深く拡散する。N型不純物拡散層の正味のキャリア濃度は、砒素、および、リンからのキャリア濃度の和となるので、リン分布はキャリ

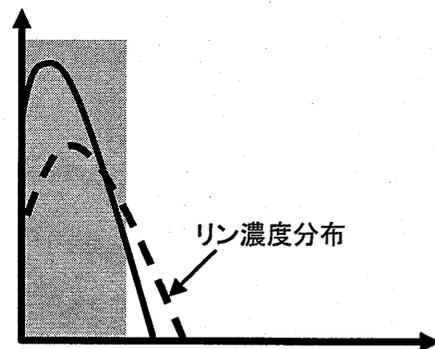
ア浓度プロファイルのテイルを形成し接合深さを深くする効果がある (図 3. 2 1 (c))。

図 3. 2 2 は、実際に砒素、リン混合注入プロセスで形成した N 型拡散層の砒素、および、リン濃度深さ分布の一例を示したものである。既に述べた混合注入条件と比較すると、砒素の注入加速電圧とドーズ量がわずかに高いが、混合注入メカニズムは同様である。図より、砒素は表面近傍に高濃度にドーピングされ、深さ方向に急峻に濃度が減少している。一方、リンは低ドーズであるにもかかわらず、深くまで拡散して、正味の N 型不純物分布としては、拡散テイルを形成している。また、この条件での過渡増速拡散量は、砒素単独注入 (8.0 keV) の場合とほぼ同一であった。したがって、リン注入に起因する点欠陥発生は、砒素注入による非晶質化効果でほぼ抑制され、かつ、リンは深く拡散して接合深さを深くしたものと考えられる。

(a) As 注入によるシリコン結晶表面の非晶質化



(b) 非晶質領域への P 注入



(c) 結晶回復熱処理

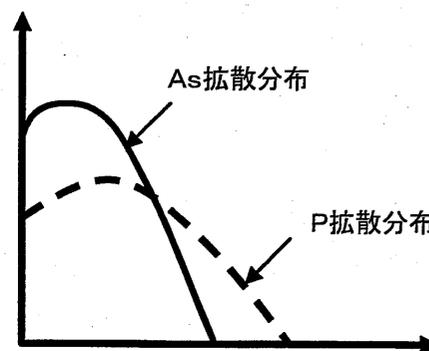


図 3. 21 As, P 混合注入プロセス

3. 3. 2. 5 砒素、リン混合注入プロセスによる接合リーク低減

以上述べた砒素、リン混合注入プロセスを用いて NMOS-FET の深い S/D に相当する N⁺/P 接合を形成し、そのリーク電流低減効果を検証した。接合形成プロセスは、設計寸法 130 nm 世代の NMOS-FET 製造プロセスを用いた。まず、素子分離領域を形成した後、チャンネルに相当する注入としてボロンイオンを加速電圧 30.0 keV、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ の条件でシリコン基板に注入した。次に、S/D エクステンション注入を想定し、砒素イオンを 4.0 keV の加速電圧でドーズ量 $5 \times 10^{15} / \text{cm}^2$ の条件で注入した。その後、S/D エクステンション注入ダメージを受けた結晶

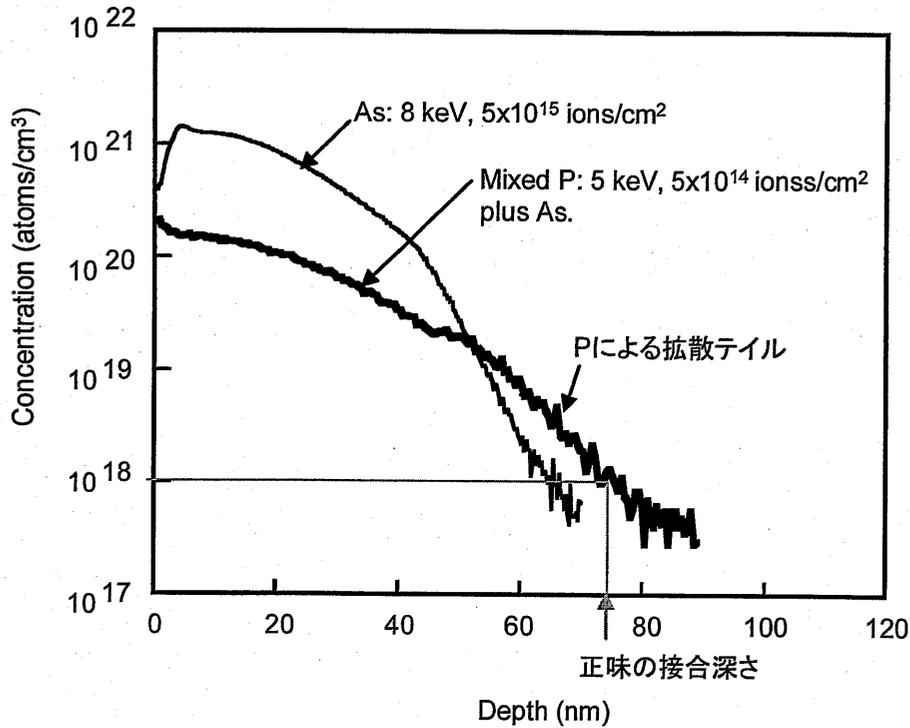


図3. 22 As、P混合注入プロセスで形成した拡散層の不純物分布

を回復するため、1000 °C、10 秒の熱処理を施した後、深いS/D注入を行なった。深いS/D注入は、砒素イオンを単独で加速電圧8.0 keV、ドーズ量 $5 \times 10^{15} / \text{cm}^2$ の条件で行なった。比較条件として、同一条件の砒素注入後にリンイオンを加速電圧5.0 keV、ドーズ量 $5 \times 10^{14} / \text{cm}^2$ の条件で追加注入した。同時に、コントロールサンプルとして、砒素イオンを加速電圧30.0 keV、ドーズ量 $5 \times 10^{15} / \text{cm}^2$ の条件で注入した場合についても評価した。深いS/D注入を行なった後、再度結晶回復熱処理を1000 °C、10 秒の条件で施しN⁺/P接合を形成した。その後、N⁺拡散層上にCoSi₂膜を形成し測定サンプルとした。

図3. 23は、以上のプロセスを経て形成したN⁺/P接合の接合リーク特性を示したものである。本研究では、イオン注入欠陥や金属シリサイド膜 (CoSi₂膜) 起因の接合リーク増大を感度よく評価するため、リーク電流の面積成分の寄与が大きい接合パターン (矩形形状で、十分大きな面積 (500 μm × 500 μm) をもつ接合パターン) で評価を行なった。図より、砒素単独注入条件では、逆バイアス電圧が低い領域から急激なリーク電流の増加が観測された。これは、接合が浅いため、CoSi₂膜の一部が接合を突き抜けているためと考えられる。一方、砒素、リン混合注入プロセスを用いた場合、リーク電流が大幅に低減された。これは、追加注入されたリンの拡散テイルにより接合深さが深くなった効果であると考えられる (図3. 22)。この混合注入プロセスによるリーク電流特性については、コントロー

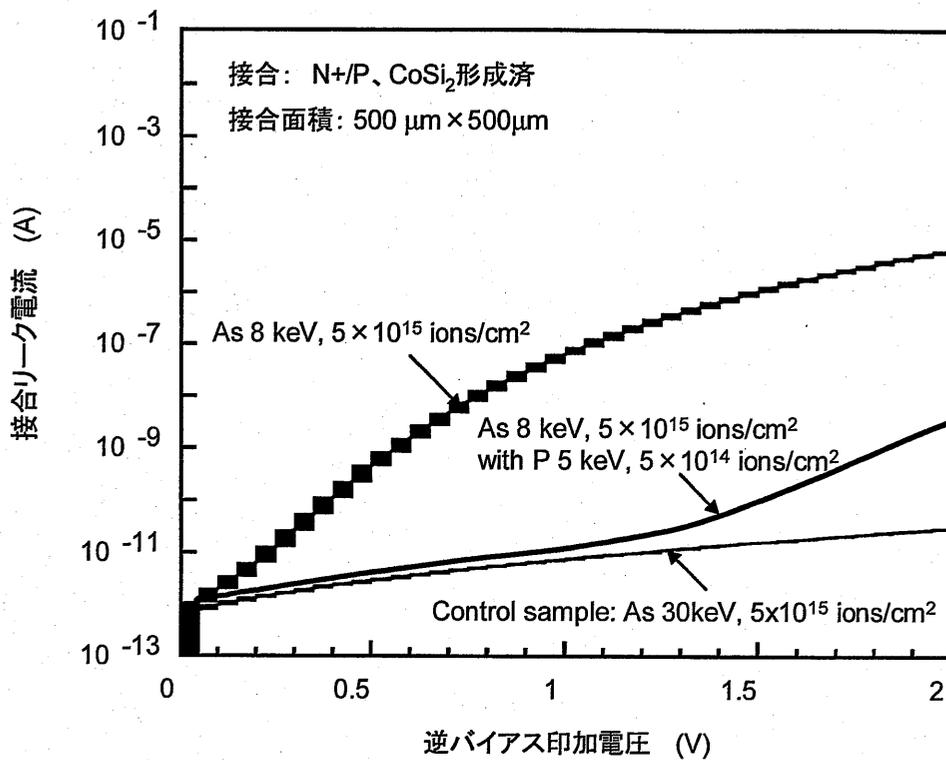


図3. 23 N+/P接合の逆バイアス電圧印加時にリーク電流特性

ルサンプルと比較すると高バイアス電圧 (> 1.2 V) 側でリーク電流が若干増加する傾向が見られた。今後、MOS-FETの動作電圧は、消費電力低減の要請から低くなる傾向にあるため (< 1.0 V)、ここで述べたプロセスは今後のLSI製造に十分適用可能であると考えられる。

3. 4 本章のまとめ

本章では、イオン注入工程における注入欠陥抑制法の研究成果について述べた。まず、注入ダメージに起因する不純物の増速拡散現象をLSIプロセスとの関係から説明した。次に、本研究で用いた注入ダメージの定量化手法について述べた。その後、PMOS-FET, NMOS-FETの場合について、注入欠陥を抑制して浅い接合を形成するためのイオン注入プロセスを提案し、実証した。以下に本章で述べた研究で得られた成果をまとめる。

イオン注入に伴う点欠陥の発生

イオン注入による接合形成プロセスでは、注入ダメージに起因する点欠陥が発生し、この点欠陥と導入した不純物イオンが後の熱処理工程で相互作用し不純物拡散を増速する。したがって、浅い接合を形成するためには、このイオン注入に伴う点欠陥の発生を抑制する必要があることを述べた。

MOS-FETのS/D形成時に発生する点欠陥の及ぼす影響

S/D領域へのイオン注入で発生した点欠陥は、後の結晶回復熱処理時にS/Dの浅い接合領域、ならびに、チャンネル領域に拡散し、これらの領域の不純物を再分布させる。MOS-FETを微細化するためには、S/D領域の浅接合化と急峻な深さプロファイルを持つチャンネル形成が重要であるため、点欠陥発生量の抑制が重要であることを述べた。

注入点欠陥の定量化

イオン注入に伴う点欠陥の定量化手法について検討した。点欠陥を定量化することは、不純物拡散を抑制し、浅い接合を形成するために不可欠である。UHV-CVDを用い、ボロン、および、リンの δ ドーパ層を有するシリコン超格子を形成した。この超格子に点欠陥を発生させる原因となるイオンを注入し、その後、結晶回復熱処理を施しで δ ドーパ層を拡散させた。 δ ドーパ層は熱処理時に発生した点欠陥密度に比例して拡散するため、 δ ドーパ層の再分布を測定することで、点欠陥の発生量を定量化した。

PMOS-FET形成における注入点欠陥の抑制

点欠陥の定量化手法をPMOS-FETのS/D形成プロセス最適化に応用した。PMOS-FETでは、深いS/Dおよび浅いS/Dエクステンション領域形成のため、P型不純物を注入する。この注入に伴う点欠陥の発生でチャンネル領域のN型不純物が

再分布する。また、深いS/D注入に伴う点欠陥の発生で、S/Dエクステンション領域の不純物が再分布する。したがって、深いS/D注入、ならびに、S/Dエクステンション注入で発生する点欠陥量を最小にすることが重要である。点欠陥発生量について、ボロン単独注入とゲルマニウム非晶質化注入プロセスについて、超格子基板を用いて定量化した。その結果、ボロン単独注入では、点欠陥発生量は注入加速電圧依存性を持ち、低加速電圧ほど点欠陥発生量を抑制できることがわかった。一方、ゲルマニウム非晶質化注入プロセスでは、点欠陥発生量はボロンの注入加速電圧依存性を持たないことがわかった。点欠陥発生量について、ボロン単独注入と非晶質化注入を比較した結果、ボロンの注入加速電圧が1.0 keV以上では非晶質化注入が、それ以下では単独注入が点欠陥発生量を低減できることがわかった。以上の結果より、深いS/D形成はゲルマニウム非晶質化注入プロセスを用いボロンを加速電圧1.0 keV以上で注入するプロセスが、S/Dエクステンション形成はボロン単独注入を用い、加速電圧1.0 keV以下で注入するプロセスを用いるべきである。

NMOS-FET 形成における注入点欠陥の抑制

PMOS-FETの場合と同様の手法を用い、NMOS-FETの形成プロセスを最適化した。NMOS-FETのS/D形成に用いる砒素、および、リン注入に伴う点欠陥の発生量について超格子基板を用いて定量化した。点欠陥の発生量は注入加速電圧の低減で減少した。同一加速電圧で比較すると、砒素注入の方が点欠陥の発生は抑制された。また、接合深さは、砒素注入の方が浅いことがわかった。したがって、浅いS/Dエクステンション形成は、砒素注入を用いるべきであると結論した。また、深いS/D形成では、砒素注入では接合が浅くリーク電流が増大する問題があった。このため、砒素注入とリン注入を組み合わせるプロセスを提案した。このプロセスは、あらかじめ砒素注入を行ってシリコン結晶表面を非晶質化し、その後、リンを注入するプロセスである。リンは砒素と比較して拡散係数が大きいいため、接合を深くする効果がある。リンは砒素と比較して点欠陥発生量が多いが、砒素で非晶質化した領域に注入することでリン注入起因の点欠陥発生量を低減できることがわかった。この砒素、リン混合注入プロセスを用いてN⁺/P接合を形成した後、N⁺拡散層中に金属シリサイド層を形成して接合リーク電流を評価した。その結果、このプロセスを用いることで、砒素単独注入の場合に比較して大幅にリークを低減することができた。したがって、深いS/D注入については、砒素、リンの混合注入プロセスを用いるべきであると結論した。

以上、本章ではイオン注入法を用いた浅い接合形成プロセスをPMOS-FET、NMOS-FETの場合について最適化した。

参考文献

- [1] 谷口 研二、応用物理、第69巻、第4号 (2000)
- [2] S. Shishiguchi, A. Mineji, T. Yasunaga and S. Saito, 1998.6, Hawaii, IEEE Symposium on VLSI Technology, pp134-135, "33nm ultra-shallow junction technology by oxygen-free and point-defect reduction process"
- [3] S. Shishiguchi, A. Mineji and T. Matsuda, 1999.5, Seattle, ECS Spring Meeting, Proceedings of Advances in Rapid Thermal Processing, (1999) 105-116, "Shallow junction formation by low energy implant and high ramp-up RTA"
- [4] T. Tatsumi, et al., "SiGe/Si heterostructures", Ext. Abst. of SSDM, 668-670 (1992)
- [5] K. Imai, S. Shishiguchi, K. Yamaguchi, N. Kimuzuka, H. Oonishi and T. Horiuchi, 1999.6, Hawaii, IEEE Symposium on VLSI Technology, pp51-52, "A source/drain technology utilizing sub-10keV arsenic and assist-phosphorous implantation for 0.13um MOS-FET"
- [6] S. Shishiguchi, A. Mineji, T. Matsuda and K. Kitajima, 1999.9, Napa, Ion Implantation Conference (IICON), "Advanced S/D formation process for deep sub-quarter micron CMOS-FETs".
- [7] 獅子口、峰地、松田、1998.12、法政大学、イオンビーム工学シンポジウム、「超低加速イオン注入とプレアモルファス化技術を用いたPMOS-FETのソース・ドレイン形成条件の最適化」
- [8] A. Mineji, S. Shishiguchi, T. Matsuda and S. Saito, 1998.6 Kyoto, International Conference on Ion Implantation Technology, "Reduction of Point Defects in PMOS Source/Drain Formation"
- [9] 峰地、獅子口、斉藤、1998.3、東京工科大学、春季応用物理学会、「Deep-S/D形成時のイオン注入欠陥が不純物再分布へ及ぼす影響」
- [10] 峰地、獅子口、斉藤、1997.10、秋田大学、秋季応用物理学会、「0.2keV-シングル B 注入による浅接合形成」

第4章 注入イオン活性化熱処理の最適化による浅い低抵抗拡散層の形成

4. 1 はじめに

イオン注入プロセスで接合を形成するためには、イオン注入により不純物を導入する工程と熱処理による不純物を活性化する工程が必要である。前章ではイオン注入工程について点欠陥の発生に注目し、不純物の拡散の抑制法について述べた。本章では、活性化熱処理条件について研究した成果を述べる。

イオン注入後の熱処理は、点欠陥や転位など結晶中に導入された注入欠陥を回復させると同時に、導入不純物を結晶内部に拡散させる。結晶中に拡散した不純物は、回復した結晶格子の置換位置に配置され、電気的に活性化する。したがって、不純物拡散を抑え、できるだけ低抵抗のS/D拡散層を得るためには、この活性化熱処理条件の最適化が重要となる。熱処理条件としては、熱処理温度と時間から決まる熱履歴と熱処理時に炉内に導入する雰囲気ガスなどで決定される雰囲気がある。さらに、LSI製造プロセスでは、表面にLSI形成工程で形成されたカバー膜など構造的な条件を考慮する必要がある。本研究では、まず、熱履歴について考察し、高速昇温・短時間熱処理の提案を行う。次に、熱処理雰囲気や基板構造の影響について得られた結果を述べる。最後に最適熱処理条件についてまとめる。

4. 2 熱処理温度・時間の接合に与える影響

本節では、活性化熱処理条件のなかで、温度、時間で決まる熱履歴の影響について述べる。

4. 2. 1 高速昇温・短時間熱処理の提案

不純物の結晶中の拡散係数は温度の関数であり、Si結晶中では一般に低温ほど小さい。従って不純物拡散を抑制するためには低温で熱処理することが望ましい。同時に、結晶中の不純物固溶度も温度の関数であり、これは、高温ほど高い。したがって、より低抵抗の不純物拡散層を形成するためには、高温で熱処理することが望ましい。このように、イオン注入後の熱処理は、浅接合化と低抵抗化という二つの相反する特性を満足させる必要がある。

高速昇温・短時間熱処理のコンセプト

図4. 1は、活性加熱処理プロセスについて、高温短時間プロセスと低温長時間プロセスを比較したものである。ここでは、簡単のために不純物濃度分布の形状を矩形と仮定した。図で、高温短時間プロセスを実線で、低温長時間プロセスを破線で示した。熱処理で活性化可能な不

純物濃度には上限界があり、その温度でのシリコン結晶中での不純物固溶度が上限界である。拡散層抵抗は、活性化した不純物の総数で決定されるため、固溶度以下の不純物の総数（図中の矩形不純物プロファイルの面積）から換算できる。低温熱処理では不純物固溶度が低い（図中 C_L ）。このため、低抵抗の拡散層を得るためには長時間の熱処理を施して、不純物を十分拡散させる必要がある。結果として、接合深さは深くなる（図中 X_D ）。一方、高温では不純物固溶度が增大する（図中 C_H ）。

このため、浅い接合深さ（図中 X_S ）で低温長時間熱処理の場合と同等の拡散層抵抗を得ることが可能である（ $C_H \times X_S = C_L \times X_D$ ）。このように、拡散層抵抗を低減するためには、できるだけ高温で熱処理することが望ましい。ただし、高温条件下では不純物の拡散係数が大きいため、浅い接合を形成するためには、熱処理時間をできるだけ短くする必要がある。

第2章で述べたように、従来、イオン注入後の活性化熱処理は抵抗加熱炉と呼ばれる電気炉が用いられていた。この熱処理炉は、炉体の熱容量が大きいため、温度の昇降温速度が遅く被熱処理基板の受ける熱履歴が大きという問題があった。最近では高輝度のランプ光を基板に照射して短時間で基板を加熱するランプ加熱炉を用いたRTA（高速熱処理炉）が実用化され、LSI製造プロセスに使用されるようになっていく。図4. 2は抵抗加熱炉とランプ加熱炉の熱処理シーケンスを示したものである。図

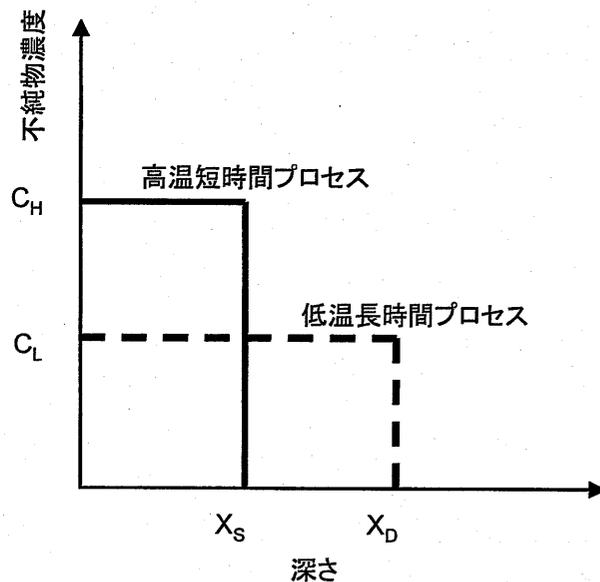


図4. 1 不純物の活性化熱処理プロセス

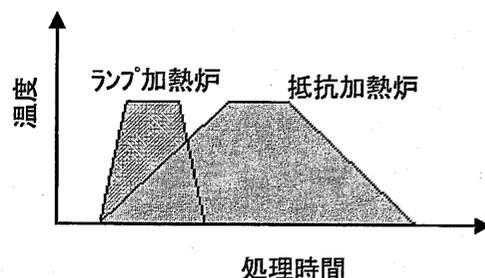


図4. 2 熱処理炉

中に示した温度プロファイルの面積が基板が受ける熱履歴である。同一温度で、同一時間の熱処理を行う場合、昇降温速度が速いランプ加熱炉を用いることで熱履歴を低減できることが分かる。

本研究では、このRTAプロセスを発展させて、より浅く低抵抗の拡散層形成プロセスを開発した。図4.3に、高温・短時間熱処理のコンセプトを示した。熱処理の高温化によって不純物の固溶度を上昇させ、拡散層抵抗を低減する。この高温化により不純物拡散が加速されるが、熱処理プロセスの短時間化、高速昇温化によって抑制する。

図4.4にRTA熱処理時の温度履歴を示した。熱処理は所望の温度まで昇温する工程、所望温度を一定時間保持する工程、及び、降温する工程から構成される。昇温時、降温時の傾きを昇温速度、降温速度という。従来のRTA処理プロセスでは、室温から昇温速度25℃/秒の速度で所望の温度まで昇温した後、数10秒間保持し、その後室温まで冷却していた(図4.4(a))。本研究では、できるだけ熱履歴を小さく抑えるため、昇温後の温度保持を行わない(保持時間0秒)RTA処理を試みた。実際には、被処理基板の温度は有限時間(実際には50ms周期)で制御しているため、保持時間は0秒ではない。また、被処理基板は熱容量を持つため、到達温度でランプ電源を切断しても瞬時には基板温度は降下しない。ここでは、RTA装置の温度制御設定値として名目的に保持時間を0秒と記述した。また、この熱処理法は本研究で考案、採用したものであるが、最近では、スパイク熱処理と呼ばれ

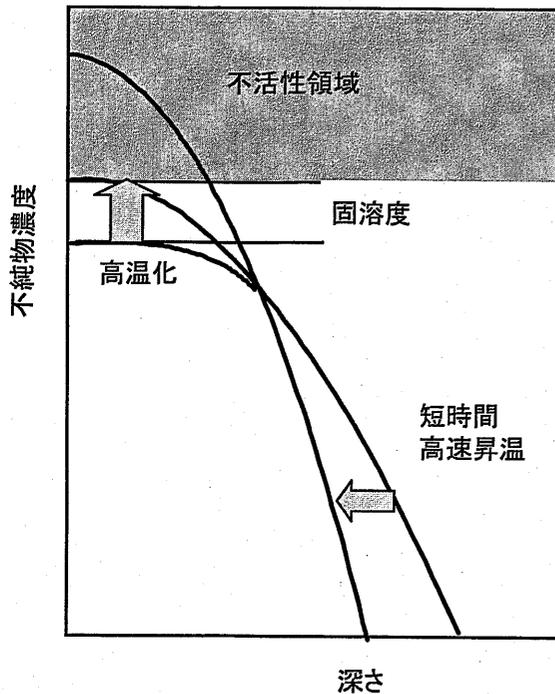
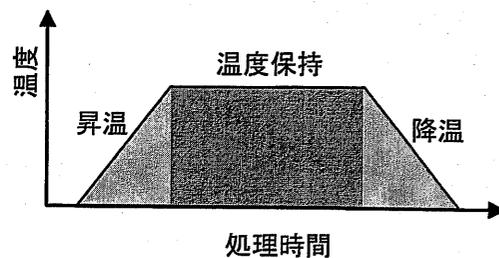


図4.3 高速昇温・短時間熱処理のコンセプト

(a) 通常のRTA処理



(b) スパイクRTA処理

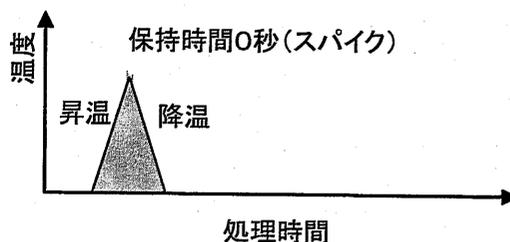


図4.4 活性化熱処理中の温度履歴

ているので、以下、場合に応じてこの名称も使用する [1]。一方、昇温速度についてもランプ電力の増強などにより高速化を試みた。従来の、数10秒の温度保持を行うプロセスでは、不純物拡散は到達温度での保持工程でほぼ決まっていた。しかしながら、本研究で提案した温度保持を行わないスパイクプロセスでは、基板が受ける熱履歴は昇降温時のみに限定される。したがって、昇降温の速度が不純物の熱拡散に大きく影響することになる。すなわち、従来RTAプロセスでは25℃/秒程度の昇温速度で十分であると考えられていたが、スパイク条件ではさらに高速な昇温速度が必要になると想定した。このスパイク熱処理における高速昇温条件は、昇温時の炉体温度上昇が少ない。このため、降温速度が速くなる効果もあると考えられる。

4. 2. 2 高速昇温・短時間熱処理の効果

以上述べた、高速昇温・短時間熱処理の効果について述べる。評価には、拡散係数が大きく、浅い接合形成が困難なボロンを用いた。また、注入プロセスとしてはゲルマニウムによる非晶質化注入を用いた。これは、注入時のボロンイオンチャネリングを防止するためである。チャネリングで深く注入されるボロンは、熱処理後の不純物拡散テイルと重なる可能性がある。

まず、シリコン(100)単結晶基板に対し、ゲルマニウムイオンを加速電圧5.0 keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ の条件で注入し、基板表面を非結晶化した。次に、ボロンイオンを加速電圧1.0 keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ の条件で注入した。その後、活性化熱処理を施してボロンを結晶中に拡散させた。熱処理時の到達最高温度は、不純物固溶度を向上させるため1100℃と高温化した。昇温速度は、従来条件である25℃/秒から、研究に用いたRTA装置での最高速度である400℃/秒とした。最高温度での保持時間は、スパイク条件である0秒から従来の最短条件である10秒とした。

まず、不純物ボロン拡散に対する熱保持時間依存性を図4.5に示した。実験条件は、熱処理の保持温度1100℃、昇温速度400℃/秒である。図には、熱拡散前の注入プロファイルも同時に示した。図より、1100℃という高温下では、通常条件(10秒)では100nm以下の浅い接合を形成することができないことが分かった。保持時間を短くすると不純物拡散は大幅に抑制された。短時間化は浅接合化に効果があることが確認された。ただし、0秒のスパイク熱処理と1秒条件ではその差はわずかであった。これは、既に述べたように、被処理基板が熱容量を持つため加熱遮断後に瞬時に降温できないためであると考えられる。

次に、不純物ボロン拡散に対する昇温速度依存性を図4.6に示した。実験条件

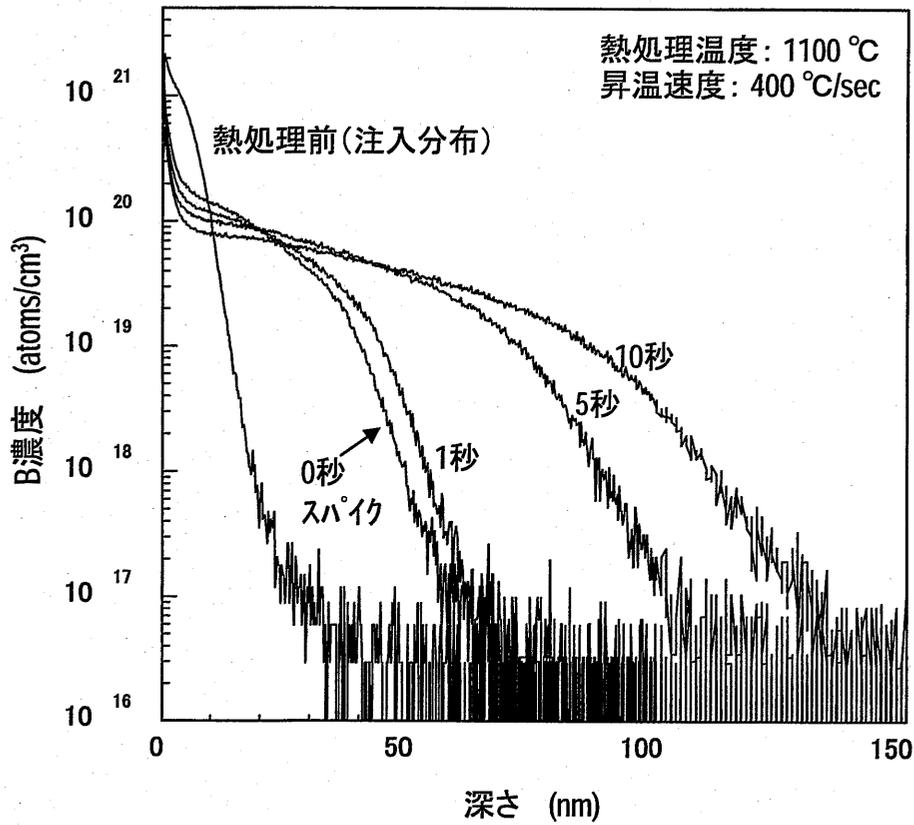


図4.5 不純物拡散に与える保持時間の効果

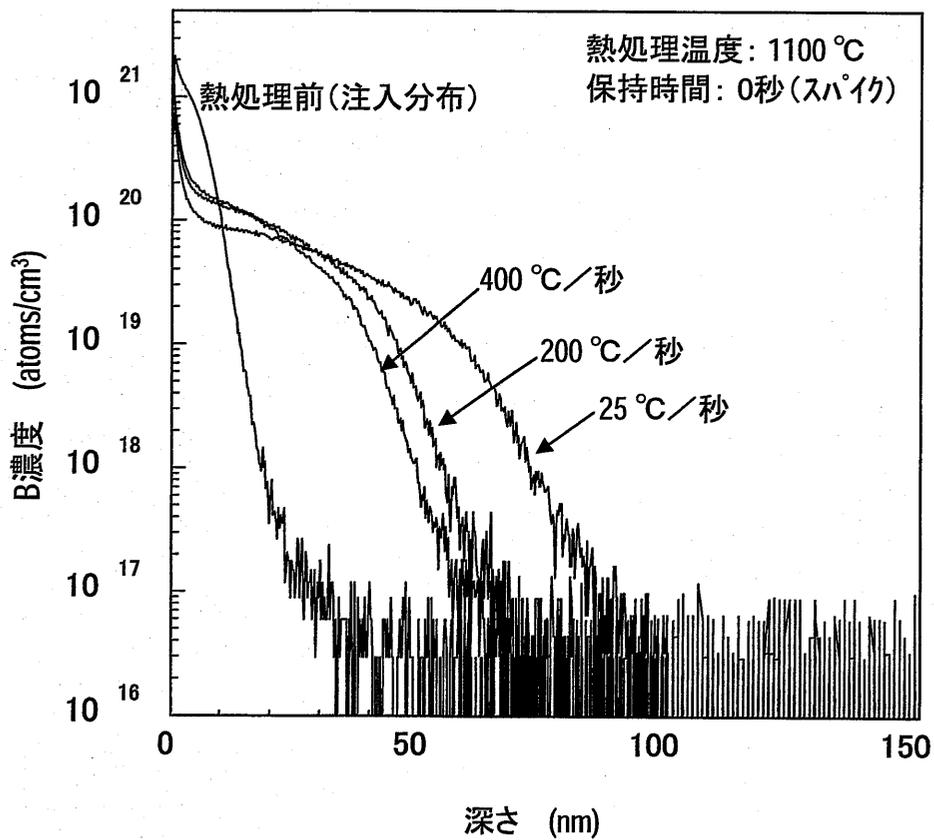


図4.6 不純物拡散に与える昇温速度の効果

は、熱処理温度 1100 °C、熱処理時間 0 秒のスパイク条件である。図より、高温スパイク熱処理では、不純物ボロンの拡散は昇温速度依存性を持つことが分かった。前述したように、従来の RTA 条件では保持時間が長いため、昇温時に基板が受ける熱履歴は無視できた。しかし、スパイク条件では、この影響を無視できないことが確認された。従来条件 (25 °C/秒) と比較して 200 °C/秒では不純物拡散の大幅な抑制効果が認められた。一方、昇温速度 200 °C/秒と 400 °C/秒の差は大きくなかった。これは、保持時間依存性からもわかるように、現状の RTA 装置を用いたスパイク処理では、実際には保持時間 0 秒が実現されていないためと考えられる。すなわち、装置が熱容量を持つため、実効的に 1 秒程度の保持熱処理時間になっているものと考えられる。今後、実保持時間をさらに短縮できた場合、昇温速度の効果は高速側 (数 100 °C/秒) でさらに顕著になると考えられる。

以上述べたように、本研究で提案した高速昇温・短時間条件は、イオン活性化熱処理時の不純物拡散を効果的に抑制できることがわかった。次に、この高速昇温・短時間熱処理と高温熱処理を組み合わせることで、不純物の拡散層抵抗を低減できることを述べる。

図 4. 7 に高温短時間熱処理と低温長時間熱処理のボロン拡散を比較した。この

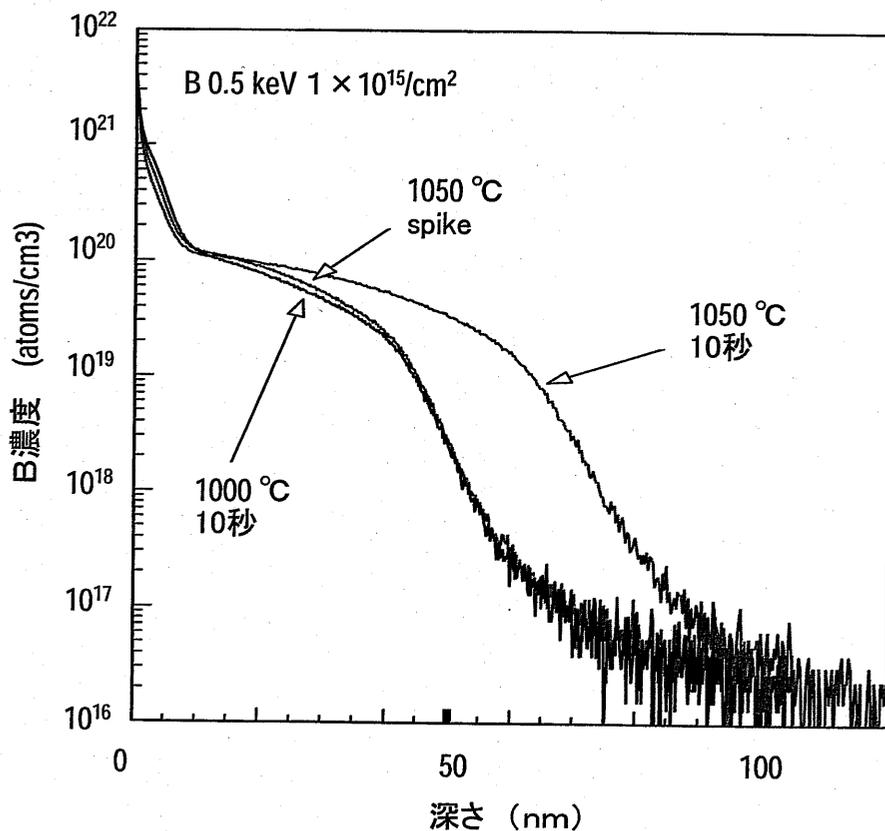


図4. 7 高温短時間熱処理と低温長時間熱処理の比較

図では、ボロンの注入条件として、加速電圧 0.5 keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ の場合についての結果を示した。固溶度を増大させて拡散層抵抗を低減するためには、高温化が有効であった。しかし、図に示したように、同一の保持時間 (10 秒) で、処理温度を 1000 °C から 1050 °C まで 50 °C 上げると、ボロン拡散は大幅に増大した。これに対し、高温 (1050 °C) 条件での保持時間を 0 秒まで短縮 (スパイク条件) すると、高温下での拡散を抑制でき、低温 (1000 °C)、長時間 (10 秒) 条件と同等の接合深さを得るまでに拡散を抑えることができた。すなわち、高温熱処理であってもスパイク条件で熱処理することで、低温熱処理と同等の浅い接合を得ることができることがわかった。

図 4. 8 は、ボロン注入加速電圧を 0.2 keV から 2.0 keV の範囲で変えた場合の拡散層抵抗と接合深さの関係を示したものである。図中、破線上の点は 1000 °C 熱処理の、実線上の点は 1050 °C 熱処理の測定点をそれぞれ示している。図より、同一熱処理温度で比較した場合、ボロン注入の加速電圧が低くなると接合深さは浅くなり、拡散層のシート抵抗は増大した。次に、熱処理温度依存性を評価した。1000 °C 熱処理で注入加速電圧と熱処理時間を変化させて得られた破線プロットに対し、1050 °C 熱処理で得られた実線プロットを比較した。1050 °C で得られた実

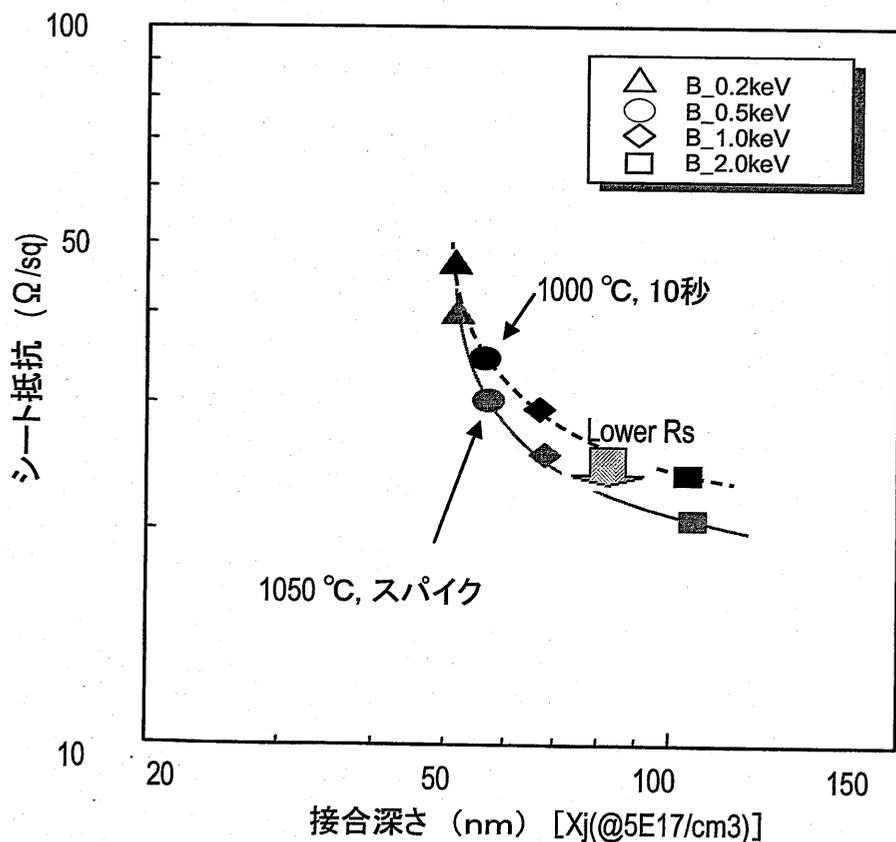


図4. 8 熱処理温度の高温化による拡散層抵抗低減

線は、より図の原点方向に配置していることがわかった。すなわち、同一の接合深さを得るための注入加速と熱処理時間を比較すると、高温熱処理の方がより低い拡散層抵抗を得ることが可能であることが分かった。逆に、同一の拡散層抵抗を得る注入加速と熱処理時間について比較すると、高温熱処理を用いた場合の方が、浅い接合を得ることが可能であることがわかった。例えば、ほぼ同一の接合深さを与える 1000 °C / 10 秒の低温長時間熱処理と 1050 °C / スパイクの高温短時間熱処理とを比較する (図 4. 7 参照)。1050 °C / スパイク条件 (高温短時間熱処理) の場合に、より低い拡散層抵抗を得ることが可能であることがわかった (図 4. 8)。

以上、本節では、注入イオンの活性化熱処理について、高速昇温・短時間熱処理を提案し、その効果を実証した。次節では、熱処理雰囲気の影響について議論する。

4. 3 熱処理雰囲気の影響

本節では、注入イオンの活性化熱処理において、雰囲気が接合に与える影響について述べる。熱処理雰囲気としては、処理炉内の雰囲気ガスや、被処理基板結晶のカバー膜など表面状態の影響を評価した。

4. 3. 1 酸素の影響

本節では、まず、熱処理炉内の酸素の影響について検討した。第3章で述べたように、不純物拡散は結晶中に点欠陥が存在すると増速する。この点欠陥による増速拡散は、イオン注入ダメージ起因の過渡増速拡散(TED)とシリコン結晶表面の酸化が原因で生じる酸化増速拡散(OED)がある。浅接合を形成するためには、過渡増速拡散と同時に酸化増速拡散を抑制する必要がある。第3章では、イオン注入起因の過渡増速拡散について詳しく述べた。ここでは、酸化起因の酸化増速拡散について研究した結果を述べる。尚、第3章で述べた結果は、全て雰囲気中に酸素添加の無い条件での結果であることを追記しておく。

4. 3. 1. 1 酸素添加雰囲気でのボロン拡散

従来LSI製造ラインでは、10%程度の酸素雰囲気でRTA処理を行っていた。そこで、まず、この条件で、雰囲気酸素の注入ボロン拡散に与える影響を調べた。図4.9に、ボロン注入加速電圧が比較的高い5.0 keVの場合について、酸素の影響を示した。熱処理温度は従来条件である保持温度1000℃、保持時間10秒とした。図から分かるように、5.0 keV程度の比較的高い加速電圧で注入したボロン拡散では、熱処理雰囲気中での酸素の影響は見られなかった。100%窒素雰囲気と酸素10%雰囲気の拡散プロファイルはほぼ一致した。この結果は、比較的深い接合で形成する従来のLSIでは、RTA処理雰囲気を考慮する必要がなかったことを示している。

一方、図4.10は、ボロンを0.5 keVという超低加速電圧で注入した場合について、熱処理時の雰囲気の影響を調べたものである。熱処理温度、保持時間は5.0 keVの場合と同一条件とした。図より、100%窒素雰囲気の場合と比較して酸素を10%添加した雰囲気では、ボロン拡散が大幅に増大していることがわかった。すなわち、本研究で対象にする超低加速電圧条件のイオン注入法を用いた場合には、熱処理雰囲気の制御(酸素濃度の低減)が重要であると結論できる。

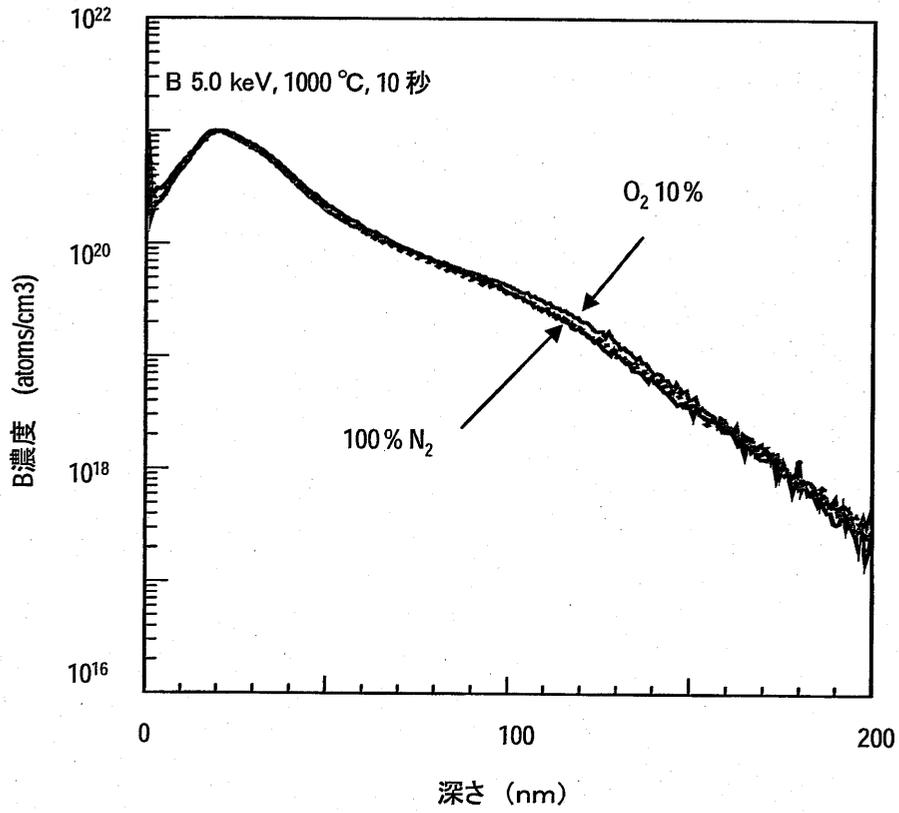


図4. 9 高加速電圧注入条件での酸素のボロン拡散に与える影響

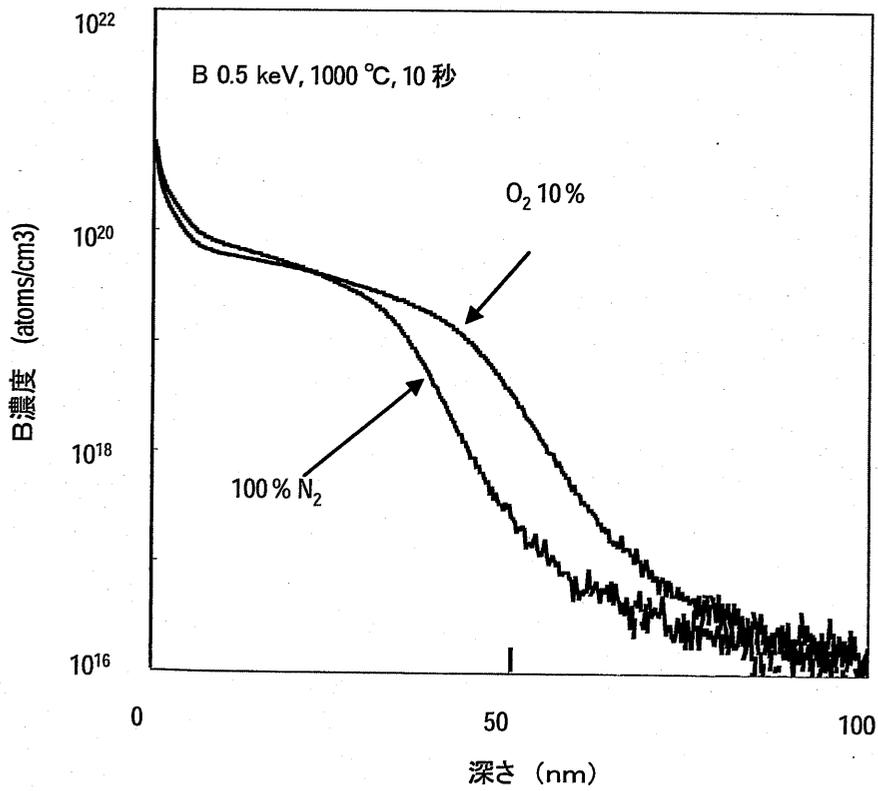


図4. 10 低加速電圧注入条件での酸素のボロン拡散に与える影響

4. 3. 1. 2 イオン注入基板の酸素添加熱処理における点欠陥発生機構

注入加速電圧の低減により酸素増速拡散が顕著化した現象について、点欠陥発生
の立場から考察する。考察には、第3章で開発した超格子基板を用いた点欠陥発生
量の定量化手法を適用した。

まず、酸素添加雰囲気中で熱処理を行った場合の点欠陥発生過程を考察し、次節で
これを定量化する。

図4. 11に酸素添加雰囲気中でRTA処理を行った場合の点欠陥発生過程を模式
的に示した。このプロセスで発生する点欠陥は、注入ダメージに起因する点欠陥と
表面酸化による点欠陥がある。いずれの点欠陥も格子間シリコンであり、ボロンと
対を成して拡散速度を増速させる。前者のイオン注入起因の増速拡散は、注入起因

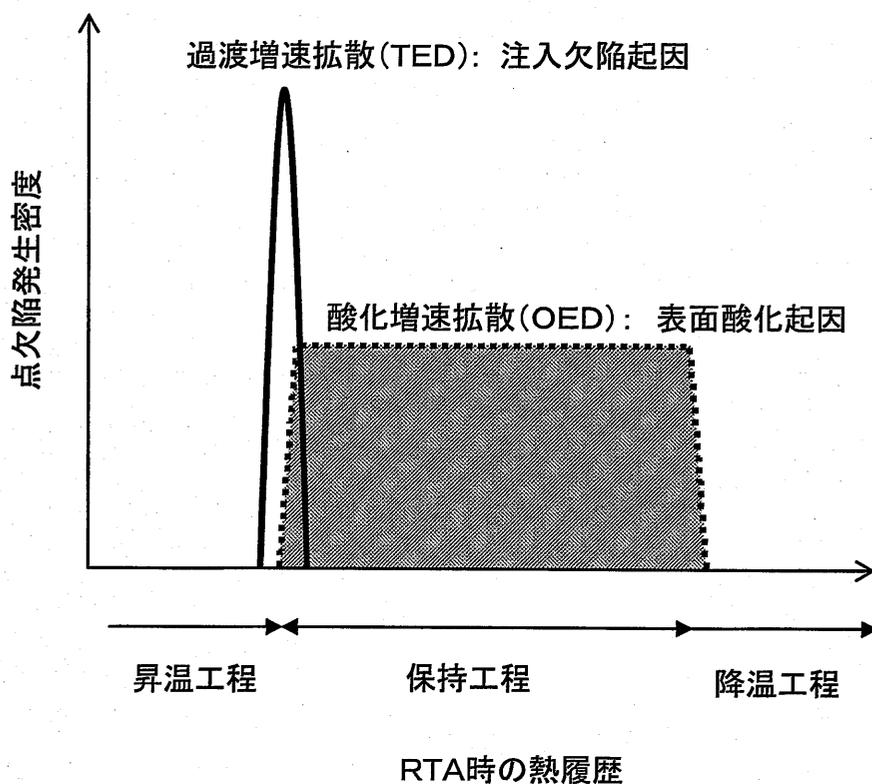


図4. 11 RTA時の点欠陥発生密度

で発生した転位が溶解する過程で発生すると報告されており、過渡増速拡散と呼ば
れている [2]。この現象は、熱処理初期の早い段階で過渡的に発生する。例えば、
1000 °C程度の高温条件では、転位の発生、溶解速度が速いため、1秒以下の非常
に短い時間で完了する (図4. 11の実線を参照)。一方、後者の酸化増速拡散は、
酸素が供給される限り RTA 処理の全工程で発生する (図4. 11の点線を参照)
[3]。

4. 3. 1. 3 点欠陥発生量の定量化

図4. 1 1で示した過渡増速拡散、および酸化増速拡散について、発生する点欠陥量を分離して定量化した。定量化には、前章同様のボロン δ ドープ層を持つシリコン超格子基板を用いた。ただし、後で示すように、本章で用いた超格子基板は、超格子の周期が若干大きいことと、ボロン δ ドープ層が3層あるなど前章と若干の違いがある。しかし、点欠陥発生量は δ ドープ層の拡散広がりによって評価するため、本質的な違いはない。

図4. 1 2にボロン注入起因の過渡増速拡散(TED)と結晶表面酸化起因の酸化増速拡散(OED)を定量化するための実験を示した。図中(a)に示したように、過渡増速拡散(TED)の定量化は、超格子基板表面にボロンイオンを注入し、その後、100%窒素雰囲気中で熱処理することで行った。一方、酸化増速拡散(OED)の定量化では、図中(b)に示したように、イオン注入は行わない。熱処理は10%酸素雰囲気で行った。尚、比較のためにイオン注入を行わず、100%窒素雰囲気中で熱処理する実験も同時に行った。熱処理温度は1000℃、保持時間は10秒とした。

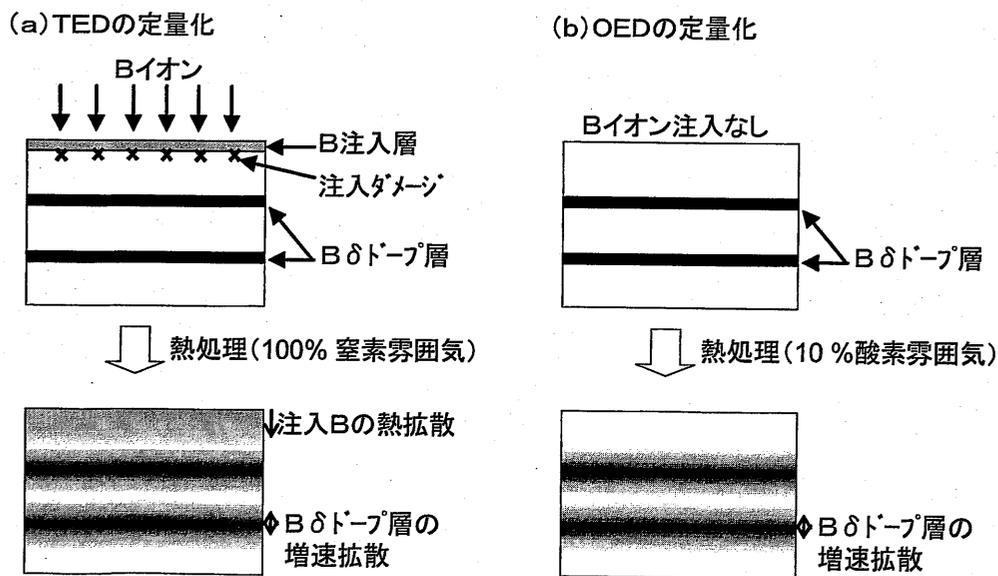


図4. 12 ボロン注入起因TEDと酸化起因OEDの定量化

図4. 1 3は、酸素添加雰囲気中で熱処理を行った後の超格子基板中のボロン濃度深さ分布を示したものである。測定はSIMSを用いた。図中には、熱処理前の超格子基板中ボロンの濃度分布、レファランスとした100%窒素雰囲気中で熱処理した場合の濃度分布(増速拡散の無い真性熱拡散分布)、および、酸素10%雰囲気

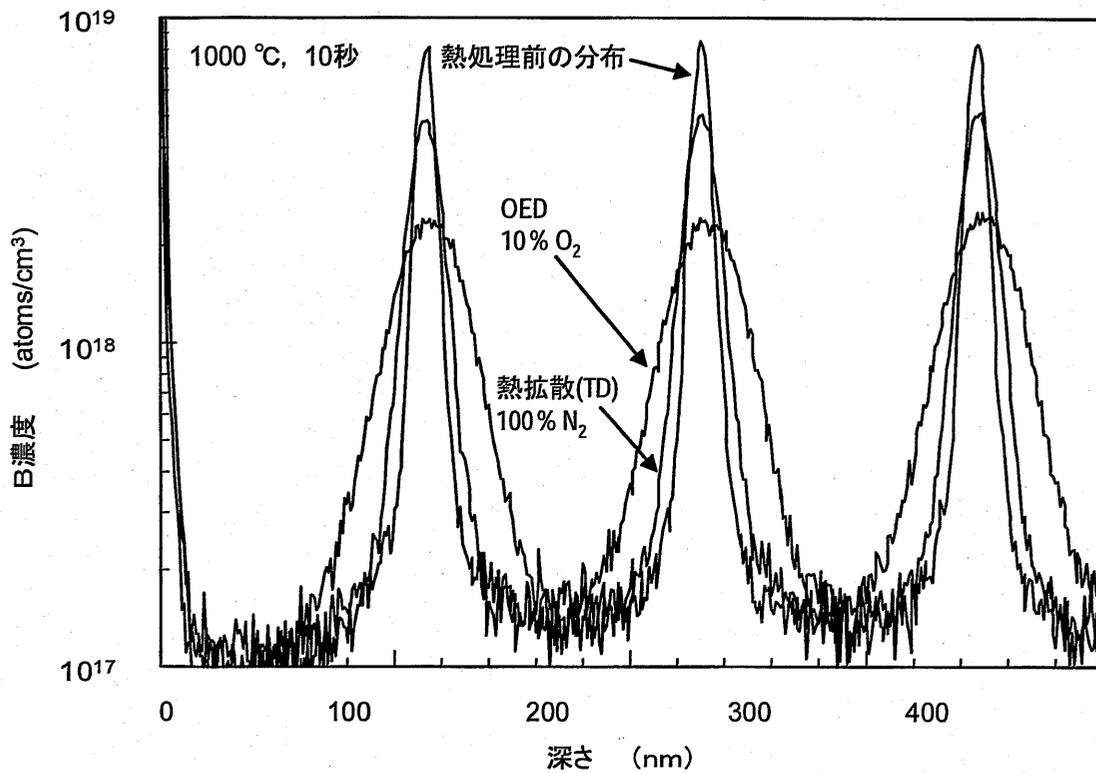


図4. 13 酸素添加熱処理時のOED定量化

で熱処理した場合の濃度分布（酸化増速拡散による分布）がそれぞれ示されている。図より、窒素100%の増速拡散のない条件では、熱処理前後でボロンマーカ層の拡散は見られないことが分かった。これに対し、酸素添加雰囲気では、酸化増速拡散によりボロンマーカ層が広く拡散したことが分かった。次にこの酸化増速拡散量を注入起因の過渡増速拡散量と比較した。

図4. 14は、ボロンを比較的高い加速電圧（2.0 keV）で注入した場合の過渡増速拡散と酸化増速拡散を比較したものである。ボロン注入に起因する過渡増速拡散の評価実験では、窒素100%雰囲気で行なっている。このため、ボロン拡散に対し酸化増速拡散の寄与は入っていない。また、酸素10%で熱処理した酸化増速拡散の評価実験時には、イオン注入を行っていない。よって、ボロン拡散に対する過渡増速拡散の寄与は取り込まれない。したがって、過渡増速拡散と酸化増速拡散は独立して定量化される。図中には、過渡増速拡散によるボロン拡散分布、酸化増速拡散にともなうボロン拡散分布、および、その両方が寄与する場合の拡散分布をそれぞれ示した。過渡増速拡散と酸化増速拡散の両方が寄与する場合についての分布は、ボロン注入を行った後、10%酸素雰囲気で行ったサンプルを測定して評価したものである。まず、過渡増速拡散（TED）と酸化増速拡散

(OED) を比較した。本条件では、OEDはTEDと比較して非常に小さいことがわかる(図の縦軸は指数軸になっている)。これは、ボロンの注入加速電圧が2.0 keVと比較的高いためと考えられる。したがって、TEDとOEDの両方が寄与する条件(イオン注入有り、酸素添加雰囲気)のボロンマーカ広がり TEDのみが寄与する条件(イオン注入有り、100%窒素雰囲気)でのボロンマーカ広がりを比較しても、両者にほとんど差が見られない。以上より、図4.9でボロン加速電圧が高い場合にボロン拡散分布に酸素添加の影響が見られなかった理由は、TEDの寄与が大きく、OEDの寄与が無視できる程度に小さかったためと結論できる。

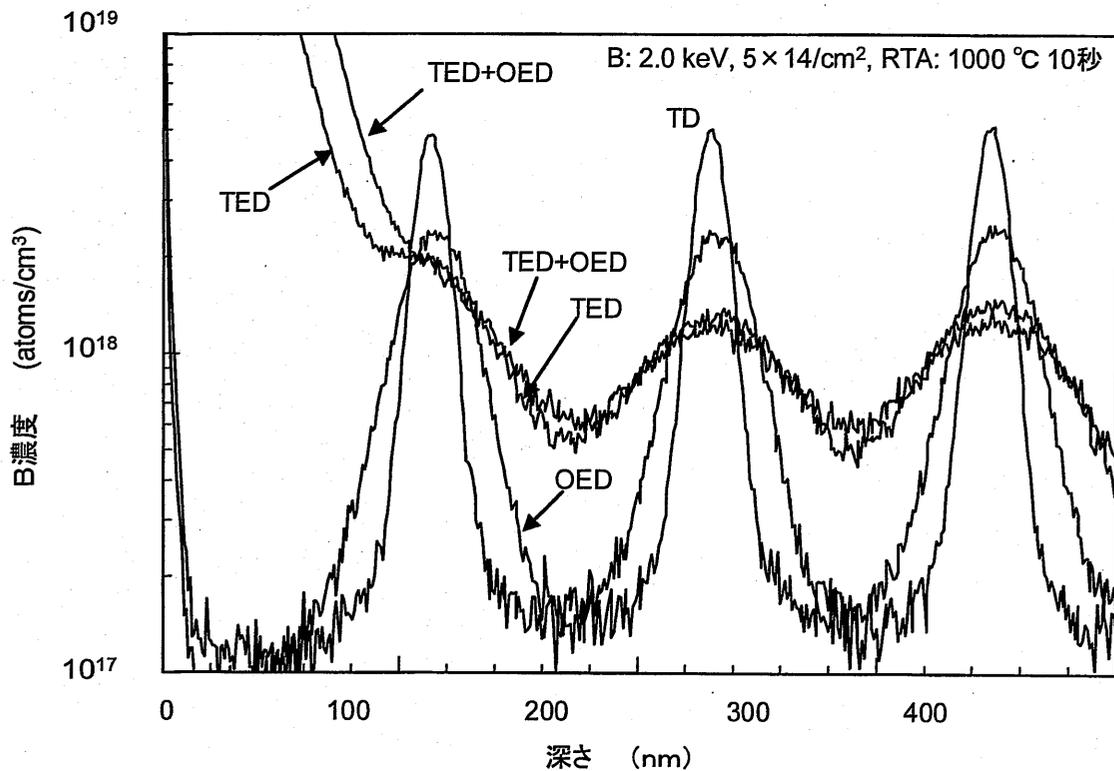


図4.14 B 2 keV注入条件におけるTEDとOED比較

一方、ボロン注入の加速電圧が低い(0.5 keV)場合の結果を図4.15に示した。図より、0.5 keV注入の場合は、TEDとOEDのボロンマーカ拡散への寄与はほぼ同等で、ボロン2.0 keV注入の場合のようにOEDを無視することはできないことがわかった。このため、ボロンマーカ層の拡散は、TEDのみが寄与する場合と比較して、TEDとOEDの両方が寄与する場合の方が大きくなることがわかる。図4.10に示したように、酸素添加熱処理の場合において窒素100%熱処理と比較してボロン拡散が大幅に増大した理由は、注入の低加速化によってTEDが抑制されたため、TEDに対しOEDの寄与が無視できなくなったためと考えられる。

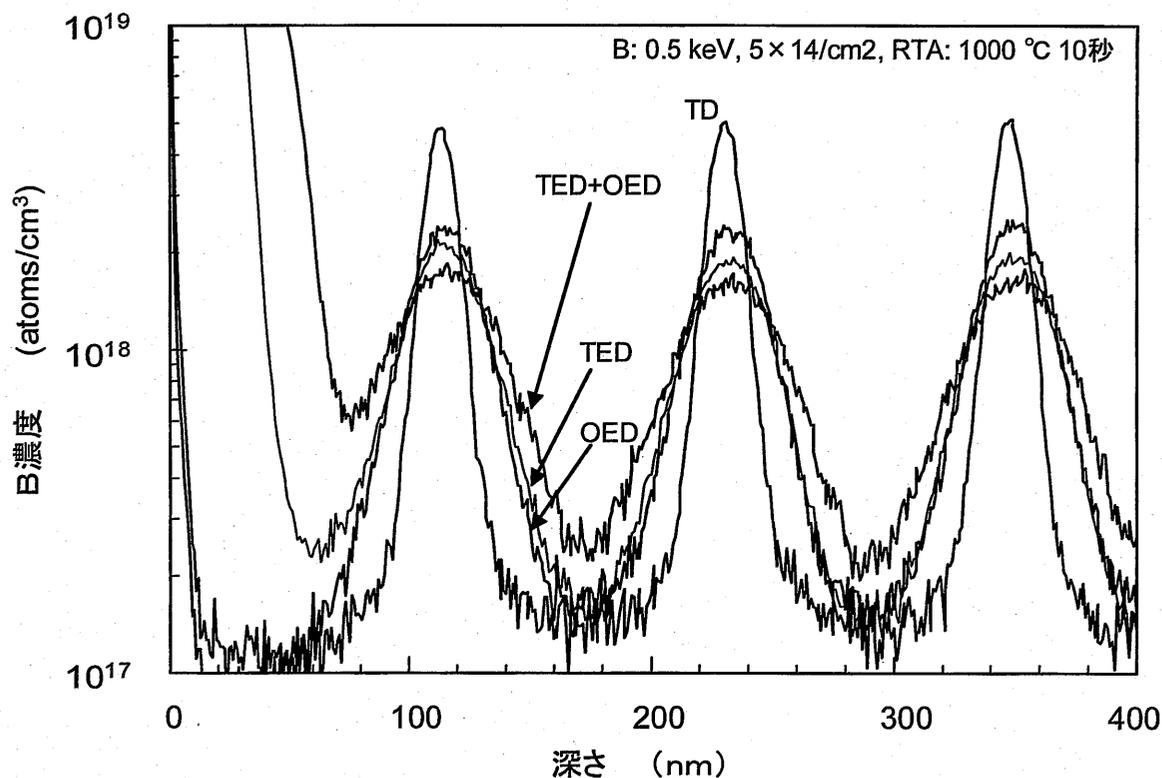


図4. 15 B 0.5 keV注入条件におけるTEDとOED比較

4. 3. 1. 4 活性化熱処理時の雰囲気制御が必要な注入条件

以上、注入加速電圧の低加速化に伴い顕在化した活性化熱処理における酸素の影響は、TEDに対するOEDの寄与が無視できない大きさになったため生じたものと結論できる。そこで、OEDの影響が無視できなくなるボロン注入加速電圧を明確化するため、ボロン注入加速電圧を0.2 keVから2.0 keVの範囲で変化させてOEDとTEDを比較する実験を行った。

図4. 16はその結果を示したものである。図の縦軸は、TED長もしくはOED長を示す。OEDはボロン注入加速電圧に依存せず一定でほぼ25 nmであった。一方、ボロン注入起因のTEDは、注入加速電圧依存性を持ち、注入加速電圧を下げると抑制された。TEDとOEDの比較から、加速電圧0.5 keVにおけるTEDとOEDの値はほぼ同等であることがわかった。したがって、sub keVレベルの超低加速注入プロセスでは、活性化熱処理時の雰囲気酸素濃度を制御する必要があることが分かった。

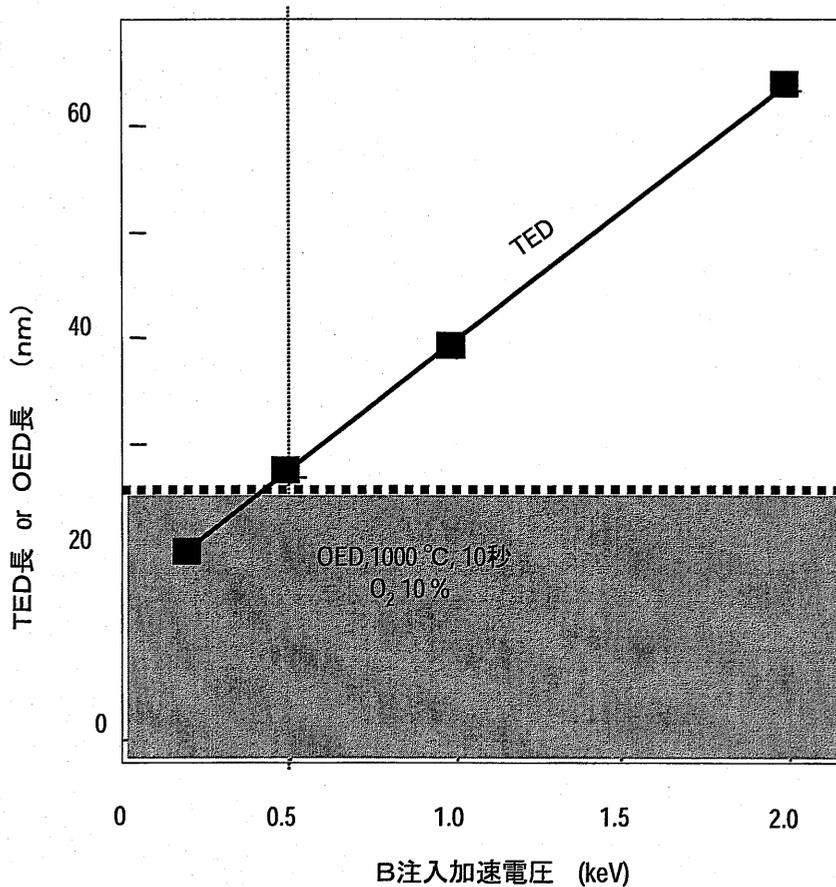


図4. 16 TEDのB注入加速電圧依存性とOED比較

4. 3. 1. 5 酸化増速拡散の抑制

以上述べたように、1.0 keV以下の超低加速注入領域では、活性化熱処理時の雰囲気制御（酸化増速拡散の抑制）が重要である。この酸化増速拡散を抑制する方法を開発した。

図4. 17はそのコンセプトを示したものである。酸化増速拡散を低減するためには、熱処理時の炉内酸素残留濃度を低減する方法が一般的である。ここでは、この方法と共に、熱処理時間を短時間化する新たな方法を提案する。図で、酸化による点欠陥の発生密度は破線下の面積（着色領域）で表すことができる。酸化増速拡散（OED）を低減するためには、この面積を縮小すればよい。従って、酸素濃度を低減する方法と同時に、短時間化による方法が効果的であると考えられる。この短時間熱処理は前節で述べたRTAプロセスを用いて実現可能である。

図4. 18に短時間熱処理（スパイク熱処理）による酸化増速拡散の抑制効果を示した。図から、酸化増速拡散のない場合（窒素100%熱処理の場合）、1000℃、10秒と1050℃スパイク条件とはほぼ同じ接合深さを持つことが分かった。一方、酸素10%熱処理の場合、酸化増速拡散の影響で接合深さが深くなった。1000℃、

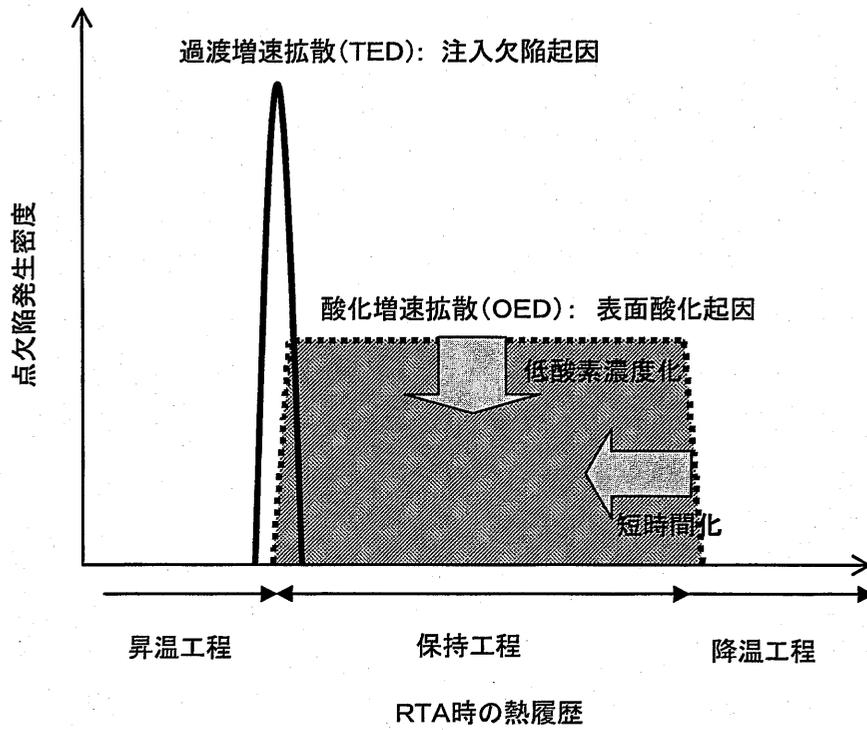


図4. 17 RTA時の点欠陥発生密度の低減

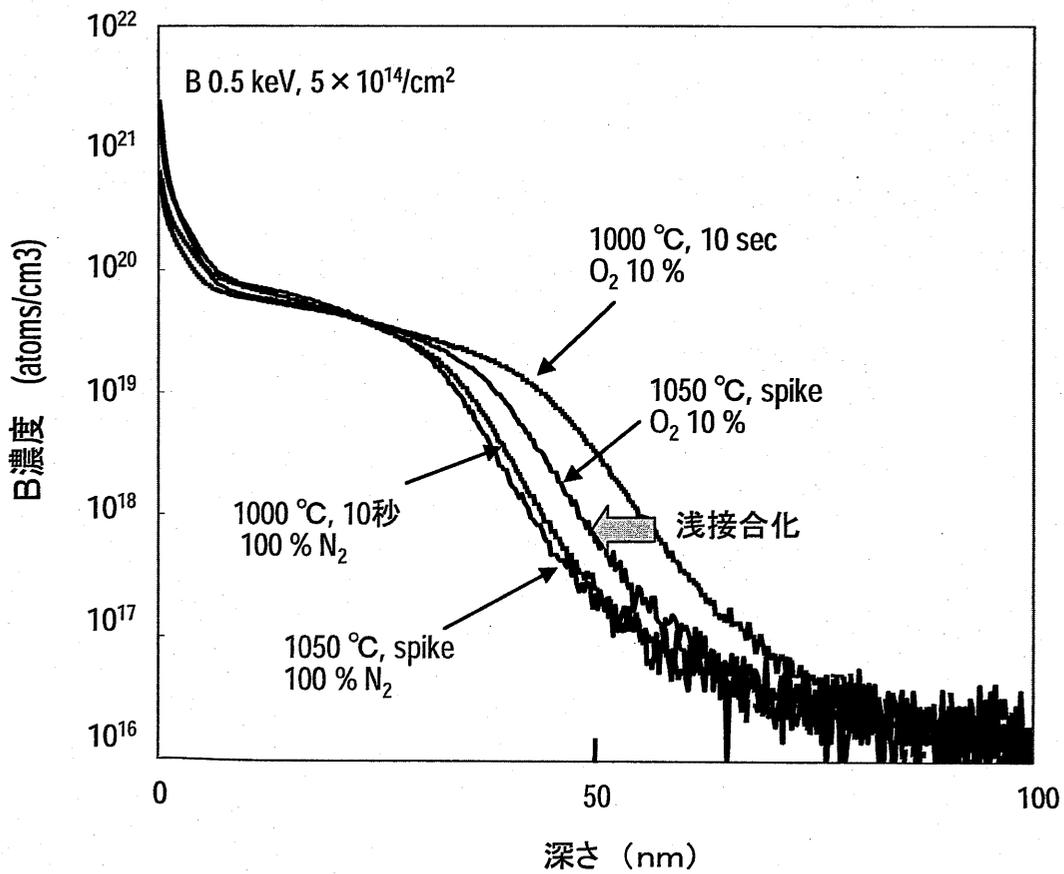


図4. 18 短時間熱処理によるOED抑制

10 秒の低温・長時間熱処理の場合、熱処理時間が長いため酸化増速拡散の影響で大幅に接合が深くなった。これに対し、1050 °C、スパイクの高温・短時間熱処理では、酸化増速拡散が抑制され、接合深さはわずかに深くなる程度であった。このように、前節で提案した高温・短時間の熱処理条件は、酸化増速拡散を抑制する目的としても有効なプロセスであることがわかった。

4. 3. 2 表面カバー膜の影響

LSIの製造工程では、結晶表面に酸化膜などカバー膜が形成された状態で熱処理を行う場合がある。本節では、このカバー膜など、構造が不純物拡散に与える影響を研究した結果を述べる。

図4. 19に示すように、LSIのイオン注入工程では、カバー膜を介してイオンをシリコン結晶中に注入する方法を用いることが多い(図3. 19(a))。これは、所望のイオンと同時に結晶中に導入したくない不純物(いわゆるコンタミネーショ

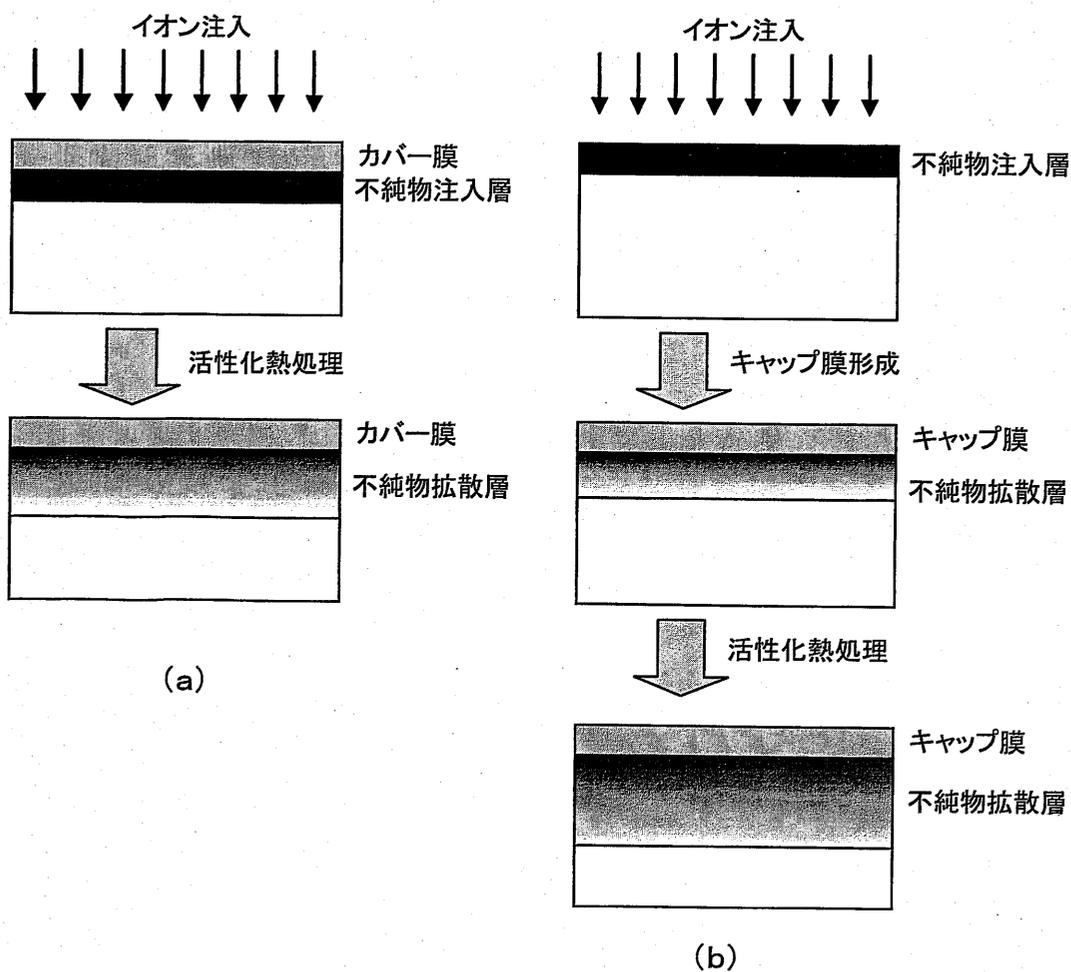


図4. 19 活性化熱処理時の結晶表面膜の影響

ン)の導入を避けるために用いられる手法である。表面をシリコン酸化膜などでカバーしてコンタミネーションを予防している。また、イオン注入後に酸化膜もしくは窒化膜を成膜する工程が挿入されることがある(図3. 19 (b))。このキャップ膜の形成は、不純物拡散を抑制するため、低温の化学気相成長(CVD)法を用いて行われる。このように、カバー膜を介して不純物を注入した場合や、注入後にCVD法でキャップ膜を形成した場合に対する不純物拡散を研究することは重要である。

4. 3. 2. 1 カバー膜がボロン拡散に与える影響

まず、活性化熱処理時にカバー膜がボロン拡散に与える影響を評価した。カバー膜は、シリコン(100)基板を希HFで処理して表面の自然酸化膜を除去した後、表面に2.6 nm厚の酸化膜をRTO(高速熱処理酸化)炉を用いて形成した。次に、ボロンイオンを加速電圧0.5 keV、ドーズ量 $5 \times 10^{14} / \text{cm}^2$ の条件で酸化膜を介して注入した。その後、活性化熱処理としてRTA装置を用い、1000 °C、10秒の熱処理を施した。図4. 20にその結果を示した。図には、レファランスとして、希HF

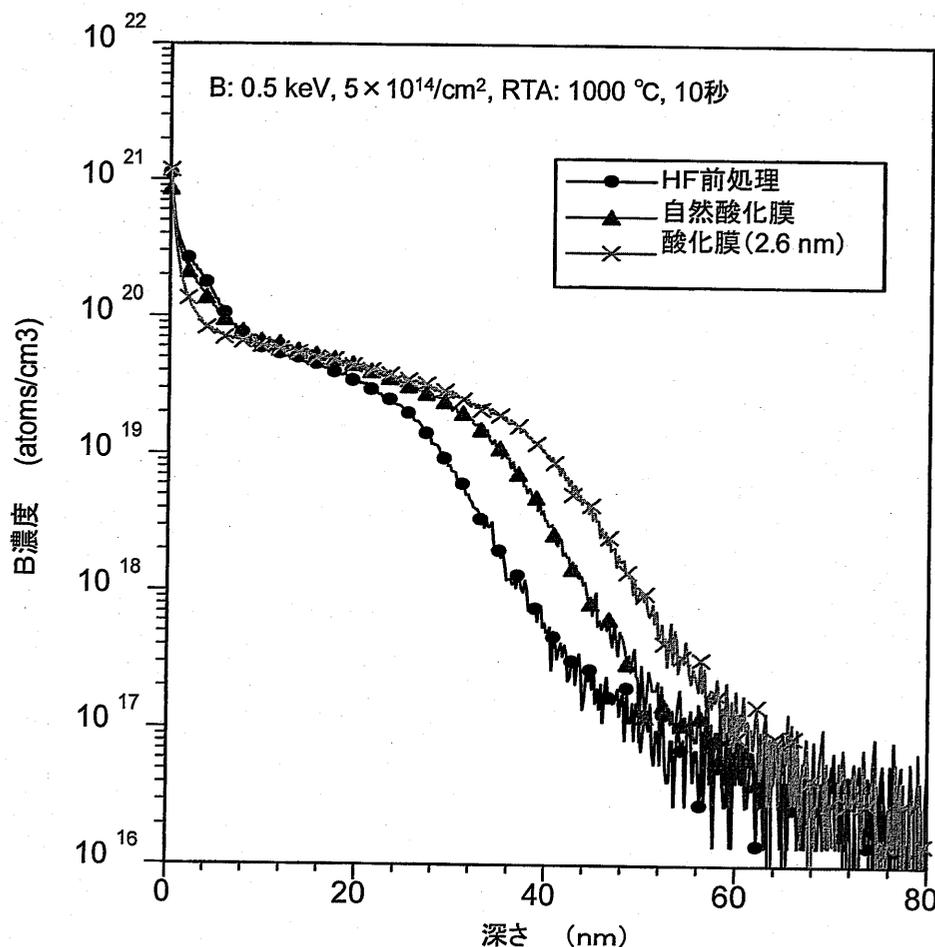


図4. 20 活性化熱処理時のボロン拡散に与えるカバー膜の影響

による前処理のみを行い結晶表面の酸化膜がない状態でイオンを注入した場合、および、HF処理後に放置して表面に自然酸化膜が成長した状態でイオンを注入した場合についてもプロットした。図より、結晶表面に酸化膜がある状態でアニールすると不純物拡散が加速されることがわかった。その程度は、自然酸化膜の場合より、故意に酸化膜を形成した場合の方が大きいことが分かった。前章で述べたように、注入ダメージに起因して発生した点欠陥は、熱処理時に結晶表面で空孔などと再結合して消滅すると考えられる。表面に自然酸化膜やRTO酸化膜が形成された場合、この再結合消滅速度が変化して点欠陥のBのTEDに及ぼす影響が変化したものと考えられる。

4. 3. 2. 2 キャップ膜がボロン拡散に与える影響

同様に、イオン注入後に形成するキャップ膜の影響について検討した。希HF処理後に自然酸化膜が結晶表面に形成されたシリコン(100)基板を用意し、ボロンイオンを加速電圧0.5 keV、ドーズ量 $5 \times 10^{14} / \text{cm}^2$ の条件で注入した。その後、化学気相成長法を用い酸化膜、もしくは窒化膜を形成した。さらに、1000℃、

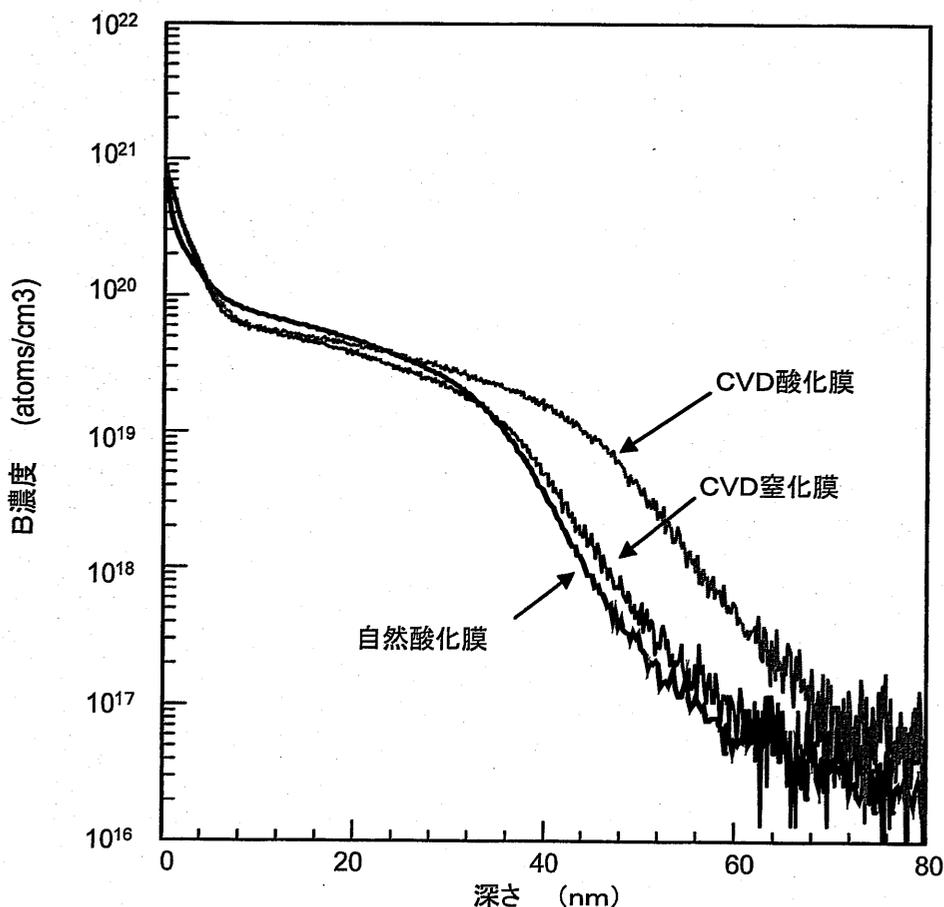


図4. 21 活性化熱処理時のボロン拡散に与えるキャップ膜の影響

10 秒の活性化熱処理を施した後、ボロン濃度分布を SIMS で測定した。

図 4. 2 1 に結果を示した。図より、CVD 酸化膜を形成した場合に、ボロン拡散が大幅に増大していることが分かった。一方、CVD 窒化膜の場合は、顕著なボロン拡散の増大は観察されなかった。しかし、窒化膜キャップの場合について、ボロン濃度の深さ分布を他の分布と比較すると、結晶中に残存するボロン量が他の場合と比較して大幅に減少していることが分かった。したがって、窒化膜キャップの場合にボロン接合が浅い理由は、ボロンの拡散が抑制されたためではなく、ボロンが外方拡散した結果である可能性がある。このため、シート抵抗測定による残存ボロン濃度の比較と超格子を用いた増速拡散量の定量化を行った。超格子による定量化では、これまでと同様ボロン δ ドープ基板を用い、ボロン拡散評価と同一プロセスを施して、ボロンマーカ層の拡散広がり測定した。ボロンマーカ位置は 200 nm 程度と深いため、外方拡散によって不純物が表面から抜ける影響はない。

超格子を用いて測定した増速拡散長 (TED 長) と四探針法を用いて拡散層抵抗を測定した結果を図 4. 2 2 に示した。図より、自然酸化膜キャッププロセスの場合と比較して、CVD 酸化膜キャップ、CVD 窒化膜キャッププロセスのいずれの場合も増速拡散長が増大していることが確認された。その程度は CVD 窒化膜キャッププロセスの場合の方が大きいことがわかった。したがって、図 4. 2 1 で CVD キャップの場合に自然酸化膜と同等の浅い接合が形成できた理由は、増速拡散が抑制された結果ではないことが確認された。

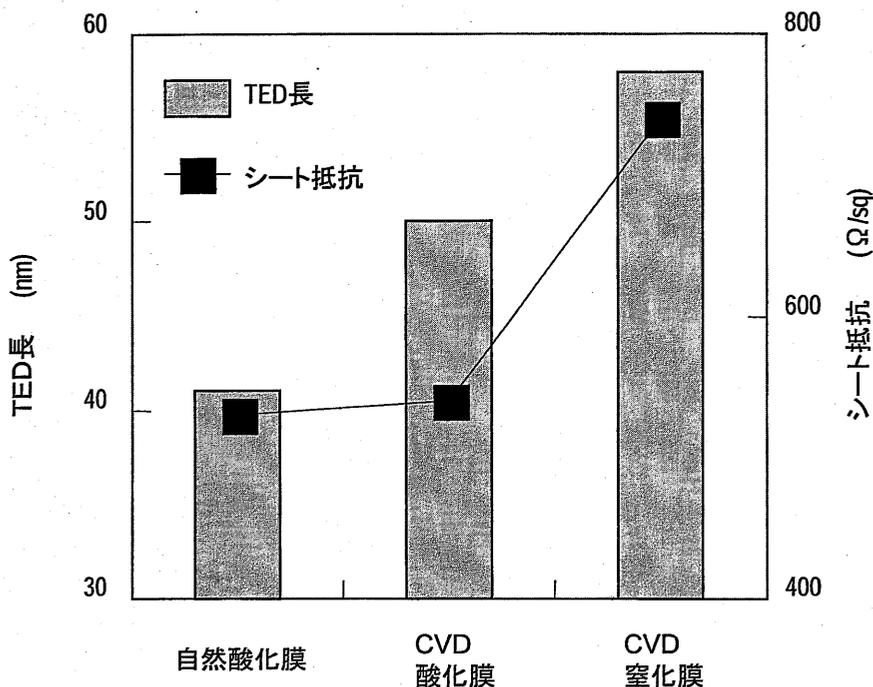


図4. 22 活性化熱処理時のキャップ膜の影響(TED長、シート抵抗)

また、不純物拡散層のシート抵抗を比較すると、自然酸化膜キャップとCVD酸化膜キャップの場合はほぼ同一であった。このことから、プロセス後の両者の結晶中ボロン残留濃度は同程度であると言える。一方、CVD窒化膜キャップの場合は、大幅な抵抗増大が見られ、プロセス後の結晶中残留ボロン濃度が大幅に減少していたことが分かった。表面に膜を形成した後にボロン拡散熱処理を施した場合において、ボロンの増速拡散が増大した原因は、結晶表面での点欠陥再結合消滅速度が低下したためと考えることができる。すなわち、表面のキャップ層がSi結晶表面のダングリングボンドなどの点欠陥シンクを不活性化し、このため点欠陥の消滅速度が遅くなりボロンのTEDが増大したと考えられる。また、窒化膜の場合にSi結晶中の残留ボロン量が低下した原因のひとつとしても、ボロンTEDの増大が影響していると考えられる。ボロンが表面に抜けるためには、表面まで拡散する必要がある。TEDによりこの結晶中ボロンの表面拡散が増速された結果、表面からボロンが抜けやすくなったと考えられる。

以上、窒化膜キャッププロセスでは、増速拡散が大きいため、結晶表面からボロンが外方拡散（もしくは、窒化膜/結晶界面に析出）して抜けた結果、見かけ上接合が浅く観測されたものと考えられる。

4. 4 本章のまとめ

本章では、注入イオン活性化熱処理の最適化により、浅く低抵抗拡散層を形成する方法を開発した成果を述べた。まず、高速昇温・短時間熱処理法を提案し、その効果を実証した。次に、熱処理時の炉内雰囲気や結晶表面状態の影響について評価した。以下に本章で述べた研究で得られた成果をまとめる。

高速昇温・短時間熱処理の提案

イオン注入による接合形成プロセスでは、注入後に導入不純物を電氣的に活性化させる必要がある。この活性化熱処理条件を考察し、低抵抗の浅い接合を得るためには、低温・長時間熱処理ではなく高温・短時間熱処理が有効であることを述べた。この高温・短時間熱処理では、特にスパイク熱処理と呼ぶ保持時間0秒の熱処理が有効であると提案した。このスパイク条件では、昇温速度の高速化により接合深さを浅くできることを示した。

熱処理時の炉内酸素の影響

活性化熱処理時の雰囲気について、酸化増速拡散の観点から検討した。従来の高加速注入条件では、熱処理における酸素添加の影響は観測されなかったことを述べた。しかし、1.0 keV以下の超低加速電圧での注入条件では、10%程度の酸素添加の影響が顕著に観測されることを示した。浅く低抵抗の接合を形成するためには、雰囲気制御が重要であることを述べた。高加速電圧条件では、注入起因の過渡増速拡散に関わる点欠陥発生量が酸化増速拡散のそれと比較して十分大きく、結果として酸化増速拡散の影響が観察されなかったことを明らかにした。低加速電圧条件では、過渡増速拡散が抑制されるため、酸化増速拡散で発生する点欠陥の発生量が無視できなくなり、酸化増速拡散の影響が顕在化したと結論づけた。

熱処理時の結晶表面状態の影響

イオン注入時において、結晶表面に酸化膜を結晶のカバー膜として形成し、このカバー膜を介してイオンを注入する場合があることを述べた。また、イオン注入後に結晶表面に化学気相成長法(CVD)によって酸化膜や窒化膜をキャップ膜として形成し、その後活性化熱処理を行う場合があることを述べた。カバー酸化膜は、ボロン拡散を増速させることが分かった。また、キャップ膜についても酸化膜、窒化膜ともにボロン拡散を増速させることが分かった。特に窒化膜キャッププロセスでは、結晶表面からボロンが外方拡散することで拡散層抵抗を増大させることがわかった。

以上、イオン注入後の活性化熱処理条件について研究した。低抵抗の浅い接合を形成するためには、高速昇温条件で高温・短時間（スパイク）熱処理を酸素添加のない雰囲気で行うことが望ましい。注入時、熱処理時、いずれの場合も結晶表面は膜を形成しない状態で処理することが望ましいと結論できる。

参考文献

- [1] S. Shishiguchi, A. Mineji, T. Hayashi and S. Saito, 1997.6, Kyoto, IEEE Symposium on VLSI Technology, pp89-90, "Boron implanted shallow junction formation by high-temperature/ short-time/ high-ramping-rate (400 °C/sec) RTA"
- [2] 谷口 研二、応用物理、第69巻、第4号 (2000)
- [3] S. Shishiguchi, A. Mineji and T. Matsuda, 1999.5, Seattle, ECS Spring Meeting, Proceedings of Advances in Rapid Thermal Processing, (1999) 105-116, "Shallow junction formation by low energy implant and high ramp-up RTA"
- [4] S. Shishiguchi, A. Mineji, T. Matsuda and K. Kitajima, 1999.9, Napa, Ion Implantation Conference (IICON), "Advanced S/D formation process for deep sub-quarter micron CMOS-FETs".
- [5] 松田、獅子口、北島、1999.3、東京理科大学、春季応用物理学会、「浅接合形成時の不純物拡散に及ぼすカバー膜の影響」
- [6] 峰地、獅子口、北島、1999.3、東京理科大学、春季応用物理学会、「極浅Bプロファイルに与えるイオン注入前処理の影響」
- [7] S. Saito, S. Shishiguchi, A. Mineji and T. Matsuda, 1998.9, Napa, "Ion Implantation Conference (IICON), "Shallow junction formation by low energy ion implantation under optimized RTA conditions"
- [8] S. Shishiguchi, A. Mineji, T. Yasunaga and S. Saito, 1998.6, Hawaii, IEEE Symposium on VLSI Technology, pp134-135, "33nm ultra-shallow junction technology by oxygen-free and point-defect reduction process"
- [9] S. Saito, S. Shishiguchi, A. Mineji and T. Matsuda, 1998.4 San Francisco, MRS Spring Meeting, "Ultra shallow junction formation by RTA at high temperature for short heating cycle time"
- [10] 安永、獅子口、斉藤、1998.3、東京工科大学、春季応用物理学会、「浅接合形成時の増速拡散、活性化に及ぼすRTA雰囲気、カバー膜の影響」
- [11] 獅子口、峰地、林、斉藤、1997.10、秋田大学、秋季応用物理学会、「高速昇温RTAプロセスを用いたPch浅接合形成」
- [12] S. Saito, S. Shishiguchi, K. Hamada and T. Hayashi, 1997.9, IUMRS, "Dopant profile and defect control in ion implantation by RTA with high ramp-up rate"

第5章 イオン注入法による浅い接合形成の限界

5. 1 はじめに

前章までに、イオン注入法による浅い接合形成プロセスを最適化した。最適化は、接合形成プロセスで発生する点欠陥に注目して行なった。点欠陥は、注入ダメージや熱処理に起因して発生し、不純物拡散を増速させた。この点欠陥発生量の最小化を指針として研究を進めた。その結果、sub-keV領域の超低加速注入と高温・短時間熱処理が有効であることを示した。本章では、このイオン注入による浅い接合形成の限界を明らかにする。

まず、浅接合化の限界を決める要因は、接合の深さ (X_j) と拡散層抵抗 (R_s) であることを述べる。次に、4章までの実験結果を X_j と R_s の関係に整理して、これらの特性がトレードオフの関係にあることを明らかにする。このトレードオフ関係は、注入不純物の濃度分布と不純物の固溶度から説明できることを述べる。最後に、イオン注入法による浅接合化の下限界を示し、さらなる浅接合化のためには、新規技術導入が不可欠であることを述べる。

5. 2 接合深さと拡散層抵抗の決定要因の解析

第1章で述べたように、FETを微細化、高性能化するためには、S/D接合を浅くして短チャネル効果を抑制する必要がある。同時に、寄生抵抗を低減するため、S/D拡散層のシート抵抗を低減する必要がある。すなわち、S/D接合の基本特性として、接合深さ (X_j) とS/D拡散層のシート抵抗 (R_s) が最も重要である。したがって、浅接合化の限界は、接合深さとシート抵抗の下限界として明確化する必要がある。

接合深さは、不純物の注入深さと活性化熱処理時の熱拡散距離で決まる。また、拡散層のシート抵抗は、注入したイオンドーズと熱処理後の不純物活性化率で決まる。活性化率は、結晶中に注入した不純物ドーズに対する電氣的に活性化した不純物の割合である。熱処理で不純物を活性化する場合、熱処理温度における不純物の固溶度で活性化率が決まる。固溶度を超える濃度領域の不純物は、結晶中に存在していても電氣的に不活性であり、電気伝導に寄与しないためである。本研究では、より低抵抗の拡散層を形成するために、高温・短時間熱処理法を提案し、前章でそ

の効果を確認した。図5. 1、図5. 2に示すように、高温で熱処理することで結晶中での不純物固溶度が増大し、不純物の活性化率は向上する。結果として拡散層のシート抵抗値が減少する。高温化は不純物拡散の増大を招くため、処理時間を短縮した。とくに、最高温度での保持時間を0秒とするスパイク条件の採用と、昇温速度の高速化により、不純物拡散が抑制され浅接合化を実現した。

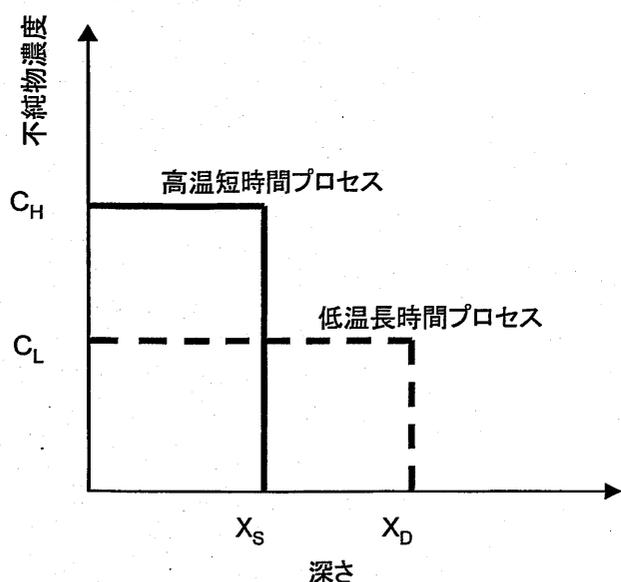


図5. 1 不純物の活性化熱処理プロセス

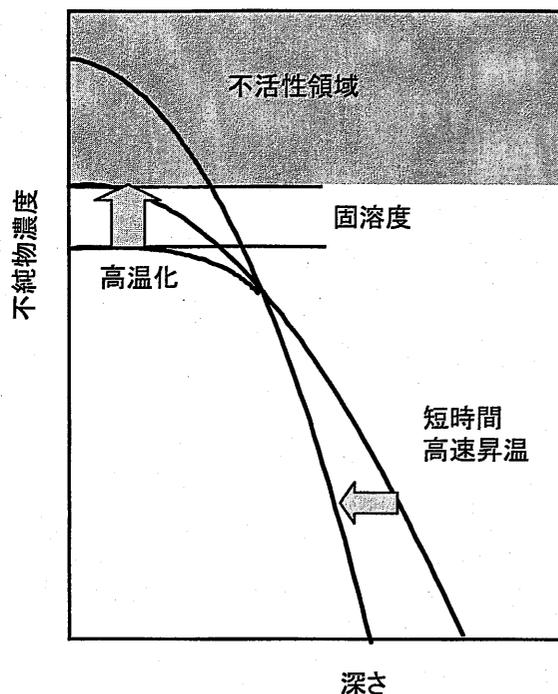


図5. 2 高速昇温・短時間熱処理

5. 3 イオン注入法による浅接合化の限界明確化

高温・短時間熱処理の限界を実験的に明らかにするため、接合特性の熱処理温度依存性を評価した。評価温度は950℃から1150℃とし、熱処理時間を変化させて接合を形成した。その結果を接合深さとシート抵抗の関係図(X_j-R_s マップ)にプロットした(図5. 3)。図より、1100℃以下の条件では、同一温度で形成した接合特性は、一本の相関曲線上にプロットされることが分かった。ただし、熱処理温度1150℃の場合のみは、1100℃の曲線上にプロットされた。また、同一温度条件で接合を形成した場合、浅接合化に伴い拡散層のシート抵抗が増大した。すなわち、接合深さとシート抵抗はトレードオフの関係にあり、いずれか一方を小さくすると、他方が増大した。このように、実験結果は、熱処理温度一定の条件では、

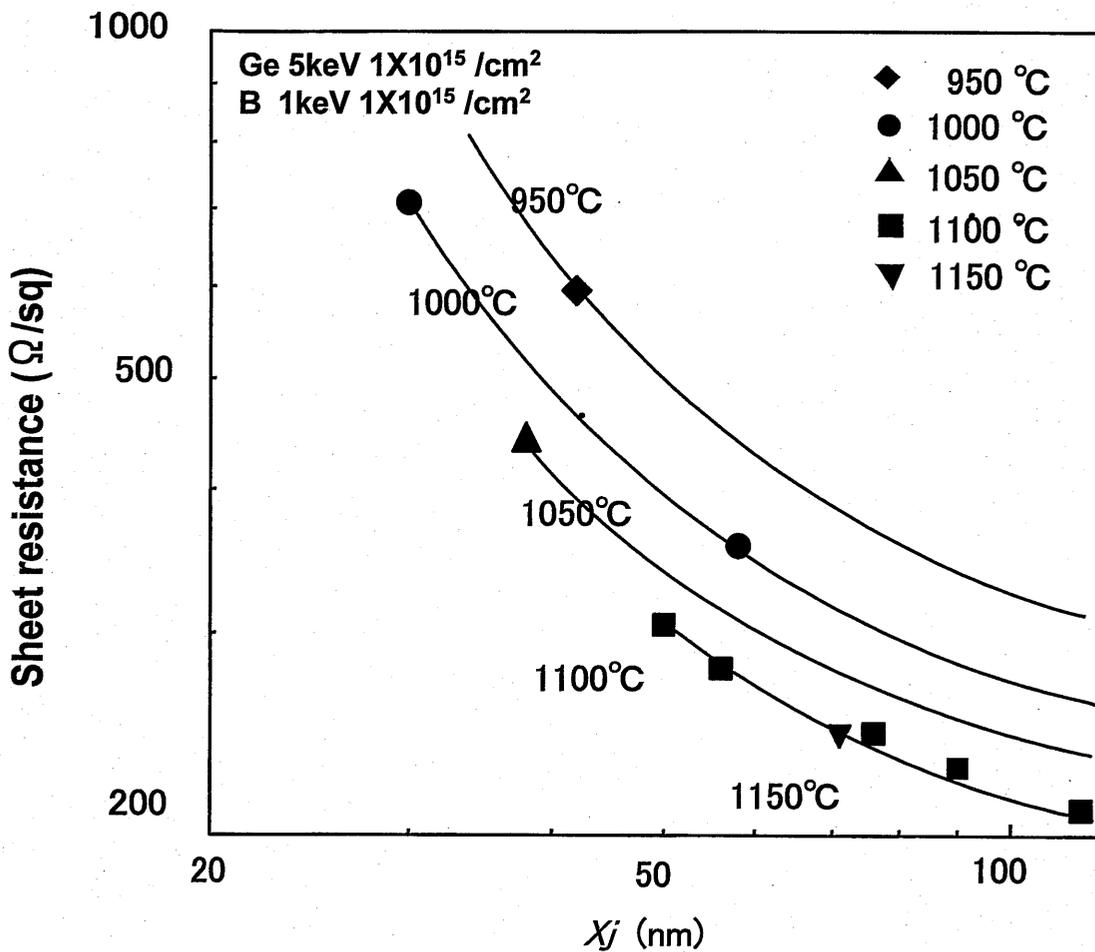


図5.3 実験的に得られた高温短時間プロセスの限界

接合深さとシート抵抗を同時に低減することはできないことを示している。

一方、異なる熱処理温度で形成した接合は、異なる相関曲線にプロットされた。相関図でより浅く低抵抗の接合は、図中のより原点に近い領域にプロットされる。図より、高温で熱処理した相関曲線ほど、より原点側にプロットされることから、高温熱処理が浅接合化に有効であることが確認できる。しかし、1150 °C熱処理条件で形成した接合が1100 °Cの相関曲線上にプロットされたことから、1100 °Cを超える温度での熱処理は接合特性改善に寄与しないことが分かった。これは、1100 °C以上の温度ではSi中の不純物固溶度が改善されないためと考えられる。

接合特性を考察するため、熱処理後の不純物濃度分布として矩形分布（以下、箱型プロファイルと呼ぶ）を仮定した（図5.4）。AからDの4種類の不純物プロファイルモデルケースとした。AからDのプロファイルに対応する接合深さは、 X_1 から X_4 である。熱処理温度 T_1 、 T_2 、 T_3 に対応する固溶度を図中に示している。このAからDの箱型プロファイルに対応する接合深さとシート抵抗の関係を図5.5に示した。シート抵抗は、固溶度以下の不純物濃度と接合深さの積で算出され

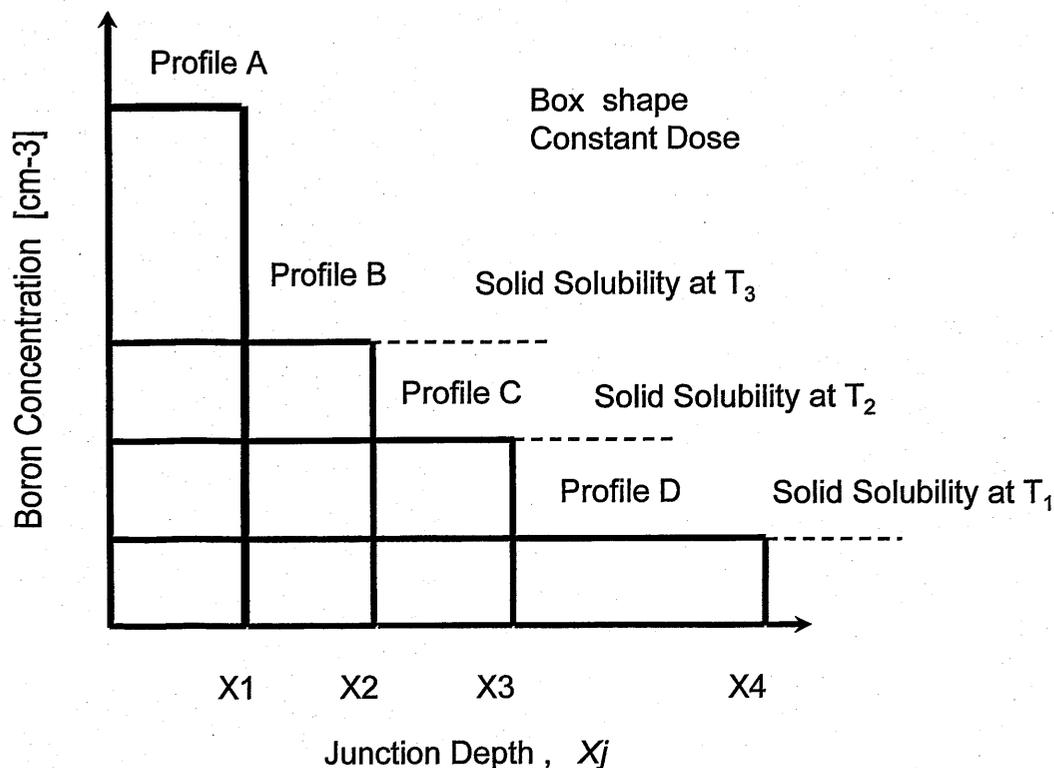


図5.4 B濃度深さ分布の箱型プロファイルモデル

る。例えば、最も低温 (T_1) で熱処理した場合のシート抵抗は次式で算出される。 $R_s \propto 1/(C_1 \cdot X_j)$, ここで C_1 は熱処理温度 T_1 における不純物固溶度である。 R_s と X_j の関係は双曲線となる。両軸対数でプロットすると直線相関となる (図5.5)。図中のAからD点は、それぞれ、箱型プロファイルのAからDに対応する。図より、熱処理条件を高温化することにより、より原点側に相関直線がシフトすることが確認できる。このように、不純物濃度分布に箱型プロファイルを仮定した考察から、同一温度条件で形成した接合特性は双曲線相関を持ち、この相関曲線上に全ての条件がプロットされることがわかった。

Si結晶中での不純物移動度の文献値 [1] を用い、箱型プロファイルを仮定して接合深さとシート抵抗の相関直線を計算した。図5.6では、この計算値を実験結果をプロットした相関図中にプロットした。図中にイオン注入法の限界曲線を示した。この曲線より原点側の特性を持つ接合を形成することはできない。拡散層抵抗の目標値を $1000 \Omega / \text{sq}$ とした場合、現状のイオン注入法で形成できる接合深さの限界は 30 nm 程度であると結論できる (図5.6)。

さらに、浅い接合を得るためには、新しい技術が必要である。熱処理による不純物活性化は、Si結晶中に熱平衡状態で固溶可能な不純物濃度で活性化率が決定される。より浅い接合を形成するためには、固溶度を超える不純物を活性化する必要が

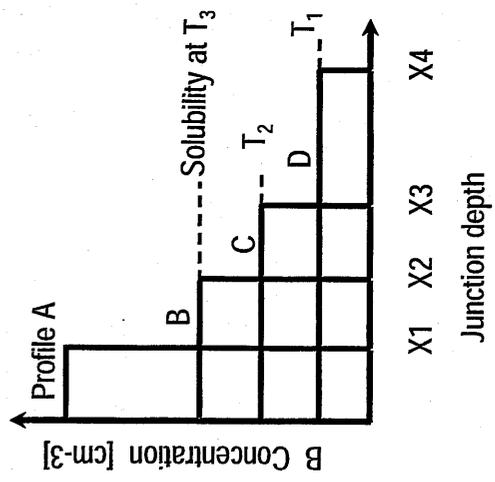
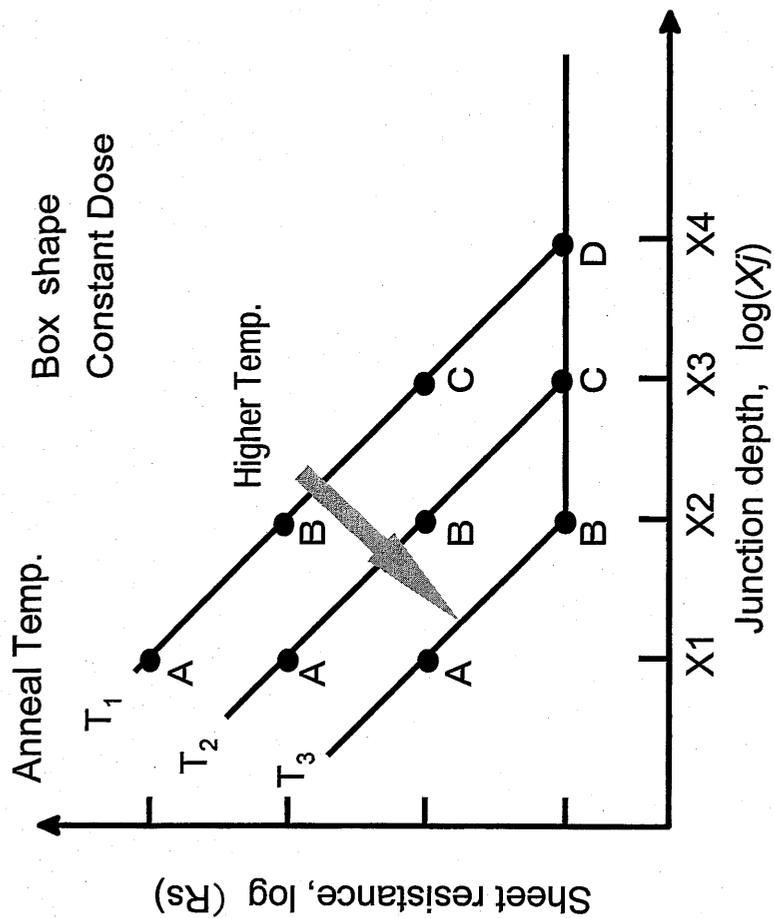


図5.5 箱型プロファイルモデルにおけるシート抵抗・接合深さマップ

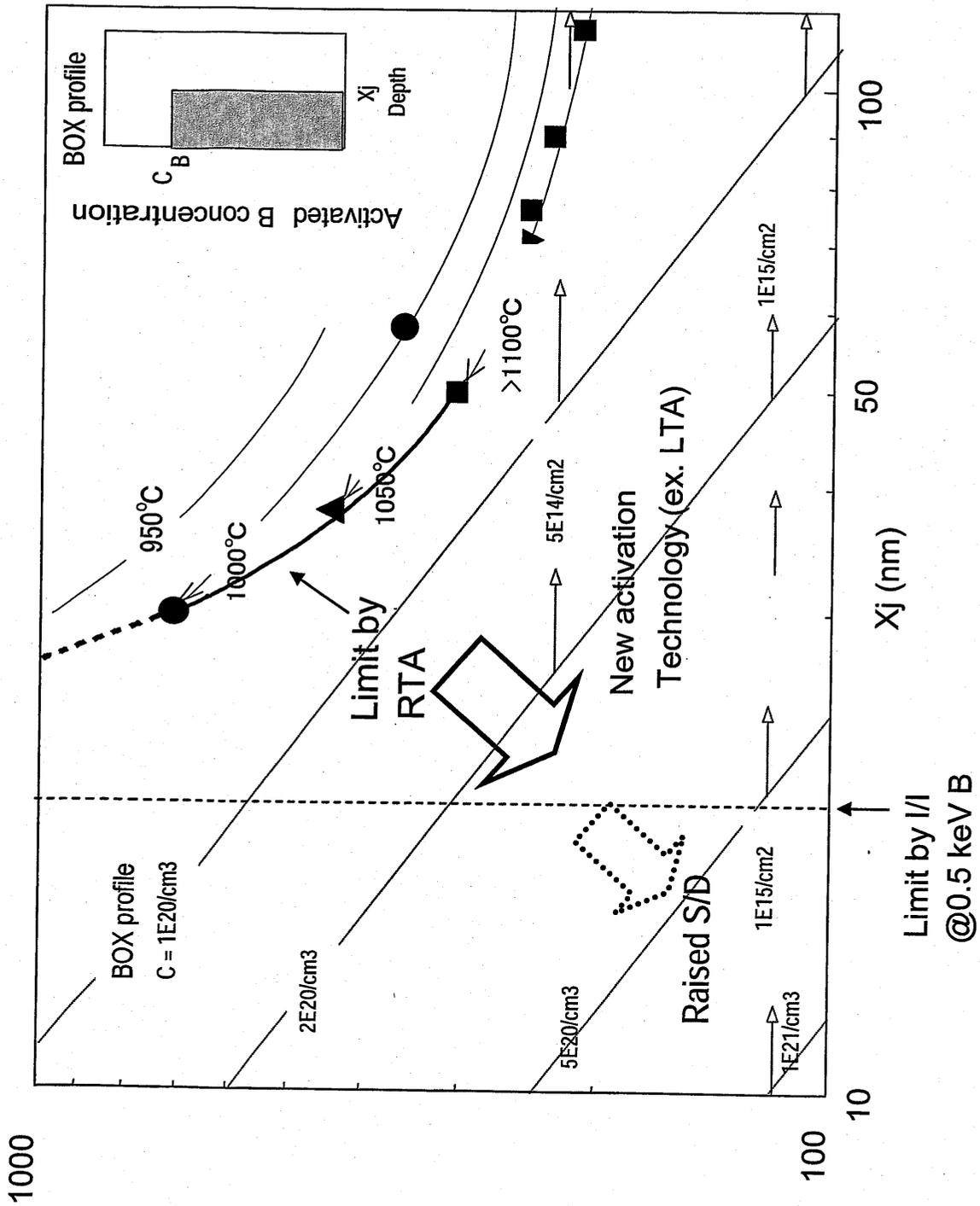


図5.6 イオン注入法による浅い接合形成の限界

あり、非熱平衡の活性化プロセスを用いる必要がある。例えば、レーザアニール法が次世代技術の候補として検討されている。この方法は、イオン注入領域の結晶をレーザ光で熔融した後、急冷することで不純物の活性化率を増大させる方法である。注入後の不純物を拡散させることなく、高い活性化率を得られる。この方法を用いることで、20 nm 以下の浅い接合形成が可能になると予想される（この接合深さは 0.5 keV のボロン注入深さである。図 5. 6）。さらに、接合を浅くするためには、次章で述べる選択 Si 成長を組み合わせた方法を用いることが必要となる。

5. 4 本章のまとめ

本章では、イオン注入法による浅い接合形成の限界を示した。以下に本章で得られた成果をまとめる。

接合限界を決める接合特性

接合深さと拡散層のシート抵抗がFET微細化と動作性能に影響することを述べた。このため、接合深さとシート抵抗の限界が浅接合の限界を決定する要因である。

接合深さとシート抵抗の相関

接合深さとシート抵抗はトレードオフの関係にあり、いずれか一方を低減すると他方が増大することを明らかにした。また、この関係は、不純物の活性化が固溶度に制限されるためであると結論づけた。固溶度は高温ほど上昇するため、高温熱処理ほど拡散層を低抵抗化できる。しかし、1100 °C以上に高温化しても固溶度が上昇しないため、低抵抗化に寄与しない。

接合深さの限界

不純物分布に箱型プロファイルを仮定して、浅接合化の限界を考察した。その結果、イオン注入法の接合深さの限界は30 nm程度であることを示した。また、レーザーアニールなどの非熱平衡状態での不純物活性化法を用いると20 nm以下の接合が形成できると予想した。さらに浅い接合を実現するためには、撰択成長法など、他の技術との組み合わせが必要であることを述べた。

以上、本章では、イオン注入法の限界を明らかにした。

参考文献

- [1] ASTM'82 データベースより移動度を参照
- [2] S. Shishiguchi, A. Mineji, T. Hayashi and S. Saito, 1997.6, Kyoto, IEEE Symposium on VLSI Technology, pp89-90, "Boron implanted shallow junction formation by high-temperature/ short-time/ high-ramping-rate (400 °C/sec) RTA"
- [3] S. Shishiguchi, A. Mineji and T. Matsuda, 1999.5, Seattle, ECS Spring Meeting, Proceedings of Advances in Rapid Thermal Processing, (1999) 105-116, "Shallow junction formation by low energy implant and high ramp-up RTA"
- [4] S. Shishiguchi, A. Mineji, T. Matsuda and K. Kitajima, 1999.9, Napa, Ion Implantation Conference (IICON), "Advanced S/D formation process for deep
- [5] S. Saito, S. Shishiguchi, A. Mineji and T. Matsuda, 1998.4 San Francisco, MRS Spring Meeting, "Ultra shallow junction formation by RTA at high temperature for short heating cycle time"
- [4] S. Saito, S. Shishiguchi, K. Hamada and T. Hayashi, 1997.9, IUMRS, "Dopant profile and defect control in ion implantation by RTA with high ramp-up rate"

第6章 撰択エピタキシャル成長技術による 浅い接合の形成

6. 1 はじめに

前章では、イオン注入法による浅い接合形成の限界を明らかにした。一方、LSIの微細化は今後もさらに進展すると予想されている。近い将来には、ゲート長が30 nmを切るような極微細トランジスタが必要となる。この世代では、10 nm以下の極浅接合を形成する必要がある。しかし、前章で結論したように、イオン注入法のみでは10 nmを切るような極浅い接合は実現できない。したがって、ゲート長30 nm以下の微細LSIを実現するためには、新しい接合形成技術の導入が不可欠である。

本章では、まず、本研究で用いた撰択エピタキシャル成長法について述べる。次に、撰択成長技術をMOS-FETのS/D形成に適用する場合の課題について明らかにする。この課題を解決する手段として、本研究で工夫した技術を説明した後、その技術を用いた場合の改善効果について実デバイスを作成して実証する。最後に本章で得られた成果をまとめる。

6. 2 撰択エピタキシャル成長によるソース/ドレイン形成

撰択エピタキシャル成長をMOS-FETのソース/ドレイン(S/D)形成に適用するためには、まず、撰択エピタキシャル成長技術を確立する必要がある。本節では、本研究で用いた成長装置と撰択成長条件について報告する。

6. 2. 1 撰択エピタキシャル成長条件

撰択成長は、所望の領域のみに撰択的に膜を成長させる技術である。本研究の場合、シリコン結晶とシリコン酸化膜で形成されたパターンに対し、シリコン結晶領域上のみを選択的にSi膜を成長する(図6. 1)。成長法としては、超高真空気相成長法(UHV-CVD)を用いた。使用した成長装置は、ドーム型の成長チャンバーとウエハを加熱するための抵抗過熱ヒータ、ウエハ温度測定のためのパイロメータ、および、成長チャンバーを真空にするためのターボ分子ポンプなどから構成される(図6. 2) [1]。成長チャンバーの到達真空度は 1×10^{-9} Torr以下である。

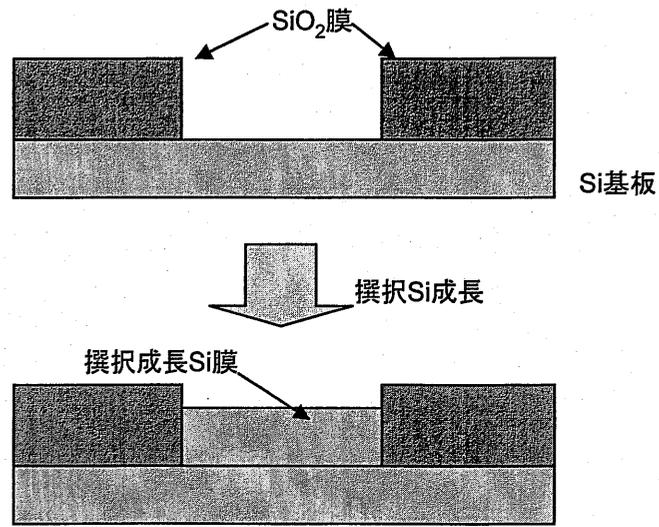


図6.1 選択シリコン(Si)成長

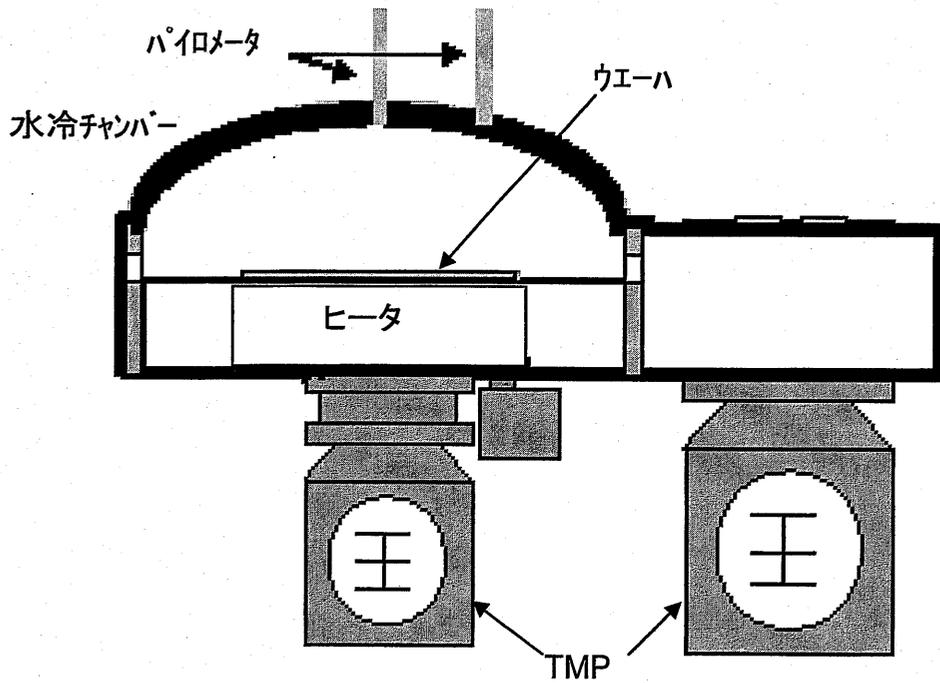


図6.2 選択シリコン(Si)成長装置

成長ガスはジシラン (Si_2H_6) を用いた。成長時のチャンバー内真空度を 1×10^{-3} Torr以下に設定することで原料ガスの気相分解を抑制した。また、成長チャンバー壁に水冷を施し、原料ガスのチャンバー壁での分解反応を抑制した。

撰択成長は、Si酸化膜上にSi膜が成長を開始するまでの時間(インキュベーション時間と呼ぶ)内にSi結晶上にSi膜が成長することで達成される。このインキュベーション時間(τ)の原料ガス流量(F)依存性を図6.3に示した。図より、インキュベーション時間は原料ガス流量の増加とともに減少することが分かる。インキュベーション時間とガス流量

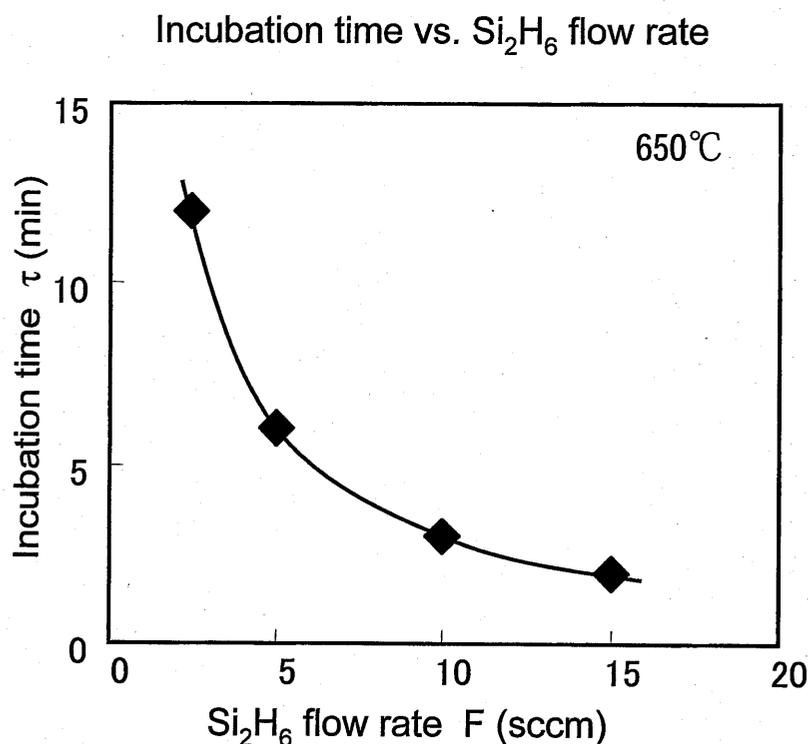


図6.3 酸化膜上に膜成長が開始されるまでの時間と供給原料ガス流量の依存性

の積 ($\tau \times F$) は一定であり、この量を限界ガス供給量と定義する。図6.4にこの限界ガス供給量の温度依存性を示した。限界供給量は、温度上昇とともに減少した。図中には、シリコン酸化膜上の限界供給量とともに、窒化膜上での値も示した。窒化膜上の限界供給量は酸化膜上より少ない。このことは、Si結晶上に選択的にSi膜を成長可能な時間が短いことを示している。すなわち、厚い選択膜の形成は困難であることを示している。また、また、図より、限界ガス供給量の対数値は、絶対温度の逆数に対して直線的に減少することがわかった。また、その傾きは酸化膜上と窒化膜上の場合とでほぼ同一であった。この理由については後で考察する。

図6.5に撰択Si膜の成長機構を示した。モデル基板はSi結晶表面をSi酸化膜

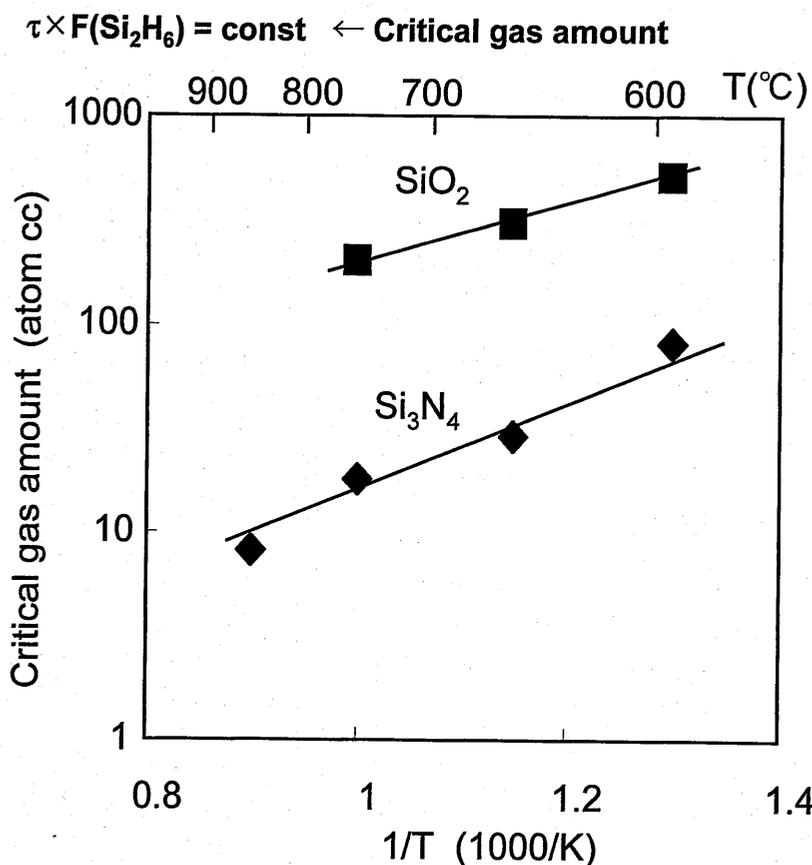


図6.4 酸化膜、窒化膜上での限界ガス供給量の温度依存性

(SiO₂) あるいはSi窒化膜 (Si₃N₄) などの絶縁膜で被覆した構造を持つ。この絶縁膜は選択成長のマスクとして機能する。成長機構は3段階に分けて考えることができる。第1の段階は、原料ガスであるジシラン分子が基板表面に吸着する段階である。このとき、吸着した分子は基板表面から熱エネルギーを受けて分解すると考えられる。第2の段階は、原料ガスが吸着・分解して発生したSi原子が表面を移動する段階である。この段階では、Si結晶上でエピタキシャル膜が成長する。絶縁膜上ではSi原子が集まってSiクラスタが形成される。第3の段階は、絶縁膜上に独立して発生したSiクラスタが成長し、最終的には絶縁膜表面全体がSi膜で被覆される段階である。この段階で、Siクラスタは互いに結合して多結晶Si膜となる。この絶縁膜上に膜が形成されるまでの時間がインキュベーション時間である。Si結晶表面上でのエピタキシャル成長では、このインキュベーション時間はほとんど存在しない。また、絶縁膜上にSi膜が形成された段階を、選択性が崩れたと定義する。すなわち、本研究で用いた選択成長は、Si結晶上と絶縁膜上でのインキュベーション時間の差を利用したものである。絶縁膜表面での原料ガス分解速度は、基板温度と絶縁膜の種類で決まる。また原料ガスの分解で発生するSi原子の表面移動速度も基板温度と絶縁膜の種類の間数である。したがって、同一温度、同一材料を用いた比較では、選択

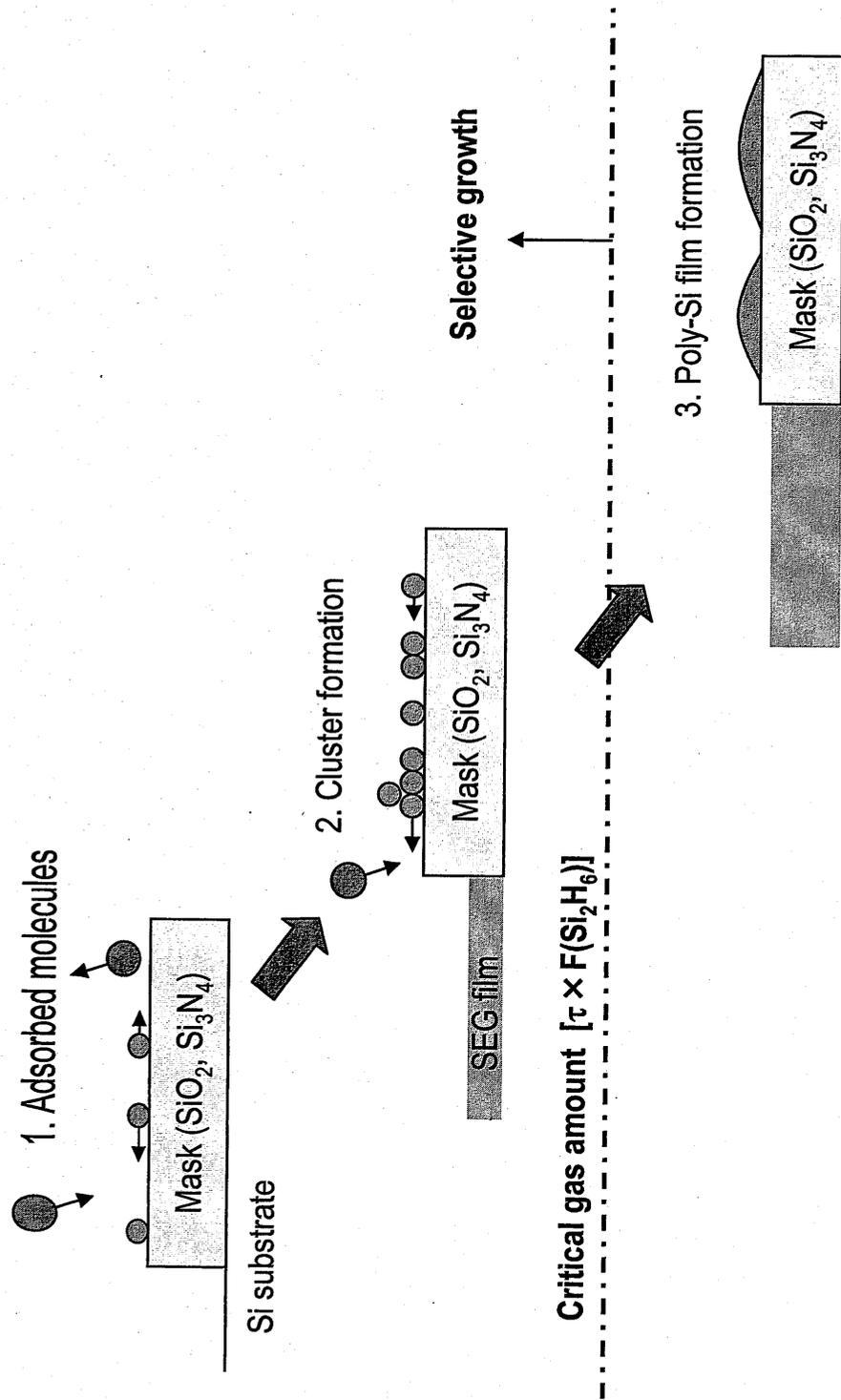


図6.5 選択エピタキシャル成長機構

性はある一定量の原料ガスを供給した場合に崩れることが理論的に説明できる(図6. 3)。また、その限界供給量は、温度の関数となる(図6. 4)。本研究では、成長の第2段階を用いてS/D形成を行った。

先に述べたように、限界ガス供給量の対数値は、絶対温度の逆数に対して直線的に減少することがわかった。また、その傾きは酸化膜上と窒化膜上の場合とではほぼ同一であった。高温ほど限界ガス供給量が少ないことから、高温ほど原料ガスの表面吸着確率(第1段階)が高くなっていることが示唆される。これは、原料ガスの表面での分解が基板から受ける熱エネルギーによるものと考えると説明できる。その分解過程は活性化エネルギーを持つ。また、グラフの直線の傾きが酸化膜基板と窒化基板でほぼ同一であることから、原料ガスの分解サイトは酸化膜と窒化膜の場合で同様の構造を持つ(例えば、Siの未結合手)ことが示唆される。酸化膜と比較して窒化膜の場合に限界ガス供給量が少ないことから、この分解サイトの密度は、酸化膜表面より窒化膜表面の方が高いと考えられる。膜表面のSi未結合手を想定した場合、窒化膜表面は酸化膜表面より密度が高いと考えられる。

6. 2. 2 撰択成長による接合形成の課題

前節では撰択成長技術を成長機構の観点から考察した。この撰択成長技術をFETのS/D形成に適用するためには、製造プロセスに起因する種々の課題を解決する必要がある。撰択成長によるS/D形成の研究成果を述べる前に、FETへの適用で特に考慮すべき課題を明らかにしておく。

まず、撰択成長を用いて浅い接合をS/D領域に形成するプロセスを再度簡単に説明する(詳細は第2章で既に記載)。素子分離領域とゲート電極を形成した後、ゲート側壁にサイドウォールスペーサを形成する。その後、UHV-CVDでSi撰択膜を成長する。このとき、S/D領域上にはSiエピタキシャル膜が成長する。同時に、多結晶Siのゲート上には多結晶Si膜が成長する。素子分離領域とサイドウォールスペーサはSi酸化膜で形成されているため、撰択成長によってSi膜は成長しない。このため、撰択膜成長後も、素子分離による隣接FET同士の絶縁と、ゲートとS/D間の絶縁を保つことができる。浅いS/D接合は、成長したSi膜上からドーパントとなる不純物イオンを注入した後、RTAによる熱処理を行なうことで形成する。FETの特性を決める接合深さは、ゲート/基板界面を基準とした深さである(本論文では実効接合深さと呼ぶ)。したがって、撰択成長を用いない場合と同一条件でイオン注入とRTAを行なった場合、撰択Si成長膜の膜厚だけ実効的な接合深さを浅くすることが可能となる。

次に、この方法の課題を図6.6を参照して述べる。Siエピタキシャル成長では、成長前の基板表面状態の制御が必要である。成長前の結晶表面からは、プロセス起因の汚染物や転位などの結晶欠陥をできるだけ低減することが良好なエピタキシャル膜を得るために必要である。表面欠陥や汚染物の残留は、成長したエピタキシャル膜の表面モフォロジーの悪化や、成長膜/基板界面での汚染物質の残留をもたらす。実効的な接合深さは、撰択Si成長膜の膜厚に依存する。表面モフォロジーが悪いと(表面に凹凸が存在すると)、S/D接合深さに凹凸の大きさ分の偏差が生じ、FETの動作特性が変動する原因となる。また、成長膜/基板界面の残留物は、接合特性の劣化を招く。例えば、界面に残留する炭素は、接合リーク電流を増加させるという問題がある。上記のFETの製造プロセスにおいて、ゲートサイドウォールスペーサの形成プロセスは、結晶表面に結晶欠陥や炭素汚染を引き起こすことが分かっている。このため、良好な撰択成長膜を得るためには、この表面に残留する炭素と結晶欠陥を除去することが不可欠である。これは、撰択成長を用いて浅い接合を形成する際の課題となる。

撰択成長を用いる場合の他の問題として、ゲートとS/D間の電氣的ショートがある。これは、ゲート上に成長した多結晶Si膜とS/D上に成長したSiエピタキシャ

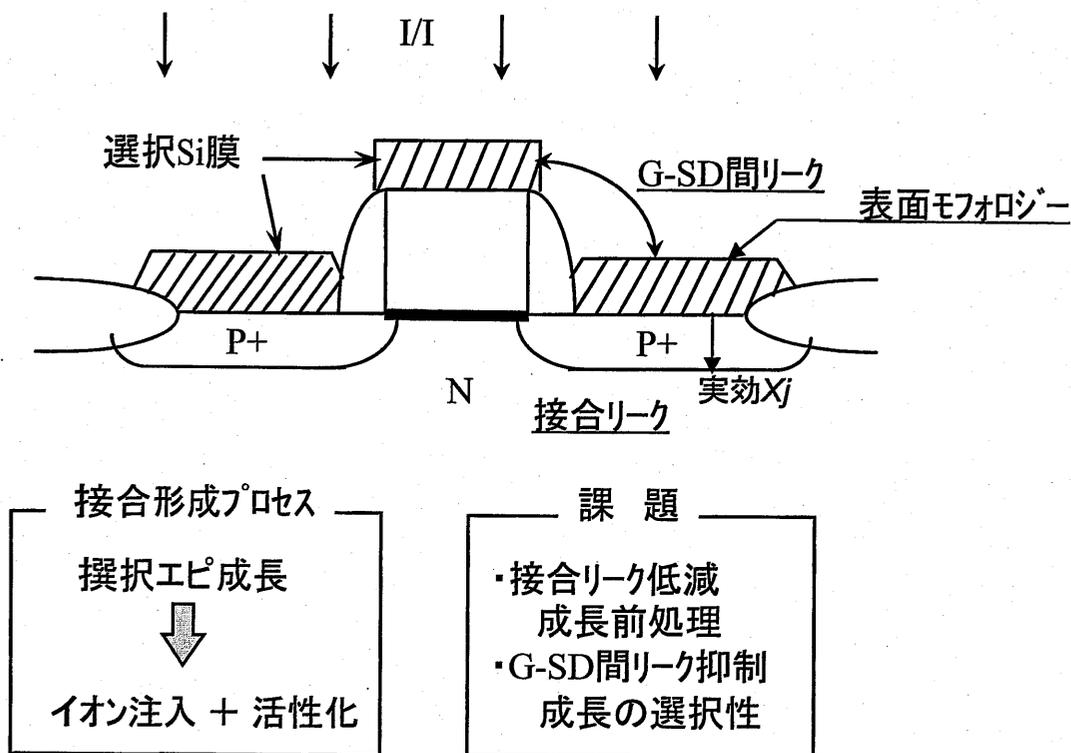


図6.6 選択成長技術による浅い接合形成の課題

ル膜が局所的に接続することが原因である。この局所的な接続は、ゲートサイドウォールスペーサ上で局所的に選択性が崩れることで生じる。選択成長条件は、選択性が充分確保できる条件を選択しているが、局所的な選択性の崩れを完全に抑制することは非常に難しい。FETの微細化に伴ないゲートとS/D間の距離が短くなるため、数10 nm程度の微結晶Siの成長でもショートに至ると考えられる。さらに、選択性がまったく崩れない場合であっても、ゲート上あるいはS/D上で局所的にSi膜が異常成長する場合もショートに至ると考えられる。最先端のロジックLSIではゲート数は既に1億個にも達しており、全てのゲートに対して完全な選択性を保つことは非常に難しい。このゲートとS/D間の電氣的ショート抑制法の開発が、選択成長を用いた浅い接合形成を実用化する上で特に重要である。

6. 2. 3 成長前処理プロセスの最適化による膜質改善

本節と次節において前節で述べた課題を解決する方策を述べる。本節では、エピタキシャル膜成長前の結晶表面改質技術を、次節では、ゲートとS/D間のショート抑制技術をそれぞれ述べる。

図6.7に、ゲートサイドウォールスペーサ形成直後の結晶表面状態を模式的に示した。スペーサ形成プロセスの影響で基板表面近傍に結晶欠陥などのダメージが残留している。また、表面には、プロセスで用いた炭素(C)、フッ素(F)、あるいは、酸素(O)などが残留している。この結晶表面に選択エピタキシャル膜を成長して、表面形状と接合リーク電流を評価した。まず、表面モフォロジーを捜査型電子顕微鏡(SEM)で評価した。表面形状はラフであり、改善が必要であること

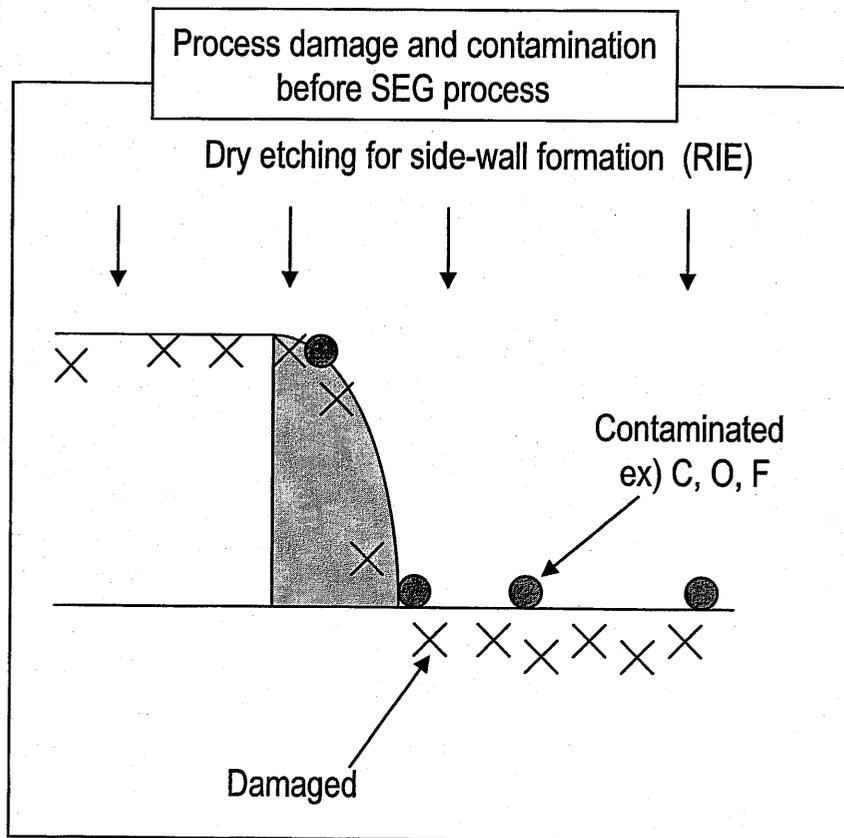


図6.7 選択成長前の基板表面状態

が分かった(図6.8)。次に、選択エピタキシャル膜中にP⁺/N接合を形成し、そのI-V特性を評価した(図6.9)。図に示したように、従来条件で形成した接合特性は、ばらつきが大きく、かつ、リーク電流レベルも高いことが分かった。

ソース/ドレイン領域に成長した
撰択エピ膜表面

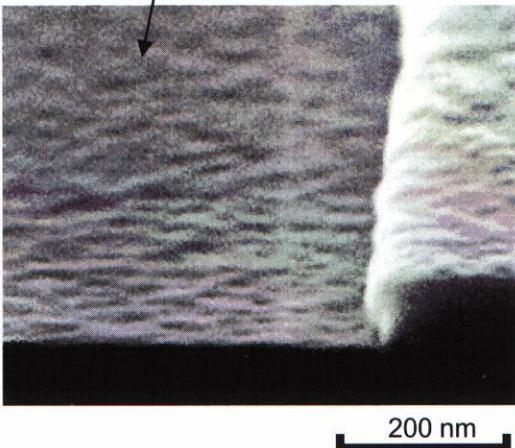


図6. 8 従来条件で成長した撰択成長膜
の表面モフォロジー

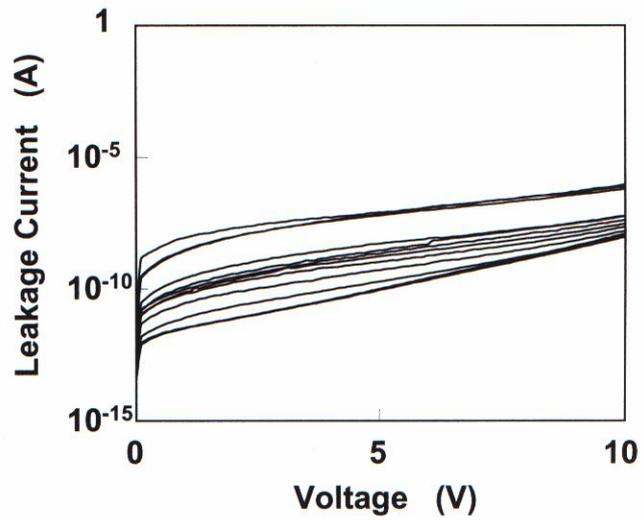


図6. 9 従来条件で成長した撰択成長膜
に形成したP+/N接合の特性
— 逆方向電圧印加時のリーク電流特性 —

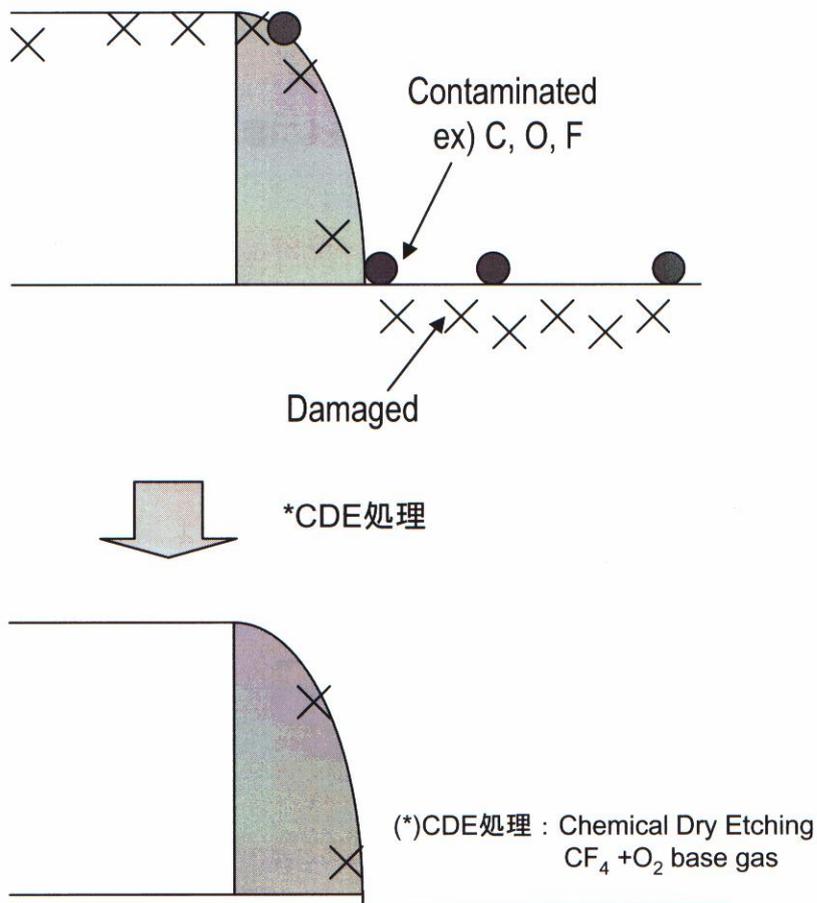


図6. 10 CDE処理によるエピ成長前表面状態の改善

図6.10に、本研究で新規に開発したスペーサ形成プロセス後の結晶表面改質法を示した。基板表面を CF_4 と O_2 ガスプラズマ中で処理することで、結晶表面の汚染物質を除去することができた。また、このプロセスは結晶表面をわずかにエツ

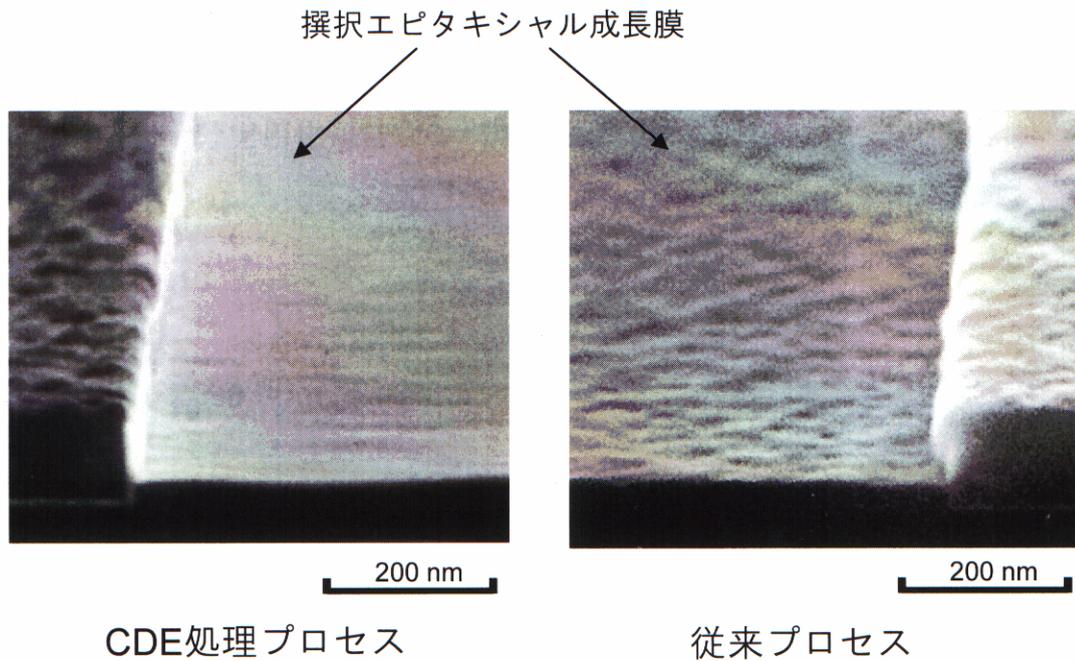


図6.11 CDE処理による選択エピ膜の表面モフォロジー改善

チングするので、表面近傍の結晶欠陥領域を除去する効果も確認されている。図6.11から図6.13にその改質効果を示した。まず、表面改質処理を行なうことによって、行なわない場合と比較して表面平坦度が改善した(図6.11)。また、図6.12に示した接合のI-V特性から、改質処理は接合リーク電流を大幅に低減することが実証された。このI-V特性から、逆方向印加電圧1.5V時のリーク電流値を求め図6.

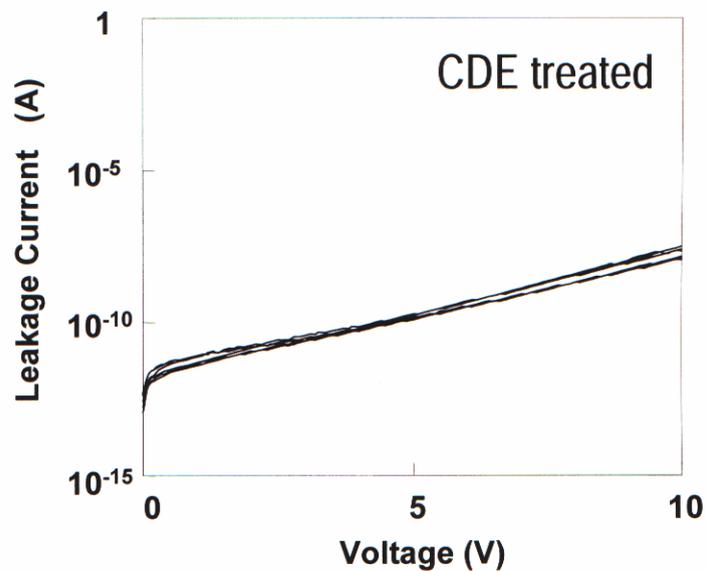


図6.12 CDE処理プロセスで成長した選択成長膜に形成したP+/N接合の特性
— 逆方向電圧印加時のリーク電流特性 —

13にプロットした。図より、改質処理によりリーク電流が低減されると同時に、そのばらつきも抑制できることが分かった。図には、撰択成長を行なわない場合の結果も参照データとして示した。表面改質処理を実施することで、撰択成長を用いない場合と同等の良好な接合特性を得られることが分かった（図6.13）。

以上、撰択成長前に基板表面の改質処理を施すことで、表面モフォロジーに優れ、接合リーク電流も十分低い接合を形成できることを実証した。この表面平坦度と接合特性は十分実用化可能なレベルである。

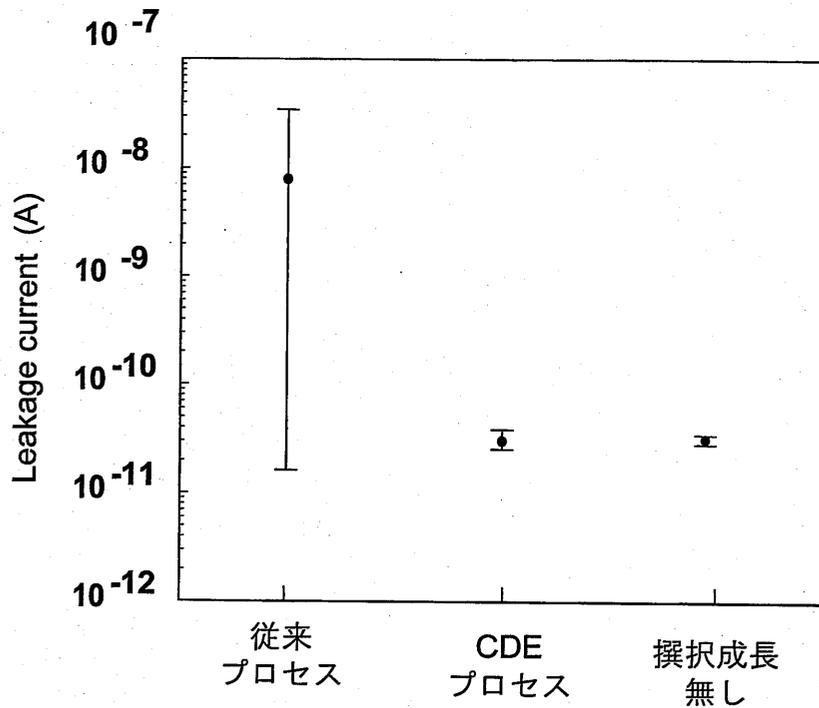


図6.13 逆方向電圧印加時のリーク電流分布
レファランスとして撰択成長の無い場合
についてもプロットした。

6. 2. 4 浅いソース/ドレイン接合形成への適用

本節では、選択成長による浅接合形成を FET 形成に適用した成果を述べる。この技術を実用化するためには、6. 2. 2 節で課題に挙げたゲートと S/D 間のショートを解決することが不可欠である。

図 6. 14 と図 6. 15 は、従来の S/D 形成プロセスと本研究で提案したプロセスとを比較したものである。従来法では、選択成長が局所的に崩れるとゲートサイドウォール上に Si 結晶粒が発生した。この結晶粒が成長すると、ゲート上に成長した多結晶 Si 膜と S/D 上に成長したエピタキシャル Si 膜が接続される。その結果、ゲートと S/D 間が電氣的にショートするという課題があった。新規に考案したプロセスでは、従来と同じ方法で素子分離領域とゲートを形成した後、ゲートサイドウォールスペースとして Si 窒化膜と Si 酸化膜の積層膜を形成した。次に、選択成長により結晶上とゲート上に Si エピタキシャル膜と多結晶 Si 膜を成長した。その後、イオン注入と熱処理を施して S/D 領域に浅い接合を形成した。最後にゲートサイドウォールの外層部である Si 酸化膜を除去した。選択性の崩れなどが原因でサイドウォール上に成長した Si は、酸化膜をエッチング除去する際にリフトオフさ

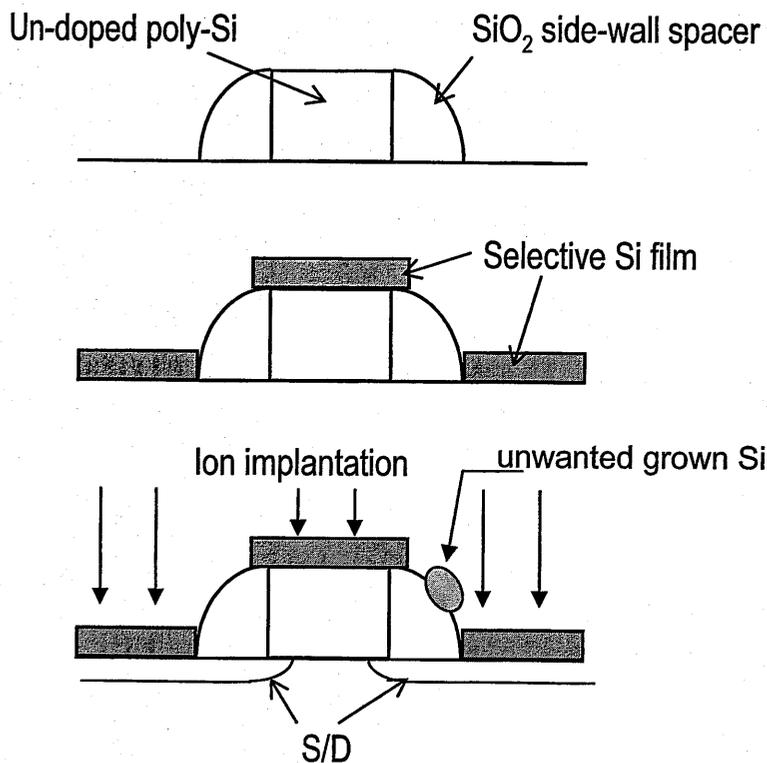


図6. 14 従来のソース/ドレイン形成プロセス
ゲートサイドウォールスペースは酸化膜1層構造

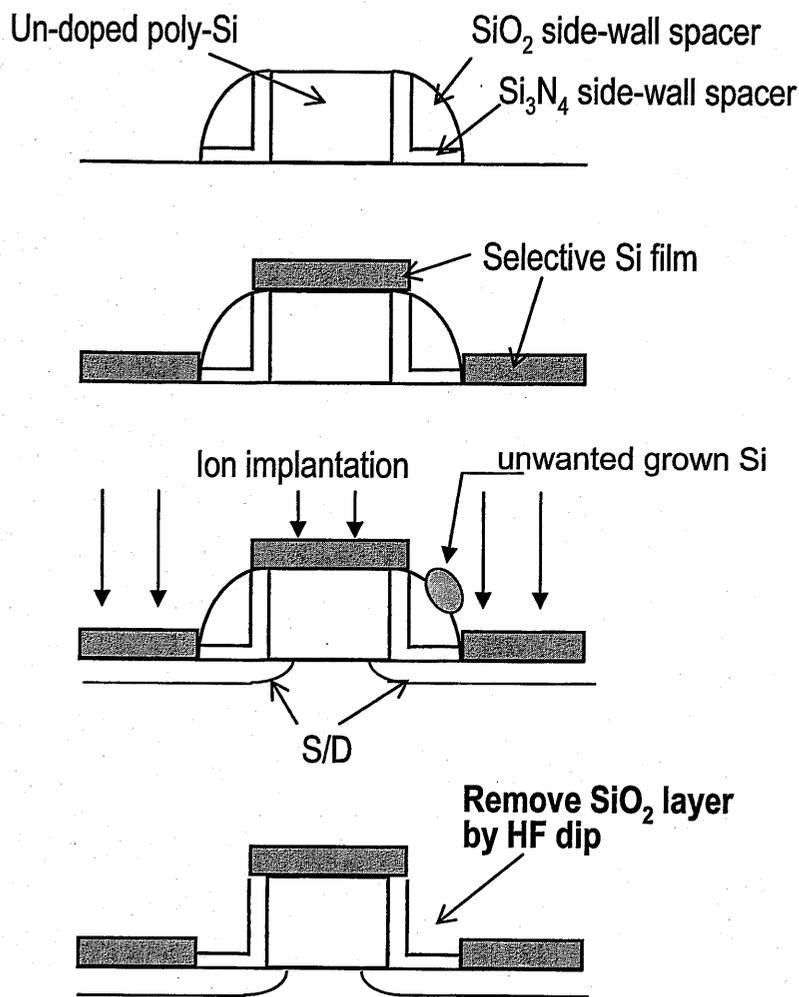


図6. 15 新規に考案したソース/ドレイン形成プロセス
ゲートサイドウォールスペーサは酸化膜/窒化膜
の2層構造

れる。Si酸化膜の除去には希HF溶液を用いた。これは、サイドウォールの内層膜であるSi窒化膜と選択成長したSi膜にダメージを与えることなく、サイドウォールスペーサの外層膜であるSi酸化膜を除去するためである。

図6. 16と図6. 17は、従来プロセスと新規プロセスで形成した複数のFETに対し、ゲートとS/D間のリーク電流の分布を評価したものである。従来法では、リーク電流はばらつきが多く、かつ、その値は大きい領域に分布した。これに対し、新規プロセスで形成したFETにおいては、リーク電流のばらつきが抑制され、かつ、その値は低い領域に分布した。このように、ゲートサイドウォールスペーサを積層構造とし、撰択成長後に外層膜のみエッチング除去するプロセスを用いることで、撰択性崩れに起因するリーク電流を大幅に低減することができた。

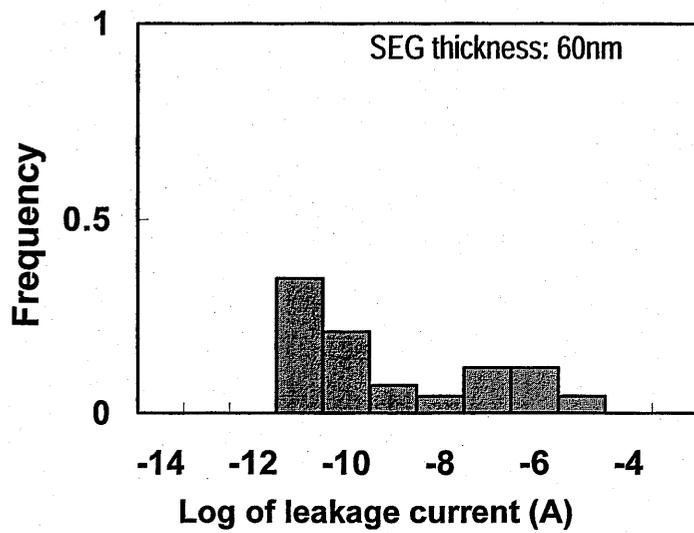


図6. 16 従来プロセスで形成したMOS-FETのゲート/SD間リーク電流分布

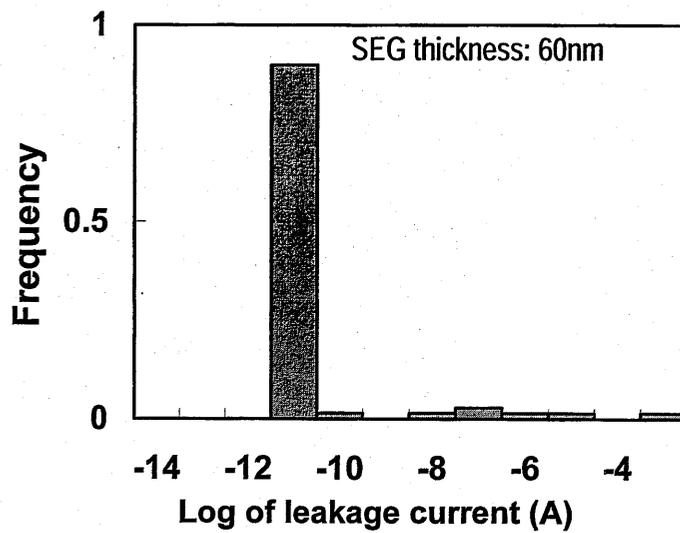


図6. 17 新規プロセスで形成したMOS-FETのゲート/SD間リーク電流分布

6. 3 本章のまとめ

本章では、選択Si成長を用いた浅い接合形成技術の研究について述べた。以下に本章で得られた成果をまとめる。

撰択成長条件

超高真空気相成長(UHV-CVD)法を用いてSi撰択成長を研究した。本研究で用いた成長装置とその成長条件について述べた。撰択成長は、Si結晶上と絶縁膜上でSi膜が成長を開始するまでのインキュベーション時間の差を利用して実現したことを報告した。インキュベーション時間とガス流量の積(限界ガス供給量)は温度の関数であり、高温ほど小さい値となる。また、Si酸化膜とSi窒化膜とを比較すると、Si酸化膜の方が大きい。したがって、Si酸化膜を成長のマスクとして用いた方が撰択成長は容易である(より厚い撰択Si膜を形成できる)。

撰択成長による浅接合形成の課題

撰択成長をFETのS/D接合形成に適用する場合の課題を明らかにした。まず、良質の選択Si膜を形成するためには、成長前の基板表面状態が重要であることを述べた。プロセス起因の基板表面汚染や表面結晶欠陥を除去する必要がある。次に、ゲートとS/D間のショートを抑制する必要があることを明らかにした。選択性の崩れがゲートサイドウォール上で局所的に発生するとショートに至る。FET適用ではこのショート抑制が最も重要であることを述べた。

成長前処理プロセスの最適化による膜質改善

成長前処理として CF_4 と O_2 ガスプラズマによる基板表面処理が有効であることを示した。この処理により、結晶表面の汚染物の除去と結晶欠陥の低減が可能となった。この処理を施すことで、表面モフォロジーを改善し、また、接合リーク電流を大幅に低減した。

浅いソース/ドレイン接合形成への適用

積層構造のゲートサイドウォールスペーサを用い、撰択成長後に外層のスペーサ膜を除去することで、選択性の崩れによって成長した絶縁膜上のSi粒を除去できることを示した。このプロセスを用いることで、ゲートとS/D間のリーク電流を大幅に低減することができた。

以上、本章では、撰択成長プロセスをFETの浅い接合形成に適用する際に生じ

た課題を解決した。開発したプロセスを用いることで、イオン注入法のみでは達成できなかった極浅接合の形成が可能となる。このプロセスを用いて、将来の超微細FETが実現されると期待できる。

参考文献

- [1] T. Tatsumi, et al., "SiGe/Si heterostructures", Ext. Abst. of SSDM, 668-670 (1992)
- [2] S. Shishiguchi, T. Yasunaga, T. Aoyama, T. Tatsumi and S. Saito, SPIE Proceedings of Microelectronics Device Technology (1997) 106-117
- [3] S. Shishiguchi, A. Mineji and T. Yasunaga and S. Saito, 1997.4 San Francisco, MRS Spring Meeting, "Surface morphology in heavily boron-doped Si epi-layers grown on (100) Si by Si₂H₆/B₂H₆-UHV/CVD"
- [4] T. Matsuda, S. Shishiguchi, S. Saito, NEC Research and Development, Vol. 39, No. 4, Oct. (1998), "Highly reliable raised source/drain formation process by selective Si deposition for 50nm junction-depth MOS-FETs"
- [5] T. Yasunaga, S. Shishiguchi, S. Saito, 1997.5, Montreal, ECS Spring Meeting, International Symposium on ULSI Science and Technology, "Highly reliable raised source/drain formation process by selective Si deposition for 50nm junction-depth MOS-FETs"
- [6] 安彦、小野、益岡、酒井、獅子口、中島、上野、1996、電子情報通信学会 論文誌C (エレクトロニクス)、「選択エピタキシャル成長と過渡的増速拡散制御プロセスを用いた0.15 μm n-nゲートCMOS技術」
- [7] H. Abiko, A. Ono, K. Masuoka, I. Sakai, S. Shishiguchi, K. Nakajima and R. Ueno Kyoto, 1996.6, Hawaii, IEEE Symposium on VLSI Technology, pp23-24, "0.1 μm n-n gate CMOS technology with selective epitaxy and transient enhanced diffusion suppressed process"

第7章 結論

今後のユビキタスコンピューティング環境を実現するには、シリコンLSIのさらなる高集積化、高速化が必要である。このため、LSIに搭載されるMOS-FETのさらなる微細化が求められている。リソグラフィ技術など微細パターン加工技術を発展させれば、見かけ上FETのサイズ縮小を図ることは可能である。しかし、単なる微細化ではFETの性能向上は図れない。サイズ縮小により性能向上を図るためには、ソース/ドレイン領域など、FETに形成する接合を浅くすることが不可欠である。

このような背景にもとづき、本研究では、浅い接合の形成方法を研究した。まず、現在LSI製造で用いられているイオン注入法を研究した。研究を開始した当時の接合形成では、10 keV程度の加速電圧によるイオン注入と、10秒程度の熱処理でイオンを活性化する技術が用いられていた。本研究では、熱処理時に発生する点欠陥に着目して開発を進めた。まず、イオン注入加速の徹底した低加速化(sub keV領域の利用)と活性化熱処理条件の高温短時間化(保持時間0秒熱処理)を図った。次に、イオン注入法の限界を明確化した。接合深さと拡散層抵抗値はトレードオフの関係にあることを明らかにした。最後に、次世代技術として、撰択Si成長を用いた浅接合化技術の研究を行い、実LSI製造に適用可能なプロセスを開発した。

以下に、本研究で得られた成果をまとめる。

イオン注入法による浅い接合形成技術

イオン注入法のプロセスは、不純物イオンを加速して結晶中に導入する工程と、導入した不純物を電氣的に活性化する熱処理工程から構成される。浅い接合を形成するためには、不純物拡散を増速する点欠陥の発生量を低減することが重要であった。

点欠陥発生量の定量化技術

まず、 δ ドープ層を持つ超格子基板を用いて点欠陥発生量を定量化する技術を開発した。この技術により、イオン注入ダメージの強さや熱処理雰囲気における酸素濃度の影響の大きさを定量化することを可能にした。

イオン注入条件の最適化

次に、この定量化手法を用いて、イオン注入条件を最適化した。接合深さを浅くするためには、イオン注入の加速電圧を徹底的に低減することが必要であることを

明らかにした。実際に、1 keV以下の sub-keV領域の注入を用いることで、点欠陥発生量が低減され、浅い接合形成が可能であることを実証した。また、点欠陥のチャンネル領域への影響についても議論し、低加速化がチャンネル再分布の抑制に効果があることを明らかにした。さらに、深いS/D形成プロセスの最適化を図った。PMOS-FETではGeイオン注入による非晶質化プロセスが点欠陥発生量の低減に効果的であることを明らかにした。NMOS-FETでは、接合リーク低減の観点から、PイオンとAsイオンの混合注入法を提案した。実際に、500 μm \times 500 μm の接合パターンでリーク電流の低減効果を実証した。

活性化アニール条件の最適化

活性化熱処理の最適化では、高温短時間熱処理技術を開発した。低抵抗の拡散層を得るためには、Si中での不純物固溶度が高い高温で熱処理することが望ましい。しかし、高温下では、不純物の拡散係数が増大するので浅い接合を形成することは難しかった。従来の保持時間10秒程度の熱処理条件に対し、新たに保持時間0秒のスパイクアニール条件を採用することで高温下での不純物拡散を抑制できた。熱処理時の炉内雰囲気については、従来、酸素を10%程度添加した条件が主流であった。Sub-keV領域の超低加速注入条件では、注入ダメージに起因する増速拡散が抑制される。このため、超低加速条件では、10%程度の酸素添加による酸化増速拡散の影響が顕在化することを超格子による点欠陥定量化実験から明らかにした。超低加速条件で浅接合化を図るためには、酸素フリー条件で熱処理する必要があると結論づけた。

さらに、結晶表面に酸化膜を残した状態でイオン注入を行なうと、接合深さが深くなる現象を明らかにした。自然酸化膜程度の極薄膜でも不純物拡散に影響した。イオン注入前に酸化膜などの表面膜を除去することが、浅い接合を得るために必要であることがわかった。

イオン注入法の限界を明確化

接合深さと拡散層抵抗はトレードオフの関係にあることを明らかにした。本研究で対象とする極浅い接合を形成すると、表面近傍の不純物濃度は固溶限界を超えてしまうためである。この固溶限界によるイオン注入法での低抵抗・浅接合限界を実験的に明らかにした。また、不純物の深さ分布に箱型プロファイル仮定し、理論限界を示した。

撰択Si成長による浅接合形成

イオン注入法の限界を打破する技術として、撰択Si成長による方法を研究した。

撰択 Si 成長技術を用いると、実効的な接合深さを浅くすることが可能になる。この技術を浅い接合形成に適用する場合、成長膜表面モフォロジーが良好であることが重要である。表面平坦度などモフォロジーが悪いと、接合深さの空間ばらつきを生じ、接合リーク電流の増大を招く。本研究では、成長膜のモフォロジーが成長前の結晶表面状態に大きく依存することを明らかにし、その表面改質処理技術を開発した。この技術は表面モフォロジーの改善と接合リーク電流の低減に有効であった。また、MOS-FETへの適用では、撰択性の崩れによりゲートとS/D間にショートが生じる。実LSIでは、ゲート数は1億個にも及ぶため、全てのゲートに対して完全な選択性を保つことは現実的に困難である。このため、ゲートサイドウォールスペーサを2層構造にすることで、局所的に撰択性の崩れが発生した場合であっても、ゲートとS/D間のショートを抑制できるプロセスを開発した。このプロセスによりショートの発生確率を大幅に低減できることを実証した。

以上開発した技術の中でイオン注入法に関する技術は、現在、最先端のLSI製造技術として採用されている。したがって、本研究の成果は、シリコンLSIの微細化を推進する上で大きく寄与したと結論できる。また、撰択成長を用いた技術は、次世代、あるいは、次々世代のLSI製造技術の有力な候補の一つであり、今後のLSI微細化に大きく貢献するものと期待される。

研究論文リスト

- [1] Invited : S. Shishiguchi, A. Mineji, T. Matsuda and K. Kitajima, 1999.9, Napa, Ion Implantation Conference (IICON), "Advanced S/D formation process for deep sub-quarter micron CMOS-FETs" .
- [2] K. Imai, S. Shishiguchi, K. Yamaguchi, N. Kimuzuka, H. Oonishi and T. Horiuchi, 1999.6, Hawaii, IEEE Symposium on VLSI Technology, pp51-52, "A source/drain technology utilizing sub-10keV arsenic and assist-phosphorous implantation for 0.13um MOS-FET"
- [3] To be published in the Jpn. J. Appl. Phys., S. Shishiguchi, A. Mineji and T. Matsuda, "Optimized source/drain ion Implantation conditions for p-Channel metal-oxide-semiconductor field-effect-transistor formation"
- [4] K. Imai, S. Shishiguchi, K. Shibahara and S. Yokoyama: Jpn. J. Appl. Phys. Vol. 42, 2003, p. 2654.
- [5] Invited: S. Shishiguchi, A. Mineji and T. Matsuda, 1999.5, Seattle, ECS Spring Meeting, Proceedings of Advances in Rapid Thermal Processing, (1999) 105-116, "Shallow junction formation by low energy implant and high ramp-up RTA"
- [6] T. Matsuda, S. Shishiguchi and H. Kitajima: Jpn. J. Appl. Phys. Vol. 41, 2002, p. 451.
- [7] 招待論文：獅子口 清一、日本金属学会会報まてりあ第38巻第2号(1999) 111-114 「MOS-FETの微細化に関わるイオン注入技術」
- [8] 松田、獅子口、北島、1999.3、東京理科大学、春季応用物理学会、「浅接合形成時の不純物拡散に及ぼすカバー膜の影響」
- [9] 峰地、獅子口、北島、1999.3、東京理科大学、春季応用物理学会、「極浅Bプロファイルに与えるイオン注入前処理の影響」
- [10] 獅子口、峰地、松田、1998.12、法政大学、イオンビーム工学シンポジウム、「超低加速イオン注入とプレアモルファス化技術を用いたPMOS-FETのソース・ドレイン形成条件の最適化」
- [11] 依頼解説：獅子口、1998、SEAJ Journal Quarterly、「拡散プロセスとその最新技術」
- [12] K. Kunimune, N. Nishio, N. Kodama, H. Kikuchi, T. Toda, A. Mineji, S. Shishiguchi and So Saito, Jpn. J. Appl. Phys. Vol. 38 (1999) Pt.1, No. 4B, pp 2314-2318, "Lateral diffusion distance measurement for 40-80nm junctions by etching/TEM-EELS method"

- [13] T. Matsuda, S. Shishiguchi, S. Saito, NEC Research and Development, Vol. 39, No. 4, Oct. (1998), "Highly reliable raised source/drain formation process by selective Si deposition for 50nm junction-depth MOS-FETs".
- [14] K. Kunimune, N. Nishio, N. Kodama, H. Kikuchi, T. Toda, A. Mineji, S. Shishiguchi and So Saito, 1998.8, Hiroshima, International Conference on Solid State Devices and Materials (SSDM), "Lateral diffusion distance measurement for 40-80nm junctions by etching/TEM-EELS method"
- [15] K. Miyoshi, S. Shishiguchi, S. Saito, D. C. Jacobson and D. J. Eaglesham, 1998.6 Kyoto, International Conference on Ion Implantation Technology, "Effect of MeV implantation gettering for improvement of device characteristics"
- [16] A. Mineji, S. Shishiguchi, T. Matsuda and S. Saito, 1998.6 Kyoto, International Conference on Ion Implantation Technology, "Reduction of Point Defects in PMOS Source/Drain Formation"
- [17] T. Matsuda, S. Shishiguchi, and S. Saito, 1998.6 Kyoto, International Conference on Ion Implantation Technology, "Effect of Energy Reduction in Sub-keV Boron Implantation on Ultra-Shallow Junction Formation"
- [18] Invited : S. Saito, S. Shishiguchi, A. Mineji and T. Matsuda, 1998.9, Napa, "Ion Implantation Conference (IICON), "Shallow junction formation by low energy ion implantation under optimized RTA conditions".
- [19] S. Shishiguchi, A. Mineji, T. Yasunaga and S. Saito, 1998.6, Hawaii, IEEE Symposium on VLSI Technology, pp134-135, "33nm ultra-shallow junction technology by oxygen-free and point-defect reduction process"
- [20] Invited: S. Saito, S. Shishiguchi, A. Mineji and T. Matsuda, 1998.4 San Francisco, MRS Spring Meeting, "Ultra shallow junction formation by RTA at high temperature for short heating cycle time"
- [21] 安永、獅子口、斉藤、1998.3、東京工科大学、春季応用物理学会、「浅接合形成時の増速拡散、活性化に及ぼすRTA雰囲気、カバー膜の影響」
- [22] 峰地、獅子口、斉藤、1998.3、東京工科大学、春季応用物理学会、「Deep-S/D形成時のイオン注入欠陥が不純物再分布へ及ぼす影響」
- [23] 三好、獅子口、斉藤、1997.10、秋田大学、秋季応用物理学会、「酸素雰囲気中におけるFeの挙動」
- [24] 峰地、獅子口、斉藤、1997.10、秋田大学、秋季応用物理学会、「0.2keV・シングルB注入による浅接合形成」
- [25] 安永、獅子口、斉藤、1997.10、秋田大学、秋季応用物理学会、「SDせり上

げ構造を持つPMOS-FETの検討II」

[26] 獅子口、峰地、林、斉藤、1997.10、秋田大学、秋季応用物理学会、「高速昇温 RTA プロセスを用いた Pch 浅接合形成」

[27] Invited: S. Saito, S. Shishiguchi, K. Hamada and T. Hayashi, 1997.9, IUMRS, "Dopant profile and defect control in ion implantation by RTA with high ramp-up rate"

[28] S. Shishiguchi, A. Mineji, T. Hayashi and S. Saito, 1997.6, Kyoto, IEEE Symposium on VLSI Technology, pp89-90, "Boron implanted shallow junction formation by high-temperature/ short-time/ high-ramping-rate (400 °C/sec) RTA"

[29] Invited: S. Shishiguchi, T. Yasunaga, T. Aoyama, T. Tatsumi and S. Saito, SPIE Proceedings of Microelectronics Device Technology (1997) 106-117

[30] T. Yasunaga, S. Shishiguchi, S. Saito, 1997.5, Montreal, ECS Spring Meeting, International Symposium on ULSI Science and Technology, "Highly reliable raised source/drain formation process by selective Si deposition for 50nm junction-depth MOS-FETs"

[31] S. Shishiguchi, A. Mineji and T. Yasunaga and S. Saito, 1997.4 San Francisco, MRS Spring Meeting, "Surface morphology in heavily boron-doped Si epi-layers grown on (100) Si by Si₂H₆/B₂H₆-UHV/CVD"

[32] 安永、獅子口、斉藤、1996.9、九州産業大学、秋季応用物理学会、「SD せり上げ構造を持つPMOS-FETの検討」

[33] 安彦、小野、益岡、酒井、獅子口、中島、上野、1996、電子情報通信学会論文誌C(エレクトロニクス)、「選択エピタキシャル成長と過渡的増速拡散制御プロセスを用いた0.15 μm n-nゲートCMOS技術」

[34] H. Abiko, A. Ono, K. Masuoka, I. Sakai, S. Shishiguchi, K. Nakajima and R. Ueno Kyoto, 1996.6, Hawaii, IEEE Symposium on VLSI Technology, pp23-24, "0.1 μm n-n gate CMOS technology with selective epitaxy and transient enhanced diffusion suppressed process".

[35] S. Shishiguchi, T. Okamoto, K. Arai, K. Hasebe and N. Shigematsu, Journal of Crystal Growth 166 (1996) 689-693, "The reduction of grain size in LPCVD poly-Si by in-situ oxygen and phosphorus doping"

出願特許

[1] 特開2001-60560、獅子口、「半導体基板の反射率測定方法及び半導体基板の温

度測定方法並びに半導体基板の加熱温度制御方法とその装置」

[2] 特開 2000-124147、獅子口、「半導体装置の製造方法及びその製造方法」
イオン注入時の有機物汚染を低減可能なイオン注入装置に関する特許

[3] 特開 2000-114197、獅子口、「半導体装置の製造方法」
浅く、低抵抗の P 型、N 型拡散層の形成方法に関する特許

[4] 特開 2000-100746、獅子口、「拡散層の形成方法」
浅く、低抵抗の P 型、N 型拡散層の形成方法に関する特許

[5] 特開 2000-91566、獅子口、「半導体装置及びその製造方法」
拡散層抵抗の抵抗を低減し、NMOS-FET の特性を向上させる特許

[6] 特開 2000-82678、獅子口、峰地、松田「半導体装置及びその製造方法」
接合リークが少なく、かつ高濃度でかつ浅い接合の不純物拡散層を備える半導体装置とその製造方法を提供する特許

[7] 特開平 11-168069、峰地、獅子口、斉藤「半導体装置の製造方法」
イオン注入時に発生する点欠陥分布を制御することで、不純物の増速拡散を抑制する特許

[8] 特開平 11-163324、獅子口、安永「半導体装置の製造方法」
選択 Si 成長によりソース・ドレインを形成する際の選択性劣化を救済する特許

[9] 特開平 11-168069、峰地、獅子口、斉藤「半導体装置の製造方法」
イオン注入時にゲート酸化膜に与えるダメージを低減する特許

[10] 特開平 11-111975、安永、獅子口「半導体装置及びその製造方法」
ソース・ドレイン及びゲート電極上に形成した CoSi_2 膜のショートを防止する特許

[11] 特開平 10-303417、安永、獅子口「半導体装置の製造方法」
選択 Si で形成したソース・ドレイン上のエピ膜が素子分離領域に乗り上げてリーク電流が増大することを防止する特許

[12] 特開平 10-294457、安永、獅子口「半導体装置の製造方法」
選択 Si 成長によりソース・ドレインを形成する際の選択性劣化を救済する特許

[13] 特開平 10-229187、安永、獅子口「半導体装置及びその製造方法」
選択 Si 成長によりソース・ドレインを形成する際の選択性劣化を救済する特許

[14] 特開平 10-135296、獅子口「半導体装置の製造方法及びその製造装置」
0.5 μm 以下の極薄 Si 及び SiGe 膜の製造歩留まりや信頼性を向上させる特許

[15] 特開平 10-125909、獅子口、北島「半導体装置の製造方法」
選択 Si 成長によりソース・ドレイン領域を形成する際の形成温度を低温化する特許

[16] 特開平 10-125605、安永、獅子口「半導体装置の製造方法」
選択 Si 成長によりソース・ドレインを形成する際にエピ膜/基板界面に残留する炭素

を低減する特許

[17] 特開平 10-106969、獅子口、安永「半導体装置の製造方法」

選択 Si 成長によりソース・ドレインを形成する際の成長速度制御技術に関する特許

[18] 特開平 9-64016、獅子口、「半導体装置の製造方法」

選択 Si 成長前処理温度を低減するための特許

[19] 特開平 8-203836、獅子口、青山、鈴木「気相成長装置」

コールドウォール型の気相成長装置に関する特許

[20] 特開平 8-148437、獅子口「真空処理装置」

コールドウォール型の気相成長装置に関する特許

謝辞

本研究を進めるにあたり多くの方々に多大なるご協力、ご指導を頂きました。ここに深謝申し上げます。

本論文は、筆者が NEC ULSI デバイス開発研究所（現在は、NEC エレクトロニクス 先端プロセス事業部）において行なった、MOS-FET のソース/ドレイン領域における浅い接合形成技術の研究成果をまとめたものであります。この研究の機会を与えて頂き、研究遂行を励まして頂いた NEC ULSI デバイス開発研究所（当時）の工藤修所長、遠藤伸裕所長代理、中前正彦統括部長、池田和子部長、斉藤修一プロジェクトマネージャ、北島洋プロジェクトマネージャ（いずれも研究遂行当時の役職で記載）、NEC エレクトロニクス 先端プロセス事業部の中村邦夫事業部長、井上修一シニア開発プロフェッショナル、北野友久グループマネージャに感謝致します。特に、斉藤修一氏には、本研究の中心となるイオン注入技術開発の機会を与えて頂くと同時に、多くのご指導を頂きました。重ねて感謝致します。また、筆者が ASET 出向中に学位取得の機会を与えて頂いた ASET 環境プロセス技術研究室の柳沢寛室長に感謝致します。

イオン注入プロセスの研究に関しては、共同研究者であります NEC エレクトロニクス 先端プロセス事業部の今井清隆シニアプロセスエンジニア、峰地輝主任（現 Selete）、松田友子主任に大変お世話になりました。感謝致します。彼らの協力がなければ、本研究を完成することは不可能でした。また、点欠陥量定量化のための δ ドープ基板の作成では、マイクロエレクトロニクス研究所の辰巳徹研究専門課長（現シリコンシステム研究所主席研究員）に大変お世話になりました。撰択成長技術による接合形成技術では、ULSI デバイス開発研究所の青山亨エキスパートエンジニア（NEC 在任当時）にご協力頂きました。感謝致します。

最後に、論文の審査ならびに貴重なご指導を頂きました、主査の橋爪弘雄教授はじめ、金光義彦教授、冬木隆教授、細糸信好助教授に感謝申し上げます。橋爪先生には、学位取得の手続きから論文のまとめ方のご指導に至るまで、大変お世話になりました。特に、投稿論文作成の際には、休日を割いてご指導頂きました。ここに深謝申し上げます。