

Lab name (Supervisor)	Computing Architecture Laboratory (Prof. Nakashima Yasuhiko)		
Name (surname) (given name)	NGUYEN DUC PHUC	Date	(2018/07/30)
Title	VLSI Architectures for Selective FEC-based Transceivers in Optical Wireless and Radio Frequency Communication Systems		
<p>Abstract</p> <p>Fifth-generation and beyond communication networks include heterogeneous wireless communication systems, in which the convergence of hybrid radio frequency (RF) and optical wireless networks is one of the key targets. In this thesis, we focus on channel-reliability enhancement of Forward Error Correction (FEC) based transceivers which are now applied widely in optical and RF wireless systems; specifically, Visible Light Communication (VLC) systems and Wireless Sensor Networks (WSNs) are taken into account.</p> <p>Firstly, expected features of FEC solutions in WSNs transceivers are high coding-gain, low-complexity, and transmission-power efficiency. Therefore, we introduce an FEC approach based on split-concatenation of a low-constraint convolutional code and a truncated-iteration layered-decoding LDPC (TILD-LDPC) block code. Our solution offers four operational modes with different levels of error-correction performance and transmission power. Besides achieving competitive bit-error-rate performance, the proposed scheme could be applied in many operational scenarios of WSN nodes.</p> <p>Secondly, VLC systems are now applied widely in indoor positioning systems (IPS) in which VLC-LED beacons are assigned with fixed position identifications. In IPS, the massive installation costs of dedicated embedded boards or programmable oscillators for VLC-LED beacons could be reduced if the VLC beacon network is managed by a central processing node. Unfortunately, due to limited memories and minimal processing capabilities, embedded processors should not be employed for the central node. On the other hand, VLC-specialized hardware could be implemented to accelerate the processing delay of the central node. However, hardware implementations of VLC transmitters and receivers have not been investigated before this, and typical VLC transmitter/receiver routines, such as encoding/decoding of run-length limited (RLL) codes and FEC codes, have been processed purely on embedded processors' firmware.</p>			

(論文審査結果の要旨) (A4 1枚 1、200字程度)

第5世代以降の無線通信ネットワークでは、電波無線および光無線が混在するヘテロジニアス構成が重要になる。本論文では、電波無線通信 (RF) と光無線通信 (VLC) に広く適用されている Forward Error Correction (FEC) ベースのトランシーバにおけるチャンネルの高信頼化に焦点を当てている。第1に、Wireless Sensor Networks (WSNs) トランシーバにおいて FEC に期待される機能は、高い符号化利得、低い複雑性、および高い送信電力効率である。このために、低制約畳み込み符号と切り捨て型反復階層復号 TILD-LDPC ブロック符号の分割連結に基づく FEC 手法を導入した。第2に、VLC ビーコンに固定位置識別が割り当てられている屋内測位システム (IPS) に広く適用されている VLC-LED に関して検討を行った。一般的に、IPS では、VLC-LED ビーコン用の専用組み込み機器やプログラマブルオシレータの設置コストを削減するために、VLC ビーコンネットワークが中央処理ノードによって管理されており、中央処理ノードの負荷が高く遅延時間が発生する。遅延抑止のために、VLC 専用ハードウェアの実装が候補となる。しかし、これまで VLC トランスミッタとレシーバは、RLL コードと FEC コードのエンコード/デコードなどがファームウェアに実装されており、ハードウェア実装は検討されていない。ポラーコードベースの VLC トランスミッタとレシーバの2つを新たに提案し、既存技術と比較して、RLL コードがなくてもフリッカ緩和を保證できること、特に、プリスクランブラとポラーエンコーダのビット確率分布の偏りを利用して、非 RLL フリッカー軽減機能を実現した。最後に、提案した VLC トランスミッタとレシーバのための VLSI アーキテクチャと、FPGA / ASIC 合成ツールを用いた回路合成に関して述べている。RLL を不要としたため、本システムは他の RLL ベース受信機と比較して優れたコードレートの実現と複雑さの低減に寄与している。また、提案手法の消費電力、面積、ビット当たりのエネルギーの評価を行っている。

以上、本論文は学術上、實際上寄与するところが少なくない。よって、本論文は博士(工学)の学位論文として価値あるものと認める。