

論文内容の要旨

博士論文題目

Techniques to Reduce the Overhead and to Improve the Robustness in a Fault Tolerable Reconfigurable Architecture

(再構成可能アーキテクチャのための低オーバーヘッド高信頼化手法)

氏名 Tanvir Ahmed

Nowadays, fault tolerance has been playing a progressively important role in covering increasing soft/hard error rates in electronic devices that accompany the advances of process technologies. Research shows that wear-out faults have a gradual onset, starting with a temporal/transient fault and then eventually leading to a permanent fault. Error detection is thus a required function to maintain execution correctness. Currently, however, many highly dependable methods to cover permanent faults are commonly over-designed by using very frequent checking, due to lack of awareness of the fault possibility in circuits used for the pending executions.

In this dissertation, to address those issues, a technique has been proposed to add check instructions selectively on the data-path, where a metric has been introduced for permanent defects, as operation defective probability (ODP), to quantitatively instruct the check operations being placed only at critical positions. By using this selective checking approach, I can achieve a near-100% dependability by having about 53% less check operations, as compared to the ideal reliable method, which performs exhaustive checks to guarantee a zero-error propagation. By this means, I am able to reduce 21.7% power consumption by avoiding the non-critical checking inside the over-designed approach.

Further, by additionally taking the data importance into account, extra energy savings is possible from the current over-designed fault tolerable system. Partial redundancy is a well-used method to cover single event effects (SEEs) on critical data while leaving less important data unprotected. Under a low SEE rate, the method can provide a good cost-effective fault tolerance, while many silent data corruptions (SDCs) may occur under a high fault rate due to incomplete fault coverage.

Thus, a system-level approach is proposed to additionally cover SDCs in a partial redundancy by a light-weighted error prediction. Simulation results under a stress radiation test condition show that with an average 8% cost in energy consumption, which can reduce the SDC rate from 12% to 0.37%, for the workloads those have been studied.

(論文審査結果の要旨) (A4 1枚 1、200字程度)

近年、半導体微細化の一段の進歩やポストシリコン開発の進展等に伴い、不安定なデバイスを利用してどのように実用的システムを構築するかに関する研究が盛んに行われている。また、このような信頼度向上の必要性は、多数の演算器を搭載するアクセラレータにおいて特に強い。一般的には、論理回路の多重化および多数決論理によって回路の信頼度を高めることができる。しかし、面積増加による歩留り低下や消費電力の急激な増大を伴うことから、元々多数の演算器を有する構成に対して単純な多重化を適用することは難しい。以上の背景から、多数の演算器を有するアクセラレータにおいて、いかに面積増加や消費電力増大を抑制しつつ、信頼性を向上させるかが重要な課題となってきた。

本論文は、多数の演算器を利用するリコンフィギャラブルアーキテクチャに適用できる、(1) 演算種別に応じてエラー発生確率が高い箇所を特定し、データパスを選択的に検査する機構、および、(2) テスト演算を挿入してエラーをモニタリングすることによりSDC (Silent Data Corruption) 予測を行い冗長度を変化させる部分冗長化機構の2つを提案している。得られた主要な成果は以下のとおりである。

【1】演算種別(関与するゲート数)に依存して決定されるODP (Operation Defective Probability)の値を用いて、リコンフィギャラブルアーキテクチャに写像した二重化演算の結果を比較する検査命令を効率よく挿入する手法を考案した。また、ODP算出にあたっては、有効ビット数の少ない定数演算を考慮することが重要であることを明らかにした。

【2】評価の結果、故障の発生確率が高い部分に集中的に検査命令を挿入し、全部を検査する場合に比べて、60%の検査命令が削減できることを明らかにした。また、これにより、22%の電力削減が可能であることを示した。

【3】未使用演算器を利用してSDC (Silent Data Corruption) をモニタリングする演算を行わせ、次のイタレーション実行時のSDC発生確率を予測し、予測値に応じた冗長化を適用する手法を考案した。

【4】評価の結果、演算器使用率を8%増加させるだけで、SDC発生確率を12%から0.37%に削減できることを示した。

以上、本論文は学術上、實際上寄与するところが少なくない。よって、本論文は博士(工学)の学位論文として価値あるものと認める。