

論文内容の要旨

博士論文題目 Studies on F-scan: A Design for Testability Method for Functional RTL Circuits
(機能RTL回路のFスキャンテスト容易化設計法に関する研究)

氏名 OBIEN, MARIE ENGELENE JIMENEZ

VLSIチップの信頼性の確保のため、そのテストは不可欠であり、テスト容易な回路を低コストで実現することが求められている。現在、産業界ではテスト容易性を考慮した設計技術として、スキャン設計が広く用いられているが、テスト実行時間が長い、付加回路面積が大きいなどの欠点がある。また、テスト時には通常動作と異なる動作を行うため、過剰テストの問題が生じる他、近年特に必要性となっているタイミングの正当性を保証するための遅延テストの品質が低いという問題がある。

本論文は、上述の問題を解決するための手法として、レジスタ転送レベル(RTL)からのテスト容易化設計法およびテスト生成法についてまとめたものである。

第1章では、本研究の目的と意義および背景について述べており、本論文の概説を行うとともに、既存のテスト容易化設計法、テスト生成を紹介し、本論文で扱う故障モデルの定義を行っている。

第2章では、機能RTL回路に対するテスト容易化設計法として、Fスキャンテスト容易化設計法を提案している。提案法では、テスト時にも通常動作に用いるデータ転送経路(Fパス)を用いてテストパターンの伝搬を行うことにより、テスト実行時間および付加回路面積を削減できることを示している。また、既存のスキャン設計と同様の方法で生成したテストパターンを用いて、高い故障検出率が得られることを示している。

第3章では、Fスキャンテスト容易化設計法に対するテスト生成法を提案している。Fパスで伝搬できるテストパターンは、通常動作の機能で伝搬できるパターンに限定されることがあるため、提案法では生成されるパターンに制約を置いた制約付きテスト生成を行っている。これにより、完全な故障検出効率を達成し、過剰テストを緩和できることを示している。

第4章では、Fスキャンテスト容易化設計法が遅延故障テストにも適用可能であることを示している。RTLでFスキャンパスを導入することにより、テスト時も実動作速度で動作可能な回路を合成可能であり、実動作速度でテストパターンを伝搬するのが困難なスキャン設計よりも質の高い遅延テストを実現できる。また、前章の制約付きテスト生成法を拡張し、完全な故障検出効率を達成する遅延故障テスト生成法を提案している。

最後に、第5章では、以上の研究成果の結論を述べるとともに、今後の研究課題について議論している。

氏名	OBIEN, MARIE ENGELENE JIMENEZ
----	----------------------------------

論文審査結果の要旨

本論文は、産業界で実際の VLSI 設計に用いられている機能 RTL 回路に対するテスト容易化設計法およびこれに対応するテスト生成法を提案している。提案されたテスト容易化設計法は、現在広く用いられている縮退故障に代表される論理故障のテスト、遷移故障に代表される遅延故障のテストに用いることができる。また、テスト生成法は市販の高性能のテスト生成ツールが利用できるよう、テスト生成の対象回路に擬似的に制約回路を付加してテスト生成を行う方法を採用しており、産業界で用いられている設計フローとの整合性も考慮されている。提案法の評価においては、既存手法と付加回路による面積オーバーヘッドの比較が行われ、縮退故障および遷移故障に対するテスト生成時間、テスト実行時間、過剰テストなどの点についても考察されている。

本論文の主な成果は以下に要約される。

1. 本論文は、産業界で実際の VLSI 設計に用いられている機能 RTL 回路を対象としており、従来の構造記述 RTL 回路に対するものと比べてより現実的なテスト容易化設計法を提案している。
2. 提案された F スキャンテスト容易化設計は、論理合成前の RTL 回路に適用され、また、通常動作で用いるデータ転送経路をテストパターン伝搬にも用いるため、現在広く用いられているスキャン設計よりも面積オーバーヘッドを削減することに成功している。また、データ転送経路の持つビット幅でテストパターンを並列に印加できるため、テスト実行時間の削減に成功している。ベンチマーク回路を用いた実験で提案法の有効性が示された。
3. 現在広く用いられている故障モデルである縮退故障および遷移故障に対応したテスト生成法を提案しており、短いテスト生成時間で完全な故障検出効率を得ることに成功している。ベンチマーク回路を用いた実験で提案法の有効性が示された。

以上のように、本論文は、従来法の多くの欠点を解消する新しいテスト容易化設計法およびテスト生成法を提案したものであり、VLSI のテストの分野において、学術上、實際上寄与するところが少なくない。したがって、本論文は博士（工学）の学位論文として価値あるものと認める。