

論文内容の要旨

博士論文題目 Studies on Power, Thermal & False-path Aware Test Techniques for Modern System-on-Chips
(電力, 温度およびフォールスパスを考慮したシステムオンチップのテスト技術に関する研究)

氏名 YU, Thomas Edison Chua

プロセッサコアを含む複数の機能ブロックで構成される複雑かつ大規模なシステムオンチップ (SoC) のテストは困難な問題であり, 問題解決のためにはテスト容易化設計は不可欠な手法であると考えられる. システムオンチップに対するテスト容易化設計として, IEEE 1500として標準化されているコアラッパーとテストアクセス機構 (TAM) の設計が挙げられる. 近年のモバイル機器等で使用されるSoCは, 複数のクロックドメインで構成され, 低消費電力設計が必須となっている. しかし, 従来手法では, マルチクロック・ドメイン・コアを対象としていない, 消費電力および温度制約を考慮していないという問題点が指摘されている. また別の問題として, テスト容易化設計により通常動作ではテスト不可能な故障をテストしてしまう過剰テストが挙げられる. 過剰テストは, テスト不可能な故障を判定し, テスト対象から除外することで防ぐことが可能である. しかし, 従来手法はゲートレベル回路に対してテスト不可能なパス遅延故障の判定を行っており, 判定が効率的でないという問題点がある.

本論文では上述の問題を解決すべく, マルチクロック・ドメイン・コアに対する消費電力制約を考慮したラッパー設計法, 温度制約を考慮したSoCのテストスケジューリング法およびレジスタ転送レベル回路に対するテスト不能マルチサイクルパス判定法に関する研究をまとめたものであり, 序論及び結論を含め六つの章から成る.

第1章では, 本研究の目的と意義および背景について述べ, 本論文の概説を行っている.

第2章では, 複数のクロックドメインで構成されるIPコアを対象とし, 消費電力制約下で短いテスト実行時間を実現する効率の良いラッパー設計法を提案している. ベンチマークを用いた実験では, 従来手法に比べ, 短いテスト実行時間を達成し, 提案手法の有効性が示されている.

第3章では, SoCを対象とし, 温度制約下で短いテスト実行時間を実現するラッパー・TAM設計およびテストスケジューリング手法を提案している. 提案手法は, サイクル精度の電力情報を利用した精度の高い温度シミュレーションを行っており, さらにラッパー・TAMの相互最適化を温度制約下で実現した初めての手法である.

第4章では, 第3章で提案した手法に対し, test schedule reshaping, test set partitioning & test interleaving および bandwidth matching の技術を導入し拡張している. ベンチマークを用いた実験では, 第3章の手法に比べ, 同じ温度制約に対して短いテスト実行時間を達成するだけでなく, 更なる温度とテスト実行時間のトレードオフを可能とし, 提案手法の有効性が示されている.

第5章では, レジスタ転送レベルで記述されたIPコアのデータパス部を対象とし, テスト不可能なマルチサイクルパスの判定法を提案している. 提案手法は, レジスタ転送レベルでテスト不能なマルチサイクルパス判定を実現した初めての手法である.

第6章では, 以上の研究成果の結論を述べるとともに, 今後の研究課題について議論している.

論文審査結果の要旨

本論文は、大規模化、高性能化、低消費電力化により益々困難となっているシステムオンチップのテストに関する種々の問題を解決するために、マルチクロック・ドメイン・コアに対する消費電力制約を考慮したラッパー設計法、温度制約を考慮したSoCのテストスケジューリング法およびレジスタ転送レベル回路に対するテスト不能マルチサイクルパス判定法に関する研究を行ったものである。本論文の主な成果は以下に要約される。

1. マルチクロック・ドメイン・コアを対象とし、消費電力制約下で短いテスト実行時間を実現する効率の良いラッパー設計法を提案した。ベンチマークを用いた実験では、従来手法に比べ、短いテスト実行時間を達成していることが示されている。
2. SoCを対象とし、温度制約下で短いテスト実行時間を実現するラッパー・TAM設計およびテストスケジューリング手法を提案した。提案手法は、サイクル精度の電力情報を利用した精度の高い温度シミュレーションに基づいており、さらにラッパー・TAMの相互最適化を温度制約下で実現した初めての手法である。
3. レジスタ転送レベル回路のデータパス部を対象とし、効率の良いテスト不可能なマルチサイクルパス判定法を提案した。提案手法は、レジスタ転送レベルでテスト不能なマルチサイクルパス判定を実現した初めての手法である。

以上のように、本論文は大規模・高性能・低消費電力なシステムオンチップのテストの問題を解決すべく、マルチクロック・ドメイン・コアに対する消費電力制約を考慮したマルチクロック・ドメイン・コアラッパー設計法、温度制約を考慮したSoCのテストスケジューリング法およびレジスタ転送レベル回路に対するテスト不能マルチサイクルパス判定法を提案しており、これらはVLSIのテストの分野において、学術上、實際上寄与するところが少なくない。したがって、本論文は博士（工学）の学位論文として価値あるものと認める。