

## 論文内容の要旨

博士論文題目 時間展開モデルに基づくレジスタ転送レベル回路の  
非スキャンテスト容易化設計法に関する研究

氏名 岩田 浩幸

VLSI の大規模化・高集積化・高性能化に伴い、VLSI のテスト費用の増加が問題となっている。テスト費用を削減するために、回路にハードウェアを付加することによりテストを容易にするテスト容易化設計が提案されている。完全故障検出効率を達成する実用的なテスト容易化設計法として完全スキャン設計が実用化されている。しかし、この手法では、回路規模の増大と共に、面積オーバーヘッドが大きくなり、テスト実行時間が膨大になるという問題点が指摘されている。近年、レジスタ転送レベルのコントローラ/データパス回路を対象とした非スキャン方式によるテスト容易化設計法が提案されており、テスト系列長を削減することに成功している。しかし、依然として面積オーバーヘッドが大きいという問題が残されている。

本論文では上述の問題を解決すべく、レジスタ転送レベル回路のテスト容易性として部分強可検査性なる新しいテスト容易性を提案し、部分強可検査性に基づくテスト容易化設計法及びテスト生成法に関する研究をまとめたものであり、序論及び結論を含め六つの章から成る。

第1章では、本研究の目的と意義および背景について述べ、本論文の概説を行っている。

第2章では、論理回路の故障モデル、テストの評価尺度、テスト生成問題、テスト容易化設計法、等について解説している。

第3章では、本論文で議論するのに必要な諸定義を述べ、新しいテスト容易性として部分強可検査性を提案している。

第4章では、新しく提案した部分強可検査性に基づき、レジスタ転送レベルのデータパスを対象として、そのテスト容易化設計法、および、テスト生成法を提案している。ベンチマークおよび実設計回路(RISC, MPEG)を用いた実験により、従来法に比べて面積オーバーヘッド、テスト系列長ともに大幅に削減するのに成功している。

第5章では、部分強可検査性に基づき、コントローラとデータパスを含むレジスタ転送レベル回路全体を対象にそのテスト容易化設計法、ならびにテスト生成法を提案している。ベンチマークおよび実設計回路による実験において、従来法に比べ面積オーバーヘッド、テスト系列長が大幅に削減され、提案手法の有効性が示されている。

最後に第6章で、以上の研究成果の結論を述べるとともに、今後の研究課題について述べている。

## 論文審査結果の要旨

本論文は、大規模化、高集積化、高性能化により益々困難となっている VLSI のテストに関する種々の問題を、設計工程の上流のレジスタ転送レベルから解決するために必要なテスト容易化設計法およびテスト生成法に関する研究を行ったものである。本論文の主な成果は以下に要約される。

1. レジスタ転送レベルデータパスのテスト容易性として部分強可検査性を導入し、与えられたデータパスを部分強可検査とするテスト容易化設計法、ならびにそれに基づくテスト生成法を提案した。提案手法で生成されるテスト系列では高速回路に対して必要とされる実動作速度テストが可能であり、ベンチマーク回路および実設計回路(RISC, MPEG)による実験では、従来法に比べて面積オーバーヘッドを大幅に削減、テスト系列長を大幅に短縮できることが示されている。
2. コントローラとデータパスを含むレジスタ転送レベル回路全体を対象とした部分強可検査性に基づくテスト容易化設計法を提案した。従来法ではコントローラとデータパスを分離するために面積オーバーヘッドが大きくなる。この問題を解決するためにコントローラとデータパスを含むレジスタ転送レベル回路全体に対して部分強可検査性を拡張導入し、そのテスト容易化設計法、テスト生成法を提案した。ベンチマーク回路および実設計回路による実験では、従来法に比べ面積オーバーヘッド、テスト系列長ともに大幅に改善されている。

以上のように、本論文は大規模・高集積・高性能な VLSI 回路のテストの問題を解決すべく、レジスタ転送レベルでの新しいテスト容易性として部分強可検査性を導入し、従来手法のスキャン方式とは別の非スキャン方式に基づく新しいテスト容易化設計法ならびにそれに基づく新しいテスト生成法を提案するとともに、従来手法の多くの問題点を解決している。これらは VLSI のテストの分野において、学術上、實際上寄与するところが少なくない。したがって、本論文は博士（工学）の学位論文として価値あるものと認める。