

## 論文内容の要旨

博士論文題目     Studies on Design for Delay Testability and  
Over-testing Reduction for Delay Faults  
(遅延テスト容易化設計ならびに遅延故障に対する  
過剰テストの緩和に関する研究)

氏     名           吉川 祐樹

LSI は様々なデジタルシステムに組み込まれており、信頼性の高いシステムを実現するために、LSI のテストは重要な役割を担っている。特に近年、論理の正当性を保証するためのテストに加えて、タイミングの正当性を保証するための遅延テストは益々重要視され、半導体業界において重要な課題となっている。現在、産業界ではテスト容易性を考慮した設計技術として、スキャン設計法が用いられている。しかし、スキャン設計法には、テスト実行時間が長くなる、付加回路面積が大きくなるなどの欠点の他、過剰テストによる歩留り低下を招くという問題がある。

本論文は、上述の問題を解決するための手法として、レジスタ転送レベルからの遅延テスト容易化設計法ならびに過剰テストを緩和するための手法についてまとめたものである。

第1章では、本研究の目的と意義および背景について述べており、本論文の概説を行っている。

第2章では、遅延テスト、遅延故障モデルとして最も一般的なパス遅延故障モデルを紹介し、パス遅延故障の分類について解説している。

第3章では、レジスタ転送レベルからの遅延テスト容易化設計法について考察している。遅延テストの質を保ちつつ、付加回路面積を削減するテスト容易化設計法を提案している。ベンチマーク回路及び実設計回路 (RISC, MPEG) を用いた実験により、従来法に比べて付加回路面積を半減するのに成功している。

第4章では、遅延故障に対する過剰テストを緩和する方法について考察している。回路には通常動作に影響を与えない冗長な遅延故障が多数存在する。回路をテスト容易化することによりそれら冗長な遅延故障がテスト可能となり、本来テスト不要な故障を過剰にテストすることになり、LSI製造における歩留りの低下を招く事になる。本章では、レジスタ転送レベルの回路情報からフォールスパスを判定し過剰テストを緩和する手法を提案している。ベンチマーク及び実設計回路による実験で、提案手法が多くのフォールスパスを短時間で判定でき、過剰テストの緩和に有効であることを示している。

最後に第5章では、以上の研究成果の結論を述べるとともに、今後の研究課題について議論している。

## 論文審査結果の要旨

本論文は、大規模化、高集積化、高性能化により益々重要かつ困難となっている VLSI の遅延テストの問題、過剰テストによる歩留り低下の問題、等の問題を解決するために必要な遅延テスト容易化設計ならびに遅延故障に対する過剰テストの緩和に関する研究を行ったものである。本論文の主な成果は以下に要約される。

1. 遅延故障に代表されるタイミング故障のテストには高速テスト／実動作速度テストが重要である。それを可能とするために、非スキャン方式によるレジスタ転送レベルからの遅延テスト容易化設計法を提案した。スキャン方式に比べてテスト実行時間を大幅に短縮するのに成功している。さらに、単一ポート変化によるテストパターンを活用することにより、従来法に比べてテスト容易化のための付加回路を半減するのに成功している。ベンチマーク及び実設計回路（RISC, MPEG）による実験で提案手法の有効性が示された。
2. 遅延故障に対する過剰テストを緩和する手法を確立した。まず、レジスタ転送レベルの回路情報からフォールスパスを高速に判定する方法を示した。提案手法はこれまでにない新規で、有効性、実用性の高い手法である。フォールスパスを判定することによりそれに対応するパス遅延故障のテスト生成を避けることで過剰テストを緩和することが可能となる。ベンチマーク及び実設計回路による実験では多数のフォールスパスが識別され、過剰テストを緩和する効果が大きいことが示された。

以上のように、本論文は VLSI の遅延テストの問題、過剰テストによる歩留り低下の問題を解決すべく、レジスタ転送レベルからの遅延テスト容易化設計法、ならびに、レジスタ転送レベルからのフォールスパス判定法、それに基づく遅延故障の過剰テストの緩和法を提案した。提案手法は、従来手法の多くの問題を解決したものであり、VLSI のテストの分野において、学術上、實際上寄与するところが少なくない。したがって、本論文は博士（工学）の学位論文として価値あるものと認める。