

## 論文内容の要旨

博士論文題目

Studies on Utilization Schemes for Reconfigurable Computing Systems  
(再構成可能計算機システムにおける回路の利用効率に関する研究)

氏名

Mitsuru Tomono (伴野 充)

(論文内容の要旨 1200 字程度)

再構成可能計算機は、今や計算機システムのパフォーマンスを改善する有望な手法である。本システムでは、アプリケーションの解法アルゴリズムが再構成可能ハードウェアにマッピングされる。ハードウェアリソースを用いてアルゴリズムのクリティカルな部分进行处理し、全体としてシステムのパフォーマンスを大幅に改善することを目指す。再構成可能計算機システムは、汎用プロセッサの柔軟性と専用システムの高いパフォーマンスを合せもち、イメージプロセッシング、データ暗号化、および、パターンマッチングなどにおいて有効活用されている。しかしながら、現状では適応可能なアプリケーションが限られたり、設計環境の未熟さなどの問題点のため、再構成可能ハードウェアの応用は一部の領域に限られている。本論文は、以上の問題点を解決し、再構成可能ハードウェアシステムを有効的に用いるための、数種の手法を提案する各章から構成されている。

第1章は序章であり、既存研究、および、既に商用化されている再構成可能ハードウェアについて述べている。

第2章では、汎用プロセッサおよび再構成可能デバイスから構成されるシステムを有効的に活用する手段として、イベント指向型計算を適用する方法が提案されている。イベント指向型計算が有する特徴が、このようなシステムに適しているとし、そのためのアーキテクチャを提案し、実験結果から提案システムの有用性を示している。

第3章では、オンラインタスクプレイスメントに対する新しい試みが提案されている。近い将来に登場すると期待される部分再構成可能 FPGA を用いること

により、ハードウェアによってタスクを並列に実行する機構を構築することができる。このようなシステムでは、タスクを効率的に処理するための効果的な FPGA リソース管理手法が必要となる。本章が提案しているアルゴリズムは、タスクの I/O ルーティング情報をタスクのプレイスメントプロセスに応用している。また、プレイスメントエンジンの有用性を従来手法との比較により示している。

第4章では、新しい再構成可能デバイスである、1ビットリコンフィギュラブルプロセッサ(1-bit RPA)向けの配置・配線手法が提案されている。1-bit RPA はビットシリアル・データパス、および、特徴的な配線構造をもつアーキテクチャである。1-bit RPA のアーキテクチャと FPGA のアーキテクチャの違いから、FPGA 向けの配置・配線手法をそのまま 1-bit RPA に応用することが困難であることが述べられており、専用の配置・配線アルゴリズムが提案されている。提案されたアルゴリズムでは、空のプロセッサエレメント(PE)が初期の配置・配線ステップにおいて挿入され、後続ステップにおいて、これらの空 PE を有効的に用いて、プレイスメント品質の改善を図っている。最適化により配置領域が削減されることが実験データをもとに示されている。

第5章では、第2章から第4章までの研究に対する総括がなされている。

(論文審査結果の要旨) (A4 1枚 1、200字程度)

リコンフィギャラブルコンピューティングは、システム全体のパフォーマンスを向上させるための有望な技術として認知されてきている。本論文は、様々な角度から再構成可能ハードウェアの活用手法を提案しており、得られた主要な成果は以下のとおりである。

【1】 イベント指向型計算を用いたハイブリッドシステムの活用手法。ハイブリッドシステムとは汎用プロセッサと再構成可能な回路を組み合わせたシステムを指す。このようなシステムでは、システムの通信ボトルネックにより、抽出されたアプリケーションの並列性が生かされない場合が多い。これに対し、イベント指向型計算は通信ボトルネックの影響を受けにくく、並列性を生かすことができる。本論文は、イベント志向型計算に適したアーキテクチャを提案し、人工生命を用いた評価では、ソフトウェアによる実装に対して平均 3.7 倍の高速化が可能であることを示している。

【2】 部分再構成可能 FPGA 向けの新しいオンラインタスクプレイスメント手法の提案。本手法は、タスクに必要な入出力ポートへのルーティング情報をタスクプレイスメントに利用することにより、効率的なタスク処理を目指すものである。本論文が提案している新しい配置戦略と、従来の配置戦略を組み合わせることにより、効率的なタスクプレイスメントを実現している。実験により、本手法が従来手法に対して効率的にタスクを処理できることが示されている。

【3】 1ビットリコンフィギャラブルプロセッサアレイ(1-bit RPA)向け配置・配線手法の提案。1-bit RPA の特徴的な配線構造に対しては、従来の配置・配線手法の単純な適用は困難である。本論文では 1-bit RPA に適した配置・配線手法を提案している。本手法は、初期配置において空のプロセッサエレメントを挿入することにより、その後の配線を容易にしている。また、後続の最適化手法により、さらに配置・配線を最適化している。実験結果から、初期状態に対して、配置領域を 60%、接続用プロセッサエレメント数を 15%まで削減しており、本手法の有用性を示している。

以上、本論文は学術上、実際上寄与するところが少なくない。よって、本論文は博士(工学)の学位論文として価値あるものと認める。