

論文内容の要旨

博士論文題目 並列計算機の解析モデルに関する研究

氏 名 城 和 貴

本論文は、キャッシュメモリを有し、かつキャッシュコヒーレンス制御をハードウェアが支援する共有メモリ型並列計算機に対する、確率過程を利用した解析モデルに関する研究をまとめたものであり、序論・結論を含め七つの章からなっている。

第一章では、本研究の背景、目的、およびその意義を述べるとともに、本論文内容を概説している。

第二章では、過去四半世紀にわたる並列計算機に対する解析モデルの研究について、対象とするアーキテクチャを大まかに四種類に分類した上で、順次解説するとともに、その問題点を述べている。

第三章では、セミマルコフ過程、およびキャッシュコヒーレンス制御方式の一つであるシナプスプロトコルとドラゴンプロトコルなど、本論文内容を理解する上で必要な予備知識を与えている。

第四章では、本論文の中核をなすSMCI (Semi-markov Memory and Cache coherence Interference) モデルを提案している。本モデルの大きな特徴は、状態数が、対象とする並列計算機の規模に依存せず、その上で採用しているキャッシュコヒーレンス制御方式によってのみ決まることを述べている。このことは、本モデルの計算時間が、システム規模に依存しないことを意味する。さらに、本モデルにおいて、キャッシュコヒーレンス制御方式として最も単純なシナプスプロトコルを取り上げて、状態確率と各種評価尺度を導出している。これらを基に、プロセッサ利用率について実際の評価を行ない、その結果、本モデルが実際のシミュレーションで求めた結果に対する良好な近似を与え、さらに、計算時間もシミュレーション時間に比較して大幅に短縮できたことを立証している。

第五章では、前章で提案したSMCIモデルを、より複雑なキャッシュコヒーレンス制御方式であるドラゴンプロトコルに適用している。その結果、前章の解析モデルにおいて、状態定義の容易な修正のみで適用可能であることを示し、本モデルのキャッシュコヒーレンス制御方式に関する汎用性を明らかにしている。

第六章では、SMCIモデルの大規模並列計算機への適用について述べている。その一つとして、クラスタ構成の大規模並列計算機を取り上げ、SMCIモデルを拡張した階層型SMCIモデルを提案し、各種評価尺度を導出している。これによって、本モデルが、対象とする並列計算機の規模に関して拡張性があることを示している。

第七章では、以上の研究成果についてまとめ、今後の課題を明らかにしている。

論 文 審 査 結 果 の 要 旨

本論文は、キャッシュメモリを有し、かつキャッシュコヒーレンス制御をハードウェアが支援する共有メモリ型並列計算機の性能解析モデルとして、計算時間の少ない解析モデルであるSMCI(Semi-markov Memory and Cache coherence Interference)モデルを提案するとともに、本モデルの妥当性、汎用性、拡張性を示したものである。本論文の主な成果は以下に要約される。

1. キャッシュメモリを有し、かつキャッシュコヒーレンス制御をハードウェアが支援する共有メモリ型並列計算機を対象として、当該計算機上で並列プログラムを実行させたときの計算機システムの挙動を把握できる、計算時間の少ない解析モデルSMCIモデルを提案した。
2. 本モデルを用いた解析手法を確立し、状態確率と各種評価尺度を導出した。
3. 本モデルを用いた解析結果を詳細なシミュレーション結果と比較することにより、本モデルが近似精度の高いモデルであることを立証した。
4. キャッシュコヒーレンス制御方式として、実用化されている制御方式の中で最も単純なシナプスプロトコルと最も複雑なドラゴンプロトコルに、本モデルを適用し、状態定義の容易な修正のみで、両制御方式に適用可能なことを示した。これにより、異なるコヒーレンス制御方式に関して、本モデルは汎用性が高いことを示した。
5. 大規模並列計算機アーキテクチャの一つであるクラスタ構成の並列計算機を対象に、本モデルを拡張した階層型SMCIモデルを提案し、状態確率や各種評価尺度を導出した。これにより、対象とする並列計算機の規模に対して、本モデルは拡張性が高いことを示した。

以上のように、本論文は、キャッシュメモリを有し、かつキャッシュコヒーレンス制御をハードウェアが支援する共有メモリ型並列計算機の性能解析モデルを提案し、本モデルの妥当性、汎用性、拡張性を立証したものであり、計算機アーキテクチャの分野において、学術上、実際上寄与するところが少なくない。よって、本論文は、博士（工学）の学位論文として価値あるものと認める。