



## 論文審査結果の要旨

本論文は、大規模化、高集積化、高性能化により益々困難となっているVLSIのテストに関する種々の問題を解決するために必要なテスト容易化設計法およびテスト容易化高位合成法に関する研究を行ったものである。本論文の主な成果は以下に要約される。

1. 組合せテスト生成可能な順序回路として内部平衡構造を考え、核回路を内部平衡構造にする拡張部分スキャン設計の手法を示し、その性質を明らかにした。拡張部分スキャン設計では、従来の部分スキャン設計と比較して、回路全体の面積オーバーヘッドを削減することができる。ISCAS89ベンチマーク回路を用いた実験においてその有効性を確認している。
2. スケジューリング処理後の動作記述（データフローグラフ）に対して、テスト容易性を考慮しない従来手法と比較して、リソース（演算器、レジスタ等）数を増やすことなく、テスト容易な（無閉路化に必要なスキャンレジスタ数が少ない）データパスを合成する高位合成法を提案した。ベンチマークを用いた実験において、提案手法の有効性を示した。

以上のように、本論文は一般にテスト生成が困難で場合によっては不可能とされるVLSI回路のテストの問題を解決するために、ゲートレベルおよびレジスタ転送レベルでのテスト容易化設計として無閉路構造に基づく新しい部分スキャン設計法を考案し、その問題を解決する一つの手法を提案した。提案手法で生じるオーバーヘッドをさらに削減するために、設計の上流からのテスト容易化高位合成法をも提案し、テストの多くの課題を解決したものであり、VLSIの設計とテストの分野において、学術上、實際上寄与するところが少なくない。よって、本論文は博士（工学）の学位論文として価値あるものと認める。