

論文内容の要旨

博士論文題目 Studies on Defect Level and Diagnosis for Built-in Self Test Architecture (組み込み自己テスト方式における不良率および故障診断に関する研究)

氏 名 中村 芳行

LSIの大規模、高速化に伴い、厳しい故障検出率、実動作でのテストが求められている。これを解決するため、近年、組み込み自己テスト方式 (Built-in Self Test: BIST) が多くのLSIで用いられている。しかし、BIST方式には2つの問題点がある。一つは、BIST回路はテスト対象回路と同じLSIに搭載され製造されるためBIST回路自身が故障する可能性があるという問題である。従って、BIST回路の信頼性が、テスト実施後のLSIの不良率にどれだけ影響するかを評価することは重要となる。もう一つの問題点は、BIST環境下における故障診断の問題である。BIST方式では、出力応答をシグネチャーに圧縮して比較するため、テスターの少ない記憶領域で、その性能を超えるような高速テストが可能であるという利点がある一方、出力応答を圧縮することは故障診断を困難にするという欠点がある。

本論文は、上述の問題を解決するための手法として、BISTによる市場不良率の推定方法ならびに故障診断手法についてまとめたものである。

第1章では、本研究の目的と意義および背景について述べており、本論文の概説を行っている。第2章では、従来の市場不良率、歩留、故障検出率の関係を検討し、BIST方式に適用する場合の、従来方式の問題点を示している。第3章では、BIST方式のための、市場不良率、歩留、故障検出率の関係式を提案している。また、提案式により、BIST故障の市場不良率への影響を分析し、製造初期や故障検出率が高いときは、BIST故障の影響が大きく提案式での市場不良率推定が必要であることを示している。第4章では、第3章で提案した、市場不良率関係式をBIST事前テストを実施した場合に拡張している。BIST事前テストの効果を分析し、低故障検出率の事前テストでも、市場不良率悪化の影響を10-15%改善する効果があることを示している。第5章では、BISTによる誤り箇所特定問題を定式化している。また、従来、提案されている手法では問題を解決できないことを示している。第6章では、第5章で定式化した問題を解決する手法として、低速なテスターを用いて、高速な回路の応答を観測する方法について述べている。本手法では、エイリアスや回路増の影響が無く、かつ完全にすべての誤りを特定できることを示している。第7章では、第6章で述べた手法を、BIST回路として実用化する手法を示し、また、シグネチャー解析器を用いてテスト実行時間を短縮する手法を提案している。計算機実験により、本手法は、BIST環境において実用的なテスト実行時間で全ての誤りの特定が可能であることを示している。最後に第8章では、以上の研究成果の結論を述べるとともに、今後の研究課題について議論している。

論文審査結果の要旨

本論文は、大規模化、高集積化、高性能化により益々困難となっている VLSI の組込み自己テスト (Built-in Self Test, BIST) 方式によるテストに関する種々の問題を解決するために必要な市場不良率と故障診断に関する研究を行ったものである。本論文の主な成果は以下に要約される。

1. 不良率、歩留、故障検出率の従来の関係モデルを見直し、BIST方式に適用できる関係モデルを提案した。また、BIST回路自身が故障する可能性がこの関係モデルにどのような影響をもたらすのかを明らかにした。提案式により、BIST故障の市場不良率への影響を分析し、製造初期や故障検出率が高いときはBIST故障の影響が大きく、提案式での市場不良率推定が必要であることを示した。また、市場不良率関係式を BIST 事前テストを実施した場合に拡張した。さらに事前テストの効果を分析し、低故障検出率の事前テストでも、市場不良率悪化の影響を 10-15% 改善する効果があることを示した。
2. BIST方式により誤り箇所を完全に特定する手法を確立した。まず、低速なテスターを用いて、高速な回路の応答を観測する方法を示した。本手法を用いて、エイリアスや回路増の影響が無く、かつ完全にすべての誤りを特定できることを示した。次に、その手法をBIST回路として実現する手法を示し、また、シグネチャー解析器を用いてテスト実行時間を短縮する手法を提案した。計算機実験により、本手法は、BIST環境において実用的なテスト実行時間で全ての誤りの特定が可能であることを示した。

以上のように、本論文は VLSI 回路の BIST 方式によるテストの問題を解決すべく、BIST 回路自身の故障の可能性を考慮した故障検出率と市場不良率の関係式、ならびに、BIST 方式での実用的な誤り箇所の特定方法を提案している。提案手法は、従来手法の多くの問題点を解決したものであり、VLSI のテストの分野において、学術上、実際上寄与するところが少なくない。したがって、本論文は博士 (工学) の学位論文として価値あるものと認める。