

論文内容の要旨

博士論文題目 Studies on Design for Delay Testability and
Delay Test Generation for Sequential Circuits

氏 名 岩垣 剛

VLSI (Very Large Scale Integration) の動作速度の向上に伴って、遅延故障を対象としたテストの重要性が近年高まっている。遅延故障のテストでは、2パターンテストと呼ばれるベクトル対が必要とされる。組合せ回路の遅延故障に対するテスト生成問題は、組合せ回路用の遅延テスト生成アルゴリズム(組合せATPG)を用いることによって、実用的な時間で解くことができる。

一方、順序回路の場合は、回路内部に記憶素子が存在するため、一般に順序回路の遅延テスト生成は非常に困難な問題である。順序回路の遅延テスト生成を容易にするための代表的なテスト容易化設計法として、完全拡張スキャン設計法が提案されている。この手法では、順序回路の組合せ回路部分に対して任意の2パターンテストを印加でき、かつ、その組合せ回路部分からの任意の出力応答を観測できるように、回路内部のすべての記憶素子に対してテスト用の回路が付加される。これにより、組合せATPGを用いたテスト生成が行えるが、

(1) 面積オーバーヘッドが大きい、(2) テスト実行時間が長い、(3) 実動作速度テストが困難、(4) 過剰テストなどの問題が残る。

本論文は、上述の問題を改善するための手法である部分拡張スキャン設計に基づく手法と非スキャン遅延テスト容易化設計に基づく手法についてまとめたものであり、以下の五つの章で構成される。

第1章では、本研究の目的と意義および背景について述べており、本論文の概説を行っている。

第2章では、遅延故障とそのテストの基本的な事項について説明している。

第3章では、部分拡張スキャン設計を指向した組合せ遅延テスト生成に基づく順序回路の遅延テスト生成法を提案している。この手法では、部分拡張スキャン設計の核回路の構造として、不連続再収斂構造とよばれる回路構造を用いており、その核回路に対して、組合せATPGによるテスト生成を行っている。また本章では、提案手法によって上述の(1)の問題が改善できることを、ベンチマーク回路を用いた実験により示している。

第4章では、状態遷移図から論理合成された順序回路に対する非スキャン遅延テスト容易化設計法を提案している。この手法では、回路の高位の設計情報である状態遷移情報を用いることによって、回路の通常動作による遅延故障の検出を行う。回路の通常動作で検出されなかった故障(テスト可能か不可能か、不明な故障)は、無効テスト状態遷移生成論理とよばれる付加回路を用いることによって検出される。また本章では、提案手法によって上述の(2)~(4)の問題が改善できることを、ベンチマーク回路を用いた実験により示している。

最後に第5章では、以上の研究成果の結論を述べるとともに、今後の研究課題について議論している。

氏名	岩垣 剛
----	------

論文審査結果の要旨

本論文は、大規模化、高集積化、高性能化により益々困難となっている VLSI の遅延故障のテストに関する種々の問題を解決するために必要なテスト容易化設計法、テスト生成法に関する研究を行ったものである。本論文の主な成果は以下に要約される。

1. 遅延故障のテスト生成の容易な回路構造として、不連続再収斂構造を考え、そのテスト生成法を提案した。さらに、核回路を不連続再収斂構造とする部分拡張スキャン設計法を提案した。提案法は、高速に遅延テスト生成できる従来の部分拡張スキャン設計と比較して、回路全体の面積オーバーヘッドを削減できる。ベンチマーク回路を用いた実験では、提案法は従来法と同等のテスト生成時間を維持し、面積オーバーヘッドを削減できることを示しており、その有効性を確認している。
2. 有限状態機械から論理合成された順序回路に対して、非スキャン方式のテスト容易化設計法を提案した。提案法では、できるだけテスト対象回路の持っている機能を用いて遅延テストを印加するもので、実動作速度でのテスト実行を可能にし、過剰テストの問題を緩和することができる。さらに、拡張スキャンを用いる場合と比べてテスト実行時間を削減することができる。一部の遅延テストについては付加回路を用いて印加するが、これに伴う面積オーバーヘッドは、多くの場合で拡張スキャン設計法よりも小さくできることを、MCNC'91 ベンチマーク回路を用いた実験により示している。

以上のように、本論文は VLSI 回路の遅延故障のテストの問題を解決すべく、一般の順序回路に対する拡張スキャン設計に基づくテスト容易化設計、ならびに、有限状態機械から論理合成された順序回路に対する非スキャン方式のテスト容易化設計法を提案している。提案手法は、従来手法の多くの問題点を解決したものであり、VLSI のテストの分野において、学術上、實際上寄与するところが少なくない。したがって、本論文は博士（工学）の学位論文として価値あるものと認める。