

SiO₂/GaN MOS 構造の界面特性評価
および高圧水蒸気処理による欠陥の低減

古川 暢昭

奈良先端科学技術大学院大学

先端科学技術研究科 情報機能素子科学研究室

主指導教員 浦岡 行治 教授

2021 年 3 月

目次

略語一覧	1
記号一覧	3
第1章 序論	4
1.1 研究背景	4
1.1.1 社会的背景とパワーエレクトロニクス	4
1.1.2 パワー半導体材料の物性比較	6
1.1.3 GaN 系デバイスの種類と特徴	8
1.1.4 GaN デバイスにおける絶縁膜の候補	9
1.1.5 SiO ₂ /GaN MOS デバイスの課題	10
1.2 研究に用いた装置の概要	12
1.2.1 プラズマ CVD	12
1.2.2 高圧水蒸気処理	13
1.3 電気的特性の評価方法	14
1.3.1 容量-電圧(C-V)測定の概要	14
1.3.2 フラットバンド電圧(V _{FB})と絶縁膜中電荷の評価	15
1.3.3 High-Low 法による界面準位密度 D_{it} の評価	18
1.3.4 ワイドギャップ半導体における理想 C-V 曲線	20
1.3.5 電流-電圧(I-V)測定の概要	21
1.4 研究目的	22
1.5 本論文の構成	22
参考文献	23
第2章 SiO ₂ /n-GaN MOS 構造における絶縁膜中および界面近傍の電荷分布評価 ...	25
2.1 はじめに	25
2.2 SiO ₂ /n-GaN MOS キャパシタの作製過程	25
2.3 電気的特性評価	27
2.3.1 C-V 特性による界面準位密度 D_{it} 及び絶縁膜中実効電荷密度 Q_{eff} の評価 ..	27
2.3.2 双方向 C-V 測定によるヒステリシス特性の評価	34
2.3.3 正電圧ストレス C-V 特性による V _{FB} 安定性の評価	38
2.3.4 コンダクタンス測定によるトラップ応答時間の評価	41
2.3.5 I-V 特性による絶縁破壊特性評価	43
2.4 SiO ₂ /n-GaN 構造における電荷分布のモデル化	46
2.5 まとめ	47
参考文献	48
第3章 PECVD による SiO ₂ 堆積条件の検討	50
3.1 はじめに	50
3.2 SiO ₂ /n-GaN MOS キャパシタの作製過程	50

3.3 電気的特性評価.....	52
3.3.1 C-V特性による界面準位密度 D_{it} 及び絶縁膜中実効電荷 Q_{eff} の評価.....	52
3.3.2 双方向 C-V測定によるヒステリシス特性の評価.....	57
3.3.3 正電圧ストレス C-V特性による V_{FB} 安定性の評価.....	59
3.3.4 I-V特性による絶縁破壊特性の評価.....	62
3.4 まとめ.....	64
参考文献.....	65
第4章 高圧水蒸気処理による SiO_2/n -GaN MOS 特性改善効果の圧力依存性.....	66
4.1 はじめに.....	66
4.2 SiO_2/n -GaN MOS キャパシタの作製過程.....	66
4.3 電気的特性評価.....	68
4.3.1 C-V特性による界面準位密度 D_{it} 及び絶縁膜中実効電荷密度 Q_{eff} の評価..	68
4.3.2 双方向 C-V測定によるヒステリシス特性の評価.....	71
4.3.3 正電圧ストレス C-V特性による V_{FB} 安定性の評価.....	73
4.3.4 I-V特性による絶縁破壊特性の評価.....	75
4.4 物性評価.....	78
4.4.1 二次イオン質量分析(SIMS)による SiO_2 中 Ga 濃度の評価.....	78
4.4.2 SiO_2 中に拡散した Ga 原子が電気的特性に及ぼす影響.....	79
4.5 HPWVA による SiO_2/GaN MOS 構造特性改善の反応機構.....	83
4.5 まとめ.....	85
参考文献.....	86
第5章 結論.....	88
5.1 本研究の結論.....	88
5.2 今後の課題・展望.....	90
参考文献.....	91
研究業績目録.....	92
謝辞.....	93
付録1 フェルミポテンシャル ϕ_F の算出.....	95
付録2 表面バンド曲がり ϕ_s の算出.....	95
付録3 理想 C-V 曲線の導出.....	96

略語一覧

略語	名称 (英語)
2DEG	2次元電子ガス (Two dimensional electron gas)
BFM	バリガ性能指数 (Baliga figure of merit)
CNL	電荷中性点 (Charge neutrality level)
DIGS	欠陥誘起ギャップ状態モデル (Disorder induced gap state)
EOT	等価酸化膜厚 (Equivalent oxide thickness)
FNT	ファウラー・ノードハイムトンネリング (Fowler-Nordheim tunneling)
HEMT	高電子移動度トランジスタ (High electron mobility transistor)
HFET	ヘテロ接合電界効果トランジスタ (Heterojunction field effect transistor)
HPWVA	高圧水蒸気処理 (High pressure water vapor annealing)
IGBT	絶縁ゲートバイポーラトランジスタ (Insulated gate bipolar transistor)
JFM	ジョンソン性能指数 (Johnson figure of merit)
LED	発光ダイオード (Light emitting diode)
MESFET	金属-半導体電界効果トランジスタ (Metal semiconductor field effect transistor)
MOCVD	有機金属気相成長法 (Metal organic chemical vapor deposition)
MOSFET	金属-酸化物-半導体電界効果トランジスタ (Metal oxide semiconductor field effect transistor)
PBS	正電圧ストレス (Positive bias stress)

PECVD	プラズマ化学気相成長法 (Plasma enhanced chemical vapor deposition)
PDA	堆積後熱処理 (Post deposition annealing)
PMA	電極形成後熱処理 (Post metallization annealing)
SIMS	二次イオン質量分析 (Secondary ion mass spectroscopy)
SRH	ショックレー-リード-ホール (Shockley-Read-Hall)
SPM	硫酸過酸化水素水混合物 (Sulfuric acid peroxide mixture)
TEOS	テトラエトキシシラン (Tetraethyl orthosilicate)
TZDB	瞬時絶縁破壊試験 (Time zero dielectric breakdown)

記号一覧

記号	意味 [単位]	値
ϵ_0	真空の誘電率 [F/cm]	8.85×10^{-14}
ϵ_s	半導体(GaN)の比誘電率 [-]	9.5
ϵ_{OX}	酸化物(SiO ₂)の比誘電率 [-]	3.9
q	電気素量 [C]	1.60×10^{-19}
k	ボルツマン定数 [J K ⁻¹]	1.38×10^{-23}
T	温度(室温) [K]	300
E_g	半導体(GaN)のバンドギャップ [eV]	3.4
χ	半導体(GaN)の電子親和力 [eV]	3.8
ϕ_m	金属(Al)の仕事関数 [eV]	4.2
v_{th}	電子の熱速度 [cm s ⁻¹]	2.13×10^7
N_V	価電子帯の有効状態密度 [cm ⁻³]	4.62×10^{19}
N_C	伝導帯の有効状態密度 [cm ⁻³]	2.23×10^{18}
σ_n	捕獲断面積 [cm ²]	1.0×10^{-16}
V_{FB}	フラットバンド電圧 [V]	
ΔV_{FB}	理想・実測フラットバンド電圧差 [V]	
Q_{eff}	実効電荷密度 [C cm ⁻²]	
Q_f	固定電荷密度 [C cm ⁻²]	
ρ_{OX}	膜中トラップ電荷密度 [C cm ⁻³]	
C_{OX}	酸化膜容量 [nF cm ⁻²]	
C_{LF}	高周波容量 [nF cm ⁻²]	
C_{HF}	低周波容量 [nF cm ⁻²]	
C_s	半導体容量 [nF cm ⁻²]	
C_{it}	界面準位容量 [nF cm ⁻²]	
D_{it}	界面準位密度 [cm ⁻² eV ⁻¹]	
ΔV_{hys}	最大ヒステリシス幅 [V]	
ΔQ_{hys}	捕獲電荷密度 [C cm ⁻²]	
$ \Delta V_{str} $	PBS による V_{FB} シフト [V]	
$ \Delta Q_{str} $	PBS による注入電荷量 [C cm ⁻²]	
G_p/ω	並列コンダクタンス [nF cm ⁻²]	
J	リーク電流密度 [A cm ⁻²]	
E	電界 [MV cm ⁻²]	
C_{Ga}	Ga 濃度 [cm ⁻³]	

第1章 序論

1.1 研究背景

1.1.1 社会的背景とパワーエレクトロニクス

新興国の工業化や情報社会の発展に伴い世界のエネルギー消費量は増加の一途を辿っており、発展途上国を多く抱えるアジア地域等を中心に今後もエネルギー需要の拡大は続いていくと予測される[1]。中でも電気エネルギーは、変換が比較的容易で利便性が高いことから、社会における様々な機器の動力減として広く利用されている。世界の地域別発電量の年次推移を図 1.1 に示す[2]。2019 年における世界全体での発電量は約 2.7 兆 kWh であり、1985 年からの 30 年程度で約 2.7 倍に拡大している。電力の多くは化石燃料の消費によって賄われているため、エネルギー需要拡大に伴う資源枯渇が問題視されている。加えて化石燃料の燃焼時に排出される温室効果ガスによって、異常気象や生物種の大規模な絶滅などが懸念される地球温暖化問題が深刻化している。主たる温室効果ガスである CO₂ の地域別排出量を図 1.2 に示す[3]。1990 年から 2017 年までの 30 年足らずの間に世界の CO₂ 総排出量は約 1.6 倍に増加していることが確認できる。また、地域別にみると中国やインドといった新興国の排出割合が大幅に増加しており、これらの国の発展が地球環境に及ぼす影響の大きさが見て取れる。

人類が持続可能な開発を続けていくためには地球温暖化をはじめとする環境・エネルギー問題の解決は不可欠であるため、低炭素社会の実現は世界的な急務となっている。低炭素社会の実現に向けて、太陽光発電や風力発電、地熱発電といった再生可能エネルギーに注目が集まっている。しかし、これらの再生可能エネルギーは環境や天候の影響で出力が大きく変化するため安定供給が難しく、電気エネルギーの主要な供給源となるには至っていない。したがって、持続可能な社会の実現に向けては、クリーンかつ低コストの電気エネルギーをいかにして得るかという「創エネルギー技術」だけでなく、得られた電気エネルギーをいかに効率的に利用するかという「省エネルギー技術」への取り組みも重要となってくる。本研究ではこの「省エネルギー技術」に着目し、低炭素社会の実現に向けた次世代パワーエレクトロニクス技術に関する研究を行った。

パワーエレクトロニクスとは、半導体素子を用いて電気エネルギーを自在に変換・制御する技術を指し、電力変換に用いる素子のことをパワー半導体デバイスと呼ぶ。電気エネルギーは発電所で生成されてから鉄道や家庭などの各用途で消費されるまでの間に、直流・交流変換、電圧変換、周波数変換などの電力変換が必要であり、この変換には多数のパワー半導体デバイスが用いられている。そのため、パワー半導体デバイスの性能を向上させれば、電力変換時の損失を低減し、電力の利用効率向上を実現することができる。

パワー半導体デバイスの役割は、スイッチング機能と整流機能によって効率よく電力変換を行うことであるから、要求される性能は基本的に情報通信技術分野で用いられるトランジスタと同じである。したがって、オン抵抗が低いことやスイッチング時の損失が小さいことなどが求められる。パワー半導体デバイスと情報通信用トランジ

スタの違いは、取り扱い電流・電圧の範囲である。パワー半導体デバイスでは、数十～数千Vの定格電圧範囲と数百mAから数kAに及ぶ定格電流範囲で安全に動作しなければならない。そのため、情報通信用トランジスタに要求される特性に加え、パワー半導体デバイスは高い破壊耐圧を持つ必要がある。さらに、安全性の観点からノーマリーオフ動作であることが望ましい。

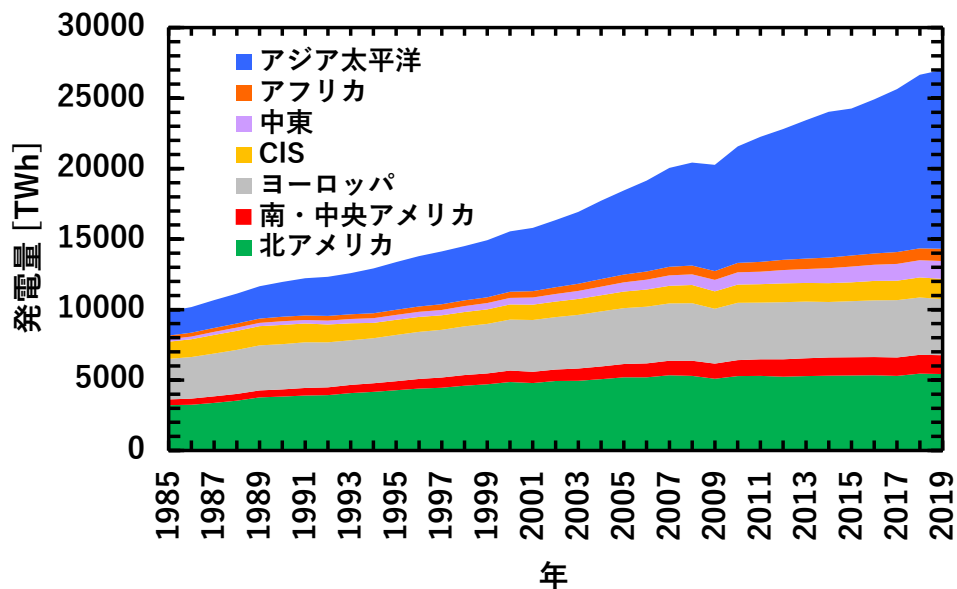


図 1.1 世界の地域別発電量の推移 (文献[2]のデータを基に作成)

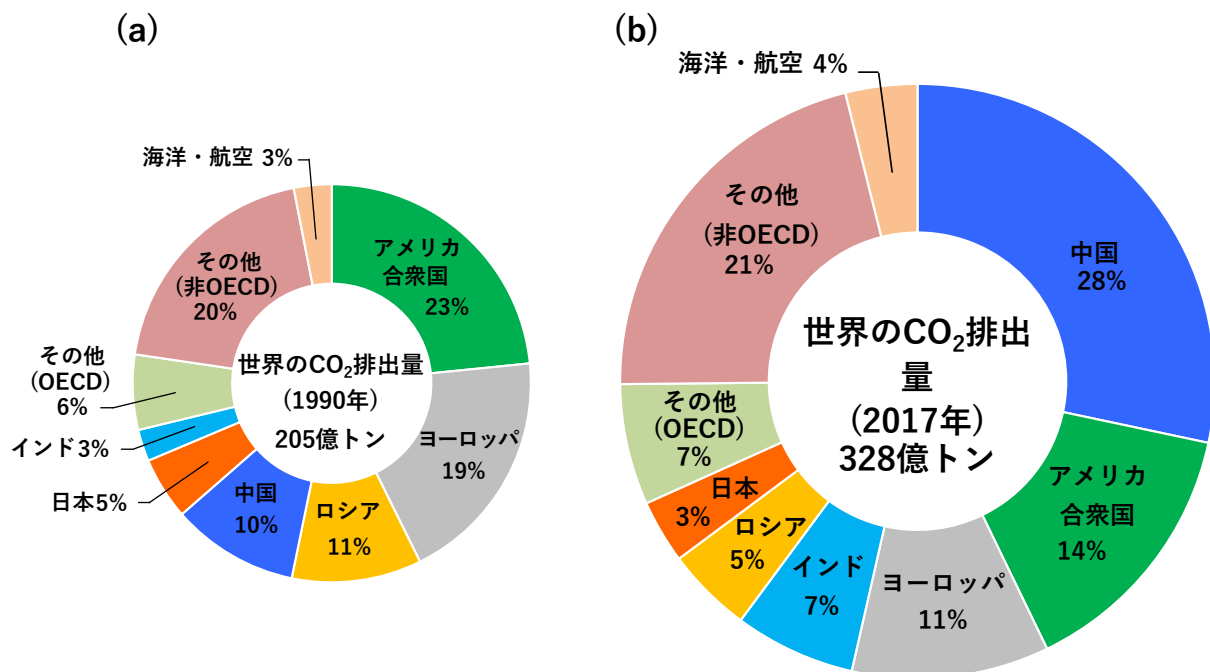


図 1.2 世界の地域別 CO₂ 排出量の内訳 (a) 1990 年, (b) 2017 年 (文献[3]のデータを基に作成)

1.1.2 パワー半導体材料の物性比較

現在用いられているパワー半導体デバイスは、Siを用いた金属-酸化物-半導体電界効果トランジスタ(Metal-oxide-semiconductor field effect transistor : MOSFET)や絶縁ゲート型バイポーラトランジスタ(Insulated gate bipolar transistor : IGBT)が主流となっている。しかし近年では、Siを用いたパワー半導体デバイスの性能は、Siの物性値に起因する限界近くにまで到達しており、これ以上の性能向上は困難となっている。そこで、Siよりも優れた物性値を有するワイドギャップ半導体が注目を集めている。ワイドギャップ半導体とは、Si(1.12 eV)の2倍以上のバンドギャップを有する半導体の総称であり、代表的な材料として炭化ケイ素(Silicon carbide : SiC)や窒化ガリウム(Gallium nitride : GaN)などが挙げられる。表 1.1 に室温状態における代表的なパワー半導体材料の物性値を示す[4]。

表 1.1 室温における半導体材料の電子物性

	Si	4H-SiC	6H-SiC	AlN	InN	GaN
遷移型	間接	間接	間接	直接	直接	直接
バンドギャップ E_g [eV]	1.1	3.3	2.9	6.1	0.7	3.4
絶縁破壊電界 E_{BD} [MV cm ⁻¹]	0.3	3.0	4	6~15	1	3.3
熱伝導度 θ_K [W cm ⁻¹ K ⁻¹]	1.5	4.9	5.0	2	1	1.5
飽和電子速度 v_s [cm s ⁻¹]	1.0×10^7	2.0×10^7	1.5×10^7	1.5×10^7	1.5×10^7	2.5×10^7
電子移動度 μ_e [cm ² V ⁻¹ s ⁻¹]	1350	700	600	1100	3600	1200
ジョンソン性能 指数 JFM	1	324	400	900 ~5600	11	270~480
バリガ性能指数 BFM	1	12	6	100	0.8	34

パワーデバイスへの応用においてワイドギャップ半導体が Si よりも優位となる特性は、(1)バンドギャップが広い、(2)絶縁破壊電界が高い、(3)熱伝導度が高い、(4)飽和電子速度が高い、(5)電子移動度が高いなどである(図 1.3)。(1)及び(2)によって低オン抵抗かつ高耐圧なデバイスが実現し、高出力動作が可能となる。また、(1)によって高温でのキャリア励起が起こりにくくなり、(3)によって放熱性が向上するため、200°C以上の高温環境での安定動作やそれに伴う冷却機構の小型化が可能となる。さらに、

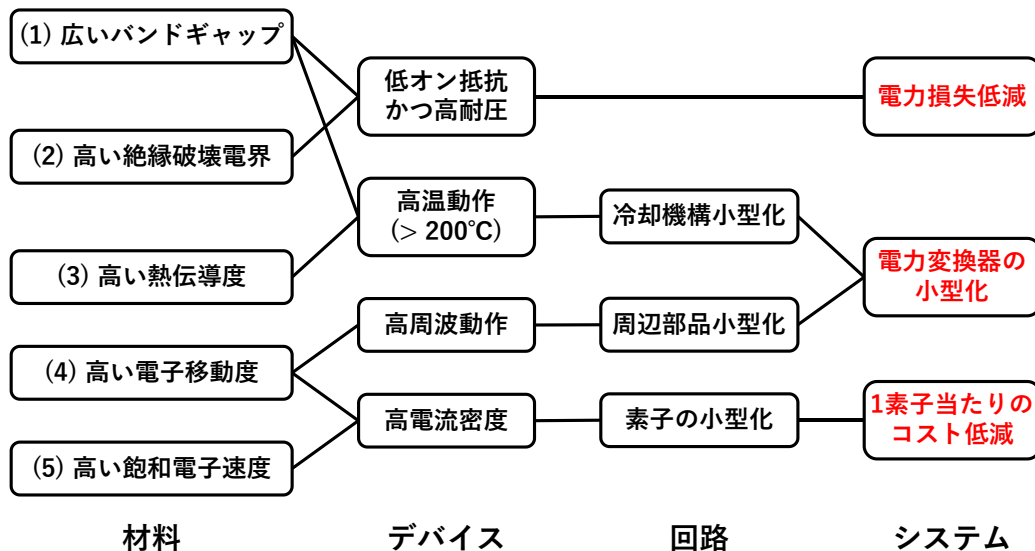


図 1.3 材料物性とパワーデバイス特性の相関関係

(4)及び(5)によって高周波動作と高電流密度が実現し、デバイスの小型化やコスト低減につながる。

GaN はウルツ鋼型(Wurtzite)結晶構造を持つ直接遷移型半導体であり、(1)バンドギャップ(3.4 eV)・(2)絶縁破壊電界(3.3 MV cm⁻¹)・(4)電子飽和速度(1000 ~ 2000 cm² V⁻¹s⁻¹)の点において、現在主流となっている Si のみならず SiC をも上回る優れた特性を有している。絶縁破壊電界を Si と比較すると、約 10 倍の値を持つ。デバイスのオン抵抗は材料が有する絶縁破壊電界の 3 乗に反比例することから、GaN デバイスのオン抵抗は理論上 Si デバイスの場合よりも約 1/100 まで低減できることになる。GaN・SiC とともに電子移動度は Si よりも低いが、デバイス構造を最適化することでオン抵抗に及ぼす影響を抑制することが出来るため、大きな問題にはならない[5]。また、材料のパワーデバイス適合性を判断する指標として、様々な性能指数が提案されている[6]。高周波パワー用途の性能指数として最も広く用いられているものの一つが Johnson 性能指数(Johnson figure of merit : JFM)であり、次式で与えられる[7]。

$$JFM = \left(\frac{E_{BD} v_s}{2\pi} \right)^2 \quad (1.1)$$

ここで、 E_{BD} は絶縁破壊電界を、 v_s は飽和電子速度をそれぞれ表す。また、Baliga によって提唱された性能指数(Baliga figure of merit : BFM)は、トランジスタの導通損失を反映した低周波応用における性能を表しており、次式で与えられる[8]。

$$BFM = \epsilon_r \epsilon_0 \mu_e E_g^3 \quad (1.2)$$

ここで、 ϵ_r , ϵ_0 , μ_e , E_g はそれぞれ、比誘電率、真空の誘電率、電子移動度、バンドギャップを表す。これらの性能指数は Si において 1 となるよう定義されており、GaN の JFM は Si の 270 ~ 480 倍、BFM は 17 ~ 34 倍である。この他の利点として、GaN は構成元素・ドーパント共に As などの有毒元素を含まないため、環境調和性が高い点も挙げられる。以上のことから GaN は、低オン抵抗・高速動作・高温動作・高耐圧・小型化が実現できる次世代のパワーデバイス材料として非常に有望であるといえる。

1.1.3 GaN 系デバイスの種類と特徴

GaN は 2014 年ノーベル物理学賞を受賞した青色発光ダイオード(Light emitting diode : LED)の材料として広く知られているが、電子デバイスは 1993 年に Khan らによって金属-半導体電界効果トランジスタ(Metal semiconductor field effect transistor : MESFET)が最初に発表された[9, 10]。その後、AlGaIn/GaN 系などのヘテロ接合結晶成長技術が進展し、デバイス構造もヘテロ接合電界効果トランジスタ(Heterojunction field effect transistor : HFET)や高電子移動度トランジスタ(High electron mobility transistor : HEMT)といった横型デバイスが主流となっていた(図 1.4 (a)) [11]。こうした横型 GaN パワー半導体デバイスは、USB 急速充電器などで製品化が始まっている他[12]、GaN インバータを搭載した電気自動車の走行試験なども進められている [13]。横型デバイスの利点としては、安価かつ大口径の Si を基板として用いられること、AlGaIn/GaN ヘテロ接合界面に生じる 2 次元電子ガス(Two dimensional electron gas : 2DEG)を活用することで低損失・高速スイッチングが実現できることなどが挙げられる[14]。しかし、横型デバイスの耐圧はゲート・ドレイン間距離に依存するため、チップサイズが大型化しやすく高電力密度での動作が難しいという課題がある[15]。

この課題を解決し、更なる高耐圧・高出力化を成し遂げるべく、Si における MOSFET や IGBT のような縦型デバイスの実現が GaN でも求められる(図 1.4 (b))。縦型 GaN デバイスの実現には自立 GaN 基板が不可欠であるが、転位密度の低い高品質の自立 GaN 基板の結晶成長は難しく、長年縦型 GaN デバイスの実現に向けた研究の障害となっていた。ハイドライド気相成長(Hydride vapor phase epitaxy : HVPE)法や Na フラックス法、アモノサーマル法などの研究が進んだことにより、従来に比べて大口径・低コスト・低転位密度の高品質な自立 GaN 基板が作製可能となって以降は、縦型 GaN デバイスに関する研究が活発になされている[16-18]。近年、1kV を超える耐圧の縦型 GaN MOSFET も報告されてはいるものの、本格的な実用化に向けては課題も多く[16, 17]、ウェハ・エピ材料とデバイス作製プロセスの両面から更なる研究開発を進めていく必要がある。

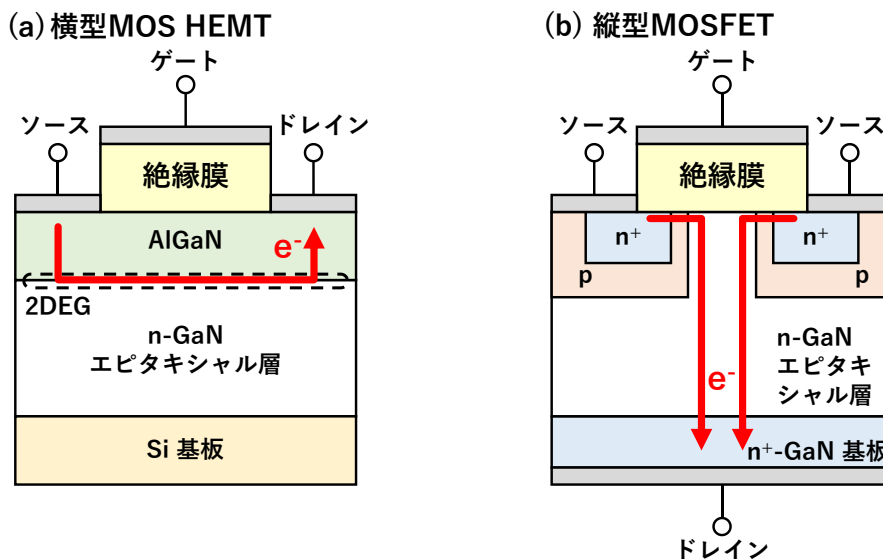


図 1.4 代表的な横型及び縦型 GaN デバイスの模式図 (a) 横型, (b) 縦型

1.1.4 GaN デバイスにおける絶縁膜の候補

Si や SiC と異なり、GaN は難酸化性であるため、熱酸化による絶縁膜の形成が困難である。加えて、GaN の熱酸化によって形成される Ga_2O_3 は、後述する GaN とのバンドオフセットが小さいため、MOS デバイスのゲート絶縁膜には不適である。これらの理由から、GaN 系デバイスにおいては、堆積絶縁膜を用いた MOS 構造の形成が広く検討されている。GaN 系 MOS デバイスの絶縁膜候補として、これまでに $\text{SiO}_2 \cdot \text{SiN}_x \cdot \text{HfO}_2 \cdot \text{Al}_2\text{O}_3$ などが検討されてきた。高耐圧・大電流の縦型 GaN MOS デバイス実現のためにゲート絶縁膜に求められる特性としては、(1)絶縁破壊電界が高いこと、(2)半導体とのバンドオフセットが十分に大きいことが挙げられる。特に(2)は、高い電界をかけることで発生するポテンシャル障壁の低下により生じるリーク電流を抑制するため、1.0 eV 以上のバンドオフセットを持つことが望ましい[19]。

図 1.5 に電荷中性点(Charge neutrality level : CNL)モデルにより算出された GaN および主要な絶縁膜候補のバンドダイアグラムを示す[20]。本研究では、GaN との伝導帯・価電子帯バンドオフセットがそれぞれ 2.5, 3.2 eV と共に大きく、約 10 MV cm^{-1} という高い絶縁破壊電界を有する SiO_2 を絶縁膜として用いた。

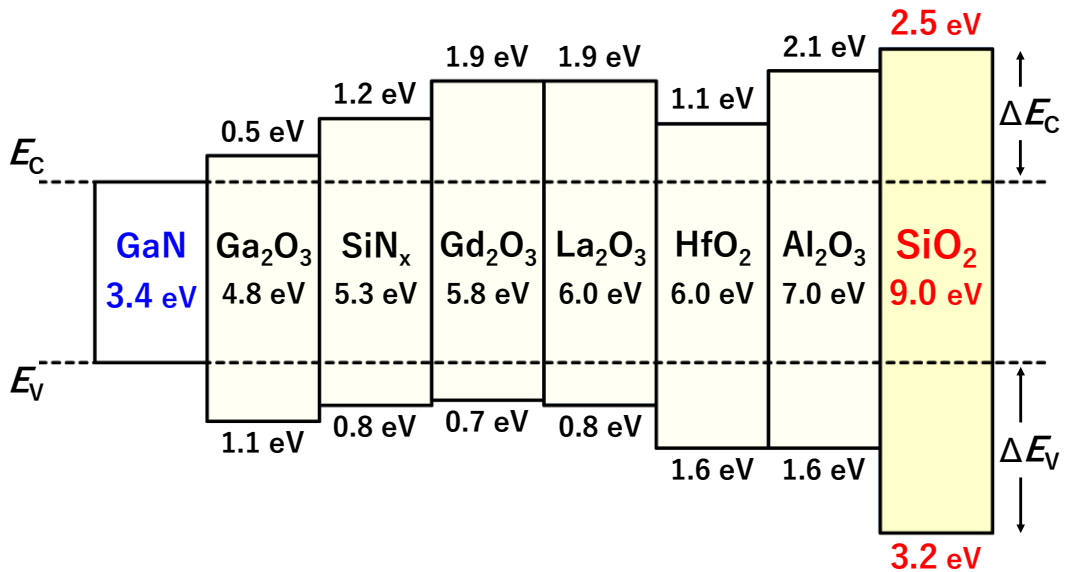


図 1.5 GaN と主要な絶縁膜のバンドダイアグラム

1.1.5 SiO₂/GaN MOS デバイスの課題

GaN 系 MOSFET の実用化に向けては、MOS 構造欠陥に起因する閾値電圧の不安定性、GaN ドリフト層における高オン抵抗、GaN 基板のコストなど問題が山積している。中でも、MOS 構造における絶縁膜中および絶縁膜/半導体界面の欠陥に起因する信頼性問題を解決することは、MOSFET の安定動作のために不可欠である。先述の通り、熱酸化により高品質な絶縁膜形成が可能な Si や SiC と異なり、GaN は難酸化性であるため堆積により高品質な絶縁膜及び界面を形成する必要がある。絶縁膜中や絶縁膜/半導体界面に欠陥が存在すると、欠陥に電荷が捕獲されることで移動度の低下や閾値電圧の不安定化などデバイス特性に様々な悪影響を及ぼす。絶縁膜/GaN 構造における、膜中および界面欠陥に起因する電荷を図 1.6 に示す。絶縁膜/半導体系に存在する電荷は一般的に以下の 3 つに分類することができる[21]。

(a) 酸化膜中にトラップされた電荷(Oxide trapped charge)

酸化膜中にトラップされた正孔または電子のことを指す。放射線によるイオン化・なだれ注入・Fowler-Nordheim トンネルなどのメカニズムでトラップへ捕獲される。一般に、下地の半導体基板とは電氣的なやり取りをしない。

(b) 酸化膜中に固定された電荷(Fixed oxide charge)

絶縁膜/半導体界面付近に存在する電荷を指す。SiO₂/Si 系の場合は正の電荷であり、絶縁膜の形成過程や基板の結晶方位に依存することが知られているが、GaN 上の場合には不明瞭。一般に、下地の半導体基板とは電氣的なやり取りをしない。

(c) 界面トラップ電荷 (Interface trap charge)

構造欠陥や絶縁膜の形成過程、結合の切断過程によって絶縁膜/半導体界面に生じる電荷を指す。(a)・(b)の電荷と異なり、下地の半導体基板と電氣的なやり取りをする。

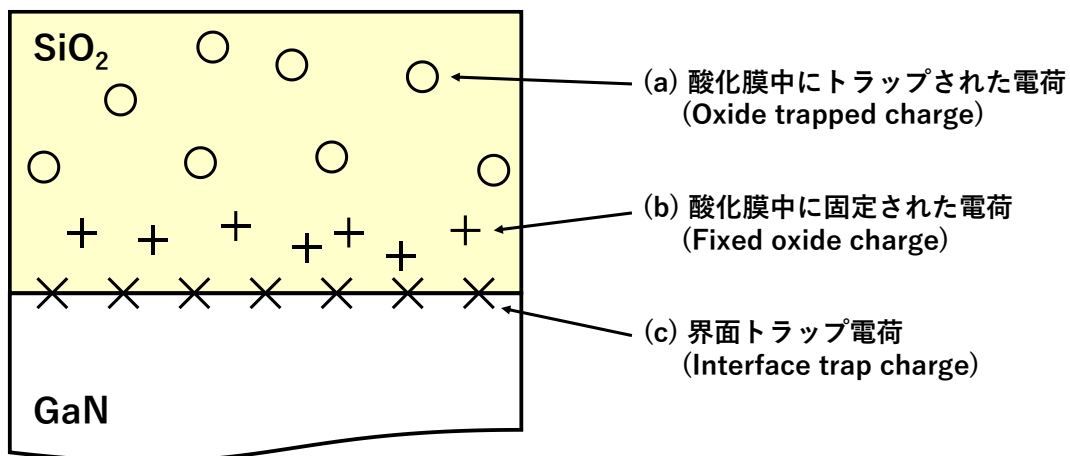


図 1.6 GaN MOS 構造における絶縁膜中及び絶縁膜/半導体界面の電荷

上述のモデルは Si 系 MOS 構造で広く用いられるものを GaN 系 MOS 構造に適用したものである。基本的にはあらゆる絶縁膜/半導体の系に当てはめられると考えられるが[21]、各電荷の詳細な挙動については異なっている可能性がある。また、MOFET の信頼性低下はこれらの電荷が複合的に影響を及ぼしているため、主要因の特定が難しい。そのため、信頼性問題の根本的な解決のためには、SiO₂/GaN 構造における欠陥や電荷について本質的な理解を深める必要がある。これらの観点から、GaN 系 MOSFET の実用化に向けては、絶縁膜/GaN 構造における電荷分布の解明が不可欠であると言える。

GaN 系 MOSFET の実用化のためには、MOS 構造における電荷分布の解明だけでなく、これらの電荷や欠陥を低減する必要がある。絶縁膜/n-GaN MOS 構造の特性改善方法として、絶縁膜堆積前に GaN 表面にプラズマ処理を及ぼす手法や、絶縁膜堆積後に 800-1000°C の高温熱処理を行う手法が報告されており、絶縁膜中電荷や界面電荷の低減が確認されている[22, 23]。しかし、プラズマ処理においてはプラズマが GaN 表面を損傷する可能性がある点、有毒ガスを用いる場合が多い点などの問題が残されている。高温での熱処理に関しても、絶縁膜中への Ga 拡散とそれに伴う絶縁膜質の悪化が報告されており、最適な方法であるとは言い難い[24]。Ga 拡散を引き起こさない比較的低温の条件で絶縁膜中電荷や界面電荷を低減できる方法として、高圧水蒸気処理(High pressure water vapor annealing : HPWVA)と呼ばれる手法について研究が進められてきた。HPWVA の詳細については 1.2.1 節で述べる。

1.2 研究に用いた装置の概要

1.2.1 プラズマ CVD

プラズマ CVD(Plasma-Enhanced Chemical Vapor Deposition : PECVD)はプラズマを用いた化学気相蒸着の一種である。他の化学気相蒸着や物理気相蒸着と比較した PECVD の利点として、(1)高い堆積速度、(2)低い堆積温度、(3)熱的・化学的安定性、(4)高い均一性、(5)有機・無機前駆体の両方を使用可能な点などが挙げられる[25]。代表的な PECVD 装置の概略図を図 1.7 に示す。反応室内の平行平板電極に高周波(Radio frequency : RF)電流を印加することで、原料ガスをプラズマ化して分解し、基板上に析出させることで薄膜を形成する。プラズマを用いることで、熱 CVD よりも低温での成膜が可能となっている。また、プラズマが発生しやすいよう、成膜は 1~数 100 Pa 程度の減圧状態で行われる。

PECVD は絶縁膜・導電膜・半導体膜を目的に応じて堆積させることが出来るため、エレクトロニクス産業で広く利用されている。PECVD によって堆積される材料の例として、窒化ケイ素(SiN_x)、二酸化ケイ素(SiO_2)、酸窒化ケイ素(SiO_xN_y)、アモルファスシリコン、ポリシリコン、ダイヤモンドなどが挙げられる。中でも SiO_2 は MOS 構造の絶縁膜やパッシベーション膜として広く用いられており、従来はシラン(SiH_4)と酸素(O_2)を用いて成膜されていた。しかし現在では、有毒で可燃性の SiH_4 よりも扱いやすく、かつ段差被覆性にも優れるテトラエトキシシラン(Tetraethyl orthosilicate : TEOS)が広く用いられている。本研究でも、TEOS と O_2 を原料ガスとして使い、PECVD(samco 製, PD-220)によって SiO_2 絶縁膜を堆積した。

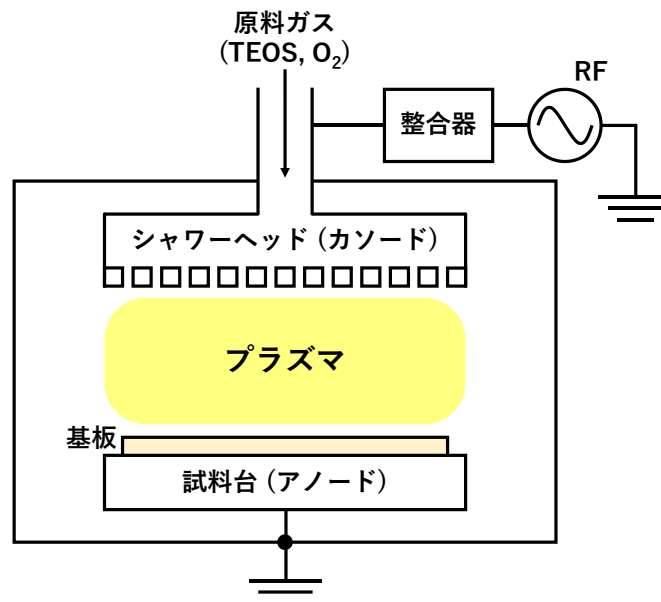


図 1.7 PECVD 装置の模式図

1.2.2 高圧水蒸気処理

高圧水蒸気処理(HPWVA)は高温高压状態の水蒸気を用いた湿式熱処理であり、ポリシリコン中のダングリングボンド終端技術として開発された[26]。高圧水蒸気処理はその後、Si上プラズマCVD SiO₂絶縁膜の改質、酸化物半導体系薄膜トランジスタの特性改善に加え、低温湿式酸化手法としても応用されている[27-29]。さらに、パワーデバイス材料として研究が進められているSiO₂/SiC構造においても、特性改善が報告されている[30]。

水の相図を図1.8に示す。飽和水蒸気圧以下の過熱水蒸気領域における水は、常温常圧の水と比べて低密度、低イオン積、かつ低誘電率という特異的性質を示す[31]。そのため、化学的にはラジカル反応の好適場であり、熱分解・再結合・脱水縮合・脱炭酸等の各反応が同時進行する。また、SiO₂やAl₂O₃等の絶縁膜に対するH₂O溶解度はO₂よりも高いため、湿式熱処理の方が乾式熱処理よりも絶縁膜および絶縁膜/半導体界面の再酸化が迅速に進行する[29, 32]。

これまでの研究から、HPWVAはGaN系MOS構造の界面制御技術としても有効であることが確認されており、Al₂O₃/GaN構造における界面欠陥の低減やSiO₂/GaN構造における絶縁膜中トラップの低減が報告されている[33-35]。これは、水分子による界面の酸化反応や絶縁膜中O原子の置換反応に伴い、界面及び絶縁膜中の欠陥が補填されるためである。しかし、比較的低い圧力(0.5 MPa)での処理しか検討されておらず、より高压条件でのHPWVAが絶縁膜/GaN界面に及ぼす影響については明らかになっていない。本研究では処理圧力を変化させてHPWVAを施し、圧力がSiO₂/GaN MOS構造に及ぼす影響を評価した。

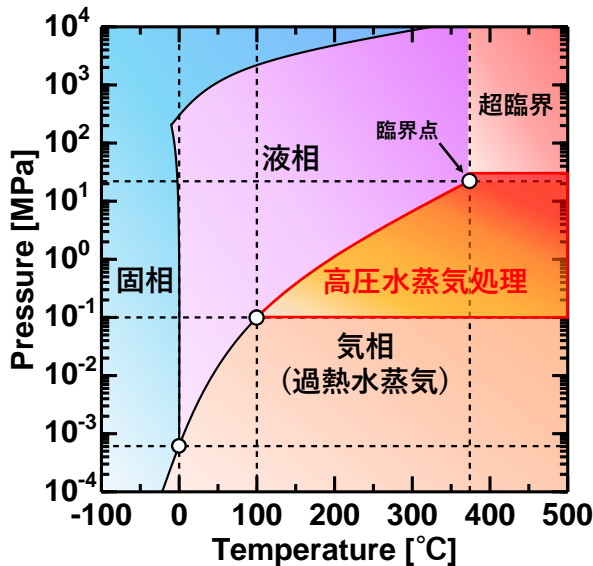


図 1.8 水の相図

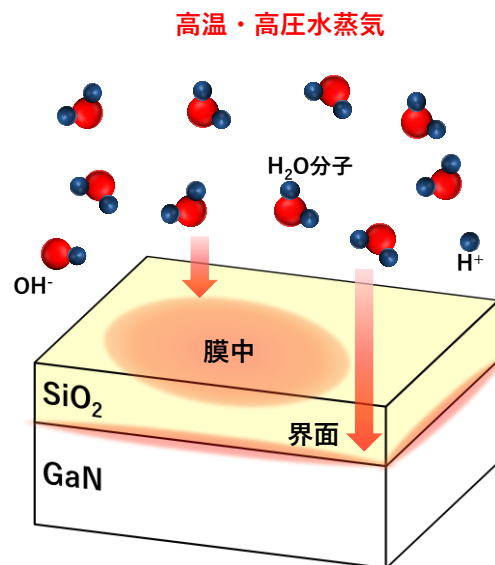


図 1.9 高圧水蒸気処理の模式図

1.3 電気的特性の評価方法

1.3.1 容量-電圧(C-V)測定の概要

SiO₂/GaN MOS 構造において、絶縁膜中や界面に存在する欠陥が電気的特性に及ぼす影響を評価するためには、容量-電圧(Capacitance - Voltage : C-V)特性の評価が不可欠である。電極を通して交流信号と直流ゲート電圧を流すことによって MOS キャパシタの容量を測定する。この容量は、 $C = dQ/dV$ で定義される。すなわち容量は電圧の変化に対する電荷の変化であり、交流信号による電荷の変化から容量を求めることができる。直流電圧の変化からはキャリアの蓄積や空乏といった静的特性が得られる。このように、交流信号による容量値の測定を行いながら直流電圧を変化させていくことで、C-V 曲線を得ることができる。

C-V 特性は絶縁膜中や絶縁膜/半導体界面に存在する電荷の影響を強く受け、その特性が変化する。絶縁膜中のトラップ電荷(図 1.6 中(a))や固定電荷(図 1.6 中(b))の場合、その電荷量はゲートに印加する電圧によらないため、C-V 特性は理想的な場合に比べて平行にシフトする。一方で、絶縁膜/半導体界面にトラップされた電荷の場合はそのようにはならない。図 1.10 に、欠陥誘起ギャップ状態(Disorder induced gap state : DIGS)モデルに基づく n 型半導体バンドギャップ中の界面準位密度の分布を示す[36]。DIGS モデルに基づく、真性フェルミ準位 E_i より上に分布する準位は電子を占有していない状態で中性であり(アクセプタ型準位)、 E_i より下に位置する準位は電子を占有していない状態で正に帯電している(ドナー型準位)とされる。フェルミ準位 E_F より上のアクセプタ型準位は空であり、中性である。 $E_i < E < E_F$ の範囲にある界面トラップは電子で満たされたアクセプタ型準位であり、負に帯電している。 E_i より下の界面トラップは電子で満たされたドナー型準位であり、中性である。その結果、半導体のバンドが平坦な状態(フラットバンド状態)における界面トラップ電荷の正味の電荷は負である。

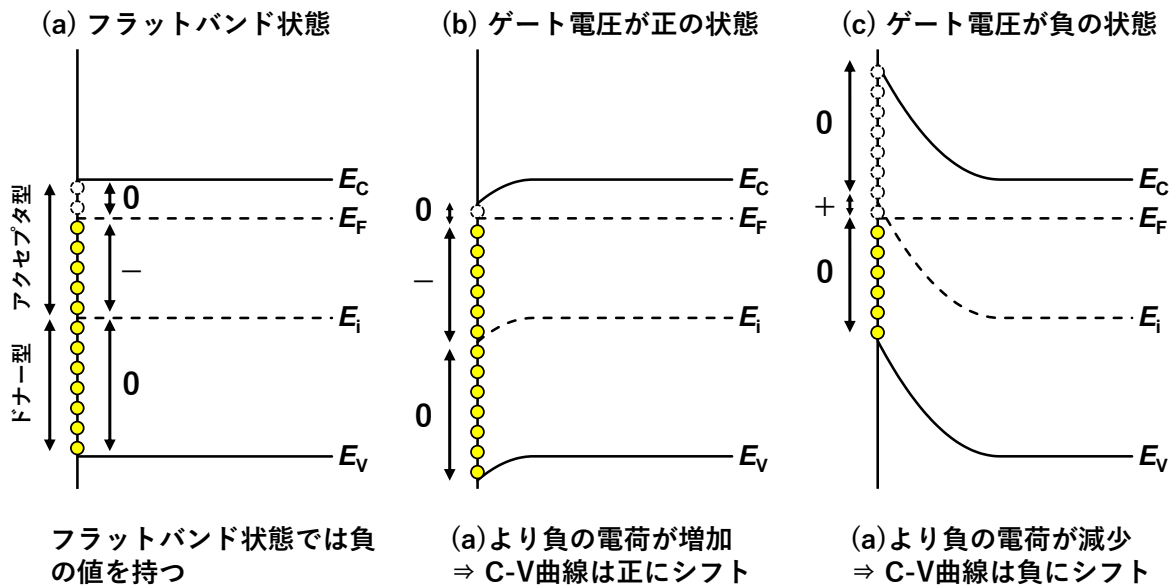


図 1.10 DIGS モデルに基づく界面トラップの挙動を示す n 型半導体バンド図

る(図 1.10 (a))。ゲート電圧が正のときは電子で満たされたアクセプタ準位の増加により正味の電荷はフラットバンド状態よりも強い負となる(図 1.10 (b))が、ゲート電圧が負の場合は電子が放出されることにより正味の電荷は正となる(図 1.10 (c))。その結果、 C - V 曲線は正のゲート電圧では右に、負のゲート電圧では左にシフトする。したがって界面準位が存在すると、 C - V 曲線は理想的な場合に比べて引き延ばされた形状となる。このように C - V 曲線が引き延ばされる現象をストレッチアウトと呼ぶ。

1.3.2 フラットバンド電圧(V_{FB})と絶縁膜中電荷の評価

MOS 構造を形成した際、金属と半導体のフェルミ準位が一致するように半導体表面のバンドに曲がりが生じる(図 1.11)。この曲がり解消し、フラットバンド状態にするためには、一定のゲート電圧を印加する必要がある。フラットバンド状態にするために必要な電圧のことをフラットバンド電圧(V_{FB})と呼ぶ。絶縁膜中や絶縁膜/半導体界面に電荷が存在しない理想的な MOS 構造の場合、MOS 構造形成時に生じるバンド曲りは金属と半導体の仕事関数差 $\phi_{ms} = \phi_m - \phi_s$ に等しいため、次式が成り立つ(図 1.11 (a))。

$$V_{FB} = \phi_{ms} \quad (1.3)$$

本研究では、電極金属(Al)の仕事関数として $\phi_m = 4.2$ を用いた[37]。また、半導体の仕事関数 ϕ_s は次式で与えられる。

$$\phi_s = \chi + \frac{E_g}{2} - \phi_F \quad (1.4)$$

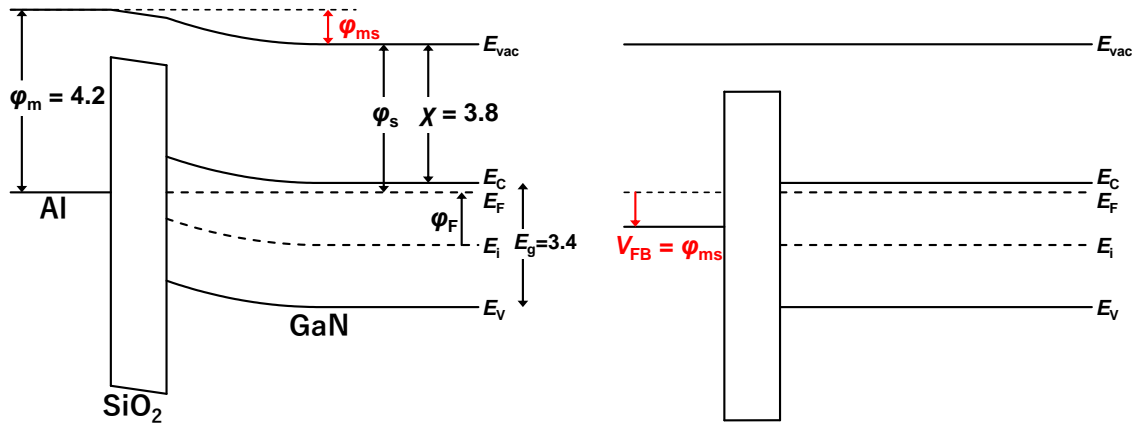
ここで、 χ , E_g , ϕ_F は半導体(GaN)の電子親和力、バンドギャップ、フェルミポテンシャルをそれぞれ表す。GaN の電子親和力については様々な値(2.7 ~ 4.1 eV)が報告されているが[38-44]、本研究では $\chi = 3.8$ を用いた[44]。 ϕ_F は半導体のドナー濃度 N_D から算出することができる。(詳細な算出方法については付録 1 を参照。)

実際の MOS 構造では、絶縁膜中や絶縁膜/半導体界面に様々な電荷が存在しているため、(1.3)式は成り立たない。MOS 構造中に正の電荷が存在する場合には負方向に、負の電荷が存在する場合は正方向に V_{FB} はシフトする(図 1.11 (b, c))。実測した V_{FB} と理想フラットバンド電圧である ϕ_{ms} の差から、MOS 構造中に存在する実効電荷密度 Q_{eff} を算出することが出来る。 $\Delta V_{FB} = V_{FB} - \phi_{ms}$ とすると、実効電荷密度 Q_{eff} は(1.5)式で表される。

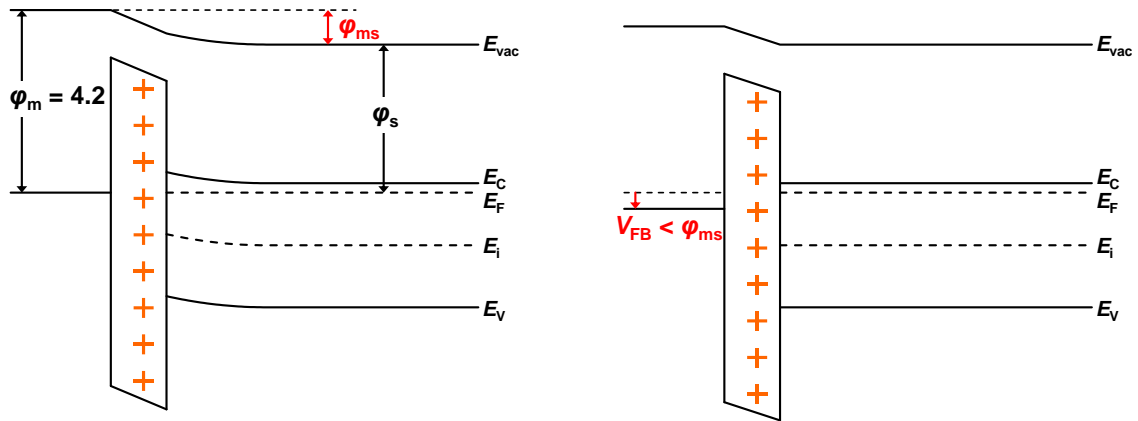
$$Q_{eff} = \Delta V_{FB} C_{OX} \quad (1.5)$$

V_{FB} は MOS 構造中に存在するあらゆる電荷の影響を受けるため、 Q_{eff} は図 1.6 における(a)~(c)の全電荷の和を表している。しかし前述の通り、界面準位はゲート電圧に応じてその値が変化するため、膜中電荷と界面準位は切り分けて評価することが望ましい。そこで、界面準位の影響が十分小さくなるように V_{FB} を定めれば、 Q_{eff} は絶縁膜中トラップ電荷と界面近傍固定電荷(図 1.6 中(a)及び(b))の和であると近似することができる。実測した C - V 曲線から V_{FB} を求める方法として、以下の二つが挙げられる。

(a) 電荷が存在しない場合



(b) 正の電荷が存在する場合



(c) 負の電荷が存在する場合

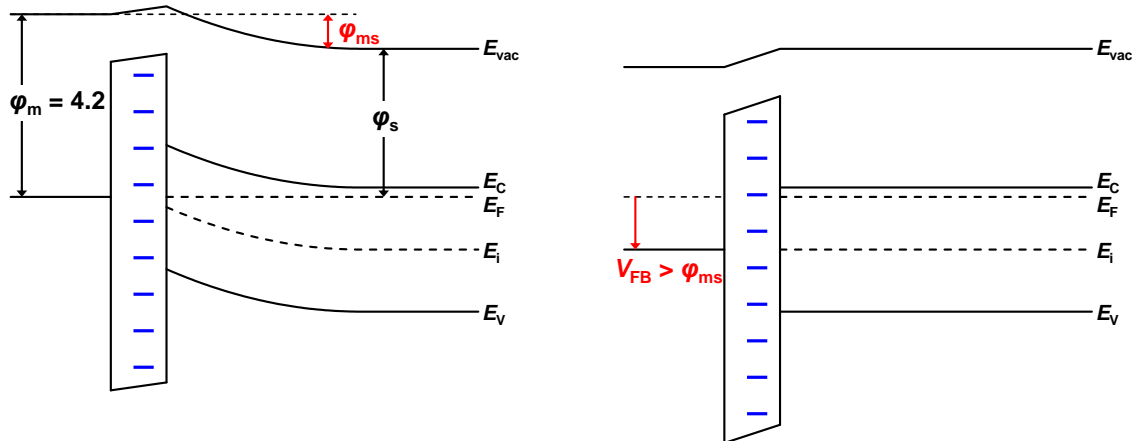


図 1.11 SiO_2/GaN MOS 構造のバンド図 (a) MOS 構造中に電荷が存在しないとき, (b) 正の電荷が存在するとき, (c) 負の電荷が存在するとき

一つ目は、実測容量値がフラットバンド容量(C_{FB})となる電圧を V_{FB} と定義する方法である。 C_{FB} の理論式は(1.6)式で与えられる。

$$C_{FB} = \frac{C_{OX} \times \frac{\epsilon_s \epsilon_0}{L_D}}{C_{OX} + \frac{\epsilon_s \epsilon_0}{L_D}} \quad (1.6)$$

ここで C_{OX} , ϵ_0 , ϵ_s はそれぞれ、酸化膜容量、真空の誘電率及び絶縁膜の比誘電率を表す。また、 L_D はデバイ長であり、 $L_D = \sqrt{\epsilon_s \epsilon_0 kT / q^2 N_D}$ で与えられる。しかし、界面準位は C_{FB} 付近で大きくなることが多く、この方法で求めた V_{FB} は界面準位の影響を多分に受ける。

二つ目の方法は、 $1/C^2$ 曲線から求める方法である[22]。GaN などのワイドギャップ半導体では、図 1.12 (a)に示すように、 $1/C^2$ 曲線は蓄積領域と空乏領域のそれぞれで直線となる。これらの直線領域の交点を V_{FB} と定義する。蓄積領域及び深い空乏領域では界面準位の影響はほとんどないため、この方法から算出した V_{FB} は絶縁膜中電荷の影響のみを考慮した V_{FB} であるといえる。したがって、そこから算出した Q_{eff} は、図 1.6 中(a)及び(b)の和であると近似することができる。以降の解析では、 Q_{eff} は図 1.6 中(a)及び(b)の和であるという仮定の下で解析を進めていく。また、実測 $C-V$ 及び後述する理想 $C-V$ における $1/C^2$ 曲線を比較すると、空乏範囲の直線領域の傾きは等しくなるため、その V 軸切片の差は ΔV_{FB} を表す(図 1.12 (b))。以降の解析では、この方法を用いて算出した ΔV_{FB} を用いて計算を行った。

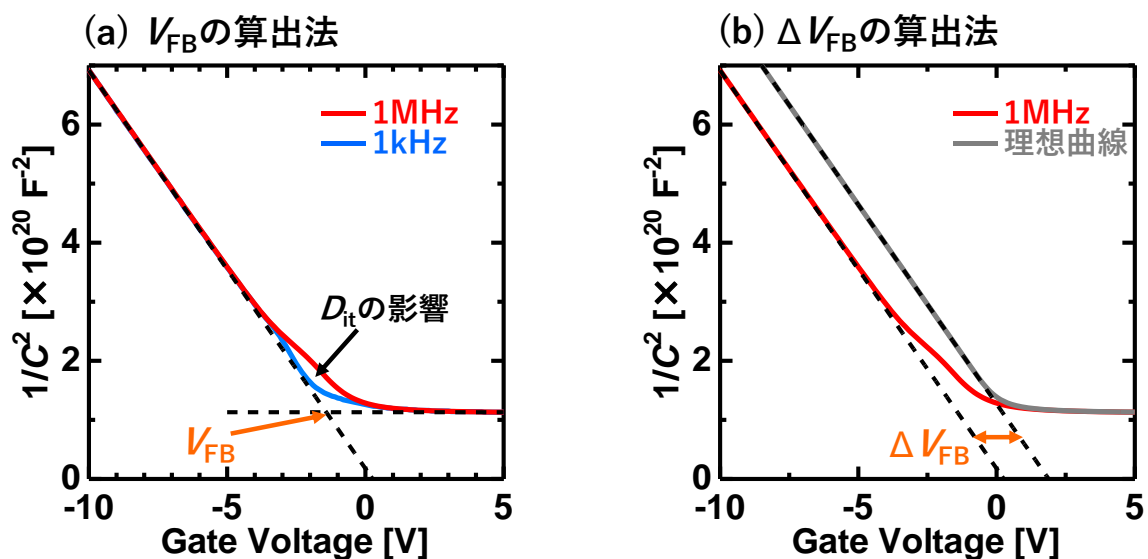


図 1.12 $1/C^2$ プロットとフラットバンド電圧の算出方法

1.3.3 High-Low 法による界面準位密度 D_{it} の評価

界面準位密度(図 1.6 中(c))の算出に用いられる方法の一つとして、High-Low 法がある。High-Low 法とは、界面準位への電荷の捕獲及び放出が測定信号に追従できる低周波測定と、電荷状態の変化に追従できない高周波測定を行い、その容量差から D_{it} を算出する方法である。この方法では、高周波測定においては $D_{it} = 0$ であるとみなす。低周波測定時と高周波測定時の MOS キャパシタの等価回路を図 1.13 に示す。酸化膜容量を C_{OX} 、半導体容量を C_s 、界面準位容量を C_{it} とすると、低周波容量 C_{LF} 及び高周波容量 C_{HF} はそれぞれ次式で表される。

$$C_{LF} = \left(\frac{1}{C_{OX}} + \frac{1}{C_s + C_{it}} \right)^{-1} \quad (1.7)$$

$$C_{HF} = \left(\frac{1}{C_{OX}} + \frac{1}{C_s} \right)^{-1} \quad (1.8)$$

(1.7)及び(1.8)式から C_s を消去し整理することで、界面準位密度 $D_{it} (= C_{it}/q)$ は次式で表すことが出来る。

$$D_{it} = \frac{C_{it}}{q} = \frac{C_{OX}}{q} \left(\frac{C_{LF}/C_{OX}}{1 - C_{LF}/C_{OX}} - \frac{C_{HF}/C_{OX}}{1 - C_{HF}/C_{OX}} \right) \quad (1.9)$$

本研究では高周波測定に 1MHz を、低周波測定に 20Hz をそれぞれ用いた。

界面準位は半導体表面ポテンシャル ϕ_s の変化に伴って変化するため、対応するエネルギー準位を求める必要がある。図 1.14 に示したバンド図からもわかるように、界面における伝導帯端からトラップ準位までの準位 $E_C - E$ は次式で表される。

$$E_C - E = -\phi_F + \frac{E_g}{2} + \phi_s \quad (1.10)$$

また、 ϕ_s とゲート電圧 V の関係は次式で与えられる。(導出は付録 2 を参照。)

$$\phi_s = \int_{V_2}^{V_1} \left(1 - \frac{C_{LF}}{C_{OX}} \right) dV + \Delta \quad (1.11)$$

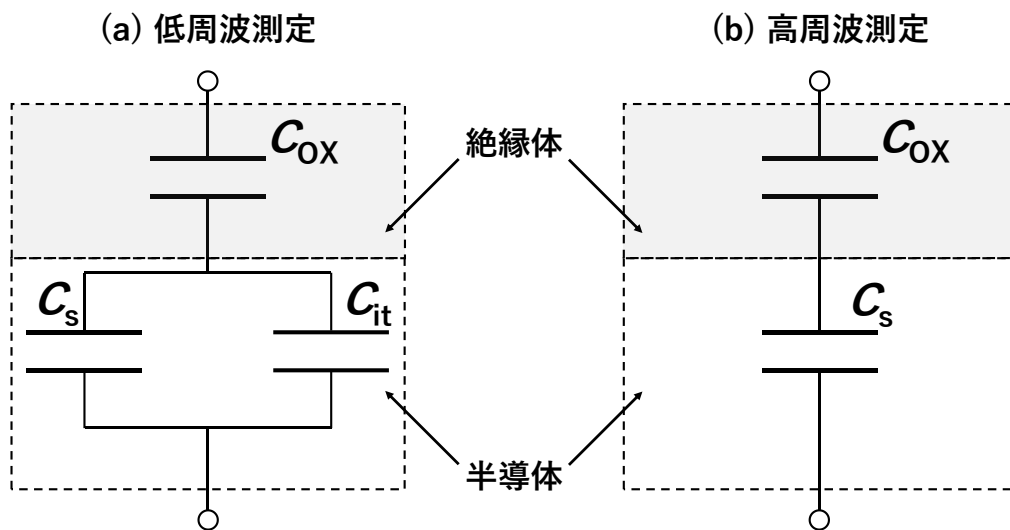


図 1.13 高周波及び低周波測定における MOS キャパシタの等価回路

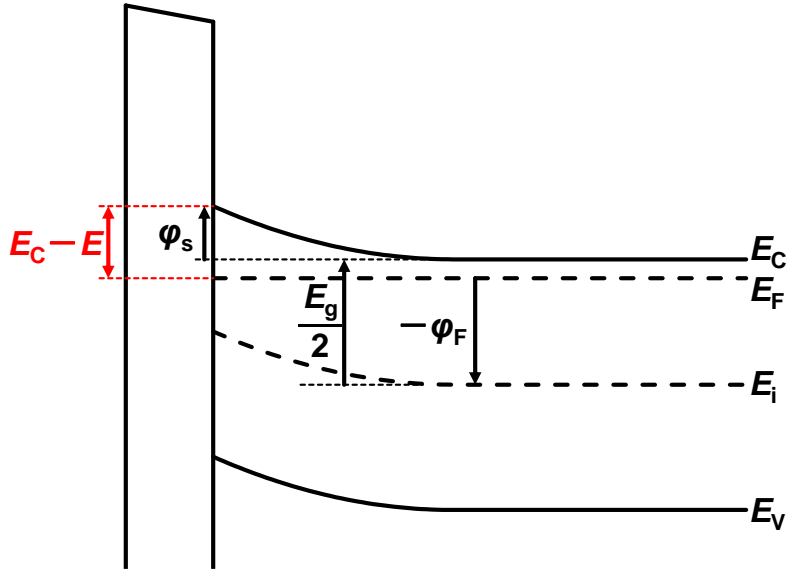


図 1.14 伝導帯端からトラップ準位までのエネルギー

Δ は積分定数である。フラットバンド状態の定義から、 Δ は $V = V_{FB}$ において $\phi_s = 0$ となるように定めることが出来る。なお本研究では、(1.5)式を用いて C_{FB} を算出し、その時の電圧を V_{FB} として ϕ_s を算出した。

High-Low 法によって評価できる D_{it} のエネルギー範囲は、 C - V 測定周波数・ゲート電圧掃引時間・測定温度によって決まる。界面準位に捕獲された電子の放出は Shockley-Read-Hall (SHR) 統計から算出される放出時定数 τ_t として次式で表される。

$$\tau_t = \frac{1}{\sigma_n v_{th} N_C} \exp\left(\frac{E_C - E}{kT}\right) \quad (1.12)$$

σ_n は捕獲準位の捕獲断面積、 v_{th} は電子の熱速度、 N_C は伝導帯の有効状態密度である。放出時定数よりも測定時の電圧掃引時間 t_{meas} が大きいとき、 D_{it} を検出可能な最も深い準位 $E_C - E_{deep}$ は次式で表される。

$$E_C - E_{deep} = kT \ln(\sigma_n v_{th} N_C t_{meas}) \quad (1.13)$$

また、 D_{it} を検出可能な最も浅い準位 $E_C - E_{shallow}$ は次式で与えられる。

$$E_C - E_{shallow} = kT \ln\left(\frac{\sigma_n v_{th} N_C}{2\pi f}\right) \quad (1.14)$$

本研究では、 $\sigma_n = 10^{-16} \text{ cm}^2$, $v_{th} = 2.13 \times 10^7 \text{ cm/s}$, $N_C = 2.23 \times 10^{18} \text{ cm}^{-3}$ と仮定して検出可能範囲を算出した。実際の測定では $t_{meas} = 2.15 \text{ s}$, $f = 1 \times 10^6 \text{ Hz}$ であったから、検出可能範囲はそれぞれ、 $E_C - E_{deep} = 0.60 \text{ eV}$, $E_C - E_{shallow} = 0.22 \text{ eV}$ となる。

1.3.4 ワイドギャップ半導体における理想 C - V 曲線

MOS キャパシタの理想 C - V 曲線はポアソン方程式を解くことで求めることができる。絶縁膜および絶縁膜/半導体界面に電荷が存在しない理想状態において、ポアソン方程式の解から導かれる半導体容量 C_s は次式で表すことができる[21]。(導出は付録3を参照。)

$$C_s = \hat{U}_s \frac{\varepsilon_s \varepsilon_0 \{e^{U_F}(1 - e^{-U_s}) + e^{-U_F}(e^{U_s} - 1)\}}{2L_{Di} F(U_F, U_s)} \quad (1.15)$$

ここで、 U_F および U_s は規格化されたフェルミポテンシャルおよび半導体表面ポテンシャルを、 $F(U_F, U_s)$ は無次元の半導体表面電場を表し、それぞれ次式のように定義される。

$$U_F = \frac{q\varphi_F}{kT}, \quad U_s = \frac{q\varphi_s}{kT}, \quad F(U_F, U_s) = \sqrt{e^{U_F}(e^{-U_s} + U_s - 1) + e^{-U_F}(e^{U_s} - U_s - 1)} \quad (1.16)$$

(1.15)式の分子および(1.16)式の平方根内の項は、ともに第1項が正孔の、第2項が電子の項を表している。ワイドギャップ半導体においては少数キャリアの生成レートは非常に小さい。そこで、少数キャリア項は無視できると仮定すると、 n 型および p 型のワイドギャップ半導体における理想的な半導体容量はそれぞれ次のように表すことができる。

(1) n 型ワイドギャップ半導体における理想半導体容量 (正孔の影響を無視)

$$C_s = \hat{U}_s \frac{\varepsilon_s \varepsilon_0 \{e^{-U_F}(e^{U_s} - 1)\}}{2L_{Di} F(U_F, U_s)} \quad (1.17)$$

$$F(U_F, U_s) = \sqrt{e^{-U_F}(e^{U_s} - U_s - 1)} \quad (1.18)$$

(2) p 型ワイドギャップ半導体における理想半導体容量 (電子の影響を無視)

$$C_s = \hat{U}_s \frac{\varepsilon_s \varepsilon_0 \{e^{U_F}(1 - e^{-U_s})\}}{2L_{Di} F(U_F, U_s)} \quad (1.19)$$

$$F(U_F, U_s) = \sqrt{e^{U_F}(e^{-U_s} + U_s - 1)} \quad (1.20)$$

MOS キャパシタの等価回路は半導体容量 C_s と酸化膜容量 C_{ox} の直列接続であるから、全容量 C は

$$C = \frac{C_{ox}C_s}{C_{ox} + C_s} \quad (1.21)$$

となる。また、ゲート電圧はフラットバンド電圧、表面電位、酸化膜電圧に関係しており、次式で表すことができる。

$$V_G = V_{FB} + \varphi_s + V_{OX} = V_{FB} + \varphi_s + \hat{U}_s \frac{K_s t_{OX} kT}{qK_{OX} L_{Di}} F(U_F, U_s) \quad (2.22)$$

(1.17)式から(1.22)式を用いることで、理想的な C - V 曲線を描画することができる。

1.3.5 電流-電圧(I - V)測定の詳細

絶縁膜の絶縁破壊特性の評価には、電流-電圧(I - V)測定が用いられる。これは瞬時絶縁破壊試験(Time-zero dielectric breakdown : TZDB)とも呼ばれ、ゲート電極に正電圧を印加し、半導体から絶縁膜に多数キャリアである電子を注入することでリーク電流を測定する。絶縁膜厚や電極径の影響を無視して比較できるように、評価には I - V 特性から変換した電流密度-電界強度(J - E)特性を用いた。

理想的なゲート絶縁膜を持つ MOS 構造では、ゲートリーク電流は Fowler-Nordheim (F-N)機構によって説明される。絶縁膜電圧 V_{OX} と半導体のフェルミ準位から絶縁膜の価電子帯までのエネルギーである障壁高さ $q\phi_B$ の関係が $V_{OX} > q\phi_B$ であるとき、電子から見た絶縁膜の障壁は三角形上に変形し、このときの傾斜した障壁層を通して流れるリーク電流を F-N 電流と呼ぶ。F-N 機構によるリーク電流密度 J_{FN} と酸化膜電界 E_{OX} の関係は次式で表される[45, 46]。

$$J_{FN} = \frac{q^3}{16\pi^2\hbar\phi_B} E_{OX}^2 \exp\left(-\frac{4\sqrt{2m^*}\phi_B^{3/2}}{3\hbar q} \frac{1}{E_{OX}}\right) \quad (2.23)$$

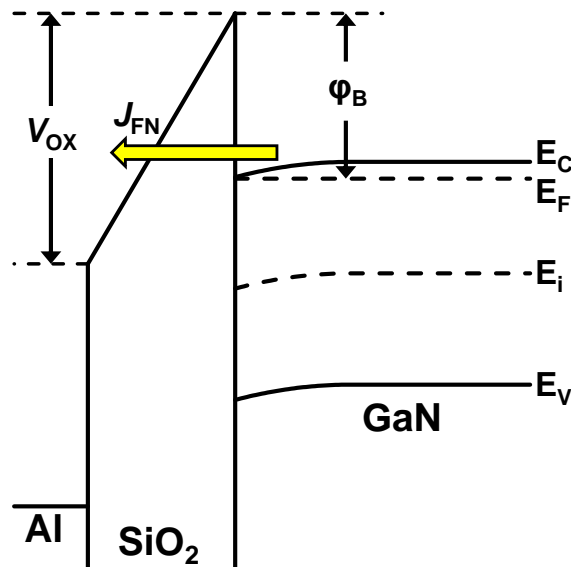


図 1.15 Fowler-Nordheim 機構による電荷伝導モデル

1.4 研究目的

GaN 系 MOSFET の実用化に向けては、MOS 構造における絶縁膜中および絶縁膜/半導体界面の欠陥や電荷に起因する信頼性問題を解決することが不可欠である。こういった信頼性問題には MOS 構造中の様々な電荷が影響を及ぼしているため、根本的な解決のためには、MOS 構造中の電荷について詳細に分析し、本質的な理解を深める必要がある。Si 系デバイスと異なり、GaN では絶縁膜/GaN MOS 構造の電荷分布について明確なモデル化はなされていない。そこで本研究では、SiO₂/GaN MOS キャパシタの電気的特性から絶縁膜中電荷や界面近傍の固定電荷の分布を解明し、モデル化することを主目的の一つに据えている。さらに、信頼性問題の解決に向け、これらの電荷を低減することが二つ目の主目的である。具体的には、SiO₂ 堆積条件の検討、高圧水蒸気処理の処理条件検討によってこれらの電荷を低減し、信頼性問題の解決を目指す。同時に、様々な圧力での HPWVA が SiO₂/GaN 構造に及ぼす物理的変化のメカニズム解明を目指す。

1.5 本論文の構成

本論文は、第 1 章「序論」から第 5 章「結論」までの全 6 章で構成される。各章の概要について以下に示す。

第 2 章「SiO₂/GaN MOS 構造における絶縁膜中および界面近傍の電荷分布評価」では、膜厚の異なる SiO₂/n-GaN MOS キャパシタの $C-V$ 特性から絶縁膜中電荷や界面近傍の固定電荷の分布を評価し、MOS 構造における電荷分布のモデル化を行った。また、これらの電荷に対する熱処理の効果についても評価した。

第 3 章「PECVD による SiO₂ 堆積条件の検討」では、SiO₂/GaN MOS 構造の電気的特性向上のため、SiO₂ の堆積条件を検討した。原料である TEOS 流量を変化させて作製した SiO₂/n-GaN MOS キャパシタの電気的特性を測定し、TEOS 流量が電気的特性に及ぼす影響を評価した。

第 4 章「高圧水蒸気処理による SiO₂/GaN MOS 特性改善効果の圧力依存性」では、様々な処理圧力で HPWVA を施した SiO₂/n-GaN MOS キャパシタの電気的特性を測定し、HPWVA の処理圧力が電気的特性に及ぼす影響を評価した。さらに、HPWVA を施すことによって SiO₂/n-GaN MOS 構造に生じる反応のモデル化に取り組んだ。

第 5 章「結論」では、本論文に関する研究課題と得られた成果を精査・総括し、結論を述べる。最後に、本論文に係る研究業績目録及び、謝辞を述べ結びとする。

参考文献

- [1] 経済産業省 資源エネルギー庁, 「令和元年度 エネルギーに関する年次報告」(エネルギー白書 2020)
- [2] BP Statistical Review of World Energy, <https://www.bp.com/en/global/corporate/energy-economics/statistical-review-of-world-energy.html>
- [3] IEA CO₂ Emission from Fuel Combustion: Overview, <https://www.iea.org/reports/co2-emissions-from-fuel-combustion-overview>
- [4] B. Gil: OXFORD SCIENCE PUBLICATIONS III-Nitride Semiconductors and their Modern Devices, OXFORD UNIVERSITY PRESS (2013).
- [5] M. S. Shur, B. Gelmont, and M. A. Khan, *J. Electron. Mater.*, **25**, 777 (1996).
- [6] 渡邊幸志, *J. Vac. Soc. Jpn.*, **52**, 6, 351 (2009).
- [7] E. O. Johnson, *RCA rev.*, **26**, 163 (1965).
- [8] B. J. Baliga, *J. Appl. Phys.*, **53**, 1759 (1982).
- [9] The Nobel Prize in Physics 2014 Press Release, The Official Web Site of the Nobel Prize, http://www.nobelprize.org/nobel_prizes/physics/laureates/2014/press.html
- [10] M. A. Khan, J. N. Kuznia, A. R. Bhattarai, and D. T. Olson, *Appl. Phys. Lett.*, **62**, 1786 (1993).
- [11] M A. Khan, J. N. Kuznia, D. T. Olson, W. J. Schaff, J. W. Brum, and M. S. Shur, *Appl. Phys. Lett.* **65**, 1121 (1994).
- [12] Anker Japan, Anker PowerPort Atom PD 1, <https://www.ankerjapan.com/item/A2017.html>
- [13] All GaN Vehicle, <https://www.gan-vehicle.jp/>
- [14] J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, and U. K. Mishra, *Appl. Phys. Lett.*, **77**, 250 (2000).
- [15] H. Otake, K. Chikamatsu, A. Yamaguchi T. Fujishima, and H. Ohta, *Appl. Phys. Express*, **1**, 011105 (2008).
- [16] T. Oka, T. Ina, Y. Ueno, and J. Nishii, *Appl. Phys. Express*, **8**, 5, 054101 (2015).
- [17] W. Li, S. Chowdhury, *Phys. Stat. Sol. A*, **213**, 10, 2714 (2016).
- [18] K. Hasegawa, G. Nishino, K. Yasunishi, N. Tanaka, N. Murakami, and T. Oka, *Appl. Phys. Express*, **10**, 121002 (2017).
- [19] J. Robertson, *Eur. Phys. J. Appl. Phys.*, **28**, 265 (2004).
- [20] Z. Yatabe, J. T. Asubar, and T. Hashizume, *J. Phys. D: Appl. Phys.*, **49**, 393001 (2016).
- [21] D. K. Schroder, “Semiconductor Material and Device Characterization”, Wiley, Hoboken, NJ (2006).
- [22] T. Hashizume, S. Ootomo, and H. Hasegawa, *Appl. Phys. Lett.*, **83**, 2952 (2003).
- [23] Y. Niiyama, T. Shinagawa, S. Ootomo, H. Kambayashi, T. Nomura, and S. Yoshida, *Phys. Stat. Sol. A*, **204**, 6, 2032 (2007).
- [24] T. Yamada, K. Watanabe, M. Nozaki, H. Yamada, T. Takahashi, M. Shimizu, A. Yoshigoe, T. Hosoi, T. Shimura, and H. Watanabe, *Appl. Phys. Express*, **11**, 015701 (2018).
- [25] Y. Hamedani, P. Macha, T. J. Bunning, R. R. Naik and M. C. Vasudev, “Chemical Vapor

Deposition Recent Advances and Applications in Optical, Solar Cells and Solid State Device” (2006).

[26] T. Sameshima, M. Satoh, K. Sakamoto, K. Ozaki, and K. Saitoh, *Jpn. J. Appl. Phys.*, **37**, 4254 (1998).

[27] T. Sameshima, and M. Satoh, *Jpn. J. Appl. Phys.*, **36**, 687 (1997).

[28] M. N. Fujii, Y. Ishikawa, M. Horita, and Y. Uraoka, *ECS J. Solid State Sci. Technol.*, **3**, 9, Q3050 (2014).

[29] T. Futatsuki, T. Oe, H. Aoki, N. Komatsu, C. Kimura, and T. Sugino, *Jpn. J. Appl. Phys.*, **48**, 04C006 (2009).

[30] 矢野裕司, 武田大輔, 畑山智亮, 浦岡行治, 冬木隆, 信学技報 IEICE Tech. Rep., SDM2007-28 (2007).

[31] Y. Hori, C. Mizue, and T. Hashizume, *Phys. Stat. Sol. C*, **9**, 6, 1356, (2012).

[32] H.S. Oon, and K.Y. Cheong, *Mater. Chem. Phys.*, **137**, 381 (2012).

[33] M. Uenuma, K. Takahashi, S. Sonehara, Y. Tominaga, Y. Fujimoto, Y. Ishikawa, and Y. Uraoka, *AIP Adv.*, **8**, 105103 (2018).

[34] Y. Fujimoto, M. Uenuma, T. Nakamura, M. Furukawa, Y. Ishikawa, and Y. Uraoka, *Jpn. J. Appl. Phys.*, **58**, 040902 (2019).

[35] T. Lin, M. Uenuma, M. Furukawa, J. P. S. Bermundo, Y. Ishikawa, and Y. Uraoka, *ECS J. Solid State Sci. Technol.*, **8**, 8, 388 (2019).

[36] H. Hasegawa, and T. Sawada, *J. Vac. Sci. Technol.*, **16**, 1478 (1979).

[37] S. Miyazaki, and M. Hirose, *AIP Conf. Proc.*, **550**, 89 (2001).

[38] V. M. Bermudez, *J. Appl. Phys.*, **80**, 1190 (1996).

[39] C. I. Wu, A. Kahn, N. Taskar, D. Dorman, and D. Gallagher, *J. Appl. Phys.*, **83**, 4249 (1998).

[40] C. I. Wu, and A. Kahn, *J. Appl. Phys.*, **86**, 3209 (1999).

[41] M. E. Levinshstein, S. L. Rumyantsev, M. S. Shur, “Properties of Advanced Semiconductor materials: GaN, AlN, InN, BN, SiC, SiGe”, John Wiley & Sons (2001).

[42] T. E. Cook, C. C. Fulton, W. J. Mecounh, K. M. Tracy, R. F. Davis, E. H. Hurt, G. Lucovsky, and R. J. Nemanich, *J. Appl. Phys.*, **93**, 3995 (2003).

[43] T. E. Cook, C. C. Fulton, W. J. Mecounh, R. F. Davis, G. Lucovsky, and R. J. Nemanich, *J. Appl. Phys.*, **94**, 3949 (2003).

[44] S.-C. Lin, C.-T. Kuo, X. Liu, L.-Y. Liang, C.-H. Cheng, C.-H. Lin, S.-J. Tang, L.-Y. Chang, C.-H. Chen, S. Gwo, *Appl. Phys. Express*, **5**, 3, 031003 (2012).

[45] R. H. Good, Jr. and E. W. Muller, “Handbuch der Physik” (1956).

[46] M. Lenzlinger and E. H. Snow, *J. Appl. Phys.*, **40**, 278 (1969).

第2章 SiO₂/n-GaN MOS 構造における絶縁膜中および界面近傍の電荷分布評価

2.1 はじめに

1.1.5 節で述べた通り、GaN MOSFET の実現に向けた重要な課題の一つとして、ゲート絶縁膜や絶縁膜/GaN 界面の電荷トラップに起因する信頼性問題を克服しなければならない。界面近傍の固定電荷や絶縁膜中にトラップされた電荷は、MOSFET の閾値電圧特性やそれに関連する信頼性の問題に重要な影響を及ぼしている [1, 2]。SiO₂/GaN MOS 構造に関して、界面準位を評価している報告は多いものの、絶縁膜中の電荷分布に関する研究は少数であり [3, 4]、SiO₂/GaN MOS 構造における電荷分布の詳細は未だ明らかになっていない。信頼性問題の根本的な解決のためには、原因となる電荷について本質的な理解を深めることが不可欠である。そこで本章では、SiO₂/GaN 構造中の界面近傍固定電荷および絶縁膜中電荷について分析し、その分布の解明を目的とした。絶縁膜厚の異なる SiO₂/GaN MOS キャパシタを作製し、各試料の C - V 特性から絶縁膜中実効電荷 Q_{eff} を算出した。 Q_{eff} と SiO₂ 膜厚との関係から各電荷の分布を解析した。また、熱処理を施した試料と施していない試料の C - V 特性を比較することで、MOS 構造中の各電荷に対して熱処理が及ぼす効果も評価した。

2.2 SiO₂/n-GaN MOS キャパシタの作製過程

GaN 上 PECVD-SiO₂ 膜の評価用素子として Al/SiO₂/n-GaN/Ti/Al MOS キャパシタを作製した。MOS キャパシタの作製には、(0001)面 GaN 基板上に 2 μm のホモエピタキシャル層(Si ドープ, $5 \times 10^{16} \text{ cm}^{-3}$)が成長されている GaN 自立基板(三菱ケミカル製及びサイオクス製)を用いた。作製プロセスの詳細は以下の(1)~(3)の通りである(図 2.1)。

(1) 基板洗浄過程

SPM(Sulfuric acid peroxide mixture)洗浄及び RCA 洗浄によって基板を洗浄した。初めに、アセトンおよびメタノールに 3 min ずつ基板を浸漬し、その後超純水でリンスした。更に 0.5%の希釈 HF に 3 min 浸漬させ自然酸化膜を除去した後、再度超純水でリンスした。次に、80°C に熱した SPM 溶液(H₂SO₄ : H₂O₂ = 1 : 1)に 15 min 浸漬し、有機物および金属不純物を除去した。その後超純水でリンスし、希釈 HF で酸化膜を除去した後再度超純水でリンスした。続いて、80°C に加熱したアンモニア水と過酸化水素水の混合液(NH₃ : H₂O₂ : H₂O = 0.5 : 1 : 5)に 15 min 浸漬し、表面パーティクルを除去した(SC1 洗浄)。その後超純水でリンスし、希釈 HF で酸化膜を除去した後再度超純水でリンスした。さらに、80°C に加熱した塩酸と過酸化水素水の混合液(HCl : H₂O₂ : H₂O = 1 : 1 : 5)に 15 min 浸漬し、金属不純物を除去した(SC2 洗浄)。その後超純水でリンスし、希釈 HF で酸化膜を除去した後再度超純水でリンスした。最後に N₂ ブローで基板を乾燥させた。

(2) PECVD による SiO₂ の堆積

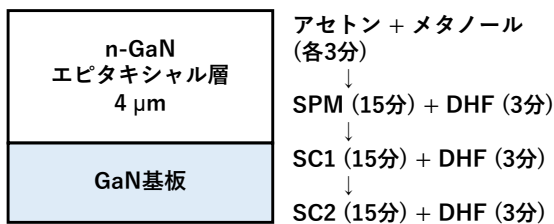
洗浄後、汚染や酸化を防ぐため迅速に基板を PECVD 反応チャンバーへと導入した。

TEOS/O₂ = 3/300 sccm の流量比で原料を反応させ堆積を行った。基板温度、チャンバー圧力、RF 出力はそれぞれ 300°C, 80 Pa, 150 W である。堆積時間を 0.5, 1, 2.5, 5, 7.5 min に変化させることで膜厚を変化させた。堆積時間 1, 2.5, 5 min の条件に関しては 2 試料ずつ作製し、合計 8 枚の試料を作製した。膜厚は、SiO₂ の比誘電率を 3.9 として C-V 特性の最大容量値 C_{ox} から算出した等価酸化膜厚(Equivalent oxide thickness : EOT) を用いた。

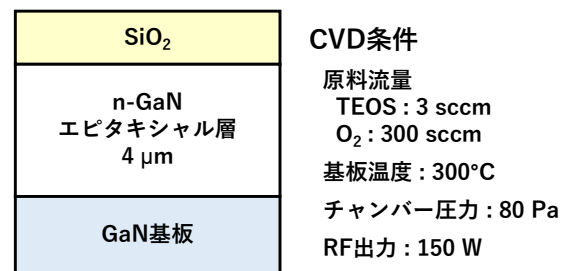
(3) EB 蒸着による電極の堆積

EB 蒸着を用い、 7×10^{-4} Pa 以下の高真空条件下で電極を堆積した。上部ゲート電極 (Al : 200 nm) はメタルマスクを用いて直径 50, 100, 300, 500 μm の大きさに形成した。フォトリソによってゲート電極を保護した後、裏面の酸化膜を除去するため BHF に 3 min 浸漬した。フォトリソを除去した後、EB 蒸着によって同様に裏面コンタクト電極 (Ti/Al : 10/200 nm) を形成した。その後、一部の試料には電極形成後熱処理 (Post metallization annealing : PMA) を施した。PMA 雰囲気、温度、処理時間はそれぞれ、フォーミングガス (N₂/H₂ = 19/1), 400°C, 30min である。

1. 基板洗浄プロセス



2. SiO₂ 堆積



3. 電極堆積

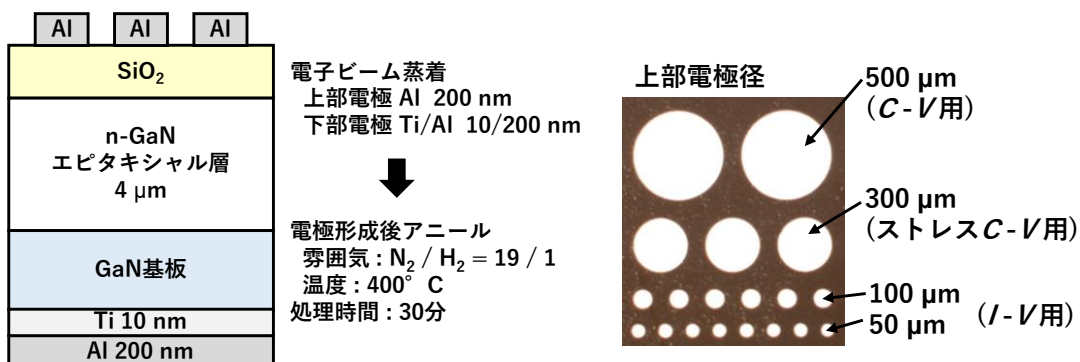


図 2.1 SiO₂/n-GaN MOS キャパシタの作製過程(断面図)及び上部電極の光学顕微鏡写真

2.3 電気的特性評価

2.3.1 C-V特性による界面準位密度 D_{it} 及び絶縁膜中実効電荷密度 Q_{eff} の評価

膜厚を変化させて作製した SiO_2/GaN MOS キャパシタについて、LCR メータ (Agilent 製, E4980A) を用いて測定した高周波及び低周波 C-V 特性を図 2.2(PMA なし)及び 2.3(PMA あり)に示す。各試料 3 点または 5 点の電気的特性を測定しているが、その中の代表的な 1 点の C-V 特性を示している。高周波及び低周波測定の周波数はそれぞれ、1 MHz 及び 20 Hz である。図中における灰色の実線は理想曲線を、破線は $1/C^2$ 曲線の空乏領域が実測曲線に重なるよう平行移動した理想曲線をそれぞれ表す。したがって、灰色の実線と破線の距離が理想フラットバンド電圧 V_{FB} と実測 V_{FB} の差 ΔV_{FB} を表す。また、各試料における平均 V_{FB} も図中に示す。全ての条件において、PMA の有無によらず周波数分散は確認できるものの、PMA を施した試料では周波数分散は低減されている。加えてストレッチアウトも低減されており、C-V 曲線の形状が理想曲線に近づいている。膜厚の増加に伴い V_{FB} は負側にシフトしており、理想値との差 ΔV_{FB} は増加する傾向が見られた。また、膜厚を問わず PMA によって ΔV_{FB} が減少していることもわかる。これらの詳細な解析と考察については後述する。

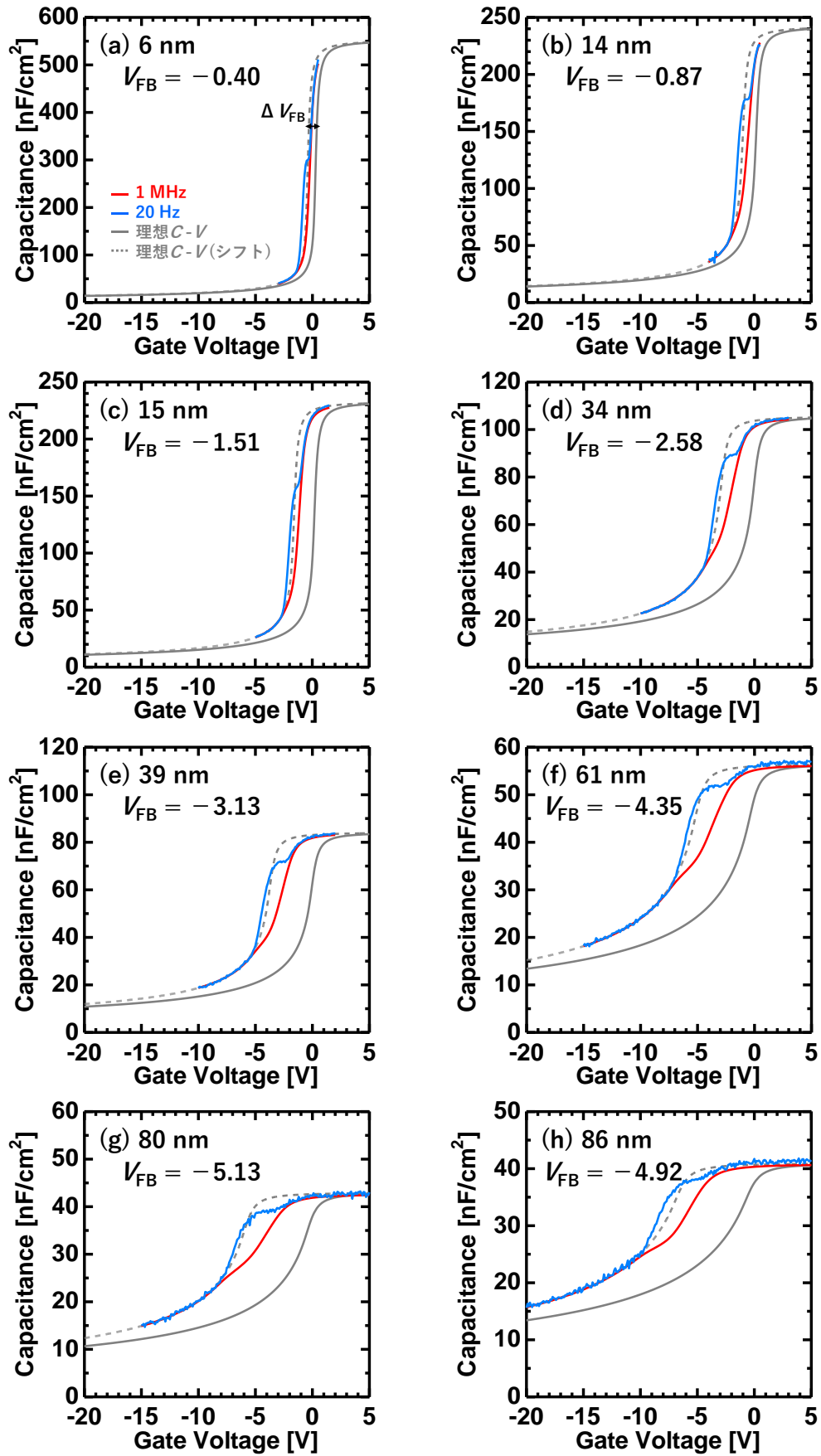


図 2.2 PMA なし試料における高周波及び低周波 C - V 特性 (a) 6 nm, (b) 14 nm, (c) 15 nm, (d) 34 nm, (e) 39 nm, (f) 61 nm, (g) 80 nm, (h) 86 nm

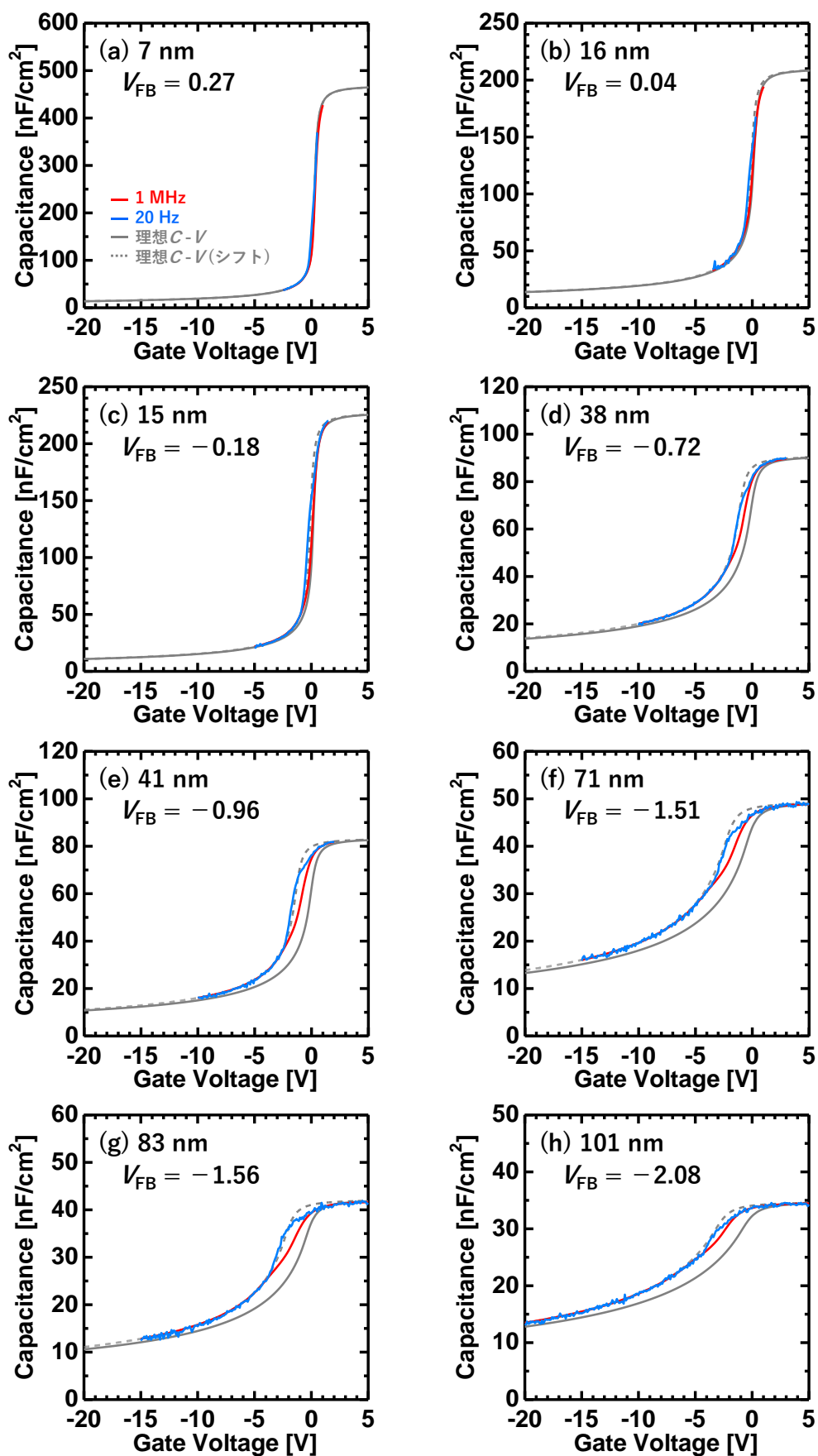


図 2.3 PMA あり試料における高周波及び低周波 C - V 特性 (a) 7 nm, (b) 16 nm, (c) 15 nm, (d) 38 nm, (e) 41 nm, (f) 71 nm, (g) 83 nm, (h) 101 nm

High-Low 法によって算出した界面準位密度 D_{it} と伝導帯端からのエネルギー $E_C - E$ の関係を図 2.4 に示す。図中の破線は Shockley-Read-Hall 統計から算出した D_{it} の検出限界を表す。原子配列の乱れによって連続準位を説明する欠陥誘起ギャップ状態 (Disorder induced gap state : DIGS) モデルに基づく、 D_{it} はバンド端の浅い準位ほど高くバンドギャップ中心ほど低いという U 字型の分布をとる[5]。本研究における D_{it} 分布は、PMA の有無によらず、バンド端ほど高くミッドギャップほど低いという DIGS モデル型の分布となった。また、PMA なしの試料では $E_C - E = 0.3$ eV 付近に明確なピークが確認できるが、PMA ありの試料ではピークは小さくなり、連続的な準位に近づいている。このピークは GaN 表面の窒素欠陥に由来する離散準位だと考えられ [6, 7]、PMA によってピークが減少していることから、熱処理によって窒素欠陥が補填されたことが示唆される。膜厚による D_{it} の変化は小さく、絶縁膜の影響を受けずに界面準位だけを評価できているといえる。PMA による D_{it} の変化は伝導帯端から離れるほどに大きくなっており、 $E_C - E = 0.6$ eV 付近では 50% 程度低減されている。以上から、PMA は SiO_2/GaN MOS 構造の D_{it} 低減に効果があることがわかる。しかし、 $\text{Al}_2\text{O}_3/\text{GaN}$ 構造に対する PMA では D_{it} が 1/100 程度にまで低減されることが報告されており、 SiO_2/GaN 構造に対する D_{it} 低減効果は $\text{Al}_2\text{O}_3/\text{GaN}$ 構造の場合よりも小さいと考えられる[8]。

高周波 $C-V$ 特性から算出した V_{FB} より、絶縁膜中の実効電荷密度 Q_{eff} を算出し、膜厚との関係を図 2.5 に示す。PMA 前の試料においては、 Q_{eff} は膜厚の増加に従って概ね線形に減少している。 V_{FB} は $1/C^2$ 曲線の空乏領域から算出しているため、界面準位の影響は無視できるほど小さい。そのため、 V_{FB} は界面近傍の固定電荷及び絶縁膜中トラップ電荷のみが影響を及ぼすと見なすことができ、次式で表すことができる[9]。

$$V_{FB} = \varphi_{ms} - \frac{1}{C_{OX}} \int_0^{t_{ox}} \left\{ Q_f(t) + \frac{t}{t_{OX}} \rho_{OX}(t) \right\} dt \quad (2.1)$$

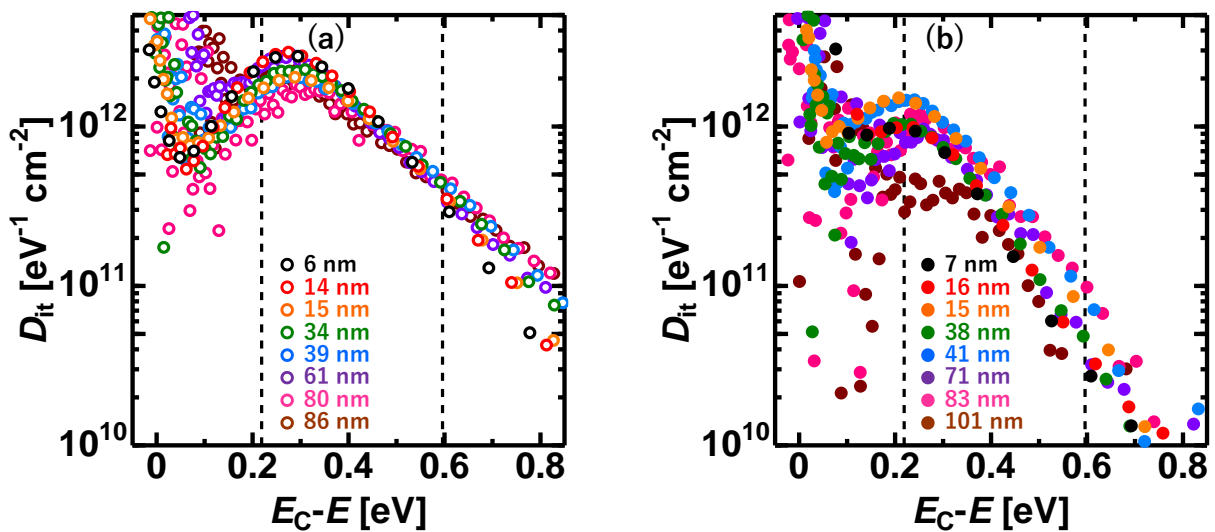


図 2.4 界面準位密度 D_{it} と伝導帯端からのエネルギー準位 $E_C - E$ の関係 (a) PMA なし, (b) PMA あり

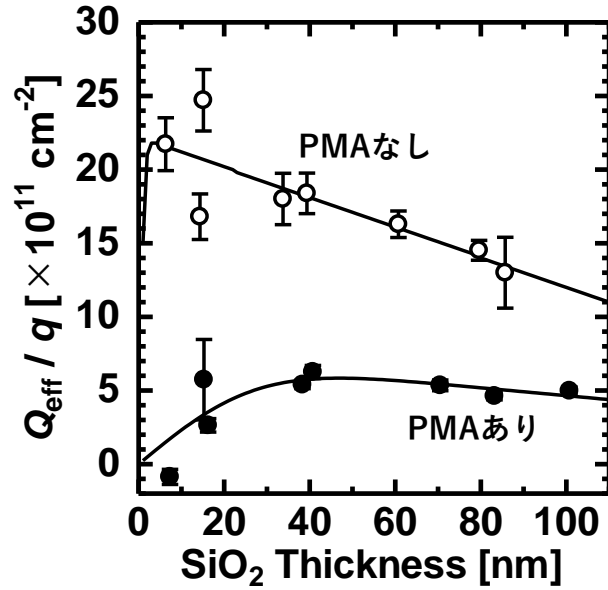


図 2.5 絶縁膜中実効電荷 Q_{eff} の SiO_2 膜厚依存性

ここで、 $Q_f(t)$ [C cm^{-2}]は界面近傍の固定電荷密度を、 $\rho_{\text{ox}}(t)$ [C cm^{-3}]は絶縁膜中トラップ電荷密度を、 t_{ox} [cm]は絶縁膜の膜厚をそれぞれ表す。 SiO_2/Si 構造の系では、界面近傍の固定電荷は広がりを持たず界面の極近傍にのみ存在しており、絶縁膜中にトラップされた電荷は絶縁膜全体に一樣に分布しているという仮定が広く用いられる。この仮定の下では、 $Q_f = Q_f \delta(t)$ となり $\rho_{\text{ox}}(t)$ は定数となるから、(2.1)式を積分し(1.6)式に代入すると、 Q_{eff} は次式で表すことができる。

$$\frac{Q_{\text{eff}}}{q} = \frac{Q_f}{q} + \frac{t_{\text{ox}}}{2q} \rho_{\text{ox}} \quad (2.2)$$

このとき Q_{eff} は膜厚に対して線形に変化するため、本研究における PMA なしの試料は(2.2)式で近似することが出来る。このことから、PMA なしの SiO_2/GaN 試料では SiO_2/Si 構造の場合と近い電荷分布をとることが示唆される。一方で PMA ありの試料では、40nm 以上の領域では PMA なしと同様の傾向を示しているが、それよりも膜厚が小さい領域では膜厚の減少と共に Q_{eff} も減少している。そのため、PMA あり試料の結果は(2.2)式で近似することができず、 SiO_2/Si 系で用いられるモデルでは絶縁膜中電荷分布を記述できないことがわかる。 $\text{SiO}_2/\text{絶縁体}$ 界面から離れた位置では、半導体の種類を問わず、電荷分布は大きく変わらないと推測できる。したがって、 SiO_2/Si 系モデルで本研究の結果を記述できなかったのは、 $\rho_{\text{ox}}(t)$ よりも $Q_f(t)$ に関する仮定が適切ではなかったためと考えられる。そこで本研究では、界面近傍の固定電荷が半正規分布に従って広がりを持っていると仮定した。このとき、(2.1)式における $Q_f(t)$ は次式で表される。

$$Q_f(t) = Q_f' \exp\left(-\frac{t^2}{2\sigma^2}\right) \quad (2.3)$$

ここで、 σ は界面近傍固定電荷の分散を表す。これを用いて(2.1)式を積分すると、 Q_{eff}

は次式のように表される。

$$\frac{Q_{\text{eff}}}{q} = \frac{Q_f}{q} \operatorname{erf}\left(\frac{t_{\text{ox}}}{\sqrt{2}\sigma}\right) + \frac{t_{\text{ox}}}{2q} \rho_{\text{ox}} \quad (2.4)$$

(2.4)式を用いてフィッティングを行ったところ、PMAの有無を問わず得られた結果とよく一致する曲線が得られた(図 2.5 中曲線)。得られたフィッティング曲線から固定電密度 Q_f/q 、膜中トラップ電荷密度 ρ_{ox}/q 及び分散 σ を算出し、表 2.1 に示す。

表 2.1 絶縁膜中の各電荷量および固定電荷の分散

試料条件	界面近傍固定電荷 Q_f/q [$\times 10^{12} \text{ cm}^{-2}$]	絶縁膜中トラップ電荷 ρ_{ox}/q [$\times 10^{17} \text{ cm}^{-3}$]	分散 σ [nm]
PMA なし	2.2	-2.0	< 1
PMA あり	0.73	-0.54	22

これより、界面近傍の固定電荷は正の実効値を、絶縁膜中のトラップ電荷は負の実効値をそれぞれ持つことが分かった。図 2.5 において、膜厚の増加に伴って Q_{eff} が減少して見えたのは、絶縁膜中の負電荷(ρ_{ox})が膜厚と共に増加していたためと考えられる。 Q_f が正電荷のみを、 ρ_{ox} が負電荷のみをそれぞれ持っていると仮定すると、これらの電荷は共に PMA によって 65~70%程度低減されている。したがって、PMA は Q_f 及び ρ_{ox} の両方を低減し得ることが示唆された。一方で Q_f の分散は、PMA 前では 1 nm 未満であったのに対し、PMA 後では 20 nm 以上にまで拡大している。以上のことから、PMA は Q_f 及び ρ_{ox} の低減に有効である一方で、 Q_f の分布幅を拡大する可能性が示された。なお、各電荷の数値の妥当性についてだが、他の研究機関の報告では正の値・負の値ともに報告されており、符号の妥当性について評価することは難しい[4, 10]。しかしながら、いずれの場合でも Q_f/q は $10^{11} \sim 10^{12} \text{ cm}^{-2}$ 程度、 ρ_{ox}/q は $10^{16} \sim 10^{17} \text{ cm}^{-3}$ 程度の値をとっており、各電荷量の絶対値は概ねこれまでの報告と同程度であるといえる。

絶縁膜中トラップ電荷 ρ_{ox} の起源として考えられるものの一つに SiO_2 中の酸素空孔が挙げられる。 SiO_2 中の酸素空孔は電子及び正孔の両方に対して捕獲準位として働き得ることが報告されている[11-13]。特に電子捕獲の場合、深い捕獲準位となることが報告されており[14]、一度捕獲された電子は簡単には放出されないと考えられる。このため、 SiO_2 中の酸素欠陥が電子を捕獲し、膜中の負電荷として働いている可能性がある。また、 SiO_2 中の OH 結合も電子捕獲準位として働くことが報告されており[15, 16]、H 不純物が膜中負電荷の起源となっていることも考えられる。さらに、 132° 以上の Si-O-Si 結合角を持つアモルファス SiO_2 の場合、欠陥等がなくとも真性の電子捕獲準位を持つことが報告されており[17]、このような構造が膜中の負電荷の起源となっている可能性も考えられる。固定電荷 Q_f の起源として考えられるものとしては、アモルファス SiO_2 の局所的変形による正孔捕獲が挙げられる。アモルファス SiO_2 において、Si-O-Si 結合の伸びが生じている部分で正孔捕獲の発生が報告されている[18, 19]。

SiO₂/半導体界面近傍では SiO₂ 構造の歪みが大きくなることが予測されるが、そのような場所では Si-O-Si 結合の伸びも多く発生する。その結果、界面近傍に多くの正孔が捕獲され、正の固定電荷が形成されると考えられる。また、前述の通り酸素空孔は正孔に対しても捕獲準位として働き得るため、固定電荷 Q_f の起源が酸素欠陥であるとするモデルも提唱されている[20]。本研究の結果だけでは電荷の起源を完全に特定することはできないものの、PMA によって ρ_{ox} 及び Q_f はともに低減されていることから、PMA によって酸素欠陥の補填や H 不純物の脱離、界面近傍の局所的変形の緩和などが生じていることが示唆される。

PMA によって界面近傍固定電荷の分布が拡大した原因の一つとして、絶縁膜中への Ga の拡散が考えられる。SiO₂/GaN 構造に対して 900°C 以上の高温で熱処理(O₂ 雰囲気下)を施すと、Ga が絶縁膜中に拡散し、電気的特性に様々な悪影響を及ぼすことが報告されている[21]。β-Ga₂O₃ は N₂ 雰囲気下では 1100°C 以上まで分解されないが、H₂ を含む雰囲気の場合 350°C 程度で分解されることが報告されている[22]。フォーミングガス中の H₂ 分子が SiO₂/GaN 界面にわずかに存在する GaO_x [23] の分解を促進し、比較的低温での絶縁膜中への Ga 拡散を助長した可能性がある(図 2.6)。以上から、H₂ を含む雰囲気中で熱処理を施された場合、400°C という比較的低温であっても少量の Ga 拡散が生じ、面近傍固定電荷の分布拡大が引き起こされた可能性がある。

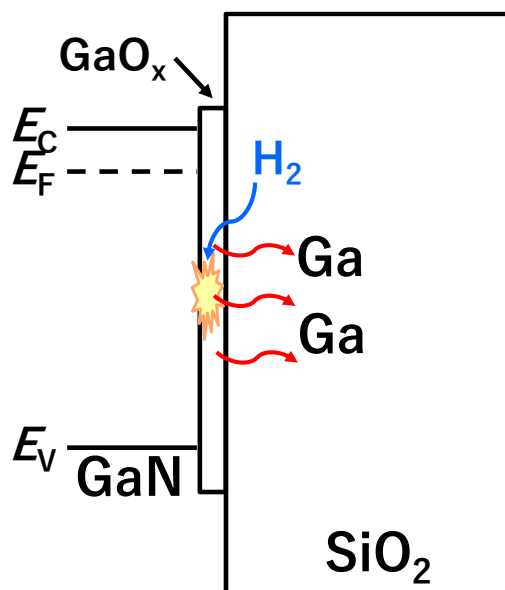


図 2.6 水素を含む熱処理による Ga 拡散の模式図

2.3.2 双方向 $C-V$ 測定によるヒステリシス特性の評価

ゲート電圧を蓄積側から空乏側、空乏側から蓄積側の順に掃引して双方向 $C-V$ 測定を行い、ヒステリシス特性を評価した。各条件における 1 MHz でのヒステリシス特性を図 2.7(PMA なし)及び図 2.8(PMA あり)に示す。各試料において、 V_{FB} よりも負側の領域(空乏領域)でヒステリシスが確認された。これは、界面準位による電子の捕獲速度と放出速度が異なることに起因していると考えられる。蓄積状態では、 $E < E_F$ となる界面準位に電子が満たされている(図 2.9 左上)。その状態から負方向に電圧を掃引すると、 $E > E_F$ となった準位から電子の放出が始まる。この放出速度が電圧掃引速度よりも遅いと、界面準位からの電子放出は電圧変化に追従できず、 $E > E_F$ となる準位にも電子は一部残留する(図 2.9 中上)。さらに負方向に電圧を掃引し、深い空乏状態となると、 $E > E_F$ となる準位の電子はほぼ全て放出される(図 2.9 右上・右下)。続いて、深い空乏状態から正方向に電圧を掃引すると、 $E < E_F$ となった準位に電子が捕獲されていく。この捕獲速度は十分に速く、電子捕獲は電圧変化に追従できると考えられる(図 2.9 中下)。さらに正方向に電圧を掃引する蓄積状態となり、最初の状態に戻る。このように双方向に電圧を掃引すると、電子の捕獲速度と放出速度の差から、掃引方向によって界面準位の状態に差が生じる。これがヒステリシス発生の原因と考えられる。ヒステリシスが観測された電圧におけるエネルギー準位を算出すると、 $E_C - E = 0.5 \sim 2 \text{ eV}$ 程度であった。したがって、ヒステリシスは High-Low 法により検出できる D_{it} よりも深い準位の欠陥の影響により生じていると考えられる。

各条件における最大ヒステリシス幅を ΔV_{hys} として捕獲電荷密度 $\Delta Q_{hys} = C_{ox} \Delta V_{hys}$ を算出し、膜厚との関係を図 2.10 に示す。膜厚と ΔQ_{hys} の間に相関関係はみられず、PMA によってやや減少傾向がみられたものの、その差は僅かであった。したがって、ヒステリシスを引き起こす深い準位の欠陥は D_{it} 同様膜厚によらないが、 D_{it} とは異なり PMA によっては殆ど低減されないことが明らかとなった。

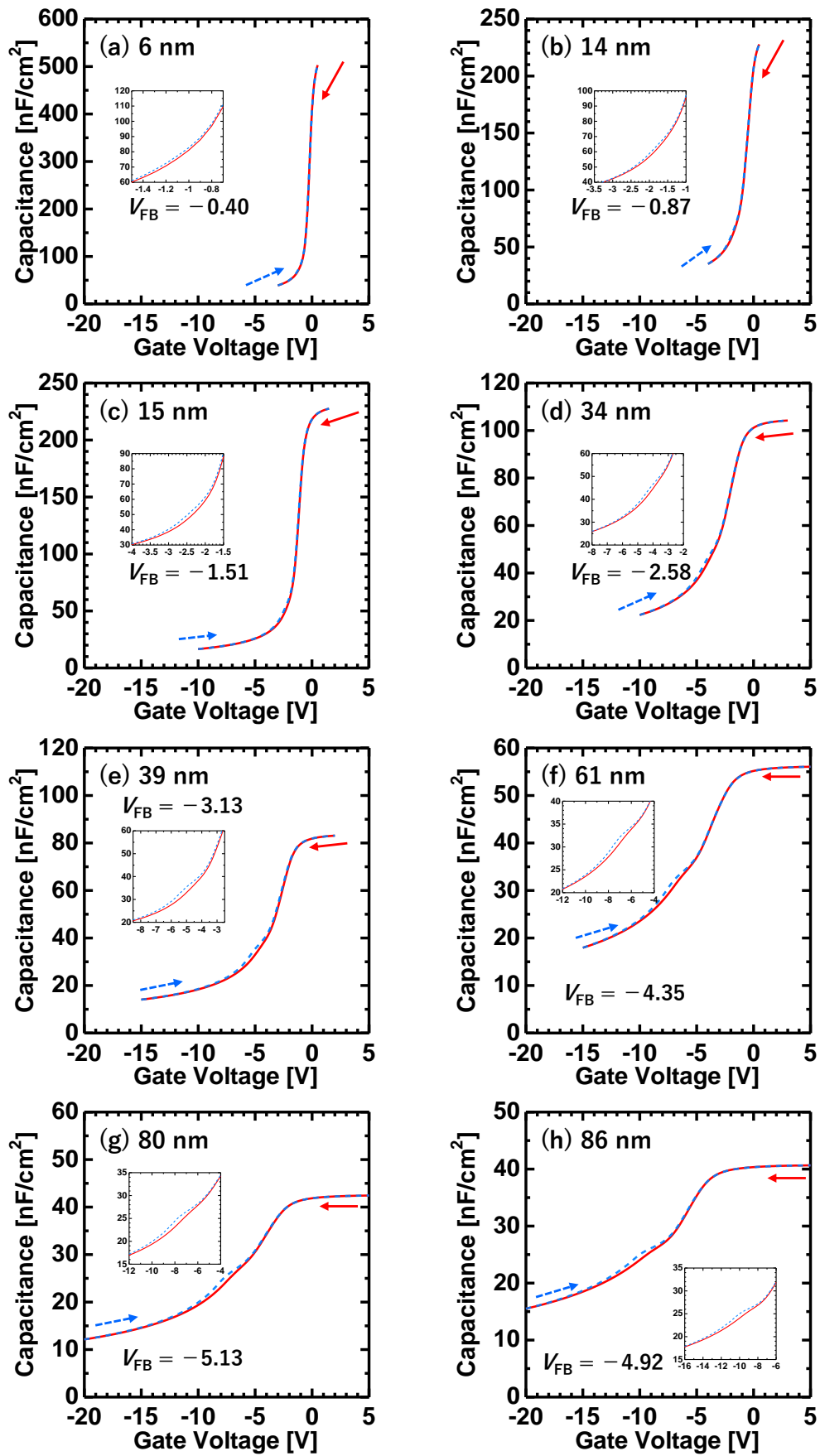


図 2.7 PMA なし試料における 1 MHz での双方向 C - V (ヒステリシス) 特性 (a) 6 nm, (b) 14 nm, (c) 15 nm, (d) 34 nm, (e) 39 nm, (f) 61 nm, (g) 80 nm, (h) 86 nm

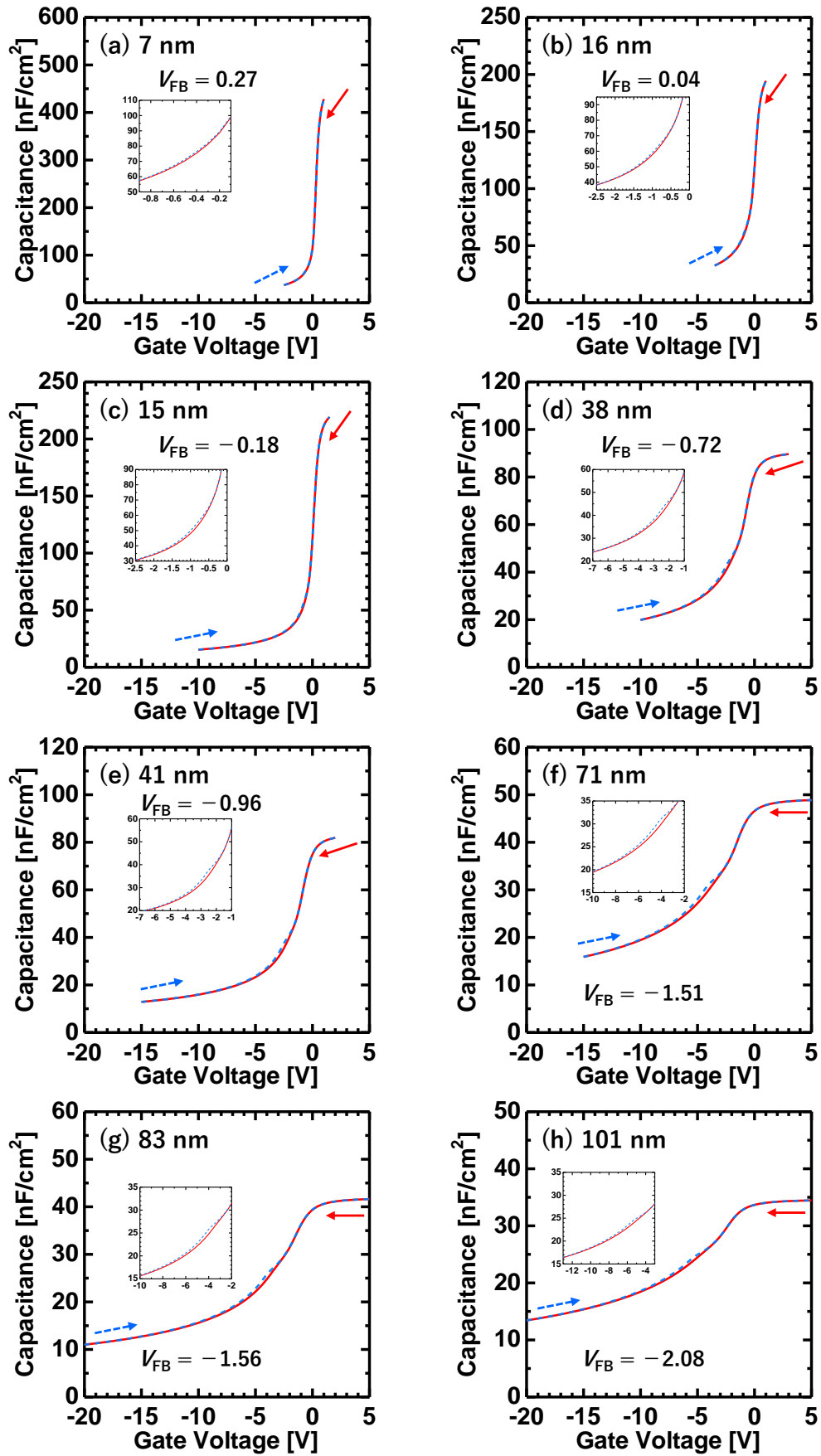


図 2.8 PMA あり試料における 1 MHz での双方向 C - V (ヒステリシス) 特性 (a) 6 nm, (b) 16 nm, (c) 15 nm, (d) 38 nm, (e) 41 nm, (f) 71 nm, (g) 83 nm, (h) 101 nm

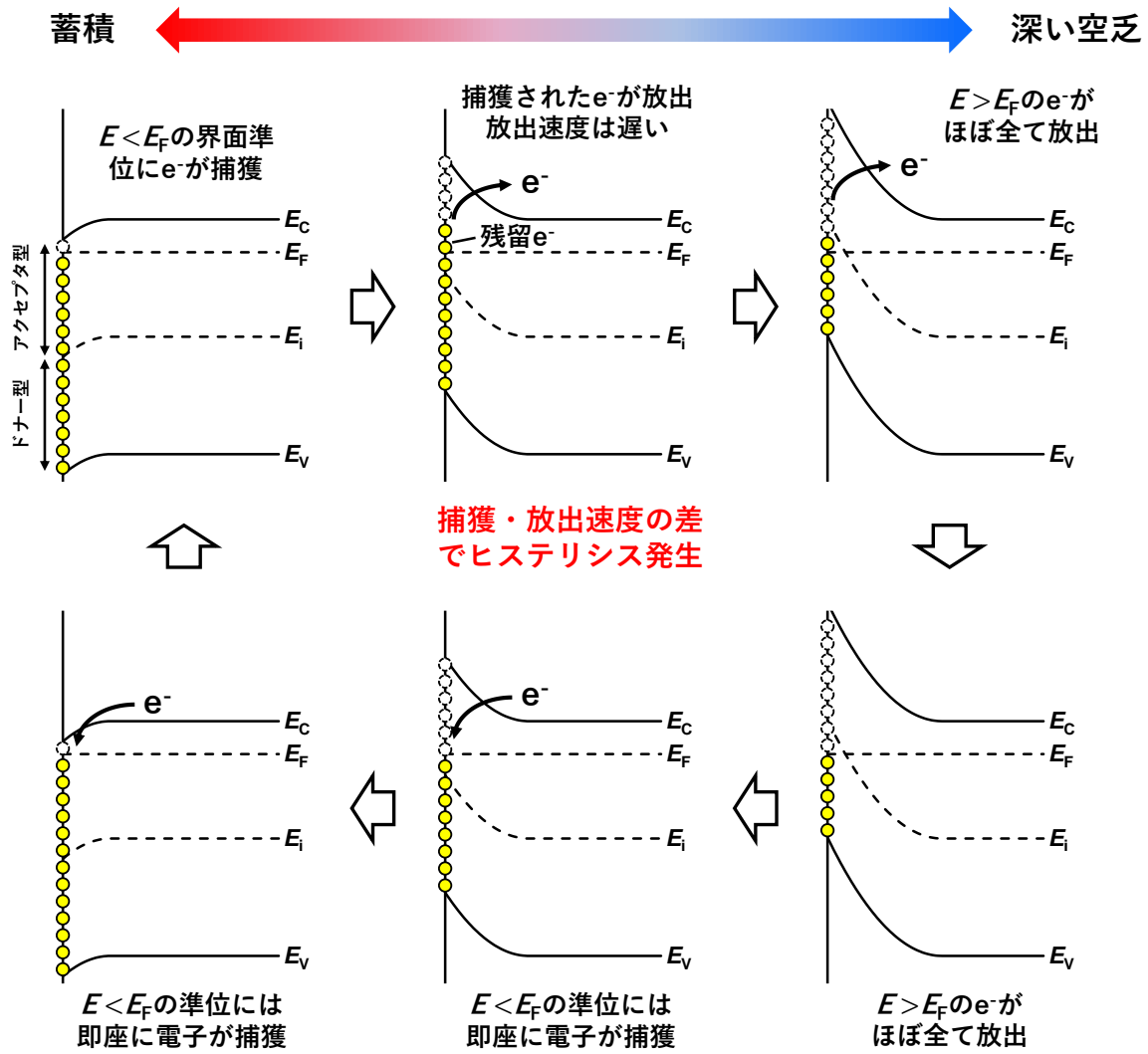


図 2.9 双方向 $C-V$ 特性においてヒステリシスが生じるメカニズムの模式図

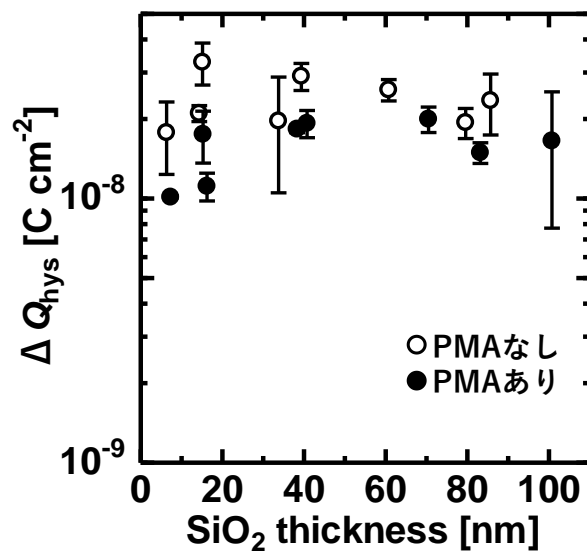


図 2.10 最大ヒステリシス幅 ΔV_{hys} より算出した ΔQ_{hys} と膜厚との関係

2.3.3 正電圧ストレス C - V 特性による V_{FB} 安定性の評価

V_{FB} の安定性を評価するため、正電圧ストレス (Positive bias stress : PBS) C - V 特性を評価した。この測定は膜厚が約 15, 40, 80 nm の 3 試料に対して行った。各試料に約 2.5 MV cm^{-1} の正電圧ストレスを印加した際の C - V 特性を図 2.11 及び図 2.12 に示す。

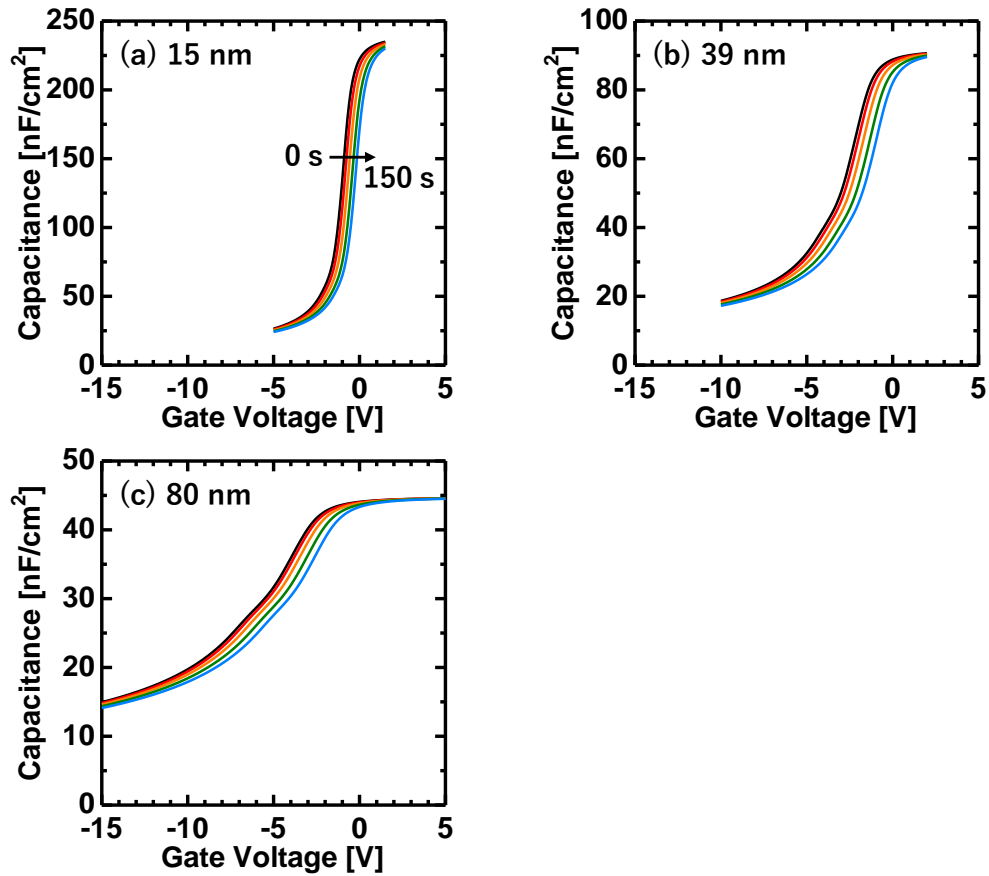


図 2.11 PMA なし試料における約 2.5 MV cm^{-1} の正電圧ストレスを加えた際の C - V 特性 (a) 15 nm, (b) 39 nm, (c) 80 nm

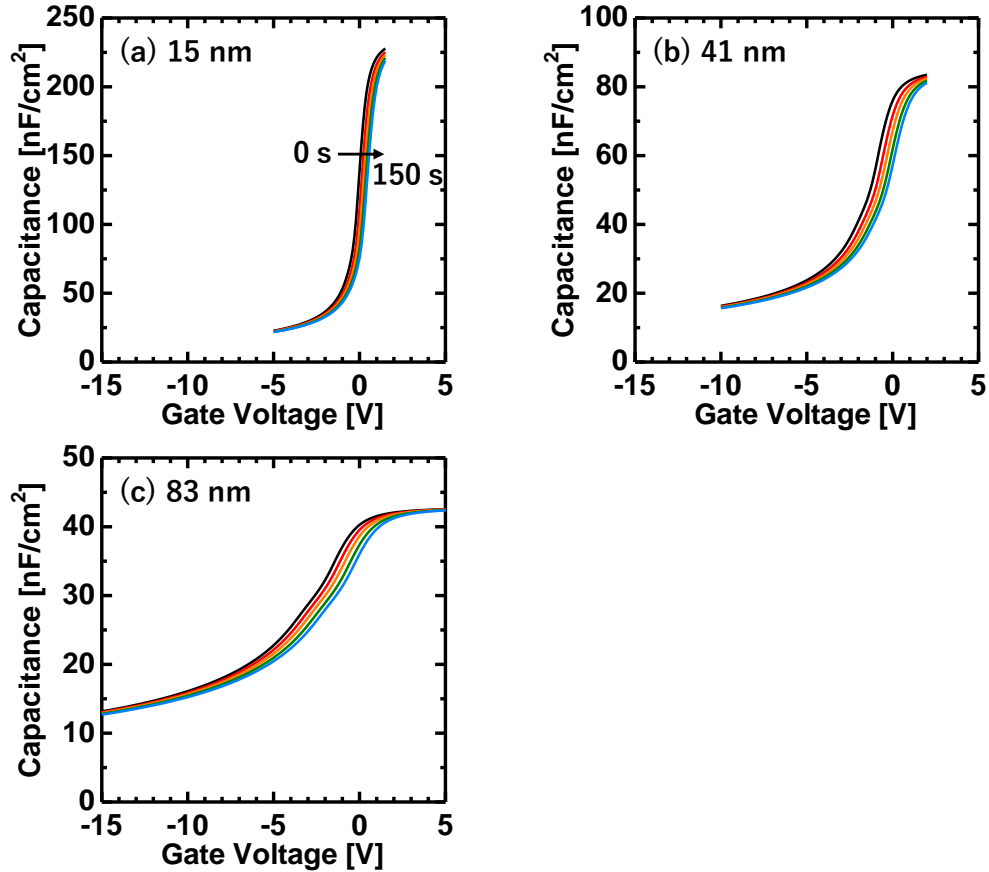


図 2.12 PMA あり試料における約 2.5 MV cm^{-1} の正電圧ストレスを加えた際の C - V 特性 (a) 15 nm, (b) 41 nm, (c) 83 nm

PMA の有無や膜厚を問わず、 C - V 曲線は正方向に平行移動している。したがって、GaN 基板から SiO_2 中に注入された電荷は SiO_2 中でトラップされ、新たな絶縁膜中負電荷として働いていると考えられる[24]。

150 秒間の PBS 印加後のフラットバンド電圧シフト $|\Delta V_{\text{str}}|$ 及び電荷注入量 $|\Delta Q_{\text{str}}| = C_{\text{ox}} |\Delta V_{\text{str}}|$ と膜厚の関係を図 2.13 に示す。PMA による $|\Delta V_{\text{str}}|$ 及び $|\Delta Q_{\text{str}}|$ の低減が確認できる。また、PMA の有無を問わず、絶縁膜の膜厚が増加するにつれて $|\Delta V_{\text{str}}|$ は増加している。 SiO_2 絶縁膜を用いて GaN 系 MOSFET を作製する場合、十分な絶縁破壊耐圧を得られるように SiO_2 は約 100nm 程度のものが用いられることが多い[25, 26]。しかし、膜厚を増加させることで PBS による閾値電圧の不安定性を大きくしてしまう可能性もあるといえる。一方で、PBS による電荷注入量 $|\Delta Q_{\text{str}}|$ は膜厚の増加に伴って減少している。膜厚の変化によって界面準位密度及び固定電荷密度は殆ど変化しないため、絶縁膜中トラップ電荷量の違いによってこのような差異が生じたと考えられる。

各試料における絶縁膜中トラップ電荷密度 $Q_{\text{ox}} = \rho_{\text{ox}} t_{\text{ox}} [\text{C cm}^{-2}]$ と $|\Delta Q_{\text{str}}|$ の関係を図 2.14 に示す。なお、 ρ_{ox} は表 2.1 に示した値を用いた。PMA なしの試料同士及び PMA ありの試料同士を比較すると、 Q_{ox} が小さくなるにつれて $|\Delta Q_{\text{str}}|$ が大きくなる傾向が見られた。このことから、絶縁膜中に存在する負の電荷 (Q_{ox}) は PBS による電荷注入

を妨げる可能性が示唆された。これは、絶縁膜中の負電荷と PBS による注入電子の間には互いに反発する向きに静電気力が働くためであると考えられる。一方で PMA の有無で比較した場合、PMA を施すことで各試料における Q_{ox} と $|\Delta Q_{str}|$ の両方が低減されていることが分かる。すなわち、PMA によって Q_{ox} による電荷注入阻害効果が減少しているにも関わらず、それとは無関係に $|\Delta Q_{str}|$ は低減されている。したがって、PMA は PBS による電荷注入量 $|\Delta Q_{str}|$ を低減し、デバイスの V_{FB} 安定性を向上させるのに有効な手法であるといえる。

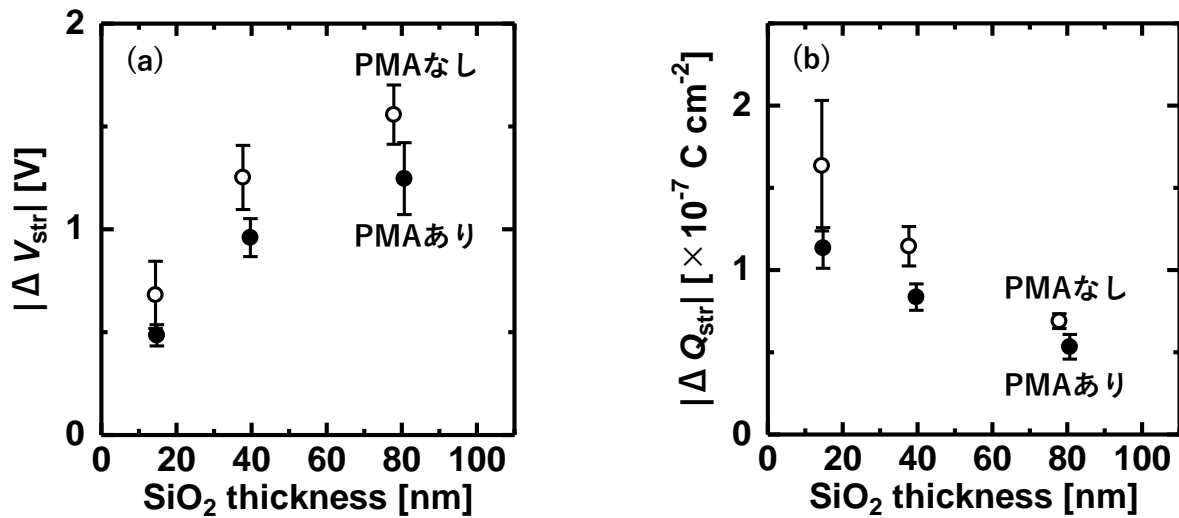


図 2.13 150 秒間の正電圧ストレスを加えた後の (a) フラットバンド電圧シフト $|\Delta V_{str}|$, (b) 注入電荷量 $|\Delta Q_{str}|$ と SiO_2 膜厚との関係

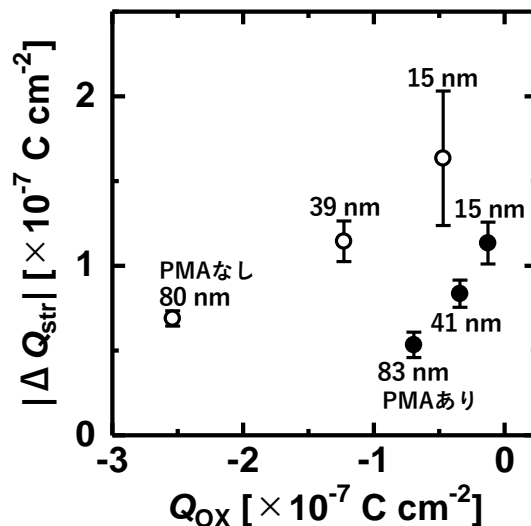


図 2.14 PBS による注入電荷量 $|\Delta Q_{str}|$ と絶縁膜中トラップ電荷密度 Q_{ox} との関係

2.3.4 コンダクタンス測定によるトラップ応答時間の評価

PMAの有無によるトラップの応答時間を比較するため、20 Hz から 1 MHz の範囲で並列コンダクタンス G_p/ω と測定周波数 f の関係性を評価した。なお、この測定は膜厚が約 70 nm の試料に対してのみ行った。図 2.15 に $E_c - E = 0.5$ eV における G_p/ω と測定周波数の関係性を示す。PMAの有無によらず、2つのピークが観測された。これは、コンダクタンス測定によって 2種類のトラップ準位が検出されたことを意味している。20 Hz 以下の領域に存在する1つ目のピークは応答が遅いトラップを、10 kHz 以上の領域に存在する2つ目のピークは応答が早いトラップをそれぞれ表している。このように2つのピークを持つ $G_p/\omega - f$ 曲線は、単一ピークモデル[9]を次式のように拡張することでフィッティングすることが出来る[27]。

$$\frac{G_p}{\omega} = \frac{q}{2} \int_{-\infty}^{\infty} \frac{D_{t1}}{\omega\tau_{t1}} \ln\{1 + (\omega\tau_{t1})^2\} P(U_s) dU_s + \frac{q}{2} \int_{-\infty}^{\infty} \frac{D_{t2}}{\omega\tau_{t2}} \ln\{1 + (\omega\tau_{t2})^2\} P(U_s) dU_s \quad (2.5)$$

$$P(U_s) = \frac{1}{\sqrt{2\pi\sigma^2}} \exp\left\{-\frac{(U_s - \bar{U}_s)^2}{2\sigma^2}\right\} \quad (2.6)$$

ここで、 D_t [$\text{cm}^{-2} \text{eV}^{-1}$]はトラップ準位密度を、 τ_t [s]はトラップ準位の応答時定数をそれぞれ表している。また、添字1及び2は応答の遅いトラップ及び早いトラップをそれぞれ表している。(2.5)及び(2.6)式を用いてフィッティングを行ったところ、PMAの有無を問わず得られた結果とよく一致する曲線が得られた(図 2.15 中実線)。得られたフィッティング曲線からトラップ準位密度 D_t 及び応答時定数 τ_t を算出すると、表 2.2 のようになる。

表 2.2 コンダクタンス測定から算出されたトラップ準位 D_t と応答時定数 τ_t

試料条件	応答の遅いトラップ		応答の早いトラップ	
	トラップ準位	応答時定数	トラップ準位	応答時定数
	D_{t1} [$\text{cm}^{-2} \text{eV}^{-1}$]	τ_{t1} [s]	D_{t2} [$\text{cm}^{-2} \text{eV}^{-1}$]	τ_{t2} [s]
PMA なし	2.44×10^{12}	2.93×10^{-2}	2.73×10^{12}	1.09×10^{-5}
PMA あり	6.94×10^{11}	1.75×10^{-2}	7.80×10^{11}	8.97×10^{-6}

応答が遅いトラップのピークに関しては、ピークの頂点が測定範囲外(20 Hz 未満)に存在するため正確なフィッティングはできないが、応答時定数が $10^{-3} \sim 10^{-2}$ 程度であるとは言える。Fiorenza らの研究では遅いトラップ準位の応答時定数は 10^{-4} s 程度であったことから、本研究での結果は先行研究よりもかなり大きな値であると言える[27]。一方で、応答が早いトラップの応答時定数は PMA 前後でそれぞれ 1.1×10^{-5} s 及び 9.0×10^{-6} s であった。これらは Fiorenza らの研究での値($5 \times 10^{-6} \sim 10^{-5}$)と同程度である[27]。

1.1.5 節でも述べたように、一般的に絶縁膜中のトラップは下地の半導体基板と電荷のやり取りをしない。しかし、界面から離れた位置の絶縁膜中トラップとは異なり、絶縁膜/半導体界面近傍に存在するトラップは半導体との間で電荷の交換が行われる

場合がある。このように半導体との間で電荷のやり取りが行われるトラップは「ボーダートラップ」と呼ばれる。このボーダートラップは絶縁膜/半導体界面から数 nm 離れた位置に存在しているため、界面準位よりも応答速度が遅い[28]。したがって、観測された二つのトラップのうち応答が速いものは界面準位を、遅いものはボーダートラップを表していると考えられる。これらのことから、 Q_f または ρ_{ox} の一部がボーダートラップとして働き、GaN 基板と電荷をやり取りしている可能性が示唆された。また、遅いトラップの応答速度は Fiorenza らの研究よりもかなり遅いことから、界面からやや離れた位置の電荷もボーダートラップとして働いている可能性がある。

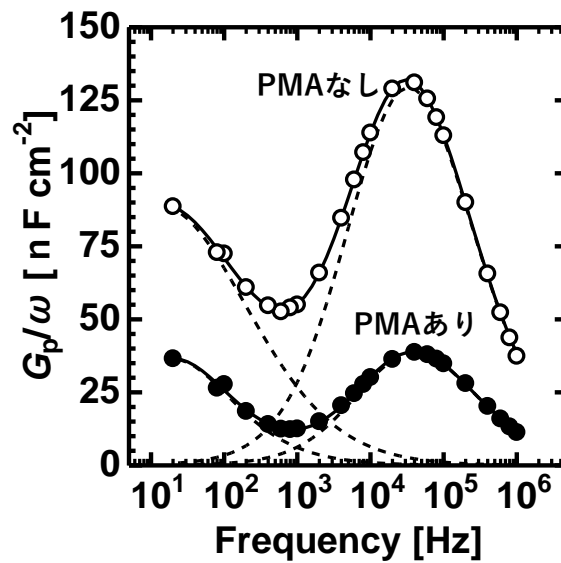


図 2.15 $E_C - E = 0.5$ eV における並列コンダクタンス G_p/ω と測定周波数の関係

2.3.5 I - V 特性による絶縁破壊特性評価

SiO_2 の絶縁破壊特性を調査するために電流-電圧(I - V)特性を評価した。ゲートリーク電流密度(J)と印加電界(E)の関係を図 2.16 に示す。各試料約 30 点の J - E 特性を測定した内の、真性破壊だと考えられる代表点 1 点ずつを示している。また、比較のために理想的な F-N 曲線も示す(図 2.16 中破線)。PMA なしの試料では膜厚 15 nm の試料のみ他の試料よりもリーク電流が大きく、残り 2 条件ではほぼ同様の J - E 特性が得られた。PMA ありの試料では、膜厚によらずほぼ同様の J - E 特性が得られた。PMA によってリーク電流が立ち上がる電界は低くなっており、同じ電界におけるリーク電流は PMA 前より増加している。2.3.3 節の PBS C - V 特性からわかるように、ゲートに高い正電圧を加えると絶縁膜中に注入された電子が捕獲され、新たな負電荷として働く。絶縁膜中に新たに捕獲された負電荷によって電界は中和されるため、絶縁膜に実際に加わる電界はゲート電界よりも小さくなる。印加電圧が高くなるほど絶縁膜中への電子注入量は増加すると考えられ、それに伴って電界中和効果も大きくなる。2.3.3 節の結果から、PMA を施すと PBS による電荷注入量は低減されることがわかっている。PMA ありの試料では、注入電子による電界中和効果が強く働いたため、見かけ上のリーク電流が小さくなっていったと考えられる。PMA なしではリーク電流の立ち上がり位置は F-N 曲線の立ち上がり位置と重なっていることから、こちらが本来の J - E 特性に近いと考えられる。

絶縁破壊特性のばらつきを評価するため、Weibull 分布による絶縁破壊電界の解析を行った。Weibull 分布とは、物体の強度を統計的に記述するために W. Weibull によって提案された確率分布である[29]。ある物体が破壊される時、その物体の一番弱い部分によって全体の強度が支配されるような破壊現象を、弱点破壊と呼ぶ。Weibull 分布は弱点破壊現象の破壊確率を統計的に表す分布であり、一般に絶縁破壊現象もこの Weibull 分布に従うとされている[30-32]。このとき、累積破壊確率 F は、電界 E の関数として次式で表される。

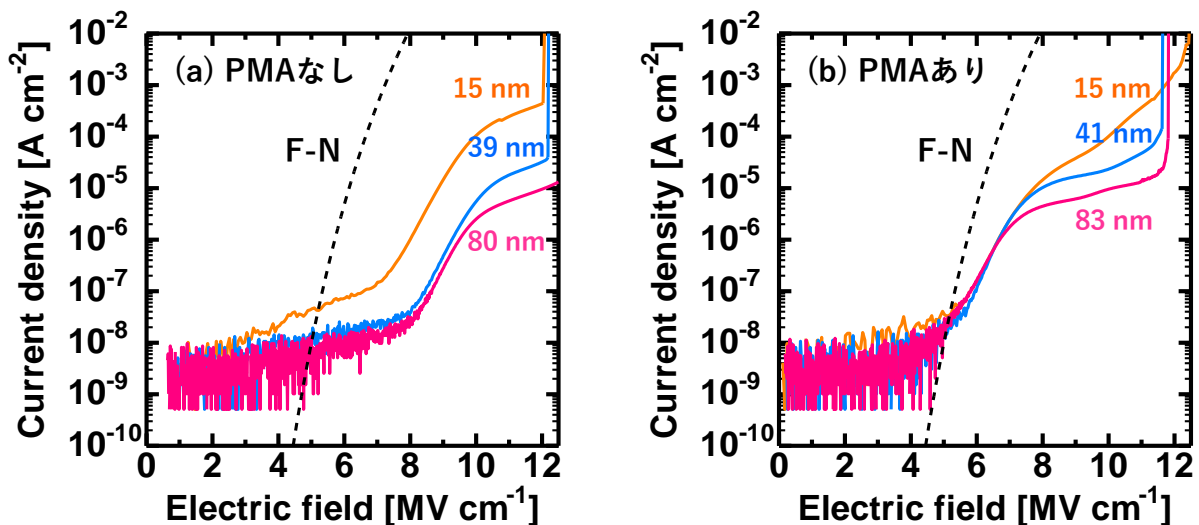


図 2.16 各試料の J - E 特性 (a) PMA なし, (b) PMA あり

$$F = 1 - \exp \left\{ - \left(\frac{E}{E_0} \right)^\beta \right\} \quad (2.7)$$

これを変形すると、次のようになる。

$$\ln\{-\ln(1 - F)\} = \beta \ln E - \beta \ln E_0 \quad (2.7)$$

したがって、縦軸に $\ln\{-\ln(1 - F)\}$ を、横軸に $\ln(E)$ をとってプロットすると、傾き β の直線となることがわかる。絶縁破壊電界の Weibull プロットを図 2.17 に示す。PMA なし試料の 15 nm を除き、膜厚による絶縁破壊電界の差は小さい。平均絶縁破壊電界は PMA によってやや減少しているが、これは前述の注入電荷による電界緩和効果が PMA によって弱まり、本来の絶縁特性に近づいたためと考えられる。

絶縁膜の電氣的な破壊は、3 つの典型的なモードに分類することが出来る[33]。3 つの破壊モードはそれぞれ A, B, C モードと呼ばれ、絶縁耐性の状態を示している。0 MV cm^{-1} 付近での破壊(A モード)は絶縁膜形成時に付着したごみなどにより生じる不均一な絶縁膜に起因する。1 ~ 7 MV cm^{-1} の領域での破壊(B モード)は主に絶縁膜中の電氣的に弱い点に起因したモードである。7 MV cm^{-1} 以上の電界での破壊(C モード)は均一な絶縁膜の真性破壊を表している。真性破壊が生じている場合、Weibull プロットは(2.7)式に従う直線となると考えられる。図 2.17 から、PMA なし 15 nm の試料を除いて多くの点で直線に近い分布をとっており、真性破壊となっているように見える。しかし実際には、リーク電流の立ち上がり位置にはばらつきがあり、絶縁破壊電界は高いもののリーク電流密度が高い特異的なリーク機構となる点も見られた。そこで、立ち上がり電界(リーク電流密度が $J = 2 \times 10^{-7}$ [A cm^{-2}] に到達したとき電界と定義)の Weibull 分布を図 2.18 に示す。PMA なしの試料では、40 nm 及び 80 nm の試料では $E = 8 \sim 9 \text{ MV cm}^{-2}$ 程度の位置で真性破壊と考えられる直線領域が見られた。15 nm では真性破壊はほとんど見られず、測定点による立ち上がり電界のばらつきは非常に大きかった。また、真性破壊の割合は膜厚が増加するほど高くなった。したがって、PMA なしの試料では、膜厚が薄いほど真性破壊以外の偶発的な絶縁破壊モードをとる確率が高く、絶縁破壊特性のばらつきが大きくなる可能性が示された。PMA ありの試料では、膜厚によらず $E = 5 \sim 7 \text{ MV cm}^{-2}$ 程度の位置で真性破壊と考えられる直線領域が見られた。真性破壊の割合は膜厚によって大きくは変わらず、すべての膜厚において PMA なしの試料よりも高くなっている。したがって、PMA を施すことで真性破壊が生じる確率を高め、絶縁破壊特性のばらつきを低減することができる可能性がある。C-V 測定の結果から、PMA によって絶縁膜中の電荷(Q_f, ρ_{ox})は共に低減されており、絶縁膜中欠陥の低減が示唆されている。その結果、膜中欠陥に起因して生じる偶発的な破壊(A・B モード破壊)の発生確率が減少し、真性破壊割合が増加したと考えられる。

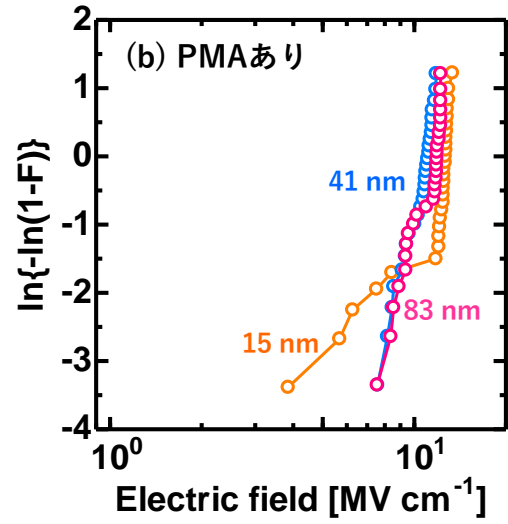
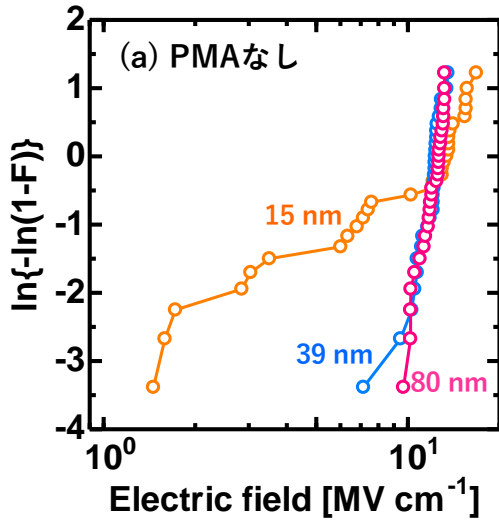


図 2.17 絶縁破壊電界の Weibull プロット (a) PMA なし, (b) PMA あり

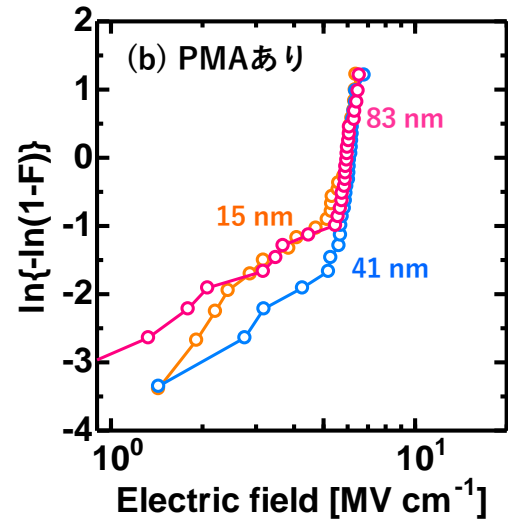
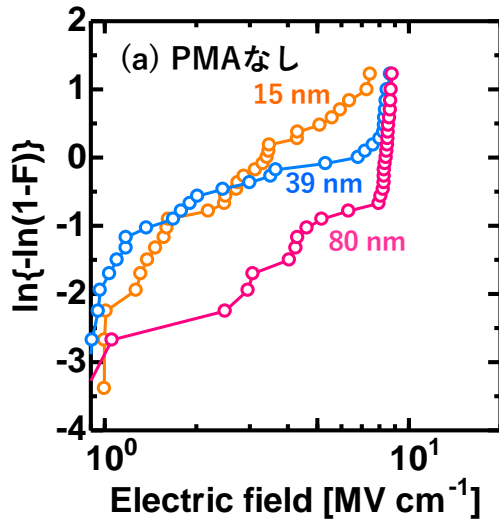


図 2.18 $J = 2 \times 10^{-7} \text{ A cm}^{-2}$ となる E の Weibull プロット (a) PMA なし, (b) PMA あり

2.4 SiO₂/n-GaN 構造における電荷分布のモデル化

これまでの電气的特性評価から得られた結果より、SiO₂/GaN MOS 構造における電荷分布をモデル化し、図 2.19 に示す。PMA なしの状態においては、界面の極近傍に正の固定電荷 Q_f が局在しており、絶縁膜全体に負のトラップ電荷 ρ_{ox} が均一に存在している。絶縁膜の膜厚が増加すると負のトラップ電荷が増加するため、 Q_{eff} は相対的に減少しているように見える。また、PBS $C-V$ 特性から、 ρ_{ox} は PBS による電子の注入を中和する働きがあることが示唆された。さらに、コンダクタンス測定から、これらの電荷の一部はボーダートラップとして働き、GaN 基板と電荷をやり取りしている可能性がある。PMA を施すと、 Q_f 及び ρ_{ox} はともに 65 ~ 70% 程度低減される。同時に、 Q_f の分布幅が増加することが明らかとなった。これは SiO₂/Si MOS 構造では生じない、GaN 系 MOS 構造に特有の現象であり、PMA による SiO₂ 中への Ga 拡散が関与している可能性がある。

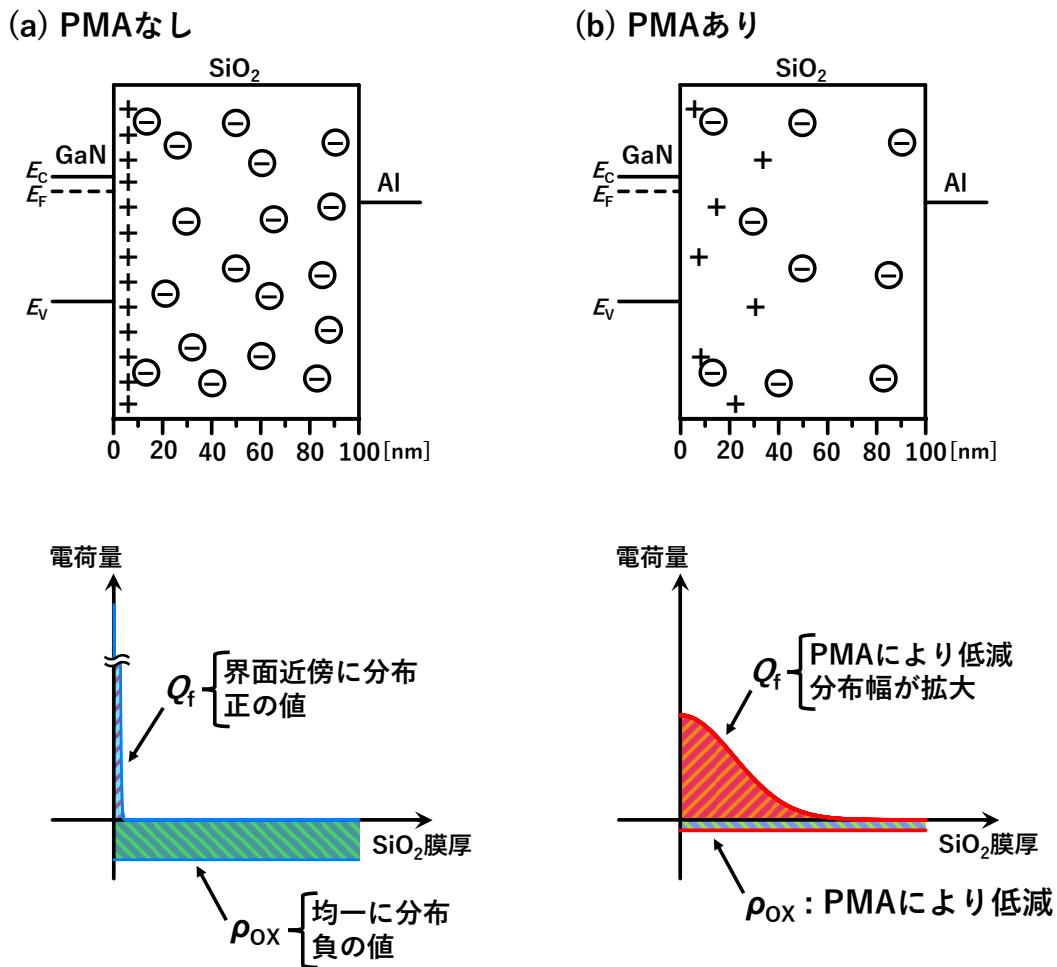


図 2.19 SiO₂/GaN MOS 構造における電荷分布の模式図及び電荷量と膜厚の関係 (a) PMA なし, (b) PMA あり

2.5 まとめ

SiO₂膜厚の異なる SiO₂/n-GaN MOS キャパシタを作製し、その電気的特性から絶縁膜中の電荷分布を評価した。絶縁膜中の実行電荷密度 Q_{eff} と膜厚の関係から絶縁膜中電荷分布のモデル化を試みた。PMA なしのサンプルの場合、SiO₂/Si と同様に、固定電荷 Q_f は界面近傍にのみ局在し膜中トラップ電荷 ρ_{ox} は膜中全体に均一に存在するという仮定で測定結果を近似することができた。しかし、PMA を施したサンプルの場合は SiO₂/Si の場合と同様の仮定を適用することはできなかった。そこで本研究では、 Q_f は半正規分布に従い広がりをもって分布すると仮定した。このような仮定の下では、得られた結果をよくフィッティングすることができた。フィッティングの結果、 ρ_{ox} は負の実効値を、 Q_f は正の実効値をそれぞれ持つことが明らかとなった。また、これらの電荷は共に PMA によって約 65% 低減された。このように PMA はこれらの電荷両方の低減に有効であることが分かった。一方で、 Q_f の分散は PMA なしのサンプルでは 1nm 未満であったのに対し、PMA ありのサンプルでは 25nm 程度にまで拡大された。このことから、PMA は Q_f の分布幅を拡大する可能性が示された。この現象は GaN 系 MOS 構造に特有のものであり、熱処理による Ga 拡散が影響している可能性がある。O₂ 雰囲気の場合は通常 800°C 以上でなければ Ga 拡散は観測されない。しかし、熱処理雰囲気中に H₂ が含まれる場合は界面の GaO_x の分解が引き起こされ、比較的低温でも Ga 拡散が引き起こされる可能性がある。 Q_f の起源としては SiO₂ 中の O 欠陥・局所的な構造歪みが、 ρ_{ox} の起源としては O 欠陥や OH 結合などが考えられる。

PBS $C-V$ 特性から、SiO₂ 膜厚が小さいほど PBS による電荷注入量 $|\Delta Q_{\text{str}}|$ は増加することが分かった。界面準位密度及び界面近傍固定電荷は膜厚によって量が変わらないため、この変化は絶縁膜中トラップ電荷密度 Q_{ox} の差によるものであると考えられる。注入電子と絶縁膜中負電荷 (Q_{ox}) との間には互いに反発する向きに静電気力が働くため、 Q_{ox} が増加するほど PBS による電子の注入が妨げられていた可能性がある。PMA を施すと、 Q_{ox} 及び $|\Delta Q_{\text{str}}|$ は共に低減された。 Q_{ox} による電子注入阻害効果が減少したにもかかわらず $|\Delta Q_{\text{str}}|$ が低減されていることから、PMA は $|\Delta Q_{\text{str}}|$ の低減にも有効であるといえる。

$J-E$ 特性から、PMA によって絶縁破壊特性のばらつきを低減できることが分かった。PMA なしでは膜厚の増加に伴って絶縁破壊特性のばらつきは小さくなっていたが、PMA ありでは膜厚による依存性は見られなくなった。

SiO₂/GaN MOS 構造の電気的特性については研究されてきたものの、その電荷分布については明確にはわかっていなかった。本章では SiO₂/GaN MOS 構造における電荷分布を解明し、モデル化することに成功した。さらに、これらの電荷の熱処理に対する変化も評価し、Si 系では見られない GaN 系 MOS 構造に特有の固定電荷分布の変化を明らかにした。

参考文献

- [1] T. Yonehara, Y. Kajiwara, D. Kato, K. Uesugi, T. Shimizu, Y. Nishida, H. Ono, A. Shindome, A. Mukai, A. Yoshioka, and M. Kuraguchi, in *Proc. of IEDM 2017*, IEEE, San Francisco, CA, USA (2017).
- [2] S. Huang, S. Yang, J. Roberts, and K. J. Chen, *Jpn. J. Appl. Phys.*, **50**, 110202 (2011).
- [3] B. Ren, M. Sumiya, M. Liao, Y. Koide, X. Liu, Y. Shen, and L. Sang, *J. alloy. Comp.*, **767**, 600 (2018).
- [4] H.-S. Kim, W.-H. Jang, S.-K. Eom, S.-W. Han, H. Kim, K.-S. Seo, C.-H. Cho, and H.-Y. Cha, *J. Semicond. Technol. Sci.*, **18**, 187 (2018).
- [5] H. Hasegawa, and T. Sawada, *J. Vac. Sci. Technol.*, **16**, 1478 (1979).
- [6] T. Hashizume and H. Hasegawa, *Appl. Surf. Sci.*, **234**, 387 (2004).
- [7] Z.-Q. Fang, and D. C. Look, *Appl. Phys. Lett.*, **78**, 15, 2178 (2001).
- [8] T. Hashizume, S. Kaneki, T. Oyobiki, Y. Ando, S. Sasaki, and K. Nishiguchi, *Appl. Phys. Express*, **11**, 124102 (2018).
- [9] D. K. Schroder, *Semiconductor Material and Device Characterization*, Wiley, Hoboken, NJ (2006).
- [10] H. Mizobata, Y. Wada, M. Nozaki, T. Hosoi, T. Shimura, and, H. Watanabe, *Appl. Phys. Express*, **13**, 081001 (2020).
- [11] D. Qian, and D. J. Dumin, in *Proc. Of Int. Symp. On the Physical and Failure Analysis of Integrated Circuits (Cat. No.99TH8394)*, 145, IEEE, Singapore, (1999)
- [12] Z.-Y. Lu, C. J. Nicklaw, D. M. Fleetwood, R. D. Schrimpf, and S. T. Pantelides, *Phys. Rev. Lett.*, **89**, 28, 285505 (2002).
- [13] N. Richard, L. M. Samos, G. Roma, Y. Limoge, and J. P. Crocombette, *J. Non-Cryst. Solids*, **351**, 1825 (2005).
- [14] A. V. Kimmel, P. V. Sushko, A. L. Shluger, and G. Bersuker, *ECS Trans.*, **19**, 2, 3 (2009).
- [15] F. J. Feigl, D. R. Young, D. J. DiMaria, S. Lai, and J. Calise, *J. Appl. Phys.*, **52**, 5665 (1981).
- [16] 谷口研二, 浜口智尋, *電学誌*, **108**, 8, 793 (1988).
- [17] A.-M. El-Sayed, K. Tanimura, and A. L. Shluger, *J. Phys.: Condens. Matter*, **27**, 265501 (2015).
- [18] C. Kaneta, *Jpn. J. Appl. Phys.*, **35**, 1540 (1996).
- [19] 金田千穂子, *応用物理*, **65**, 11, 1139 (1996).
- [20] H. S. Witham, and P. M. Lenahan, *Appl. Phys. Lett.*, **51**, 1007 (1987).
- [21] T. Yamada, K. Watanabe, M. Nozaki, H. Yamada, T. Takahashi, M. Shimizu, A. Yoshigoe, T. Hosoi, T. Shimura, and H. Watanabe, *Appl. Phys. Express*, **11**, 015701 (2018).
- [22] R. Togashi, K. Nomura, C. Eguchi, T. Fukizawa, K. Goto, Q. T. Thieu, H. Murakami, Y. Kumagai, A. Kuramata, S. Yamakoshi, B. Monemar, and A. Koukitu, *Jpn. J. Appl. Phys.*, **54**, 041102 (2015).
- [23] K. Mitsuishi, K. Kimoto, Y. Irokawa, T. Suzuki, K. Yuge, T. Nabatame, S. Takashima, K. Ueno, M. Edo, K. Nakagawa, and Y. Koide, *Jpn. J. Appl. Phys.*, **56**, 110312 (2017).

- [24] K. Watanabe, D. Terashima, M. Nozaki, T. Yamada, S. Nakazawa, M. Ishida, Y. Anda, T. Ueda, A. Yoshigoe, T. Hosoi, T. Shimura, and H. Watanabe, *Jpn. J. Appl. Phys.*, **57**, 06KA03 (2018).
- [25] T. Oka, Y. Ueno, T. Ina, K. Hasegawa, *Appl. Phys. Express*, **7**, 021002 (2014).
- [26] S. Takashima, K. Ueno, H. Matsuyama, T. Inamoto, M. Edo, T. Takahashi, M. Shimizu, and K. Nakagawa, *Appl. Phys. Express*, **10**, 121004 (2017).
- [27] P. Fiorenza, G. Greco, F. Iucolano, A. Patti, and F. Roccaforte, *Appl. Phys. Lett.*, **106**, 142903 (2015).
- [28] D. M. Fleetwood, P. S. Winokur, R. A. Reber Jr., T. L. Meisenheimer, J. R. Schwank, M. R. Shaneyfelt, and L. C. Riewe, *J. Appl. Phys.*, **73**, 10, 5058 (1993).
- [29] W. Weibull, *J. Appl. Mech.*, **18**, 293 (1951).
- [30] 松葉博則, 川井栄一, *電学誌*, **97**, 282 (1977).
- [31] F. Russo, G. Badolate, and F. Irrera, *J. Appl. Phys.*, **106**, 063708 (2009).
- [32] 広瀬英雄, *電学誌*, **109**, 537 (1989).
- [33] Semiconductor Silicon 1994 Proceedings of the seventh international symposium on silicon materials science and technology. (1994)

第3章 PECVD による SiO₂ 堆積条件の検討

3.1 はじめに

第2章では SiO₂/n-GaN 構造における絶縁膜中及び界面近傍の電荷分布を解析し、SiO₂/Si 構造では見られない GaN 特有の固定電荷分布を明らかにした。本章では、SiO₂/GaN MOS 構造の電気的特性向上のため、PECVD による SiO₂ 絶縁膜の堆積条件を検討した。原料である TEOS 流量を変化させて SiO₂/GaN MOS キャパシタを作製し、その電気的特性を評価することで、SiO₂ 絶縁膜の堆積条件最適化を目的とした。

3.2 SiO₂/n-GaN MOS キャパシタの作製過程

2.2 節と同様、GaN 上 PECVD-SiO₂ 膜の評価用素子として Al/SiO₂/n-GaN/Ti/Al MOS キャパシタを作製した。MOS キャパシタの作製には、(0001)面 GaN 基板の上に 2 μm のホモエピタキシャル層(Si ドープ, $5 \times 10^{16} \text{ cm}^{-3}$)が成長されている GaN 自立基板(三菱ケミカル製)を用いた。作製プロセスの詳細は以下の(1)~(3)の通りである。

(1) 基板洗浄過程

SPM 洗浄及び RCA 洗浄によって基板を洗浄した。初めに、アセトンおよびメタノールに 3 min ずつ基板を浸漬し、その後超純水でリンスした。更に 0.5%の希釈 HF に 3 min 浸漬させ自然酸化膜を除去した後、再度超純水でリンスした。次に、80°C に熱した SPM 溶液(H₂SO₄ : H₂O₂ = 1 : 1)に 15 min 浸漬し、有機物および金属不純物を除去した。その後超純水でリンスし、希釈 HF で酸化膜を除去した後再度超純水でリンスした。続いて、80°C に加熱したアンモニア水と過酸化水素水の混合液(NH₃ : H₂O₂ : H₂O = 0.5 : 1 : 5)に 15 min 浸漬し、表面パーティクルを除去した(SC1 洗浄)。その後超純水でリンスし、希釈 HF で酸化膜を除去した後再度超純水でリンスした。さらに、80°C に加熱した塩酸と過酸化水素水の混合液(HCl : H₂O₂ : H₂O = 1 : 1 : 5)に 15 min 浸漬し、金属不純物を除去した(SC2 洗浄)。その後超純水でリンスし、希釈 HF で酸化膜を除去した後再度超純水でリンスした。最後に N₂ ブローで基板を乾燥させた。

(2) PECVD による SiO₂ の堆積

洗浄後、汚染や酸化を防ぐため迅速に基板を PECVD 反応チャンバーへと導入した。O₂ 流量は 300 sccm で一定のまま TEOS 流量を 4, 3, 2, 1 sccm に変化させて堆積を行った。基板温度、チャンバー圧力、RF 出力はそれぞれ 300°C, 80 Pa, 150 W である。等価酸化膜厚 EOT が約 65 ~ 90 nm 程度になるよう堆積時間を調整し、堆積を行った。

(3) EB 蒸着による電極の堆積

EB 蒸着を用い、 $7 \times 10^4 \text{ Pa}$ 以下の高真空条件下で電極を堆積した。上部ゲート電極 (Al : 200 nm) はメタルマスクを用いて直径 50, 100, 300, 500 μm の大きさに形成した。フォトレジストによってゲート電極を保護した後、裏面の酸化膜を除去するため BHF に 3 min 浸漬した。フォトレジストを除去した後、EB 蒸着によって同様に裏面コン

タクト電極(Ti/Al: 10/200 nm)を形成した。その後、一部の試料には電極形成後熱処理(Post metallization annealing : PMA)を施した。PMA 雰囲気、温度、処理時間はそれぞれ、フォーミングガス($N_2/H_2 = 19/1$), 400°C, 30min である。

3.3 電気的特性評価

3.3.1 C - V 特性による界面準位密度 D_{it} 及び絶縁膜中実効電荷 Q_{eff} の評価

TEOS 流量が 1, 2, 3, 4 sccm の各条件で作製した SiO_2/GaN MOS キャパシタについて、高周波及び低周波 C - V 特性を図 3.1(PMA なし)及び図 3.2(PMA あり)に示す。各試料 3 点または 5 点の電気的特性を測定しているが、その中の代表的な 1 点の C - V 特性を示している。高周波及び低周波測定の周波数はそれぞれ 1 MHz 及び 20 Hz であり、2.3.1 節と同様に理想曲線及び平均フラットバンド電圧 V_{FB} も図中に示している。全ての条件で周波数分散は確認できるが、TEOS 流量が 1 及び 4 sccm のときに他の条件よりも周波数分散は小さくなった。この傾向は PMA の有無を問わず見られた。また、すべての条件において、PMA によって周波数分散は低減されている。加えてストレッチアウトも低減されており、 C - V 曲線の形状が理想曲線に近づいている。 V_{FB} に関しても同様に、TEOS 流量が 1 及び 4 sccm のときに他の条件よりも理想 V_{FB} ($= 0.26$ V)に近づく傾向が見られた。また、TEOS 流量 1 sccm を除いて、PMA によって V_{FB} は理想値に近づいている。

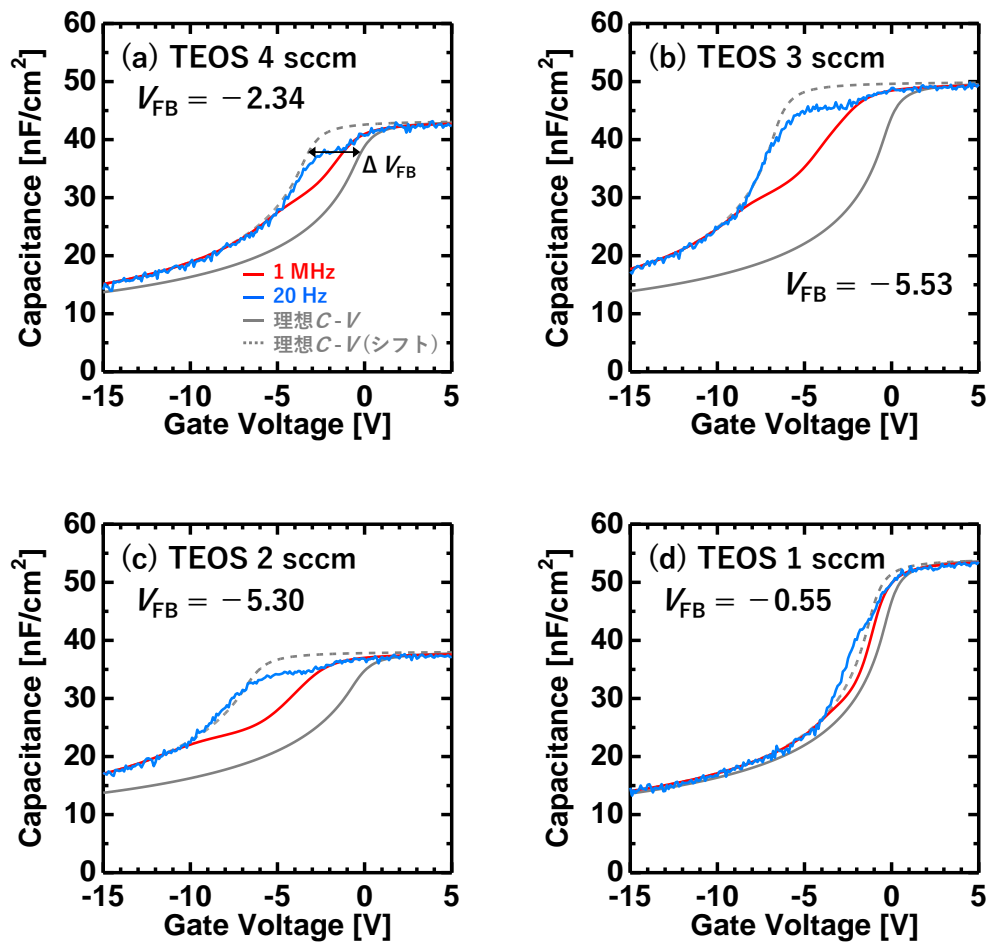


図 3.1 PMA なしの各試料における高周波及び低周波 C - V 特性 (a) TEOS 流量 4 sccm, (b) TEOS 流量 3 sccm, (c) TEOS 流量 2 sccm, (d) TEOS 流量 1 sccm

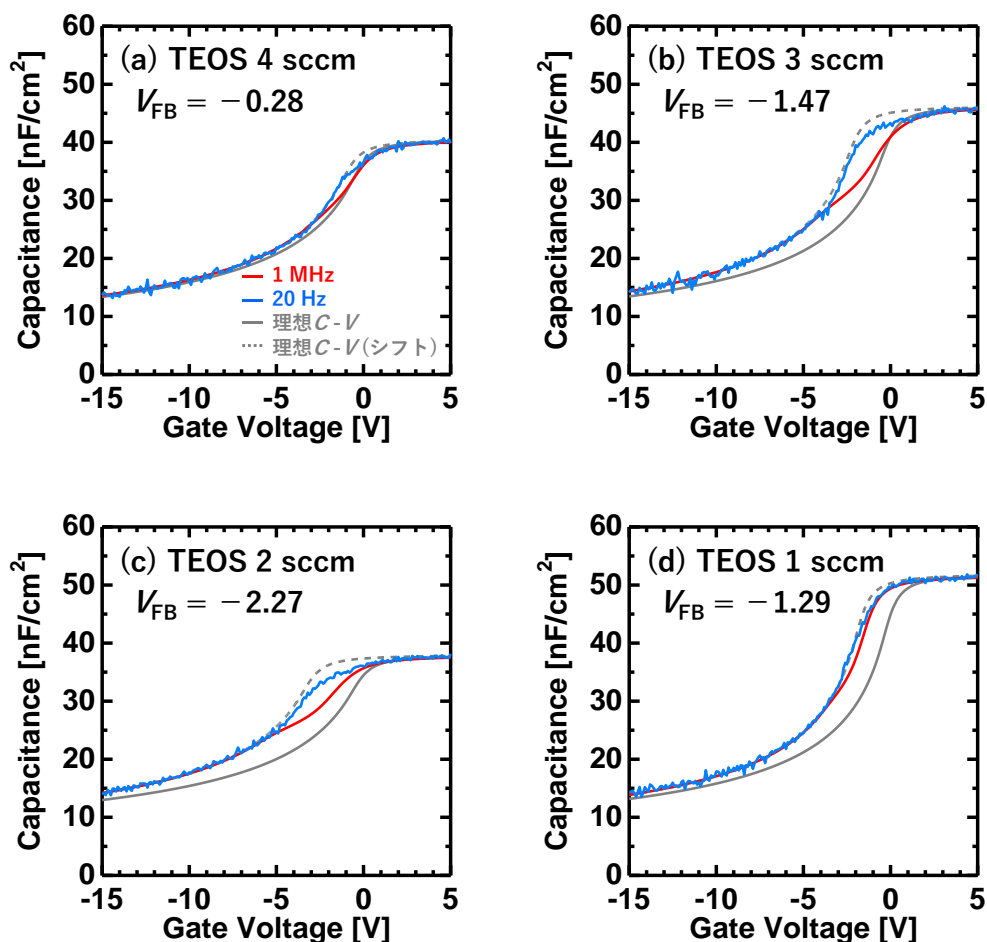


図 3.2 PMA ありの各試料における高周波及び低周波 $C-V$ 特性 (a) TEOS 流量 4 sccm, (b) TEOS 流量 3 sccm, (c) TEOS 流量 2 sccm, (d) TEOS 流量 1 sccm

各試料の最大容量値から算出した等価酸化膜厚 EOT を表 3.1 に示す。

表 3.1 各試料における等価酸化膜厚 EOT

TEOS 流量 [sccm]		4	3	2	1
EOT [nm]	PMA なし	79.9	68.5	90.3	65.6
	PMA あり	85.4	73.5	90.7	65.9

TEOS 流量が 2 sccm 以下の場合では PMA の有無で EOT はほとんど変化していないのに対し、3 以上の場合は約 7% 増加している。熱処理によって絶縁膜中の欠陥が低減され、密度が上昇して膜厚が減少することはあれども、熱処理によって膜厚が増加するとは考え難い。そのため、この EOT の変化は誘電率の低下によるものだと考えられる。TEOS 流量 3 および 4 sccm の試料について、分光エリプソメトリーを用いて求めた膜厚と C_{ox} から絶縁膜の比誘電率 ϵ を算出すると、PMA によって約 5 から約 4.5 に変化していた。熱酸化 SiO_2 では $\epsilon = 3.9$ 程度、TEOS CVD SiO_2 では $\epsilon = 4.3$ 程度であ

るから、PMA によって CVD SiO₂ の標準的な値に近づいていることが分かる[1]。プラズマ CVD によって形成された堆積 SiO₂ の誘電率が熱酸化 SiO₂ よりも高いのは、膜中に含まれる不純物や欠陥が多いためとされており、TEOS 流量 3 及び 4 sccm の試料では他条件よりも欠陥・不純物が多いことが示唆される[2]。一方、TEOS 流量 2 および 1 sccm の場合は PMA の有無によらず $\epsilon = 4.3$ 程度であった。これらのことから、TEOS 流量 3 および 4 sccm の条件では膜中不純物や欠陥によって比誘電率が SiO₂ 本来の値よりも高くなってはいたが、PMA によってそれらの不純物や欠陥が低減されたために SiO₂ 本来の比誘電率に近づいたと考えられる。Si 基板上に作製した PECVD SiO₂ の場合、TEOS/O₂ 比が小さいほど不純物の少ない高品質の絶縁膜が形成されることが報告されている[3, 4]。これは、TEOS/O₂ 比が高いと基板表面上への TEOS の吸着反応が生じやすく、成膜時に TEOS 由来の H 元素が混入し、SiO₂ 中に OH 結合を形成するためである。GaN 基板上的場合でも同様に、TEOS 流量が多くなるにつれて TEOS 由来の H 不純物が増加し、誘電率が高くなった可能性がある。

High-Low 法によって算出した界面準位密度 D_{it} と伝導帯端からのエネルギー $E_C - E$ の関係を図 3.3 に、 D_{it} ($E_C - E = 0.25 \sim 0.35$ の平均値) と TEOS 流量の関係を図 3.4 にそれぞれ示す。2.3.1 節と同様に、 D_{it} はバンド端ほど高くミッドギャップほど低いという DIGS モデル型の分布がみられた[5]。TEOS 流量による D_{it} の変化を比較すると、PMA の有無によらず、流量が 1 ~ 3 sccm の場合は TEOS 流量の増加に伴って D_{it} が増加する傾向が得られた。このことから、TEOS 流量の増加に伴って増加すると考えられる H 不純物は、界面特性にも悪影響を及ぼしている可能性が示唆される。一方で 4 sccm の場合は、1 sccm の試料に次ぐ低い D_{it} となった。この原因として、堆積速度が高いために GaN 表面がプラズマに曝される時間が最も短いことが考えられる。このことから、 D_{it} は TEOS 由来の H 不純物及び GaN 表面のプラズマ曝露時間の二つのパラメータが大きく影響している可能性がある。また、TEOS 流量 2 sccm と 3 sccm 及

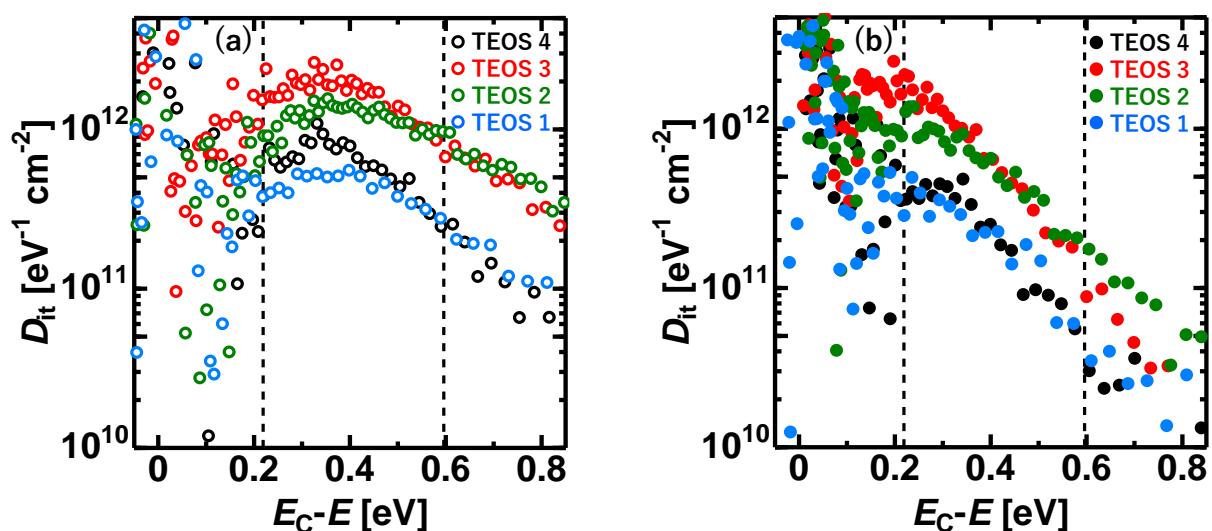


図 3.3 界面準位密度 D_{it} と伝導帯端からのエネルギー準位 $E_C - E$ の関係 (a) PMA なし, (b) PMA あり

び 1 sccm と 4 sccm の試料をそれぞれ比較すると、浅い準位(~ 0.3 eV)では D_{it} に差が見られるものの、ミッドギャップでは殆ど変わらなかった。特に、GaN 表面の窒素欠陥に由来する離散準位[6, 7]だと考えられる $E_c - E = 0.3$ eV 付近のピークに差が見られ、TEOS 流量が多いほうがこのピークは大きい傾向にあった。このことから、TEOS 由来 H 不純物が窒素欠陥を増加させる、または、不純物の少ない SiO_2 膜では堆積時に窒素欠陥が補填されている可能性が示された。更に、全ての条件において PMA による D_{it} の低減が確認された。 D_{it} の TEOS 流量依存性は PMA の有無によらず変わっていないことから、TEOS 流量を問わず一様に、界面欠陥は PMA によって低減されたと考えられる。

高周波 $C-V$ 特性から算出した V_{FB} より、絶縁膜中の実効電荷密度 Q_{eff} を算出し、TEOS 流量との関係を図 3.5 に示す。PMA なしの試料においては、TEOS 流量 1 ~ 3 sccm の場合は流量の増加と共に Q_{eff} も増加する傾向が見られたが、4 sccm においては 1 sccm に次いで低い Q_{eff} となった。これは D_{it} と同様の傾向である。PMA ありの試料においては、TEOS 流量 1 ~ 3 sccm の場合 Q_{eff} はほぼ同等の値をとり、4 sccm の場合のみやや低い値をとった。 SiO_2/Si に関する先行研究及び EOT の結果から、TEOS 流量が多いほど H 不純物は多く、 SiO_2 中の電荷密度は高くなると推測できる。したがって、TEOS 流量 4 sccm の試料では膜中の電荷量が少ないわけではなく、他条件よりも負電荷が多いために Q_{eff} が小さく見えている可能性がある。Si-OH 結合は電子捕獲中心として働くことが報告されていることから[8, 9]、多量の TEOS によって混入した OH 結合が負電荷として働いている可能性が考えられる。2 章の結果から、TEOS 流量が 3 sccm の場合は SiO_2 中の固定電荷 Q_f 及び膜中トラップ電荷 ρ_{ox} の両方が PMA によって同程度低減されることがわかった。しかし、TEOS 流量が異なる場合そうではない可能性がある。1 sccm の場合は、PMA によって Q_{eff} の値がやや増加していることから、絶縁膜中の負電荷を強く低減している可能性がある。

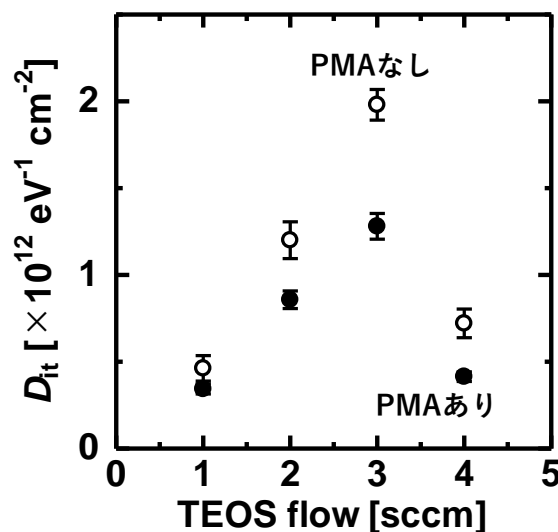


図 3.4 界面準位密度 D_{it} ($E_c - E = 0.25 \sim 0.35$ における平均値)の TEOS 流量依存性

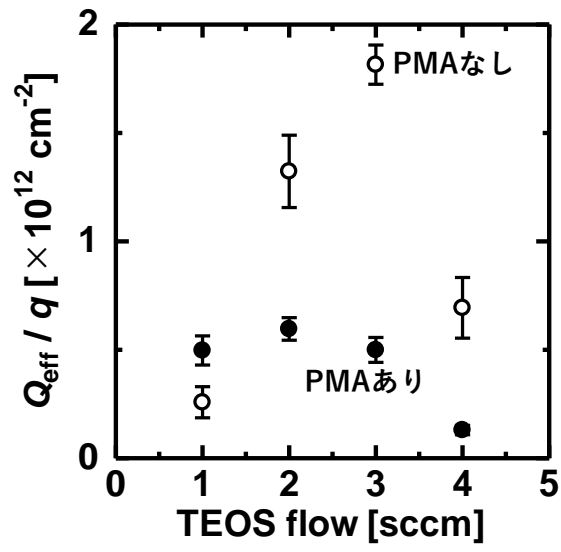


図 3.5 絶縁膜中実効電荷 Q_{eff} の TEOS 流量依存性

3.3.2 双方向 $C-V$ 測定によるヒステリシス特性の評価

ゲート電圧を蓄積側から空乏側、空乏側から蓄積側の順に掃引して双方向 $C-V$ 測定を行い、ヒステリシス特性を評価した。各条件における 1 MHz でのヒステリシス特性を図 3.6(PMA なし)及び 3.7(PMA あり)に示す。PMA なしの試料においては、2.3.2 節と同様に、空乏領域でヒステリシスが確認された。PMA ありの場合もヒステリシスは確認できるが、TEOS 流量 1 及び 4 sccm の条件ではヒステリシス幅は大きく低減された。ヒステリシスが観測された電圧におけるエネルギー準位を算出すると、 $E_C - E = 0.5 \sim 2$ eV 程度であったことから、ヒステリシスは High-Low 法から算出した D_{it} よりも深い準位の欠陥の影響により生じていると考えられる。

各条件における最大ヒステリシス幅を ΔV_{hys} として捕獲電荷密度 $\Delta Q_{hys} = C_{OX} \Delta V_{hys}$ を算出し、TEOS 流量との関係を図 3.8 に示す。 D_{it} と同様、 ΔQ_{hys} は TEOS 流量 1 及び 4 sccm の条件で他の条件よりも低い値をとった。また、これら 2 条件は PMA によって ΔQ_{hys} が 50% 程度低減されているのに対し、2 及び 3 sccm の場合は PMA によって大きくは変化しなかった。

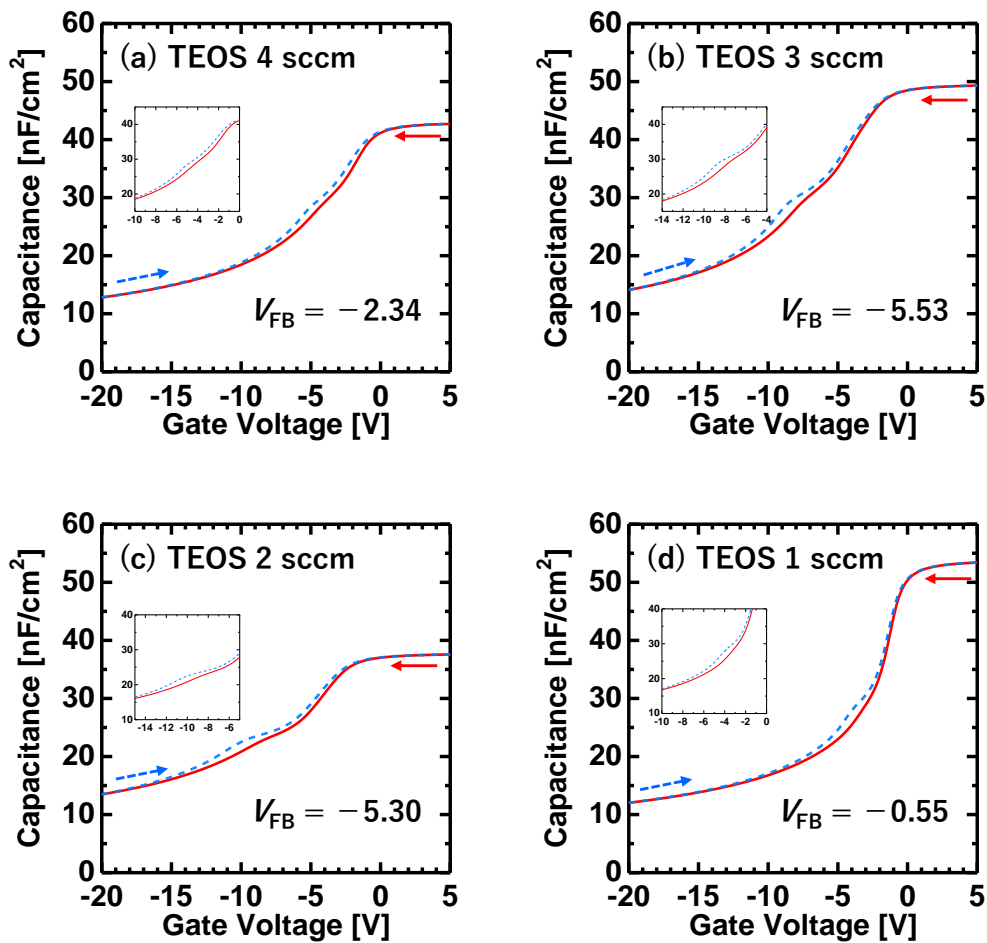


図 3.6 PMA なしの各試料における双方向 $C-V$ (ヒステリシス) 特性 (a) TEOS 流量 4 sccm, (b) TEOS 流量 3 sccm, (c) TEOS 流量 2 sccm, (d) TEOS 流量 1 sccm

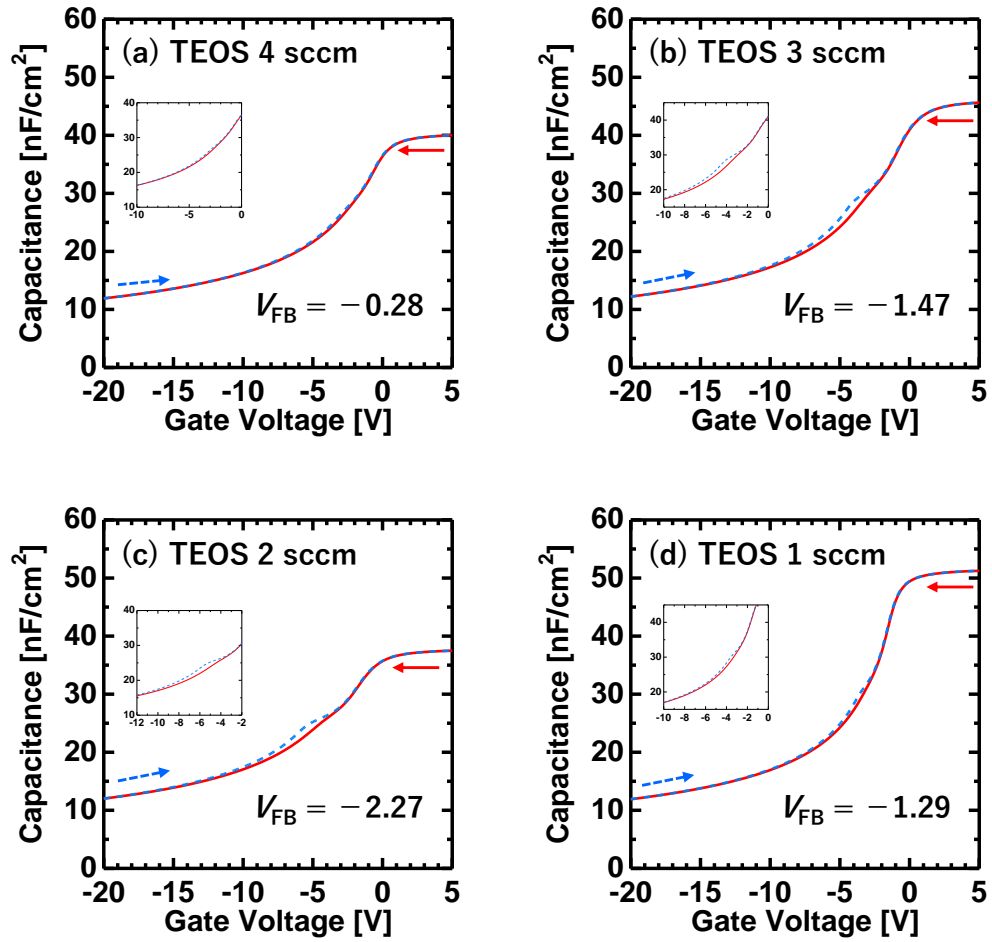


図 3.7 PMA ありの各試料における双方向 C - V (ヒステリシス) 特性 (a) TEOS 流量 4 sccm, (b) TEOS 流量 3 sccm, (c) TEOS 流量 2 sccm, (d) TEOS 流量 1 sccm

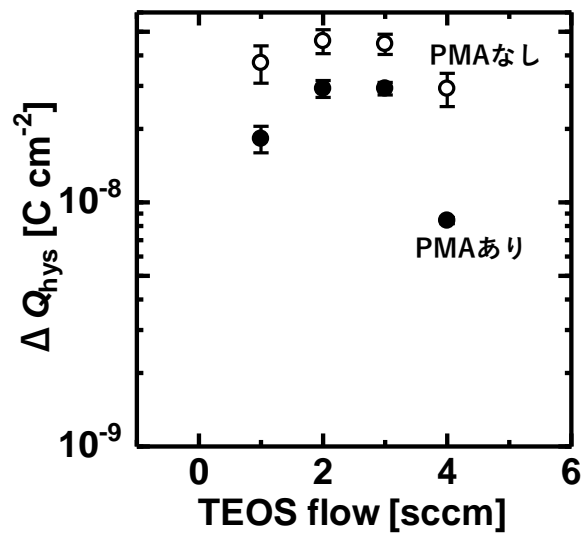


図 3.8 最大ヒステリシス幅 ΔV_{hys} より算出した ΔQ_{hys} と TEOS 流量との関係

3.3.3 正電圧ストレス C - V 特性による V_{FB} 安定性の評価

TEOS 流量が V_{FB} の安定性に及ぼす影響を評価するため、正電圧ストレス(Positive bias stress : PBS) C - V 特性を評価した。図 3.9 及び 3.10 に 20V(約 2.5~3 MV/cm)の正電圧ストレスを印加した際の C - V 特性を示す。PMA の有無によらず、TEOS 流量が少ないほど V_{FB} のシフト量は小さい傾向が得られた。

150 秒間の正電界ストレスによる注入電荷量 $|\Delta Q_{str}| = C_{OX} |\Delta V_{str}|$ と処理圧力の関係を図 3.11 に示す。ここで、 $|\Delta V_{str}|$ は正電界ストレスによる V_{FB} のシフト量を表す。PMA ありの試料では、TEOS 流量が少ないほど電荷注入量が少ない傾向がみられた。PMA なしでも同様の傾向がみられるが、TEOS 流量が 2 sccm の試料の方が 1 sccm の試料よりも電荷注入量が少ない。これは SiO_2 膜厚の差に起因すると考えられる。表 3.1 に示した EOT から TEOS 流量 1 および 2 sccm の試料に印加された電界を算出すると、それぞれ 2.8 および 3.1 MV/cm となる。このように、TEOS 流量 2 sccm の試料は膜厚が厚い分加わった電界が相対的に小さくなり、他の試料より電荷注入量が小さかったと考えられる。以上から、TEOS 流量が少ない条件で作製した SiO_2 の方が V_{FB} の安定性は高いことが分かった。これは、TEOS 流量の増加に伴い、TEOS 中の H 原子に由来した Si-OH 結合が増加するためであると考えられる。前述の通り、Si-OH 結合は電子捕獲準位として働くから[8, 9]、 ρ_{ox} だけでなく $|\Delta V_{str}|$ も増加したと考えられる。また、 SiO_2/GaN 構造において、界面における Ga-OH 結合も電子トラップとして働き、 $|\Delta V_{str}|$ が増加する原因となり得ることが報告されている[10]。したがって、TEOS 流量が多い試料では、Si-OH だけでなく GaN 表面に Ga-OH 結合も形成されている可能性がある。

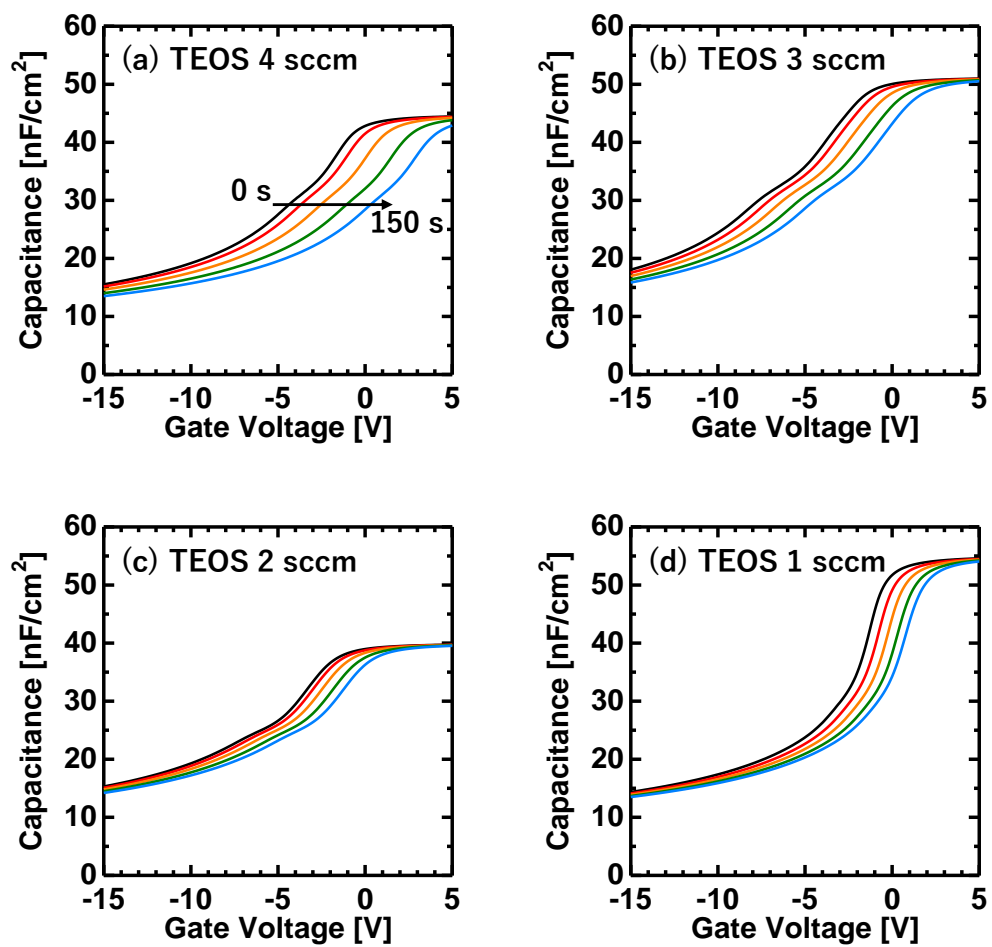


図 3.9 PMA なしの各試料における正電圧ストレス C - V 特性 (a) TEOS 流量 4 sccm, (b) TEOS 流量 3 sccm, (c) TEOS 流量 2 sccm, (d) TEOS 流量 1 sccm

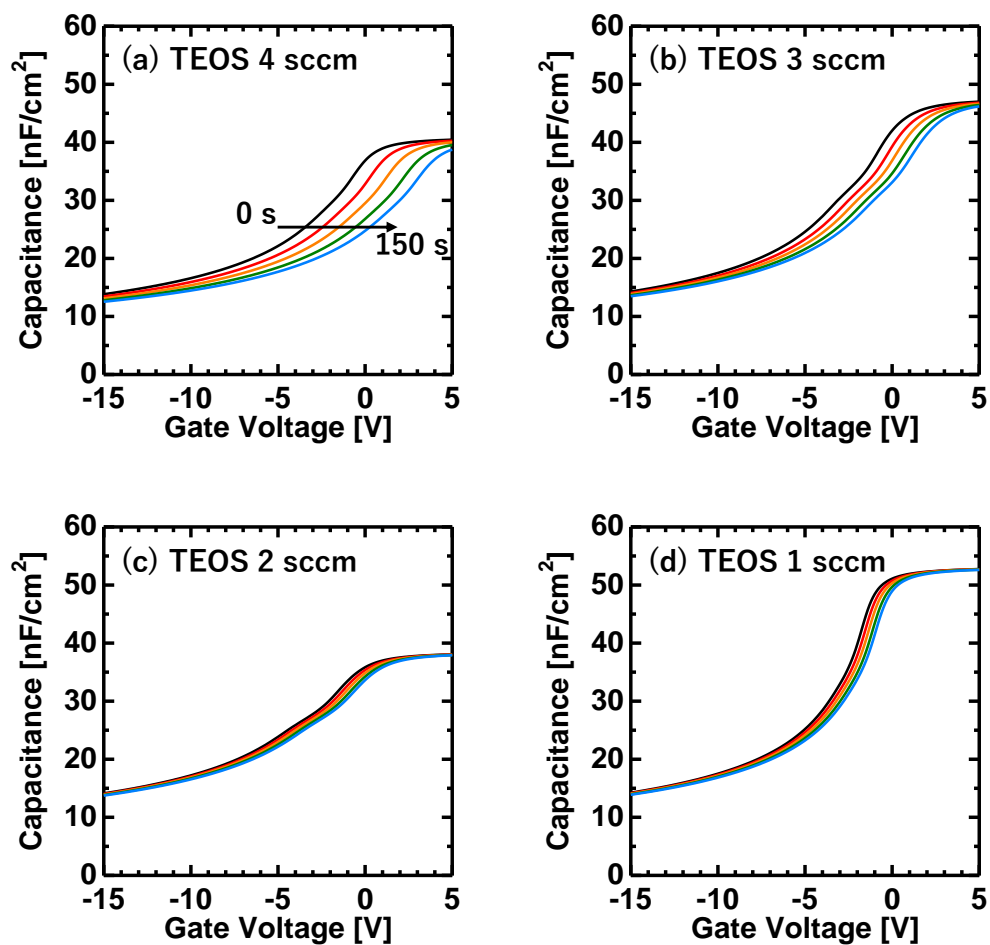


図 3.10 PMA ありの各試料における正電圧ストレス C - V 特性 (a) TEOS 流量 4 sccm, (b) TEOS 流量 3 sccm, (c) TEOS 流量 2 sccm, (d) TEOS 流量 1 sccm

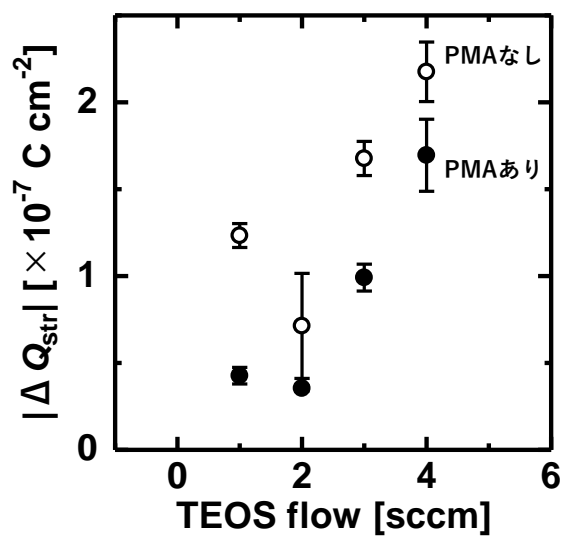


図 3.11 正電圧ストレスによる電荷注入量 $|\Delta Q_{\text{str}}|$ の TEOS 流量依存性

3.3.4 I - V 特性による絶縁破壊特性の評価

SiO_2 堆積時の TEOS 流量が絶縁破壊特性に及ぼす影響を調査するため、電流-電圧 (I - V)特性を評価した。ゲートリーク電流密度(J)と印加電界(E)の関係を図 3.12 に示す。PMA の有無によらず、TEOS 流量が 1~3 sccm の試料ではほぼ同等の J - E 特性が得られたのに対し、4 sccm の試料のみリーク電流の立ち上がり電界が低くリーク電流が大きくなった。

絶縁破壊電界及び立ち上がり電界($J = 2 \times 10^{-7}$ [A cm^{-2}]となる電界)の Weibull プロットを図 3.13 及び 14 にそれぞれ示す。全ての試料において絶縁破壊電界のばらつきは小さく、堆積条件による差も殆ど見られなかった。立ち上がり電界を比較すると、TEOS 流量 1~3 sccm の試料では 8~9 MV cm^{-1} 程度の位置に真性破壊だと考えられる直線領域が見られた。一方で、TEOS 流量 4 sccm の試料では、真性破壊とみられる直線領域は 6 MV cm^{-1} 程度の位置に見られた。また、PMA ありの TEOS 流量 3 sccm 試料では、立ち上がり電界のばらつきが 1 及び 2 sccm の試料よりも大きくなっていった。以上のことから、 SiO_2 堆積時の TEOS 流量が多いほど J - E 特性におけるリーク電流の立ち上がり電界が低くなり、絶縁破壊特性は悪化することが分かった。このような特性が得られた原因としては、 C - V 特性の場合と同様に、TEOS/ O_2 比が大きい条件では TEOS 由来の H 不純物が混入し、 SiO_2 の絶縁性が悪化したためと考えられる。

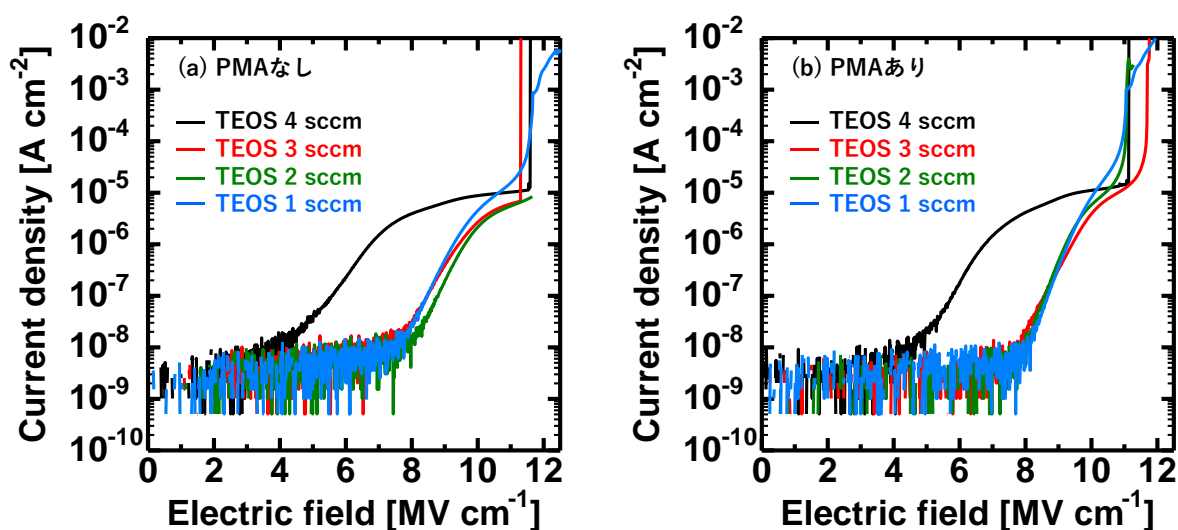


図 3.12 各条件における J - E 特性 (a) PMA なし, (b) PMA あり

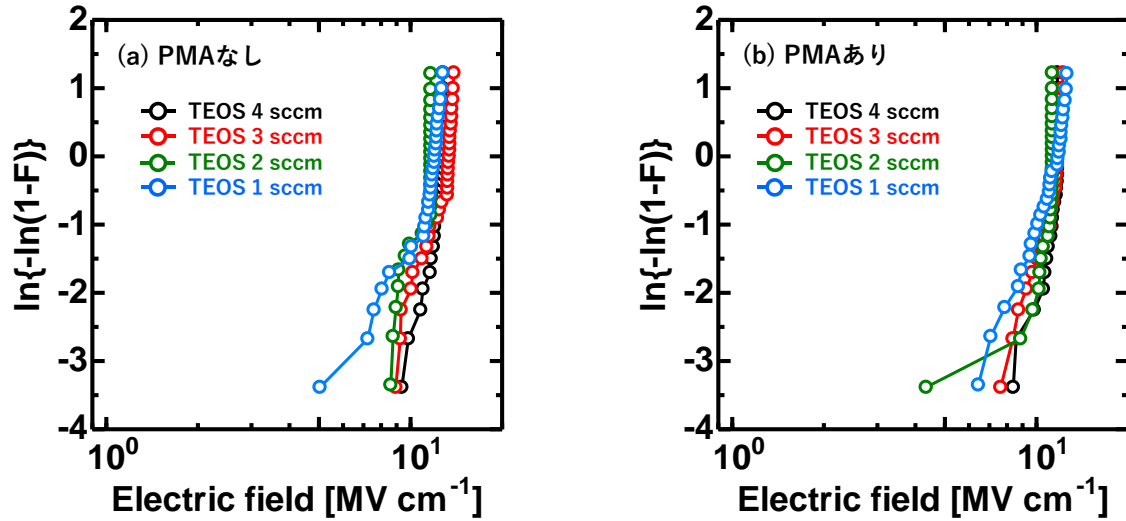


図 3.13 絶縁破壊電界の Weibull プロット (a) PMA なし, (b) PMA あり

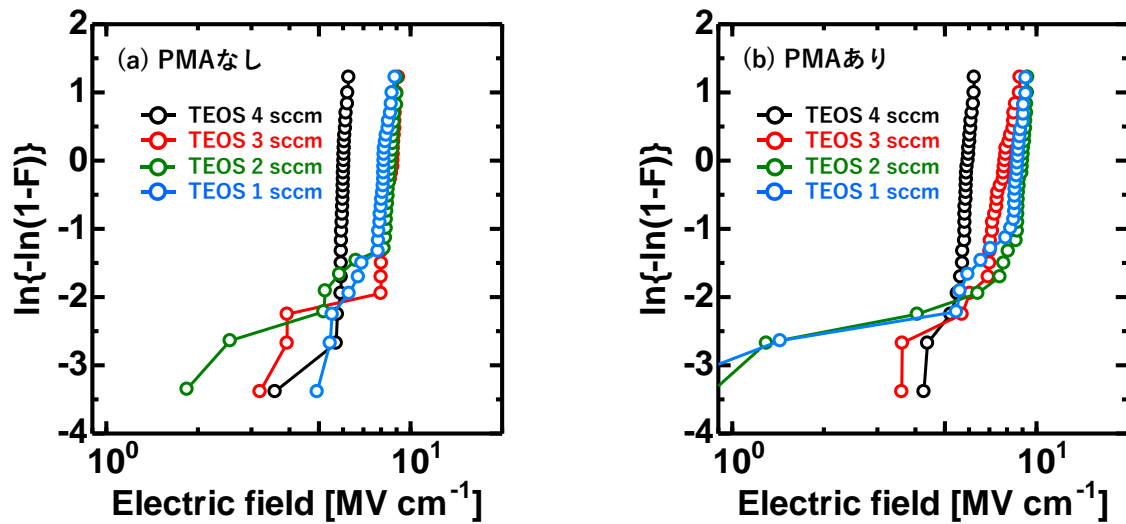


図 3.14 $J = 2 \times 10^{-7}$ A cm⁻² となる E の Weibull プロット (a) PMA なし, (b) PMA あり

3.4 まとめ

TEOS 流量を 1 ~ 4 sccm に変化させて PECVD SiO₂ を堆積させた SiO₂/GaN MOS キャパシタを作製し、その電気的特性に対して TEOS 流量が及ぼす影響を評価した。PMA の有無を問わず、TEOS 流量 4 sccm の試料を除いて D_{it} は TEOS 流量が少ないほど小さくなる傾向が得られた。成膜時の TEOS/O₂ 比が高いほど TEOS 由来の H 不純物が混入し、SiO₂ 中に欠陥や OH 結合が形成しやすくなる。このため、TEOS 流量が高いほど SiO₂ の膜質が低下し、同時に界面品質も低下したと考えられる。一方で、TEOS 流量 4 sccm の試料では 1 sccm の試料に次ぐ低い D_{it} が得られた。これは、堆積速度が速いため、GaN 表面がプラズマに曝される時間が短かったためである可能性がある。したがって、 D_{it} は TEOS 由来の H 不純物と GaN 基板のプラズマ暴露時間の 2 つのパラメータの影響を強く受ける可能性が示された。絶縁膜中の実効電荷密度 Q_{eff} は、PMA ありの場合は TEOS 流量 1 ~ 3 sccm の場合は同等であったが、4 sccm の試料のみやや低い値をとった。これは、SiO₂ 中に過剰に形成された OH 結合が電子捕獲準位として働いたためであり、他条件よりも膜中電荷が少ないわけではない可能性がある。

PBS による電荷注入量 $|\Delta Q_{str}|$ は TEOS 流量が小さいほど少ない傾向が見られた。同様に、 J - E 特性におけるリーク電流量も TEOS 流量が小さいほど少なかった。これは前述の通り、TEOS 流量が多いほど SiO₂ 中の H 不純物量が増加し、膜質が低下したためであると考えられる。

以上のことから、TEOS 流量 1 ~ 4 sccm の範囲では、流量が少ない条件で堆積するほど SiO₂/GaN 構造の電気的特性は良好になることが明らかとなった。しかし、TEOS 流量を少なくするほど SiO₂ の堆積速度は低くなるため、GaN 表面のプラズマ暴露時間は伸びる。そのため、TEOS 流量を低くすればその分電気的特性が改善されるわけではない可能性がある。以上より、今後はより TEOS 流量の少ない条件を中心に条件範囲を広げて研究を進めることが望まれる。

参考文献

- [1] Y. Nishi, T. Funai, H. Izawa, T. Fujimoto, H. Morimoto, and M. Ishii, *Jpn. J. Appl. Phys.*, **31**, 4570 (1992).
- [2] 柴田英毅, *Materia Japan*, **35**, 4, 348 (1996).
- [3] S. C. Deshmukh, and E. S. Aydil, *J. Vac. Sci. Technol. B*, **14**, 738 (1996).
- [4] S. C. Deshmukh, and E. S. Aydil, *Appl. Phys. Lett.*, **65**, 3185 (1994).
- [5] H. Hasegawa, and T. Sawada, *J. Vac. Sci. Technol.*, **16**, 1478 (1979).
- [6] T. Hashizume and H. Hasegawa, *Appl. Surf. Sci.*, **234**, 387 (2004).
- [7] Z.-Q. Fang, and D. C. Look, *Appl. Phys. Lett.*, **78**, 15, 2178 (2001).
- [8] F. J. Feigl, D. R. Young, D. J. DiMaria, S. Lai, and J. Calise, *J. Appl. Phys.*, **52**, 5665 (1981).
- [9] 谷口研二, 浜口智尋, *電学誌*, **108**, 8, 793 (1988).
- [10] M. Uenuma, R. Ando, M. Furukawa, and Y. Uraoka, *Phys. Stat. Sol. B*, **257**, 1900368 (2019).

第4章 高圧水蒸気処理による SiO₂/n-GaN MOS 特性改善効果の圧力依存性

4.1 はじめに

1.2.2 節で述べた通り、これまでの研究から高圧水蒸気処理(HPWVA)は SiO₂/n-GaN [1,2]及び Al₂O₃/n-GaN [3-5] MOS 構造におけるゲート絶縁膜や絶縁膜/GaN 界面の特性改善に有効なことが分かっている。HPWVA では、SiO₂ 中に拡散した水分子によって SiO₂ 中酸素原子の置換反応が生じ、絶縁膜中の酸素欠陥が補填される。また、SiO₂/GaN 界面まで到達した活性な水分子は界面において酸化反応を引き起こし、界面欠陥を補填する。これまでの研究では 400°C, 30 min, 0.5 MPa という単一条件での HPWVA しか行われておらず、処理条件の検討はなされていない。そこで本章では、処理圧力を変更して HPWVA を行い、SiO₂/GaN MOS 構造の電気的特性に及ぼす影響を評価した。HPWVA の処理圧力は投入水量によって制御しており、高圧条件では反応種となる水分子の数が増加するため、低圧よりも高い特性改善効果が期待される。また、二次イオン質量分析(Secondary ion mass spectroscopy : SIMS)によって絶縁膜中の Ga 濃度を評価することで、HPWVA による SiO₂ 中への Ga 拡散についても評価した。これらの評価から、様々な圧力での HPWVA が SiO₂/GaN MOS 構造に及ぼす物理的変化について考察する。

4.2 SiO₂/n-GaN MOS キャパシタの作製過程

2.2 節と同様、GaN 上 PECVD-SiO₂ 膜の評価用素子として Al/SiO₂/n-GaN/AlMOS キャパシタを作製した。MOS キャパシタの作製には、(0001)面 GaN 基板の上に 2 μm のホモエピタキシャル層(Si ドープ, $5 \times 10^{16} \text{ cm}^{-3}$)が成長されている GaN 自立基板(三菱ケミカル製)を用いた。作製プロセスの詳細は以下の(1)~(4)の通りである。

(1) 基板洗浄過程

バッファード HF (BHF)及び 0.02 mol/L の希釈 HCl を用いて基板を洗浄した。BHF に 3 min 浸漬した後、超純水でリンスした。さらに HCl に 3 min 浸漬した後、超純水でリンスした。その後 N₂ ブローで基板を乾燥させた。

(2) PECVD による SiO₂ の堆積

洗浄後、汚染や酸化を防ぐため迅速に基板を PECVD 反応チャンバーへと導入した。TEOS/O₂ = 3/300 sccm の流量比で原料を反応させ堆積を行った。基板温度、チャンバー圧力、RF 出力はそれぞれ 300°C, 80 Pa, 150 W である。等価酸化膜厚 EOT が約 65 ~ 70 nm 程度になるよう堆積時間を調整し、堆積を行った。

(3) 高圧水蒸気処理(HPWVA)

400°C, 60 min の条件下で各試料に HPWVA を施した。処理圧力は 0.5, 1, 2, 3, 5 MPa に変化させ、これに HPWVA なしの試料を加えた 6 条件の試料を作製した。なお、2 及び 3 MPa を除き各条件 2 試料ずつ作製している。電気的特性評価において、2 試料

作製した条件のデータは2試料の平均を用いている。図4.1に示したように、石英ホルダーにセットした試料と超純水をチャンバーに入れ密封した。この際、超純水の投入量を調整することで処理圧力を制御した。その後、ヒーターで130 min かけてチャンバー内温度を400°Cまで加熱した(図4.2)。密閉されたチャンバー内で加熱された水は高温・高圧の水蒸気となり、チャンバー内を満たすことで試料と反応する。400°Cに到達後、圧力・温度を一定にして60 min 保持した。この保持時間をHPWVAの処理時間と定義する。処理終了後、直ちにリークバルブを開放してチャンバー内を大気開放状態に戻したのち、チャンバー温度が50°C程度になるまで冷却し、試料を取り出した。

(4) 抵抗線加熱蒸着による電極の堆積

抵抗線加熱蒸着を用い、 7×10^{-4} Pa 以下の高真空条件下で電極を堆積した。上部ゲート電極(Al: 100 nm)はメタルマスクを用いて直径50, 100, 300, 500 μm の大きさで形成した。フォトリソによってゲート電極を保護した後、HPWVAにより生じた裏面の酸化膜を除去するためBHFに3 min 浸漬し、さらに裏面をダイヤモンドペンで研磨した。フォトリソを除去した後、抵抗線加熱蒸着によって同様に裏面コンタクト電極(Al: 100 nm)を形成した。最後に400°C, 30min, N_2 雰囲気中で電極形成後熱処理(Post metallization annealing : PMA)を施した。

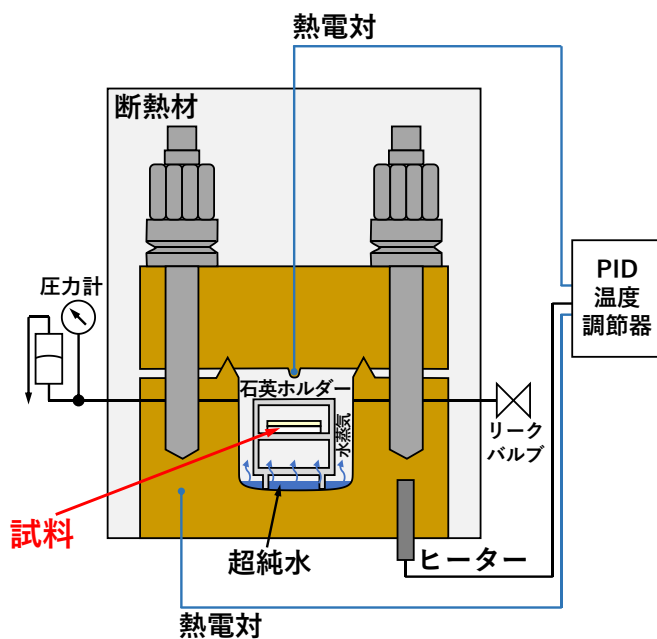


図4.1 高圧水蒸気処理装置の模式図

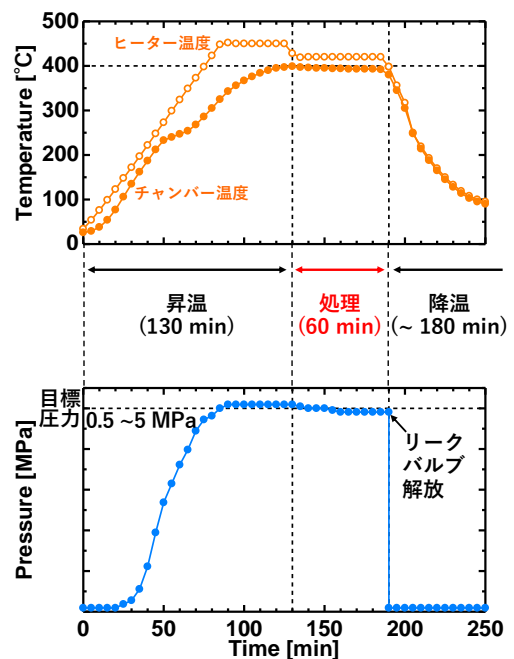


図4.2 高圧水蒸気処理装置における温度及び圧力の経時変化

4.3 電気的特性評価

4.3.1 C - V 特性による界面準位密度 D_{it} 及び絶縁膜中実効電荷密度 Q_{eff} の評価

HPWVA なし及び HPWVA あり (0.5 ~ 5 MPa) の SiO_2/GaN MOS キャパシタについて、高周波及び低周波 C - V 特性を図 4.2 に示す。各試料 5 点の電気的特性を測定しているが、その中の代表的な 1 点の C - V 特性を示している。高周波及び低周波測定の周波数はそれぞれ 1 MHz 及び 20 Hz であり、2.3.1 節と同様に理想曲線及び平均フラットバンド電圧 V_{FB} も図中に示している。HPWVA の有無によらず周波数分散は確認できるものの、HPWVA を施した試料では周波数分散は低減されている。加えてストレッチ

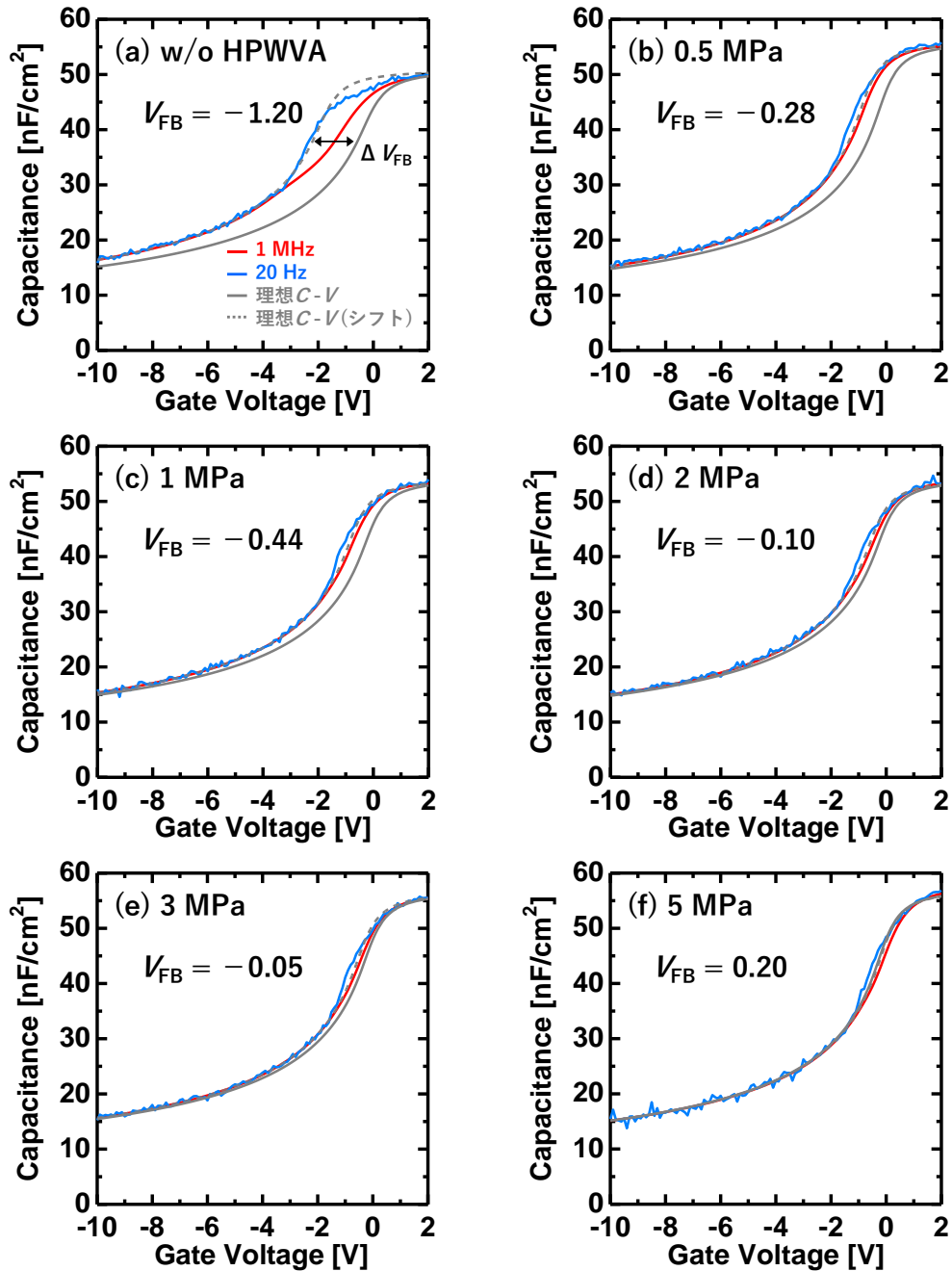


図 4.2 HPWVA なし及びありの試料における高周波及び低周波 C - V 特性 (a) HPWVA なし, (b) 0.5 MPa, (c) 1 MPa, (d) 2 MPa, (e) 3 MPa, (f) 5 MPa

アウトも低減されており、 C - V 曲線の形状が理想曲線に近づいている。また、処理圧力が高くなるにつれて V_{FB} は正側にシフトしており、理想値との差 ΔV_{FB} は小さくなっている。

High-Low 法によって算出した界面準位密度 D_{it} と伝導帯端からのエネルギー $E_C - E$ の関係を図 4.3 (a) に、 D_{it} ($E_C - E = 0.25 \sim 0.35$ の平均値) と処理圧力の関係を図 4.3 (b) にそれぞれ示す。2.3.1 節と同様に、 D_{it} はバンド端ほど高くミッドギャップほど低いという DIGS モデル型の分布がみられた[6]。処理圧力によらず、HPWVA によって D_{it} は 50% 程度低減されていることが確認できる。これは序章で述べた通り、HPWVA によって SiO_2/GaN 界面まで拡散された活性な水分子が引き起こす酸化反応に伴い、界面の欠陥が補填されたためと考えられる。また、処理圧力による D_{it} の変化を比較すると、2 及び 3 MPa のときに D_{it} は最小値をとってはいるものの、他の条件との差は小さく、明確な圧力依存性は確認できない。すなわち、 400°C , 60 min という条件においては、HPWVA による界面欠陥の補填効果は処理圧力によらずほぼ一定であることが明らかになった。

C - V 特性から算出した V_{FB} より、絶縁膜中の実効電荷密度 Q_{eff} を算出し、処理圧力との関係を図 4.4 に示す。 D_{it} 同様、HPWVA を施すことによる Q_{eff} の低減が確認できる。これは、HPWVA によって SiO_2 中酸素原子が水由来の酸素原子に置換され、それに伴って SiO_2 中の欠陥が補填されるためと考えられる。その際に SiO_2 中に OH 結合が形成されても、0.5 MPa の場合であれば、冷却過程で十分に脱離されることが分かっており、過剰な OH 結合が残留することはない[2]。また、 D_{it} の場合とは異なり、処理圧力が高くなるほど Q_{eff} は減少する傾向がみられた。したがって、 400°C , 60 min という条件においては、HPWVA による絶縁膜中酸素の置換反応は圧力の上昇に伴って進行しやすくなる可能性がある。以上のことから、HPWVA の処理圧力を上げると、 D_{it} を低く保ったまま Q_{eff} をさらに低減できる可能性が示された。

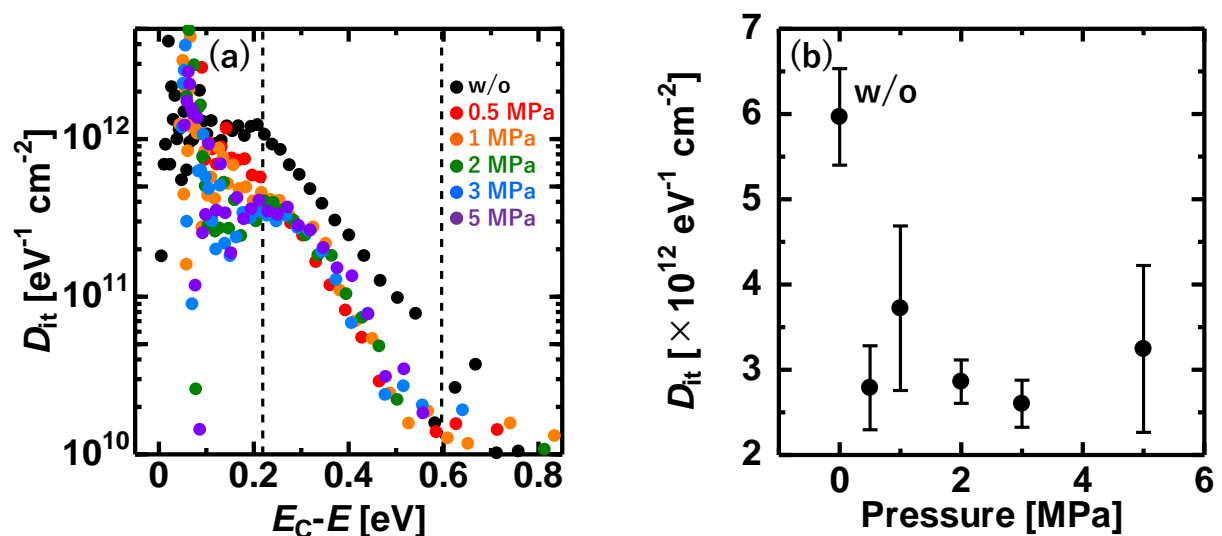


図 4.3 High-Low 法から算出した界面準位密度 D_{it} と (a) 伝導帯端からのエネルギー準位 $E_C - E$ との関係, (b) 処理圧力との関係

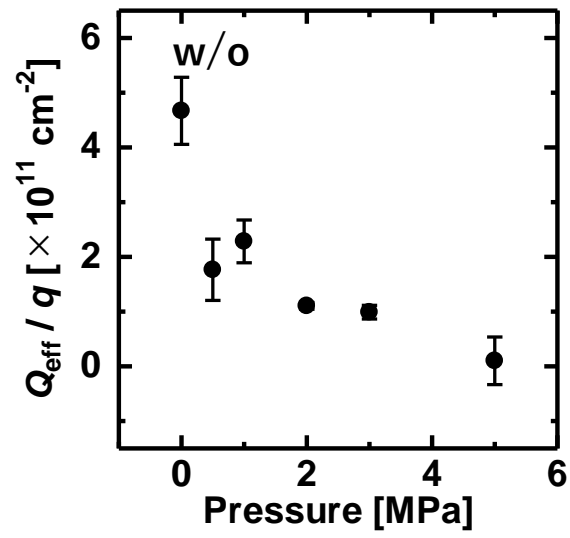


図 4.4 絶縁膜中の実効電荷密度 Q_{eff} と処理圧力との関係

4.3.2 双方向 C - V 測定によるヒステリシス特性の評価

ゲート電圧を蓄積側から空乏側、空乏側から蓄積側の順に掃引して双方向 C - V 測定を行い、ヒステリシス特性を評価した。各条件における 1MHz でのヒステリシス特性を図 4.5 に示す。HPWVA なしの試料においては、2.3.2 節と同様に、空乏領域でヒステリシスが確認された。一方で HPWVA ありの試料においては、ヒステリシスは殆ど見られなかった。ヒステリシスが観測された電圧におけるエネルギー準位を算出すると、 $E_c - E = 0.5 \sim 2$ eV 程度であったことから、ヒステリシスは High-Low 法から算出した D_{it} よりも深い準位の欠陥の影響により生じていると考えられる。

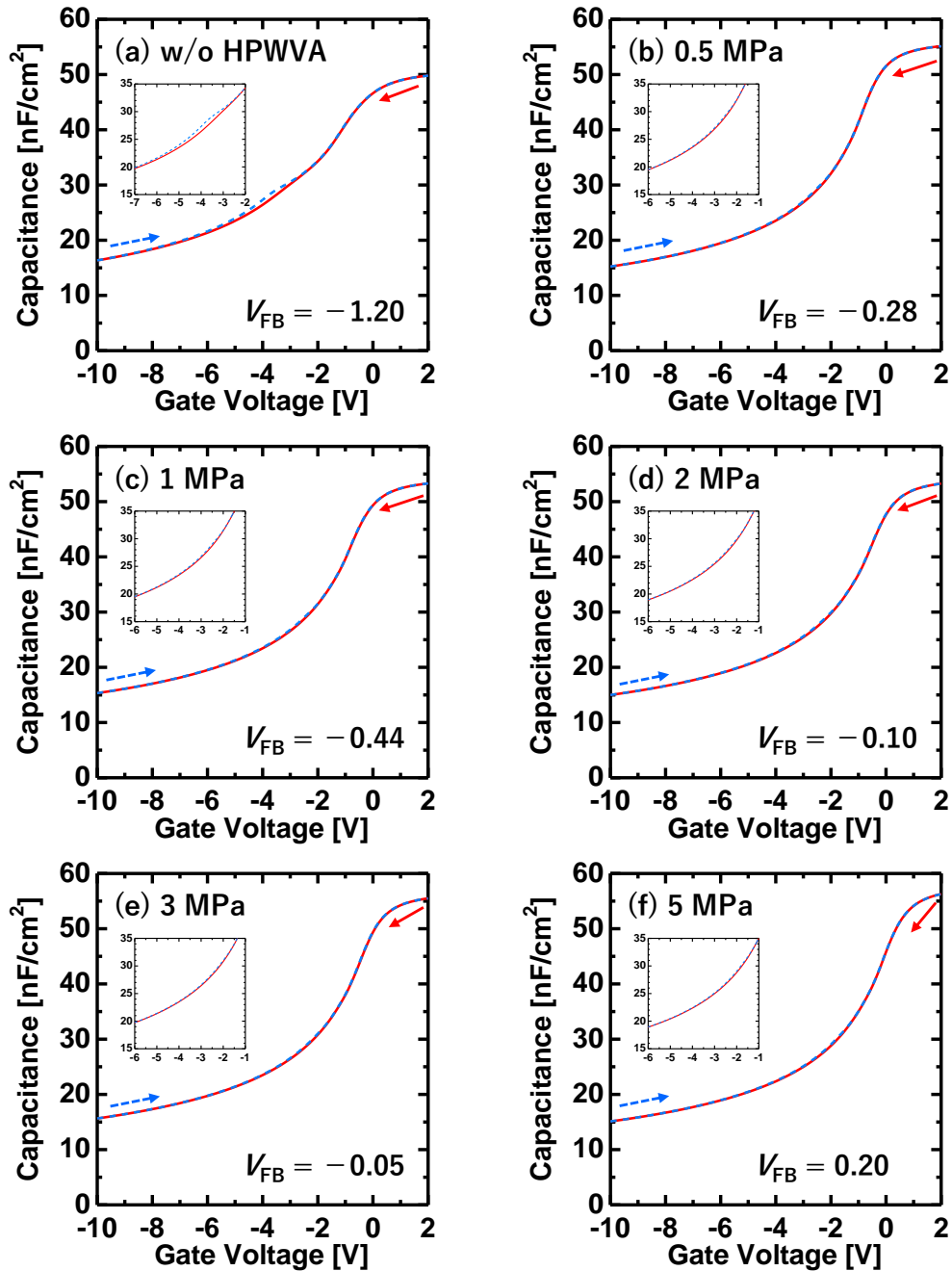


図 4.5 各条件における双方向 C - V (ヒステリシス)特性 (a) HPWVA なし, (b) 0.5 MPa, (c) 1 MPa, (d) 2 MPa, (e) 3 MPa, (f) 5 MPa

各条件における最大ヒステリシス幅を ΔV_{hys} として捕獲電荷密度 $\Delta Q_{\text{hys}} = C_{\text{OX}} \Delta V_{\text{hys}}$ を算出し、処理圧力との関係を図 4.6 に示す。HPWVA ありの試料では、HPWVA なしの試料よりも ΔQ_{hys} は低減されているが、処理圧力との間に明確な相関関係は確認できなかった。これは D_{it} における圧力依存性と同様の傾向である。したがって、HPWVA は High-Low 法で検出できる準位の D_{it} だけでなく、ヒステリシスを引き起こすやや深い準位のトラップの低減にも有効であることが明らかとなった。

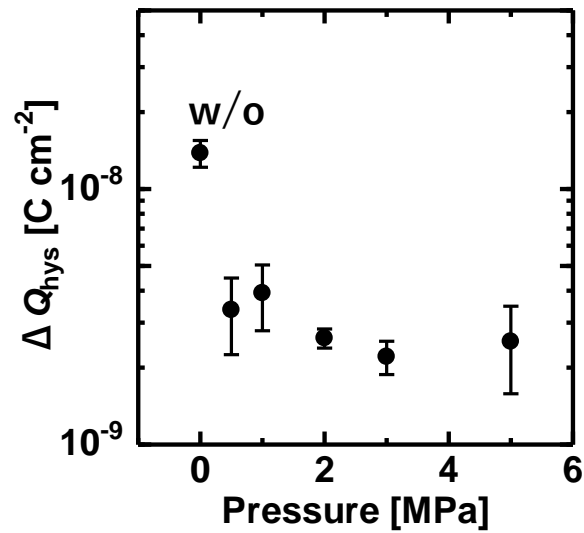


図 4.6 最大ヒステリシス幅 ΔV_{hys} より算出した ΔQ_{hys} と処理圧力との関係

4.3.3 正電圧ストレス C - V 特性による V_{FB} 安定性の評価

HPWVA が V_{FB} の安定性に及ぼす影響を評価するため、正電圧ストレス(PBS) C - V 測定を行った。図 4.7 に約 2 MV cm^{-1} の正電圧ストレスを印加した際の C - V 特性を示す。HPWVA の有無によらず、 C - V 曲線は正方向に平行移動している。したがって、GaN 基板から SiO_2 中に注入された電荷は SiO_2 中でトラップされ、新たな絶縁膜中負電荷として働いていると考えられる[7]。

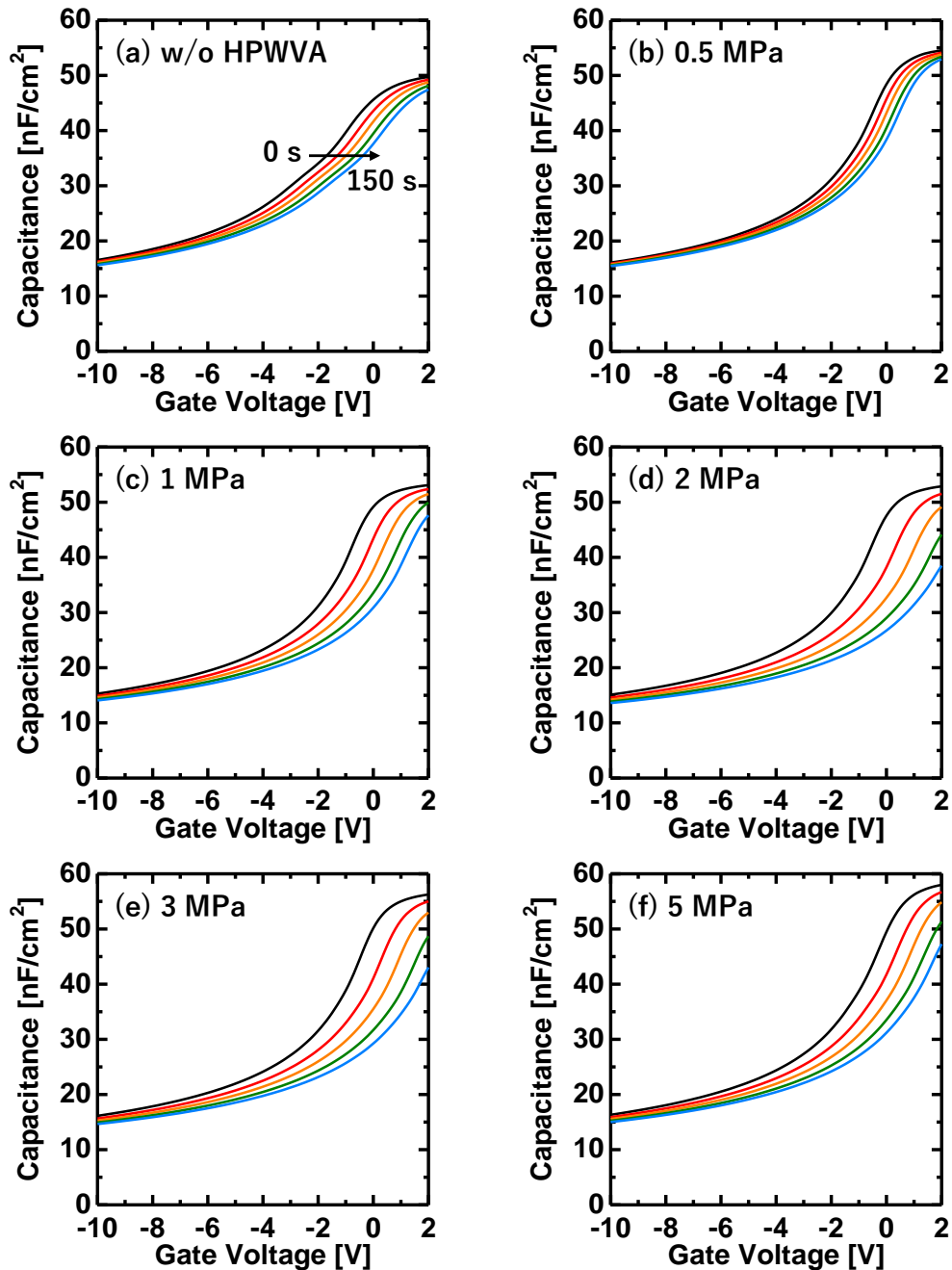


図 4.7 2 MV cm^{-1} の正電圧ストレスを加えた際の各条件における C - V 特性 (a) HPWVA なし, (b) 0.5 MPa, (c) 1 MPa, (d) 2 MPa, (e) 3 MPa, (f) 5 MPa

150 秒間の PBS 印加後の電荷注入量 $|\Delta Q_{\text{str}}| = C_{\text{OX}} |\Delta V_{\text{str}}|$ と処理圧力の関係を図 4.8 に示す。ここで、 $|\Delta V_{\text{str}}|$ は PBS による V_{FB} のシフト量を表す。処理圧力の増加に伴って電荷注入量が増加する傾向が確認できる。1 MPa から電荷注入量は増加しはじめ、2 MPa 以上の圧力では HPWVA なしの場合の 2 ~ 3 倍程度の電荷が絶縁膜中に注入されている。以上の PBS C- V 特性から、HPWVA の処理圧力を上げるほど PBS による絶縁膜中への電荷注入量は増加し、 V_{FB} の安定性は低下する傾向にあることが明らかとなった。このことから、高圧条件(> 1 MPa)の HPWVA では、電子捕獲準位が増加するような構造変化・欠陥形成が SiO_2 絶縁膜に生じている可能性が示唆される。

このような電子捕獲準位の起源として考えられるものとして、 SiO_2 中の Si-OH 結合 [8, 9]や O 欠陥 [10-13]などが挙げられる。先述の通り、0.5 MPa の条件下では OH 結合は冷却プロセスで十分に脱離することが分かっている [2]。しかし、より高圧の条件下では反応種となる水分子の数が多くなるため、さらに多量の OH 結合が形成されると考えられ、冷却プロセスで脱離しきれない可能性がある。また、後述する SiO_2 への Ga 拡散によって絶縁膜中の O 欠陥が増加した可能性も考えられる。これについては 4.4 節で詳細に議論する。

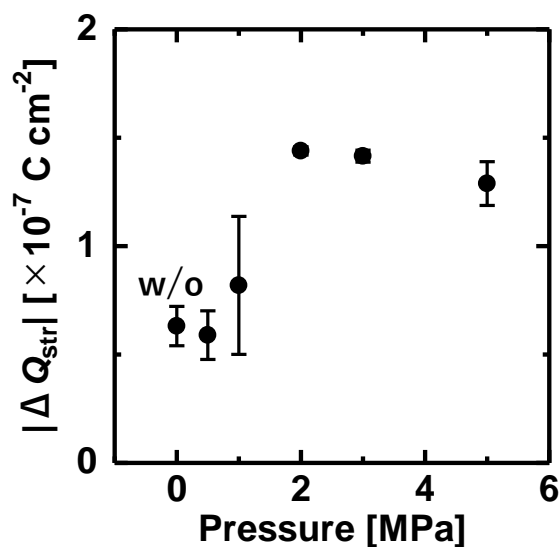


図 4.8 2 MV cm⁻¹, 15 s の正電圧ストレスによる電荷注入量 $|\Delta Q_{\text{str}}|$ と処理圧力の関係

4.3.4 I - V 特性による絶縁破壊特性の評価

HPWVA が SiO_2 の絶縁破壊特性に及ぼす影響を調査するため、電流-電圧(I - V)特性を評価した。ゲートリーク電流密度(J)と印加電界(E)の関係を図 4.9 に示す。図 4.9 (a) には、各試料 16 点の J - E 特性を測定した内の、真性破壊だと考えられる代表点 1 点ずつを示している。0.5~3 MPa の圧力で HPWVA を施した試料では、リーク電流の立ち上がり電界が HPWVA なしの試料と同程度である。一方で、5 MPa で HPWVA を施した場合、リーク電流が立ち上がる電界が低くなっており、リーク電流の増加がみられる。各試料 6 点ずつの J - E 特性を比較すると、HPWVA なし及び 0.5~3 MPa の試料では、 J - E 曲線のばらつきは約 0.5 MV cm^{-1} 程度に収まっていた(図 4.9 (b))。対して 5 MPa の試料では、 J - E 曲線のばらつきは約 2 MV cm^{-1} となっており、他の条件と比べてばらつきが大幅に増加していることがわかる(図 4.9 (c))。

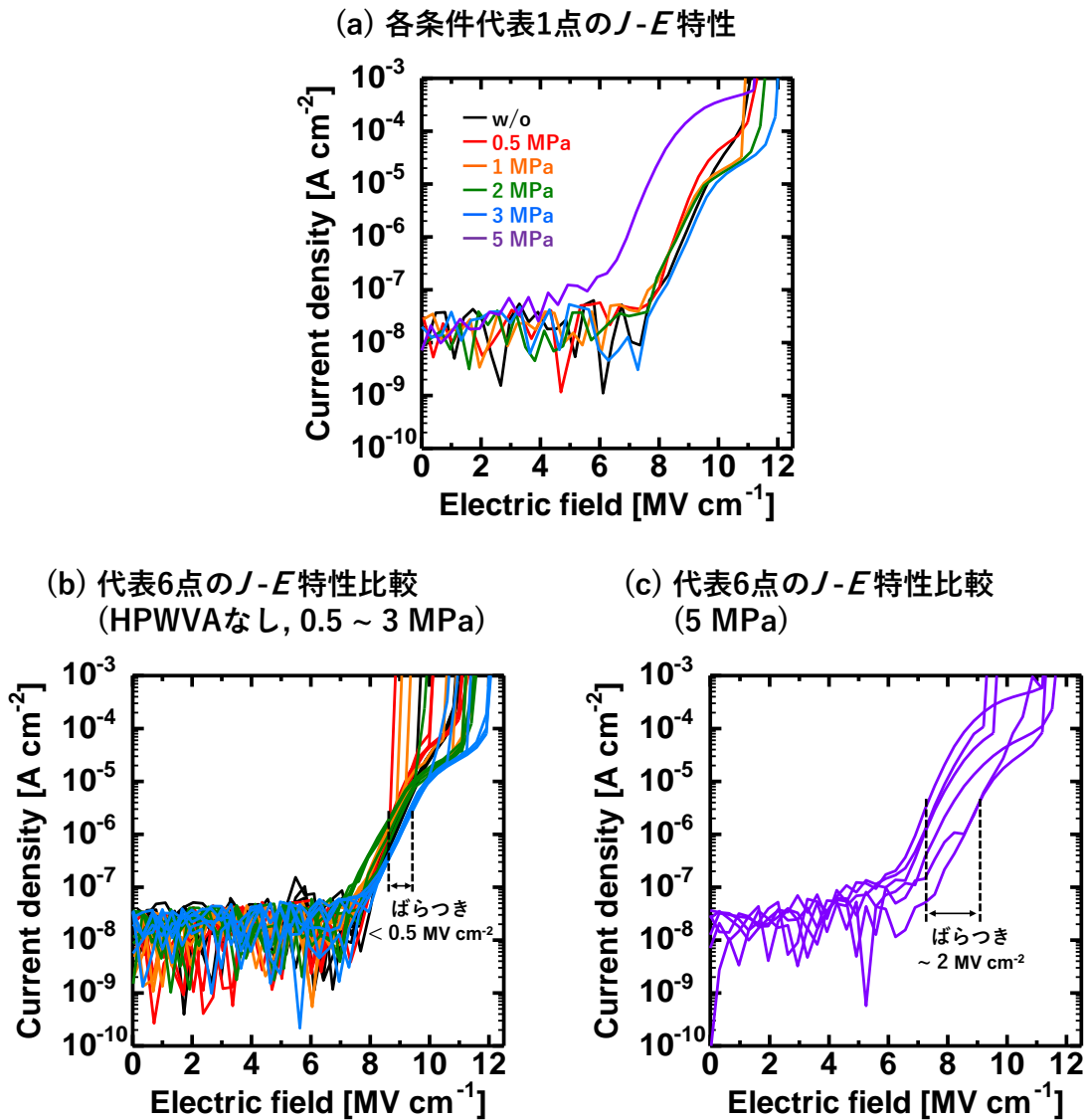


図 4.9 各条件における電界 E とリーク電流密度 J の関係

2.3.5 節と同様に、絶縁破壊電界及び立ち上がり電界($J=2 \times 10^{-7} [\text{A cm}^{-2}]$ となる電界)の Weibull プロットを図 4.10 に示す。全ての試料において絶縁破壊電界のばらつきは小さく、HPWVA 条件による差も殆ど見られなかった(図 4.10 (a))。立ち上がり電界を比較すると、HPWVA なし及び 0.5~3 MPa の試料では 8 MV cm^{-1} 程度の位置に真性破壊だと考えられる直線領域がみられた。一方で、5 MPa の試料では、真性破壊だと考えられる直線領域は $5 \sim 7 \text{ MV cm}^{-1}$ 程度の範囲に広がっていた。各試料の真性破壊領域において、(2.7)式における比例定数 β を算出すると、表 4.1 のようになる。

表 4.1 各試料の真性破壊領域における比例定数 β

処理圧力 [MPa]	β
0 (w/o HPWVA)	66.8
0.5	118
1	108
2	59.0
3	78.0
5	10.5

この比例定数 β は真性破壊領域における絶縁破壊特性のばらつきを表すパラメータであり、値が大きいほどばらつきが小さいといえる。HPWVA なしの試料及び 0.5~3 MPa の試料では β の値は 50~120 程度であった。一方で、5 MPa の試料では $\beta = 10.5$ であり、他の条件よりも明確に小さい値であった。したがって、5 MPa で HPWVA を施した試料では、他の試料よりも立ち上がり電界は低く、測定点ごとのばらつきも大きくなる。以上のことから、5 MPa で HPWVA を施すと、リーク電流の増加や面内ばらつきの増加といった絶縁破壊特性の劣化を引き起こし得ることが明らかとなった。

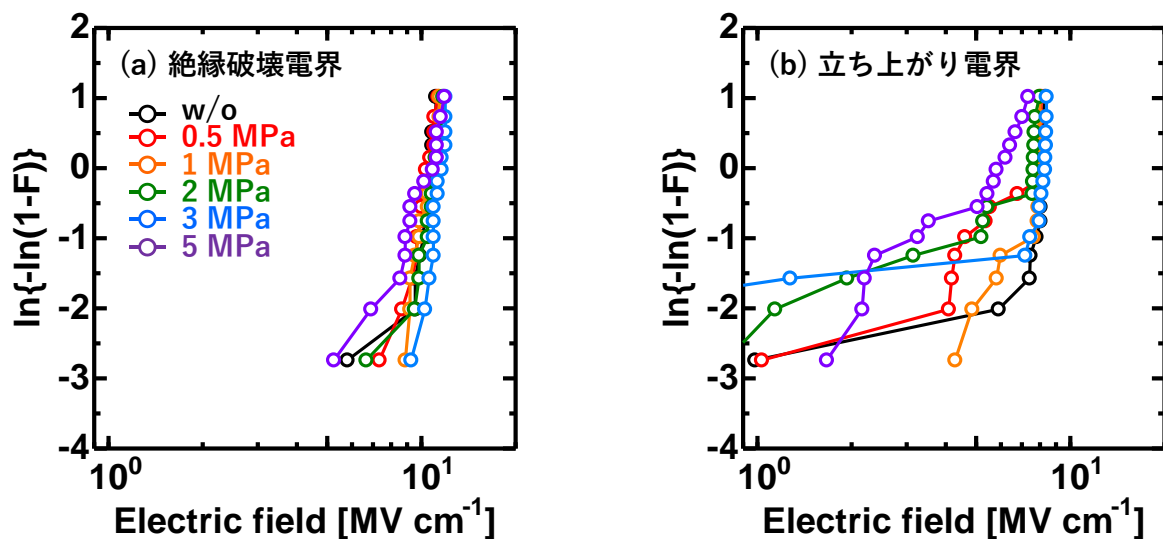


図 4.10 各条件における (a) 絶縁破壊電界, (b) 立ち上がり電界の Weibull プロット

4.3.1～4.3.4 節までの電气的特性評価から、高圧条件での HPWVA は D_{it} と Q_{eff} の低減に有効である一方で、PBS $C-V$ 特性や $J-E$ 特性といった信頼性に悪影響を及ぼすことが確認された。1 MPa 以上では PBS による電荷注入量の増加が見られ、5 MPa まで処理圧力を上げると $J-E$ 特性におけるリーク電流とぼらつき的大幅な増加も見られた。このような信頼性低下の原因として考えられるものの一つに SiO_2 中への Ga 拡散が挙げられる。900°C 以上の高温条件での O_2 アニールによって SiO_2 絶縁膜中への Ga 拡散が生じた場合、リーク電流の増加や絶縁破壊電界の低下といった絶縁破壊特性の悪化が報告されている[14]。本研究でも高温乾式熱処理の場合と同様に、高圧条件での HPWVA によって SiO_2 中に Ga が拡散した可能性が考えられる。そこで、二次イオン質量分析(SIMS)によって SiO_2 中の Ga 濃度を測定し、HPWVA による SiO_2 中への Ga の拡散を評価した。

4.4 物性評価

4.4.1 二次イオン質量分析(SIMS)による SiO₂ 中 Ga 濃度の評価

HPWVA なし、1MPa、2MPa、5MPa の 4 試料に対して、SIMS 測定により SiO₂ 中の Ga 濃度を評価した。図 4.11 に Ga 濃度の深さ分布を示す。Ga の検出限界は $3 \times 10^{16} \text{ cm}^{-3}$ である(図 4.11 中破線)。高圧水蒸気処理なしの試料であっても Ga 濃度は検出限界以上であり、SiO₂ 中にわずかな Ga の存在が確認できる。これは SiO₂ に対する Ga の拡散係数が非常に高いためだと考えられ[15, 16]、他の研究機関でも同様の現象が確認されている[17]。また、Ga は GaN 基板由来であるにも関わらず、全ての条件において Ga 濃度は界面側ではなく SiO₂ 表面側ほど高くなっている。これは、SiO₂ 中への Ga の拡散速度が GaN 基板からの Ga 放出速度よりも速く、その結果 Ga は試料表面に蓄積しているためと考えられる[18]。HPWVA の有無による Ga 濃度を比較すると、HPWVA を施した試料では HPWVA なしの試料に比べて SiO₂ 中の Ga 濃度が上昇していることが確認できる。また、処理圧力が高いほど Ga 濃度は上昇しており、5 MPa の試料最表面では $4 \times 10^{19} \text{ cm}^{-3}$ 程度まで Ga 濃度が増加していることがわかる。さらに、比較的低压である 1 MPa の試料であっても Ga 濃度は HPWVA なしの試料より明らかに増加しており、1 MPa であっても Ga 拡散は生じていることが明らかとなった。

SiO₂ 最表面における Ga 濃度と処理圧力の関係を図 4.12 に示す。測定した 4 条件における Ga 濃度から、未測定条件(0.5, 3 MPa)における Ga 濃度を推算した(図 4.12 中赤点)。以下の考察では、このようにして推算した 0.5 及び 3 MPa における Ga 濃度も用いる。本研究において、HPWVA の処理圧力はチャンバーへの投入水量を変化させることで制御している。したがって、処理圧力を高めることは、反応種となる水分子の量を増やすことを意味している。処理圧力を高めるほど界面に到達する水分子量が多くなり、界面での反応が過剰に進行しやすくなると考えられる。その結果、界面欠陥を補填するだけでなく、GaN の結晶構造を損傷し、Ga の脱離を引き起こしている可能性がある。

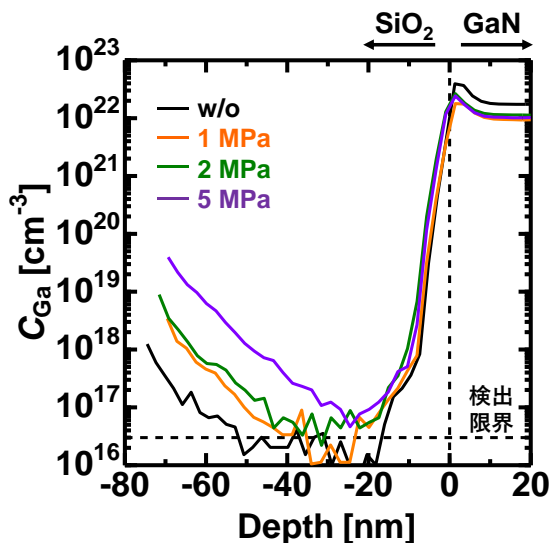


図 4.11 SIMS による SiO₂ 中 Ga 濃度の深さ分布

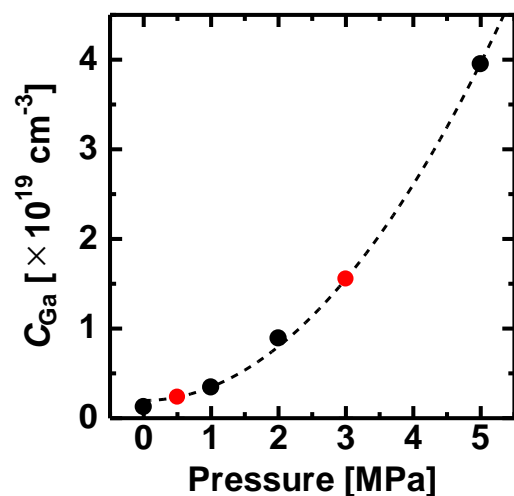


図 4.12 SiO₂ 最表面における Ga 濃度と処理圧力の関係

4.4.2 SiO₂中に拡散したGa原子が電気的特性に及ぼす影響

SiO₂最表面におけるGa濃度とPBSによる電荷注入量 $|\Delta Q_{\text{str}}|$ との関係を図4.13に、 $E = 7 \text{ MV cm}^{-1}$ におけるリーク電流密度 J との関係を図4.14にそれぞれ示す。ただしリーク電流に関しては、真性破壊以外の偶発的な破壊モードの点を除くため、立ち上がり電界($J = 2 \times 10^7 \text{ A cm}^{-2}$ となる電界)が小さい方から数えて半分のデータを除外して平均値を求めている。処理圧力が上昇しGa濃度が高まるにつれて $|\Delta Q_{\text{str}}|$ も増加する傾向が見られた。したがって、PBS C - V 特性において、処理圧力の増加に伴い $|\Delta Q_{\text{str}}|$ が増加したのは絶縁膜中へのGa拡散による影響があったためと考えられる。1 MPaの試料においては、試料間のばらつきが非常に大きいことから、 $4 \times 10^{18} \text{ cm}^{-3}$ 程度のGa濃度が $|\Delta Q_{\text{str}}|$ 増加の閾値となっている可能性がある。また、2 MPa以上の圧力でHPWVAを施した試料では $|\Delta Q_{\text{str}}|$ が大きく変わらないことから、 $|\Delta Q_{\text{str}}|$ 増加は 10^{19} cm^{-3} 程度のGa濃度で飽和するのだと考えられる。Ga濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 程度まで上昇すると $|\Delta Q_{\text{str}}|$ は大きく増加し、 10^{19} cm^{-3} 程度になると $|\Delta Q_{\text{str}}|$ は飽和している。一方で、 $|\Delta Q_{\text{str}}|$ が大きく増加しているような領域であってもリーク電流は変化しておらず、 $5 \times 10^{19} \text{ cm}^{-3}$ 程度まで増加したところで急激に増加している。

高圧条件でのHPWVAを施すと、 $|\Delta Q_{\text{str}}|$ が増加し、リーク電流の伝導機構に変化が見られることから、Ga拡散に伴って絶縁膜中に欠陥が生じていると考えられる。PBS C - V 特性及び J - E 特性から、Ga拡散による絶縁膜中欠陥の形成について考察する。Ga濃度 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度の場合は、SiO₂/GaN界面付近にのみ欠陥が形成されていると考えられる(図4.15(a-i))。このとき、PBSを加えると、GaNからSiO₂中に注入された電子が界面付近の欠陥にトラップされる。その結果、PBSによる電荷注入量が増加する(図4.15(a-ii))。一方で、欠陥が形成されているのは絶縁膜全体で見ると一部分のみである。そのため、リーク電流の伝導機構には大きく影響せず、 J - E 特性はHPWVAなしの場合と変化しない(図4.15(a-iii))。SiO₂中Ga濃度が $10^{19} \sim 10^{20} \text{ cm}^{-3}$ 程度まで増

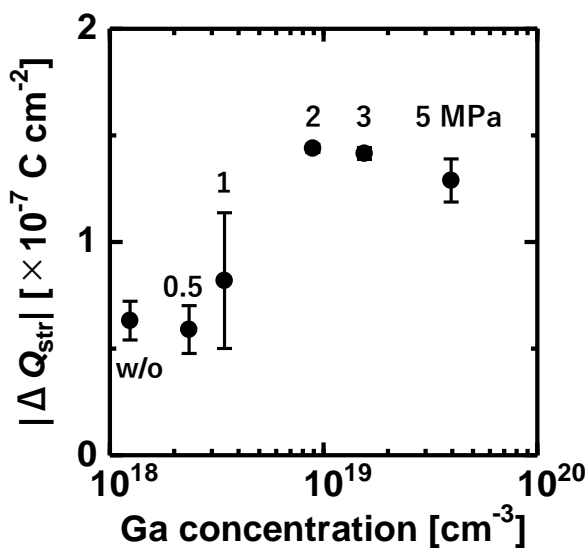


図4.13 PBSによる電荷注入量 $|\Delta Q_{\text{str}}|$ とSiO₂最表面Ga濃度との関係

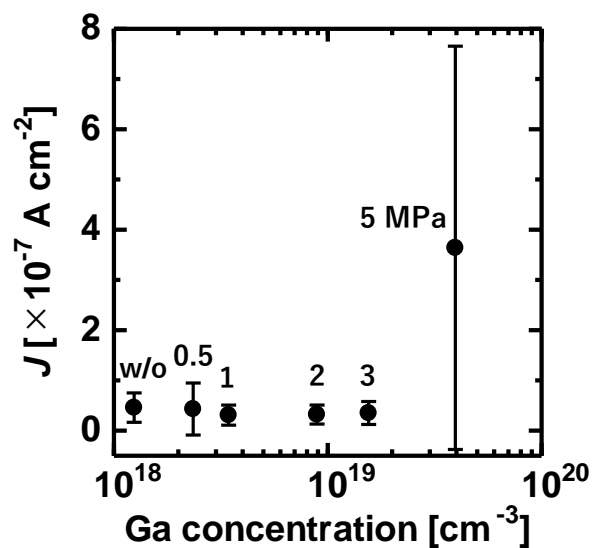


図4.14 $E = 7 \text{ MV cm}^{-1}$ におけるリーク電流密度 J とSiO₂最表面Ga濃度との関係

加した場合は、Ga 拡散による欠陥形成が SiO₂ 絶縁膜全体に及んでいると考えられる (図 4.15(b-i))。PBS による電荷注入量は界面付近の欠陥に強く影響されるため、Ga 濃度が 10¹⁸ cm⁻³ 台の場合と大きくは変わらない(図 4.15(b-ii))。さらに高い電界を加えると、絶縁膜全体に形成された欠陥がリークパスとなることで、リーク電流の伝導機構が変化する。その結果、リーク電流の大幅な増加が見られたと推測される(図 4.15(b-iii))。

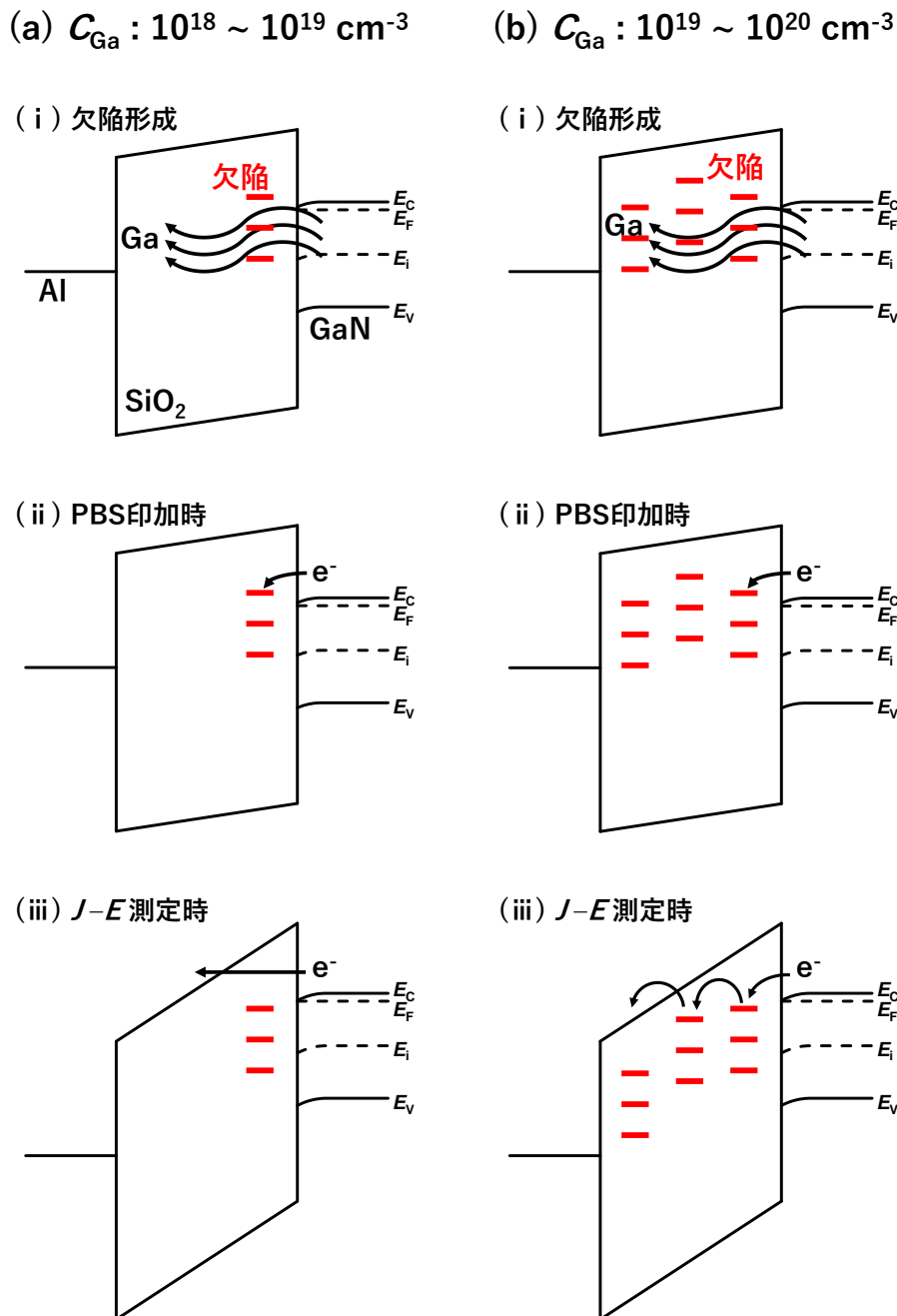


図 4.15 Ga 拡散によって SiO₂ 中に形成される欠陥が電気的特性に及ぼす影響の模式図 (a) Ga 濃度 : 10¹⁸ ~ 10¹⁹ cm⁻³, (b) Ga 濃度 : 10¹⁹ ~ 10²⁰ cm⁻³

4.3.1 節において、処理圧力の上昇に伴って Q_{eff} の値は減少する傾向が見られたが、この点について SiO_2 中の Ga 濃度と関連付けて考察する。Ga 濃度と Q_{eff} の関係を比較すると図 4.16 のようになる。Ga 濃度の増加に伴い、 Q_{eff} は減少する傾向がみられる。これまで議論してきたように、PBS C - V 特性や J - E 特性の変化から、 SiO_2 中の Ga 濃度が高まるほど絶縁膜中には欠陥が増加していると推測される。通常、絶縁膜中の欠陥が増加すればそこに捕獲される電荷量も増加するため、Ga 濃度の上昇に伴って絶縁膜中に存在する電荷の総量が減少しているとは考え難い。したがって、Ga の拡散に伴って絶縁膜中に負電荷が形成され、その結果 Q_{eff} が見かけ上減少している可能性がある。 SiO_2 中の Ga が負電荷として働いていると仮定すると、図 4.11 より Ga 濃度は SiO_2 表面で高くなっていることから、 SiO_2 表面側に多量の負電荷が形成されているといえる(図 4.17)。

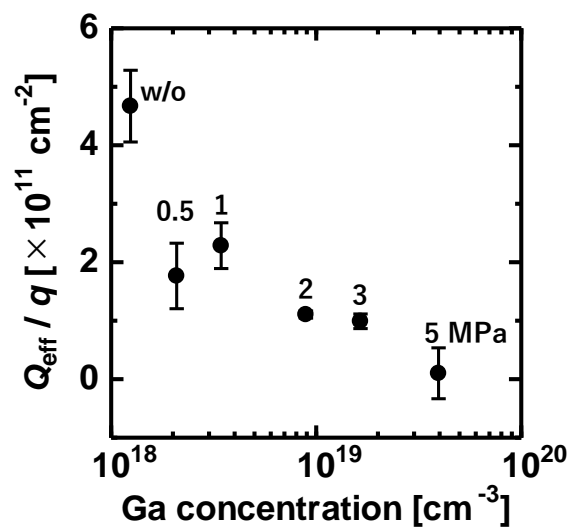


図 4.16 実効電荷密度 Q_{eff} と Ga 濃度の関係

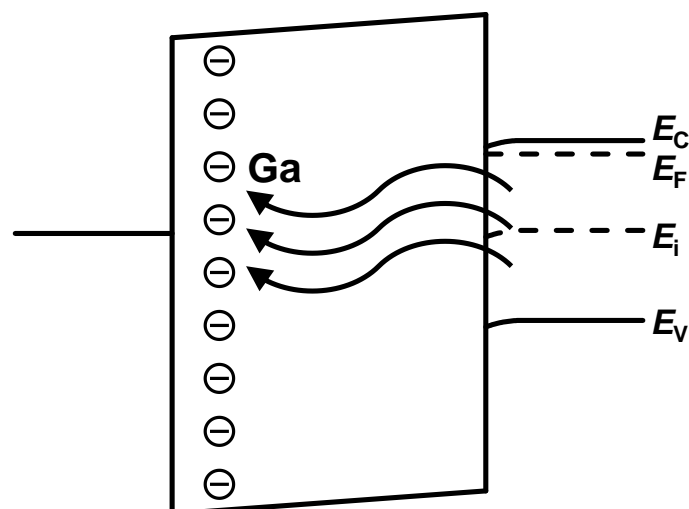


図 4.17 SiO_2 中への Ga 拡散と負電荷形成の模式図

続いて、HPWVAによってSiO₂中に拡散したGa原子の総量について議論する。図4.11におけるGa濃度を膜厚で積分することで、絶縁膜中に拡散したGaの総量を算出することができる。各処理圧力におけるGa原子の拡散量は表4.2のようになる。

表 4.2 各条件下でのHPWVAによるSiO₂中へのGa拡散量

処理圧力 [MPa]	Ga 拡散量 [$\times 10^{12}$ cm ⁻²]
0 (w/o HPWVA)	0.7
1	1.7
2	3.8
5	20

GaNのa軸格子定数は3.189 Åであるから[19-22]、GaN結晶の第1層に存在するGa原子数は 1.14×10^{15} cm⁻²である。したがってHPWVAによってSiO₂中に拡散したGa原子の総量は、5 MPaの場合であっても、GaN表面に存在するGa原子の2%にも満たないことがわかる。界面のGa原子脱離が生じてても D_{it} がほとんど変化しなかった理由の一つは、脱離したGa原子が界面全体の極一部分だけであったためだと考えられる。

SiO₂中を拡散するGaの状態については更なる調査が必要だが、GaOH分子の状態をとっている可能性が考えられる。イオン注入されたGaがSiO₂中を拡散する場合、SiO₂中ではGaOHの状態をとることが報告されており[15]、GaN由来のGaでも同様である可能性がある。

最後に、Ga拡散の発生原因について考察する。O₂雰囲気下での乾式熱処理においては、900°C以上の高温条件でのGa拡散は報告されてきたが、400°C程度の条件ではGa拡散は発生しないとされていた[14]。本研究から、400°C程度の比較的低温条件であっても、高圧の湿式熱処理であればGa拡散とそれに伴う絶縁膜特性の劣化が生じ得ることが明らかとなった。低温条件でのGa拡散が発生した原因として考えられるものの一つに、HPWVAが持つ高い酸化力が挙げられる。O₂アニールによるGaの拡散は900°C程度から観測されているが、N₂アニールの場合は1000°CであってもGa拡散が生じないことがわかっている[18]。このことから、高温での乾式熱処理におけるSiO₂中へのGaの拡散速度は熱処理の酸化力に依存すると考えられている。1.2.2節でも述べた通り、絶縁膜中へのH₂Oの拡散速度はO₂よりも高いため、HPWVAは乾式熱処理よりも高い酸化力を持つことが分かっている[23, 24]。そのため、乾式熱処理ではGa拡散が生じないような低温条件であっても、高圧条件のHPWVAではGa拡散が生じると考えられる。また、HPWVAがHを含む雰囲気下での熱処理であることも原因の一つである可能性がある。β-Ga₂O₃はN₂雰囲気下では1150°C程度の高温まで分解されないが、H₂を含む雰囲気下では350°C程度で分解することが報告されている[25]。HPWVAを施すとSiO₂/GaN界面に薄い酸化ガリウム層が形成されるが、過度の高圧では水に含まれるH原子がこの酸化ガリウム層の分解を促進し、結果とし

て絶縁膜中への Ga 拡散が進んだ可能性が考えられる。以上から、HPWVA は絶縁膜/GaN MOS 構造の改質に有効である一方で、処理圧力が高いと低温での Ga 拡散を引き起こす可能性があることが明らかとなった。

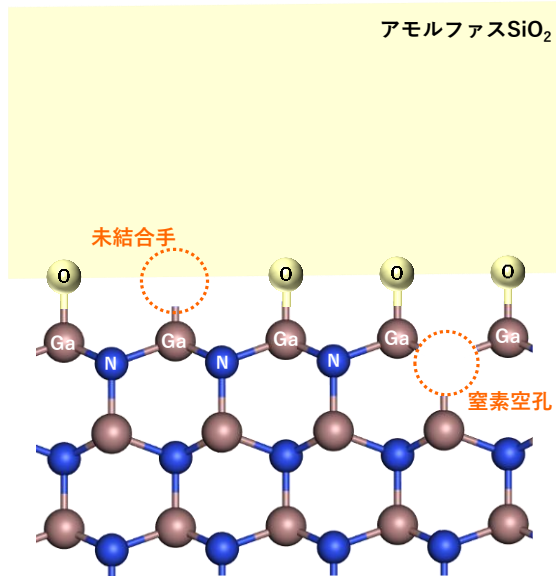
4.5 HPWVA による SiO₂/GaN MOS 構造特性改善の反応機構

これまでの結果から、SiO₂/GaN MOS 構造に対する HPWVA の反応機構について考察する。図 4.18 に HPWVA なし及び HPWVA ありの場合の SiO₂/GaN 界面の模式図を示す。HPWVA を施していない状態では、GaN 最表面 Ga の未結合手(Dangling bond)や窒素空孔などの影響で界面準位が高くなっていると考えられる(図 4.18 (a))。0.5 MPa 程度の比較的低压条件で HPWVA を施すと(図 4.18 (b))、水分子は欠陥を補填しながら SiO₂ 中を拡散し、SiO₂/GaN 界面に向かう。SiO₂ への水の拡散係数は十分に高く、0.5 MPa 処理であっても水分子は SiO₂/GaN 界面まで十分に拡散していることがわかっている[2]。SiO₂/GaN 界面まで到達した活性な水分子によって界面が酸化され、欠陥が補填・不活性化されていると考えられる。この時点では Ga 拡散は発生していないか、発生していたとしても極微量であり、信頼性の低下は見られない。

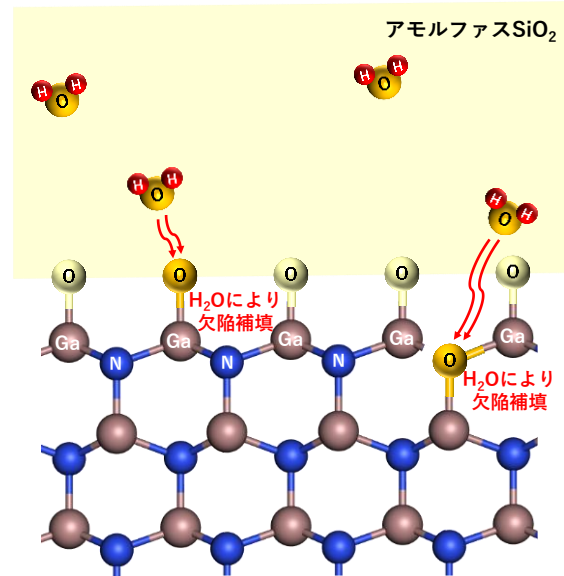
処理圧力を高める、すなわち投入水量を増やすと、界面に到達する水分子の数は増加する。多量の水分子が界面まで到達すると界面での酸化反応が過剰に進行し、欠陥が補填されるだけでなく、結晶構造を損傷し Ga 原子の脱離を引き起こす可能性がある(図 4.18 (c))。脱離した Ga 原子は SiO₂ 中に拡散し、新たな欠陥を形成することで信頼性低下の要因となっていると考えられる。処理圧力をさらに上昇させると、界面までたどり着く水分子数はさらに増加し、Ga 原子の脱離はより発生しやすくなるため SiO₂ 中への Ga 拡散量も増加する(図 4.18 (d))。以上が HPWVA によって SiO₂/GaN 界面で生じていると考えられる反応である。

SiO₂ 中を拡散する Ga の状態に関しては、本研究の結果から断定することはできないが、SiO₂ にドーパされた Ga 不純物が SiO₂ 中を拡散する場合は GaOH の形をとることが報告されている[15]。また、処理圧力が高いほど界面から脱離している Ga 原子は増加してははずであるが、 D_{it} はほとんど変化していない。これは、SiO₂ 中に拡散している Ga 量は GaN 表面にする全 Ga 原子の 2%未満であるためだと考えられる。あるいは、Ga 脱離で生じた欠陥は水由来の酸素原子によって迅速に補填されている可能性も考えられる。

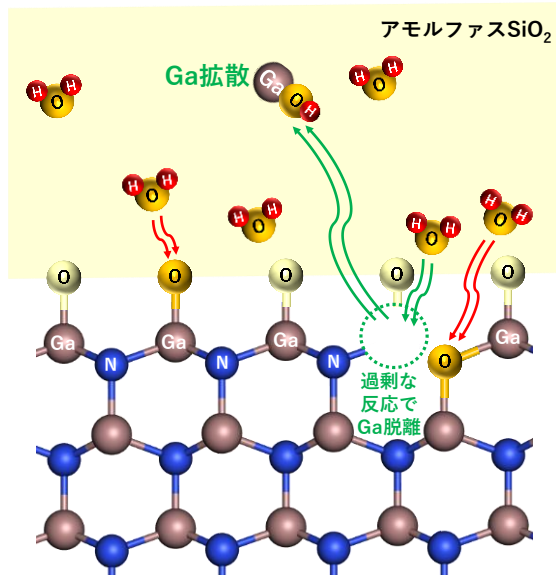
(a) HPWVAなし



(b) HPWVAあり (0.5 MPa程度)



(c) HPWVAあり (1 ~ 2 MPa程度)



(d) HPWVAあり (5 MPa程度)

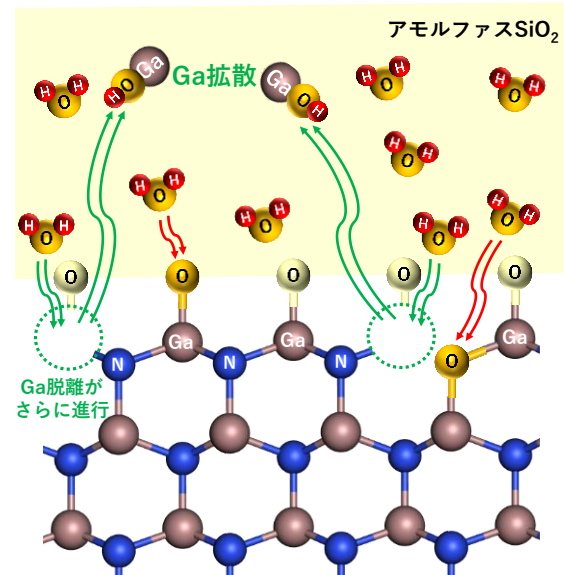


図 4.18 SiO₂/GaN 界面の模式図 (a) HPWVA なし, (b) 0.5 MPa 程度での HPWVA, (c) 1 ~ 2 MPa 程度での HPWVA, (d) 5 MPa 程度での HPWVA

4.5 まとめ

0.5~5 MPa に処理圧力を変化させて HPWVA を施した SiO₂/n-GaN MOS キャパシタを作製し、その電気的特性を評価することで、HPWVA による SiO₂/n-GaN MOS 品質改善効果の処理圧力依存性を調査した。低圧条件(> 1 MPa)では、HPWVA によって界面準位密度 D_{it} 及び絶縁膜中の実行電荷密度 Q_{eff} を共に低減することができた。PBS $C-V$ 特性や $J-E$ 特性は HPWVA なしの場合と同様であり、これらを悪化させることなく D_{it} 及び Q_{eff} を低減する手法として低圧条件での HPWVA は有効であるといえる。

高圧条件(> 1MPa)においては、 D_{it} を低圧条件の場合と同等の低い値に保ったまま、 Q_{eff} をさらに低減できるわかった。これまでの研究から、HPWVA による D_{it} の低減は水分子による界面の酸化とそれに伴う欠陥の補填によるものであり、 Q_{eff} の低減は水由来の O 原子による絶縁膜中 O 原子の置換反応によるものであることがわかっている。したがって、400°C, 60 min の条件下では、HPWVA による SiO₂/GaN 界面の酸化効果は処理圧力に殆ど依存しない一方で、絶縁膜中の O 原子置換効果は処理圧力が高いほど強くなることが示唆される。

処理圧力を高めることで Q_{eff} の更なる低減が望める一方で、PBS による電荷注入量 $|\Delta Q_{str}|$ は圧力の上昇に伴って増加する傾向がみられた。さらに、処理圧力を 5 MPa まで高めると、 $J-E$ 特性におけるリーク電流の大幅な増加が確認された。SIMS による SiO₂ 中 Ga 原子の深さ分布測定から、これらの特性悪化は SiO₂ 中への Ga 拡散に起因する可能性が示唆された。比較的低下な 1 MPa 条件であっても HPWVA なしの場合の 10 倍の Ga 濃度が観測されており、1 MPa 以上で $|\Delta Q_{str}|$ が増加した原因となっている可能性がある。また、5 MPa の場合は HPWVA なしの 100 倍となる $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度の Ga 濃度が観測されており、リーク電流が急激に増加するほど絶縁膜質が悪化することがわかった。酸素を用いた乾式アニールの場合は 900°C 以上の高温条件でしか Ga の拡散は報告されていなかったが、より強い酸化力を持つ HPWVA の場合は 400°C という比較的低温な条件下でも Ga 拡散とそれに伴う特性劣化が生じ得ることが明らかとなった。また、高圧条件における Q_{eff} の減少は、負電荷の形成により見かけ上減少している可能性も示唆された。

以上のことから、HPWVA の高い酸化力は、GaN 表面からの Ga 脱離と SiO₂ 中への Ga 拡散を引き起こす可能性があるものの、処理圧力によってその酸化力を適正に制御すれば、GaN 系 MOS 界面の特性改善に極めて有効な処理であるといえる。

参考文献

- [1] T. Lin, M. Uenuma, M. Furukawa, J. P. S. Bermundo, Y. Ishikawa, and Y. Uraoka, *ECS J. Solid State Sci. Technol.*, **8**, 388 (2019).
- [2] 安藤領汰, 奈良先端科学技術大学院大学修士論文 (2019).
- [3] M. Uenuma, K. Takahashi, S. Sonehara, Y. Tominaga, Y. Fujimoto, Y. Ishikawa, and Y. Uraoka, *AIP Adv.*, **8**, 105103 (2018).
- [4] Y. Fujimoto, M. Uenuma, T. Nakamura, M. Furukawa, Y. Ishikawa, and Y. Uraoka, *Jpn. J. Appl. Phys.*, **58**, 040902 (2019).
- [5] 藤本裕太, 奈良先端科学技術大学院大学博士論文 (2019).
- [6] H. Hasegawa, and T. Sawada, *J. Vac. Sci. Technol.*, **16**, 1478 (1979).
- [7] K. Watanabe, D. Terashima, M. Nozaki, T. Yamada, S. Nakazawa, M. Ishida, Y. Anda, T. Ueda, A. Yoshigoe, T. Hosoi, T. Shimura, and H. Watanabe, *Jpn. J. Appl. Phys.*, **57**, 06KA03 (2018).
- [8] F. J. Feigl, D. R. Young, D. J. DiMaria, S. Lai, and J. Calise, *J. Appl. Phys.*, **52**, 5665 (1981).
- [9] 谷口研二, 浜口智尋, *電学誌*, **108**, 8, 793 (1988).
- [10] D. Qian, and D. J. Dumin, in Proc. Of Int. Symp. *On the Physical and Failure Analysis of Integrated Circuits (Cat. No.99TH8394)*, 145, IEEE, Singapore, (1999)
- [11] Z.-Y. Lu, C. J. Nicklaw, D. M. Fleetwood, R. D. Schrimpf, and S. T. Pantelides, *Phys. Rev. Lett.*, **89**, 28, 285505 (2002).
- [12] N. Richard, L. M. Samos, G. Roma, Y. Limoge, and J. P. Crocombette, *J. Non-Cryst. Solids*, **351**, 1825 (2005).
- [13] A. V. Kimmel, P. V. Sushko, A. L. Shluger, and G. Bersuker, *ECS Trans.*, **19**, 2, 3 (2009).
- [14] T. Yamada, K. Watanabe, M. Nozaki, H. Yamada, T. Takahashi, M. Shimizu, A. Yoshigoe, T. Hosoi, T. Shimura, and H. Watanabe, *Appl. Phys. Express*, **11**, 015701 (2018).
- [15] A. H. van Ommen, *J. Appl. Phys.*, **57**, 1872 (1985).
- [16] E. Ogawa and T. Hashizume, *Jpn. J. Appl. Phys.*, **50**, 021002 (2011).
- [17] T. Yamada, D. Terashima, M. Nozaki, H. Yamada, T. Takahashi, M. Shimizu, A. Yoshigoe, T. Hosoi, T. Shimura, and H. Watanabe, *Jpn. J. Appl. Phys.*, **58**, SCCD06 (2019).
- [18] A. Uedono, W. Ueno, T. Yamada, T. Hosoi, W. Egger, T. Koschine, C. Hugenschmidt, M. Dickmann, and H. Watanabe, *J. Appl. Phys.*, **127**, 054503 (2020).
- [19] H. P. Maruska, and J. J. Tietjen, *Appl. Phys. Lett.*, **15**, 327 (1969).
- [20] S. Strite, and H. Morkoc, *J. Vac. Sci. Technol. B*, **10**, 1237 (1992).
- [21] S. Strite, M. E. Lin, and H. Morkoc, *Thin Solid Films*, **231**, 197 (1993).
- [22] H. Morkoc, S. Strite, G. B. Gao, M. E. Lin, B. Sverdlov, and M. Burns, *J. Appl. Phys.*, **76**, 1363 (1994).
- [23] T. Futatsuki, T. Oe, H. Aoki, N. Komatsu, C. Kimura, and T. Sugino, *Jpn. J. Appl. Phys.*, **48**, 04C006 (2009).
- [24] H.S. Oon, and K.Y. Cheong, *Mater. Chem. Phys.*, **137**, 381 (2012).
- [25] R. Togashi, K. Nomura, C. Eguchi, T. Fukizawa, K. Goto, Q. T. Thieu, H. Murakami, Y.

Kumagai, A. Kuramata, S. Yamakoshi, B. Monemar, and A. Koukitu, *Jpn. J. Appl. Phys.*, 54, 041102, (2015).

第5章 結論

5.1 本研究の結論

本研究では、GaN系 MOSFETにおいて問題となっている信頼性問題解決に向けて、絶縁膜中および絶縁膜/半導体界面の欠陥について本質的な理解を深め、欠陥を低減することを主目的として研究を行い、以下の結論を得た。

第2章では、絶縁膜厚を変化させて作製した $\text{SiO}_2/\text{n-GaN}$ MOS キャパシタの電気的特性から、絶縁膜中および界面近傍の電荷分布を解析した。さらに、電極形成後アニール(PMA)がこれらの電荷に対して及ぼす影響についても評価した。界面近傍の固定電荷 Q_f は半正規分布に従って分布し、絶縁膜中トラップ電荷 ρ_{ox} は絶縁膜全体に均一に分布しているという仮定の下でフィッティングを行うことで、各電荷の分布をモデル化することに成功した。 Q_f は正の実効値を、 ρ_{ox} は負の実効値をそれぞれ持ち、PMA はこれらの電荷両方の低減に有効であることが明らかとなった。また、PMA は各電荷の低減に有効な一方で、 ρ_{ox} の分布幅を広げるという、GaN系 MOS 界面特有の現象を引き起こす可能性が示された。この現象には SiO_2 中への Ga 拡散が影響している可能性がある。 Q_f の起源としては SiO_2 の局所的な歪みや O 欠陥などが、 ρ_{ox} の起源としては O 欠陥や OH 結合などがそれぞれ考えられる。また、コンダクタンス測定からこれらの電荷の一部が GaN 基板との間で電荷をやり取りするボーダートラップとして働いていることが示唆された。

第3章では、絶縁膜中及び絶縁膜/GaN 界面の欠陥を低減するため、 SiO_2 の堆積条件検討を行った。原料である TEOS 流量を 1~4 sccm まで変化させて SiO_2 を堆積し、その電気的特性評価から最適条件を検討した。TEOS 流量が 1 及び 4 sccm の場合に D_{it} 及び Q_{eff} が小さくなるという結果が得られた。一方で、PBS による電荷注入量 ΔQ_{str} 及び J - E 特性におけるリーク電流は TEOS 流量が小さいほど少なくなった。PECVD における SiO_2 成膜時において、TEOS/ O_2 比が高いほど基板表面への TEOS の物理吸着が発生しやすくなり、TEOS 由来の H 不純物が混入しやすくなる。その結果、 ΔQ_{str} やリーク電流が増加したのだと考えられる。以上から、1~4 sccm の範囲では、TEOS 流量が少ない条件で製膜するほど良質な SiO_2/GaN 構造が得られる可能性が示された。

第4章では、絶縁膜中及び絶縁膜/GaN 界面の電荷を低減するため、高圧水蒸気処理(HPWVA)の条件検討を行った。比較的低压な条件(< 1 MPa)では、HPWVA によって面準位密度 D_{it} 及び絶縁膜中の実行電荷密度 Q_{eff} を共に低減することができた。PBS C - V 特性や J - E 特性は HPWVA なしの試料と同等であり、信頼性を低下させることなく D_{it} 及び Q_{eff} を低減することに成功した。高圧条件(> 1 MPa)では、 D_{it} を低压条件の場合と同等の低い値に保ったまま、 Q_{eff} をさらに低減できる可能性が示された。ただしこれは、絶縁膜中に負電荷が形成されたことで Q_{eff} が見かけ上減少しただけである可能性も否めない。一方で、PBS による電荷注入量 $|\Delta Q_{\text{str}}|$ は 1 MPa から圧力上昇に伴って増加していき、5 MPa では J - E 特性におけるリーク電流の大幅な増加も観測された。SIMS による SiO_2 中 Ga 濃度の評価から、このような信頼性低下は絶縁膜中への Ga 拡散によるものであることが明らかとなった。このようにして SiO_2 中に拡散した

Ga 量は、GaN 最表面に存在する Ga 総量の 2%未満であった。O₂ を用いた乾式熱処理では 900°C 以上の高温条件でしか Ga 拡散は生じないが、高圧の HPWVA では比較的低温な 400°C であっても Ga 拡散が生じ得ることが明らかとなった。これは、HPWVA が O₂ アニールに比べて高い酸化力を持っていることが原因であると考えられる。以上から、HPWVA の高い酸化力は低温での Ga 拡散を引き起こす可能性があるものの、適正な処理条件をもってその酸化力を制御すれば、GaN 系 MOS 構造の特性改善プロセスとして非常に有効であることが示された。

本研究からは以上のような結果が得られたが、GaN 系 MOSFET の実用化に向けた本研究の位置付けを最後に述べる。SiO₂/n-GaN MOS 構造における電荷分布を明らかにしたことにより、MOSFET の信頼性問題を引き起こす欠陥や電荷について本質的理解を深めることが出来た。Si 系 MOS 構造と異なり、SiO₂/GaN MOS 構造における電荷分布の明確なモデルは未だ確立していなかった。そのため、本研究で得られた知見は、SiO₂/GaN MOS 構造の特性向上に向けて電荷や欠陥の低減を目指す今後の研究の指針として、大いに役立つことが予想される。また、SiO₂ の堆積条件制御や HPWVA によって、 D_{it} 及び Q_{eff} を共に低減することに成功した。その値は最適化された高温アニール試料の報告値には劣る[1]ものの、400°C という低温条件の熱処理でこのような結果が得られた点は非常に意義がある。さらに、SiO₂ 中への Ga 拡散のメカニズムや、様々な圧力での HPWVA が SiO₂/GaN 構造に及ぼす物理的変化について知見を深めた点は、今後の MOS 特性の更なる改善に大いに貢献すると考えられる。本研究で作製した高品質な SiO₂/GaN MOS 構造が MOSFET の特性向上にどれだけ寄与するかに関しては、現時点では不明瞭であると言わざるを得ない。1.1.5 節で述べた通り、MOSFET の実用化に向けた問題点は MOS 構造品質だけでなく、ドリフト層の品質や p-GaN やイオン注入技術など多岐に渡る。MOSFET の性能は様々な要素が複合的に関与して決定されるため、 D_{it} や Q_{eff} をどこまで低減すれば十分であるとは一概には言えない。したがって、今後は本研究で得られた高品質な MOS 構造を用いて MOSFET を試作し、その特性に及ぼす影響を評価することが求められる。

5.2 今後の課題・展望

本論文では SiO₂/GaN MOS 構造の電荷分布解明及び特性改善に取り組んだが、GaN MOSFET の実現に向けての課題は多数残されている。本論文に關与する今後の課題や展望を以下に述べる。

(1) SiO₂/n-GaN 構造における電荷の起源解明

第 2 章においては、SiO₂/n-GaN 構造における電荷分布の解明とモデル化に成功し、GaN 特有の固定電荷の PMA に対する変化を明らかにした。これらの電荷の起源についても考察を行ったものの、明確な起源の特定には至らなかった。今後は、電子スピン共鳴(Electron spin resonance : ESR)などの物性評価を行い、電氣的特性の結果と比較することで絶縁膜中電荷の起源や PMA による変化について、詳細に分析することが求められる。

(2) 高圧水蒸気処理に関する詳細な研究

第 4 章においては、低圧条件(>1MPa)HPWVA による SiO₂/GaN 特性向上と、高圧条件(> 1 MPa)HPWVA による Ga 拡散の発生が明らかとなった。これより HPWVA は SiO₂/GaN MOS 構造の特性改善に有効であるものの、処理条件の制御が重要であることが示された。本研究では処理圧力のみを変更したが、他の条件パラメータ(温度、処理時間)を変化させれば、さらに有効な処理条件を見いだせる可能性がある。例えば、高圧条件であっても短時間で処理すれば、Ga 拡散を抑制し MOS 特性の改善が可能であると考えられる。このようにさらに多くの条件での HPWVA を行うことで、HPWVA による特性改善効果及び SiO₂ 中への Ga 拡散について、より詳細な反応機構を知ることが可能になると考えられる。

(3) 絶縁膜/p-GaN MOS 構造に関する研究

本研究では絶縁膜/n-GaN 構造の高品質化についての研究を進めてきたが、縦型 GaN MOSFET の実用化に向けては、絶縁膜/p-GaN 構造に関しても同様に知見を深めることが不可欠である。p-GaN はイオン注入及びその活性化が困難であることから、n-GaN と比較して報告例が極端に少ない。p-GaN MOS キャパシタの電氣的特性では、十分な蓄積挙動が見られず、n-GaN の場合では見られないような大きなヒステリシスが観測される(図 5.1)。これは絶縁膜/p-GaN 界面に高い界面準位が存在していることを示唆している。このような p-GaN 特有の界面準位は、ドーパントである Mg が影響している可能性が考えられているが[2]、明確な起源は不明瞭であり、低減方法も確立されていない。PDA や PMA によってヒステリシスはやや低減されるものの(図 5.1 (b))、完全に取り除くことはできない。したがって、p-GaN MOS 構造における欠陥起源の解明とその低減は、GaN 系縦型 MOSFET の実現に向けた非常に重要な課題であるといえる。

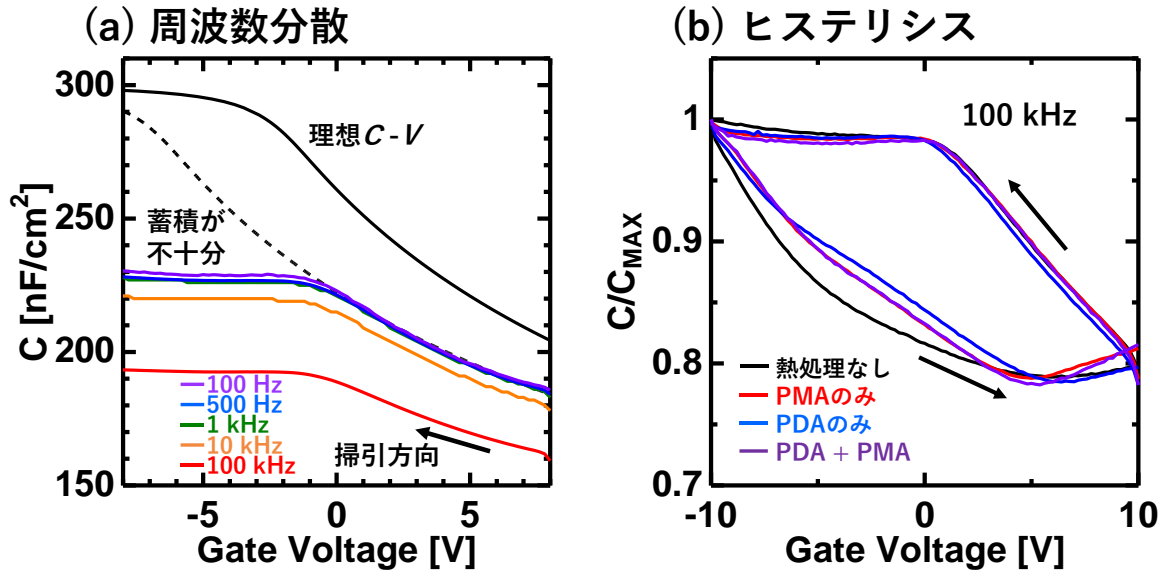


図 5.1 Al₂O₃/p-GaN MOS キャパシタの C-V 特性 (a) 周波数分散, (b) ヒステリシス特性

(4) GaN MOSFET の試作

本研究では、GaN MOS キャパシタを用いた研究のみを行い、MOS 構造の特性向上に成功した。次のステップとして、MOS 特性の改善が MOSFET のデバイス特性にどのように影響するのかを評価する必要がある。MOSFET の特性は MOS 構造のみならず様々な要素の影響を受けるため、MOS キャパシタの特性をどこまで向上させれば十分であるとは一概には言えない。そのため、実際に MOSFET を試作し、本研究で得られた SiO₂/GaN MOS 構造が MOSFET の高性能化にどれほど貢献できるのかを評価することが望まれる。

参考文献

- [1] T. Yamada, D. Terashima, M. Nozaki, H. Yamada, T. Takahashi, M. Shimizu, A. Yoshigoe, T. Hosoi, T. Shimura, and H. Watanabe, *Jpn. J. Appl. Phys.*, **58**, SCCD06 (2019).
- [2] X. Zhang, M. Liao, M. Imura, T. Nabatame, A. Ohi, M. Sumiya, Y. Koide, and L. Sang, *Appl. Phys. Express*, **9**, 121002 (2016).

研究業績目録

(1) 学術論文

1. Masaaki Furukawa, Mutsunori Uenuma, Yasuaki Ishikawa, and Yukiharu Uraoka, “Evaluate Fixed Charge and Oxide-Trapped Charge on SiO₂/GaN Metal-Oxide-Semiconductor Structure Before and After Postannealing”, *Phys. Stat. Sol. B*, **257**, 2, 1900444, (2019)

(2) 学術論文 (参考論文)

1. Mutsunori Uenuma, Ryota Ando, Masaaki Furukawa, and Yukiharu Uraoka, “The Influence of Ga-OH Bond at Initial GaN Surface on the Electrical Characteristics of SiO₂/GaN Interface”, *Phys. Stat. Sol. B*, **257**, 2, 1900368, (2019)

(3) 国際学会発表

1. Masaaki Furukawa, Mutsunori Uenuma, Ryota Ando, Yuta Fujimoto, Yasuaki Ishikawa, and Yukiharu Uraoka, “Improvement of SiO₂/GaN Interface Characteristics by High Pressure Water Vapor Annealing”, International Workshop on Nitride Semiconductor (IWN) 2018, MoP-CR-24, Kanazawa, Japan, November 2018
2. Masaaki Furukawa, Mutsunori Uenuma, Yasuaki Ishikawa, and Yukiharu Uraoka, “Evaluate Fixed Charge and Oxide Trapped Charge on SiO₂/GaN MOS Structure Before and After Post Annealing”, Compound Semiconductor Week (CSW) 2019, TuP-G-2, Nara, Japan, May 2019

(4) 国内学会発表

1. 古川暢昭, 上沼睦典, Simon Kotzea, Arne Debald, Holger Kalisch, 石河泰明, Andrei Vescan, 浦岡行治, “Al₂O₃/p-GaN MOS 構造に対する熱処理の効果”, 第 80 回応用物理学会秋季学術講演会, 20a-E301-12, 北海道大学, 2019 年 9 月
2. 古川暢昭, 上沼睦典, Simon Kotzea, Arne Debald, Holger Kalisch, 石河泰明, Andrei Vescan, 浦岡行治, “Al₂O₃/p-GaN MOS キャパシタの C-V 特性に対する熱処理の効果”, 薄膜材料デバイス研究会 第 16 回研究集会, 09P06, 龍谷大学, 2019 年 11 月
3. 古川暢昭, 上沼睦典, Simon Kotzea, Arne Debald, Holger Kalisch, 石河泰明, Andrei Vescan, 浦岡行治, “Al₂O₃/p-GaN MOS 構造の電気的特性に対する熱処理の効果”, 先進パワー半導体分科会 第 6 回講演会, IA-21, 広島国際会議場, 2019 年 12 月
4. 古川暢昭, 上沼睦典, 石河泰明, 浦岡行治, “SiO₂/GaN MOS 構造における電極形成後アニール前後の界面及び膜中電荷の評価”, 電子情報通信学会 シリコンデバイス研究会(SDM), 奈良先端科学技術大学院大学, 2019 年 12 月

謝辞

本研究を遂行し本論文をまとめるにあたり、懇切丁寧な御指導・御鞭撻を賜りました主指導教員である情報機能素子科学研究室 浦岡行治教授に厚く御礼申し上げます。学生の発想や意思を最大限尊重して下さり、何不自由なく研究活動に一意専心出来たことは、筆者にとって大変有益且つ貴重な経験になりました。重ねて御礼申し上げます。

センシングデバイス研究室 柳田健之教授には副指導教員として適切かつ丁寧な御指導を賜りました。深く感謝いたします。

ナノ構造磁気科学研究室 細糸信好准教授には副指導教員として適切かつ丁寧な御指導を賜りました。深く感謝いたします。

富士電機株式会社 上野勝典氏には共同研究の下、デバイス作製や特性評価等において、多大な御支援・御協力を賜りました。深く感謝申し上げます。

福井大学大学院工学研究科 葛原正明教授(現関西学院大学教授)、Joel T. Asuber 准教授には、サンプルの加工等において多大な御協力・御助言を賜りました。深く感謝申し上げます。

I would like to express my gratitude to Prof. Andrei Vescan and all member of the Compound Semiconductor Technology in RWTH Aachen University (German) for their support, technical advice while I was staying in Aachen.

情報機能素子科学研究室 上沼睦典准教授には、実験装置の取り扱いや研究を遂行するための適切な環境整備や研究環境全般において、御指導・御協力を賜りました。心より感謝申し上げます。

情報機能素子科学研究室 石河泰明准教授(現青山大学准教授)には、週報や進捗報告会での的確かつ有益な御助言と熱心な御指導を賜りました。心より感謝申し上げます。

情報機能素子科学研究室 藤井茉美助教、Bermundo Juan Paolo Soria 特任助教、Michael Paul Jallorina 特任助教には、研究進捗報告会の場で有益な御指摘・御助言を数多くいただきました。心より感謝申し上げます。

本学技術職員 小池徳貴氏、岡島康雄氏、宮家和宏氏には、共通利用機器全般における管理取扱方法のご指導など本研究を円滑に進める上で御支援・御協力をいただきました。深く感謝いたします。

情報機能素子科学研究室秘書 森田友紀子氏は事務手続だけでなく研究生活全般において親身になって支えてくださり大変お世話になりました。深く感謝いたします。

情報機能素子科学研究室 研究員 宮永良子氏、技術職員 青柳幸代氏、渡壁明雄氏、川平博敏氏には、実験装置のメンテナンスや備品発注等、実験装置全般で大変お世話になりました。深く感謝いたします。

Power Device Group である多田雄貴氏、中林拓斗氏、平野太基氏、柴田匠哉氏、原田慎太郎氏には、毎週の週報や実験において的確な御指示・御助言をいただきました。厚く御礼申し上げます。

情報機能素子科学研究室 博士後期課程 唐木裕馬氏、王旭東方氏、Jenichi Clairvaux

Felizco 氏、村上寛虎氏、Muhammad Arif 氏、Dianne Corsino 氏、Aimi Syairah Binti Safaruddin 氏、Hanifah Umu 氏、高橋崇典氏、吉井大陸氏には、研究遂行に向けた様々な御助言や報告会での御意見などをいただきました。厚く御礼申し上げます。

情報機能素子科学研究室 博士前期課程 麻下直暉氏、池口翼氏、岩崎恵美氏、大畑侑平氏、作場宥斗氏、西部愛里沙氏、石田翔麻氏、大前俊輔氏、合田智哉氏、高山智之氏、筒井智仁氏、Chowdhury Mohammad Mahir Asef 氏、于顕歆氏、メゾスコピック物質科学研究室 博士前期課程 津野拓海氏には、研究生活において様々な御協力をいただきました。厚く御礼申し上げます。

情報機能素子科学研究室卒業生であり、Power Device Group のメンバーとして共に研究に取り組んだ藤本雄太氏、Lin Tengda 氏、赤野拓哉氏、曾根原翔氏、安藤領汰氏、中村翼氏、寺井将太氏、東雅人氏には、毎週の週報や実験において的確な御指示・御助言をいただきました。特に藤本氏、赤野氏、曾根原氏には、修士2年次に特別研究生として編入して間もない筆者に、実験方法から私生活に至るまで様々な御助言・御協力をいただきました。厚く御礼申し上げます。

情報機能素子科学研究室卒業生であり、研究室の同期である大島拓也氏、小森健太氏、中井雄哉氏、メゾスコピック物質科学研究室卒業生である瀬名波大貴氏には、研究活動から日々の生活に至るまで、様々な面で御助言・御協力をいただきました。厚く御礼申し上げます。

情報機能素子科学研究室卒業生である、内山俊祐氏、來福至氏、劉洋氏、橋間裕貴氏、Nguyen Chung Dong 氏には、研究遂行において適切な御助言をいただいただけでなく、学生生活全般において様々な御協力いただきました。厚く御礼申し上げます。

最後に、本研究の遂行にあたり筆者を支えてくださった情報機能素子科学研究室の皆様、学内及び学外の友人達、そして精神的・経済的支えとなってくださった両親と家族に心から感謝を申し上げます。

2021年3月
古川 暢昭

付録1 フェルミポテンシャル ϕ_F の算出

フェルミポテンシャル ϕ_F は次式で与えられる。

$$\phi_F = \frac{kT}{q} \ln\left(\frac{N_D}{N_i}\right) \quad (\text{A1.1})$$

ここで、 k , T , q はそれぞれボルツマン定数、絶対温度、電気素量を表し、その値として $k = 1.38 \times 10^{-23}$ [J K⁻¹], $T = 300$ [K], $q = 1.60 \times 10^{-19}$ [C] を用いた。また、 N_D 及び N_i はそれぞれ半導体のドナー濃度及び真性キャリア濃度を表す。 N_D は $1/C^2$ 曲線の傾き $d(1/C^2)/dV$ を用いて次式で表すことができる。

$$N_D = \frac{2}{q\epsilon_s\epsilon_0 A^2 |d(1/C^2)/dV|} \quad (\text{A1.2})$$

ここで、 A は電極の面積を表す。また、 N_i については、価電子帯の有効状態密度 N_V と伝導帯の有効状態密度 N_C を用いて次式で与えられる。

$$N_i = \sqrt{N_V N_C} \exp\left(-\frac{E_g}{2kT}\right) \quad (\text{A1.2})$$

本研究では、GaN における N_V 及び N_C の値として、 $N_V = 4.62 \times 10^{19}$ cm⁻³, $N_C = 2.23 \times 10^{18}$ cm⁻³ を用いた。

付録2 表面バンド曲がり ϕ_s の算出

ゲートに微小電圧 dV_G を印加した際、酸化膜に加わる電圧を dV_{ox} 、半導体に加わるポテンシャルを $d\phi_s$ とし、MOS キャパシタ全体に加わる電荷を dq とする。このとき、MOS キャパシタ全体の容量 C は次式で与えられる。

$$C = \frac{dq}{dV_G} \quad (\text{A2.1})$$

MOS キャパシタの等価回路は酸化膜容量と半導体容量の直列接続であるから、MOS キャパシタ全体に dq の電荷が加わったとき、酸化膜にも同様に dq の電荷が加わる。したがって、酸化膜容量 C_{ox} は

$$C_{ox} = \frac{dq}{dV_{ox}} \quad (\text{A2.2})$$

(A2.1)式及び(A2.2)式から dq を消去すると、

$$C = C_{ox} \frac{dV_{ox}}{dV_G} \quad (\text{A2.3})$$

MOS キャパシタに印加した電圧の一部は酸化膜中に、残りは半導体中に加わることから、

$$dV_G = dV_{ox} + d\phi_s \quad (\text{A2.4})$$

(A2.3)式及び(A2.4)式から dV_{ox} を消去すると、

$$C = C_{ox} \left(1 - \frac{d\phi_s}{dV_G}\right)$$

$$\Leftrightarrow \frac{d\varphi_s}{dV_G} = 1 - \frac{C}{C_{OX}} \quad (A2.5)$$

したがって、ゲート電圧を V_{G1} から V_{G2} まで変化させたときの表面準位 φ_s は次式で与えられる。

$$\varphi_s = \int_{V_{G1}}^{V_{G2}} \left(1 - \frac{C}{C_{OX}}\right) dV_G + \Delta \quad (A2.6)$$

ここで、 Δ は積分定数である。

付録3 理想 C - V 曲線の導出

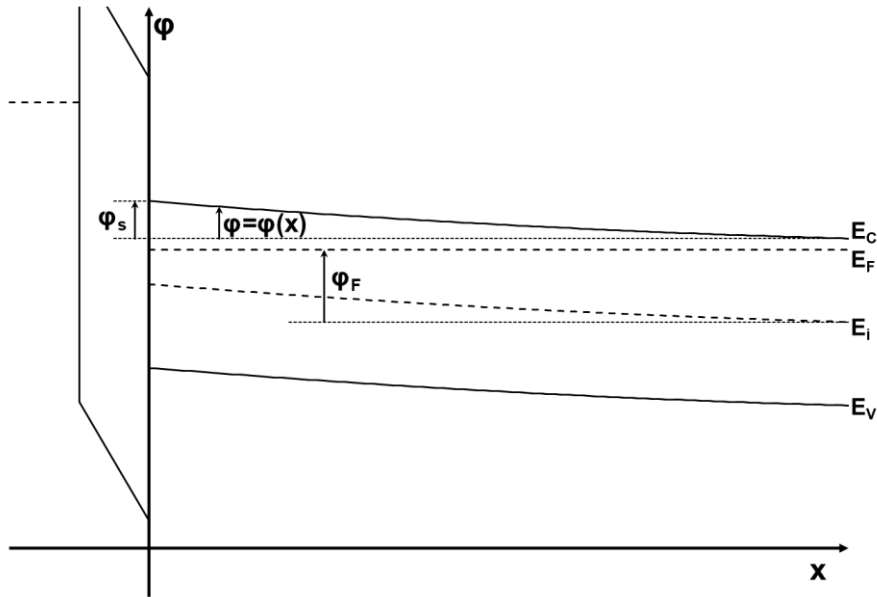


図 A3.1 MOS 構造におけるバンド図

MOS 構造のバンド図を図 A3.1 に示す。半導体中の任意の点 x におけるポテンシャルを φ とすると、電子濃度 n 、正孔濃度 p は次式で与えられる。

$$n = n_i e^{-\beta\varphi_F} e^{\beta\varphi}, \quad p = n_i e^{\beta\varphi_F} e^{-\beta\varphi} \quad (A3.1)$$

ただし、 $\beta = q/kT$ である。(S. M. Sze, “SEMICONDUCTOR DEVICES”, 日本語版 P.156 参照)

電荷として電子、正孔、イオン化ドナー、イオン化アクセプタを考慮すると、

$$Q(x) = q(N_D^+ - N_A^- + p - n)$$

$$\Leftrightarrow Q(x) = q\{N_D^+ - N_A^- + n_i(e^{\beta\varphi_F} e^{-\beta\varphi} - e^{-\beta\varphi_F} e^{\beta\varphi})\} \quad (A3.2)$$

$x = \infty$ における中性条件($Q(\infty) = 0$)より、

$$N_D^+ - N_A^- + n_i e^{\beta\varphi_F} \cdot 1 - n_i e^{-\beta\varphi_F} \cdot 1 = 0$$

$$\Leftrightarrow N_D^+ - N_A^- = n_i (e^{-\beta\varphi_F} - e^{\beta\varphi_F}) \quad (A3.3)$$

(A3.2)式に(A3.3)式を代入することで、電荷量は次のように表すことができる。

$$Q(x) = q\{n_i(e^{-\beta\varphi_F} - e^{\beta\varphi_F}) + n_i(e^{\beta\varphi_F} e^{-\beta\varphi} - e^{-\beta\varphi_F} e^{\beta\varphi})\}$$

$$\Leftrightarrow Q(x) = qn_i \{e^{\beta\varphi_F}(e^{-\beta\varphi} - 1) - e^{-\beta\varphi_F}(e^{\beta\varphi} - 1)\} \quad (\text{A3.4})$$

(A3.4)式をポアソン式 $d^2\varphi/dx^2 = -Q(x)/\varepsilon_s\varepsilon_0$ に代入すると

$$\frac{d^2\varphi}{dx^2} = -\frac{qn_i}{\varepsilon_s\varepsilon_0} \{e^{\beta\varphi_F}(e^{-\beta\varphi} - 1) - e^{-\beta\varphi_F}(e^{\beta\varphi} - 1)\} \quad (\text{A3.5})$$

両辺に $d\varphi/dx$ を掛け、 ∞ から x まで積分すると

$$\int_{\infty}^x \frac{d\varphi}{dx} \frac{d^2\varphi}{dx^2} dx = -\frac{qn_i}{\varepsilon_s\varepsilon_0} \int_{\infty}^x \{e^{\beta\varphi_F}(e^{-\beta\varphi} - 1) - e^{-\beta\varphi_F}(e^{\beta\varphi} - 1)\} \frac{d\varphi}{dx} dx \quad (\text{A3.6})$$

x が $\infty \rightarrow x$ まで変化するとき、 φ は $0 \rightarrow \varphi$ であり、 $d\varphi/dx$ は $0 \rightarrow d\varphi/dx$ であるから、

$$\int_0^{d\varphi/dx} \frac{d\varphi}{dx} d\left(\frac{d\varphi}{dx}\right) = -\frac{qn_i}{\varepsilon_s\varepsilon_0} \int_0^{\varphi} \{e^{\beta\varphi_F}(e^{-\beta\varphi} - 1) - e^{-\beta\varphi_F}(e^{\beta\varphi} - 1)\} d\varphi \quad (\text{A3.7})$$

これを解くと、

$$\frac{d\varphi}{dx} = \sqrt{\frac{2q^2n_i}{\varepsilon_s\varepsilon_0kT} \frac{k^2T^2}{q^2} \sqrt{e^{\beta\varphi_F}(e^{-\beta\varphi} + \beta\varphi - 1) + e^{-\beta\varphi_F}(e^{\beta\varphi} - \beta\varphi - 1)}} \quad (\text{A3.8})$$

ここで、以下のように L_{Di} , U_F , U , $F(U_F, U)$ を定義する。

$$L_{Di} = \sqrt{\frac{\varepsilon_s\varepsilon_0kT}{2q^2n_i}}, \quad U_F = \beta\varphi_F, \quad U = \beta\varphi, \quad U_s = \beta\varphi_s, \\ F(U_F, U) = \sqrt{e^{\beta\varphi_F}(e^{-\beta\varphi} + \beta\varphi - 1) + e^{-\beta\varphi_F}(e^{\beta\varphi} - \beta\varphi - 1)} \\ = \sqrt{e^{U_F}(e^{-U} + U - 1) + e^{-U_F}(e^U - U - 1)} \quad (\text{A3.9})$$

これを用いて、(A3.8)式は次のように表すことができる。

$$\frac{d\varphi}{dx} = \frac{kT}{qL_{Di}} F(U_F, U) \quad (\text{A3.10})$$

電界 E は $E = -d\varphi/dx$ で与えられるから、

$$E = -\frac{kT}{qL_{Di}} F(U_F, U) \quad (\text{A3.11})$$

なお、(A3.11)式における「 $-$ 」は電界とポテンシャルの符号が逆であることを表す。

表面電界 E_s は(A3.11)式において $U = U_s$ ($\Leftrightarrow \varphi = \varphi_s \Leftrightarrow x = 0$) とすると得られる。

ここで、 $\hat{U}_s = |U_s|/U_s$ とすると、

$$E_s = -\hat{U}_s \frac{kT}{qL_{Di}} F(U_F, U_s) \quad (\text{A3.12})$$

半導体の比誘電率を ε_s 、真空の誘電率を ε_0 とすると、ガウスの定理より表面電荷 Q_s は $Q_s = -\varepsilon_s\varepsilon_0E_s$ で与えられるから、

$$Q_s = \hat{U}_s \frac{\varepsilon_s\varepsilon_0kT}{qL_{Di}} F(U_F, U_s) \quad (\text{A3.13})$$

半導体容量 C_s は $C_s = dQ_s/d\varphi_s$ で与えられるから、

$$C_s = \hat{U}_s \frac{\varepsilon_s\varepsilon_0kT}{qL_{Di}} \frac{d}{d\varphi_s} F(U_F, U_s) \quad (\text{A3.14})$$

(A3.14)式を微分し整理すると、半導体容量は次式のように表すことができる。

$$C_s = \hat{U}_s \frac{\varepsilon_s \varepsilon_0 \{e^{U_F}(1 - e^{-U_s}) + e^{-U_F}(e^{U_s} - 1)\}}{2L_{Di} F(U_F, U_s)} \quad (\text{A3.15})$$