

ナノ粒子の配置制御および
ナノデバイス応用に関する研究

番 貴彦

奈良先端科学技術大学院大学

物質創成科学研究科

情報機能素子科学研究室

指導教員 浦岡 行治 教授

2016年3月

1章 序論	1
1-1. 情報化社会の発展に伴う半導体素子の寄与	1
1-2. 微細トランジスタの研究とその必要性	2
1-2-1 Junctionless-FET	3
1-2-2 V 溝型 Junctionless-FET	4
1-3. 不揮発性半導体メモリ	5
1-3-1 フローティングゲートメモリ	6
1-3-2 抵抗変化メモリ	7
1-4. 半導体微細化技術の沿革とこれから	9
1-4-1 微細化技術の沿革	9
1-4-2 次世代微細化技術	9
1-4-3 バイオナノプロセス	11
1-5. 研究目的	14
1-6. 本研究の位置づけおよび特徴	15
1-7. 論文の構成	16
1-8. 参考文献	16
2章 フェリチンを用いた酸化タンタルナノ粒子の形成およびその評価	21
2-1. 諸言	21
2-2. フェリチンによる酸化タンタルナノ粒子の形成	22
2-3. 組成分析、結晶構造解析および粒径評価	23
2-4. まとめ	31
2-5. 参考文献	31
3章 金属膜上へのフェリチン選択単一配置技術	33
3-1. 諸言	33
3-2. 静電相互作用によるフェリチン配置技術	33
3-3. ナノ粒子単一配置プロセス	35
3-4. 金属膜上へのフェリチン配置技術応用の検討	37
3-5. SiO ₂ , Ta, TiN, Pt, Ni 膜上への配置結果	42
3-6. 金属膜上への配置結果に対する考察	44
3-7. まとめ	45
3-8. 参考文献	45
4章 ナノ粒子を用いた抵抗変化メモリ	47
4-1. 諸言	47
4-2. 複数個のナノ粒子を用いた ReRAM の作製プロセス	47

4-3.	特性評価および考察	51
4-4.	単一ナノ粒子ReRAM作製プロセス	55
4-5.	特性評価および考察	58
4-6.	動作メカニズム	61
4-7.	まとめ	63
4-8.	参考文献	63
5章	1次元ナノ粒子配列技術	65
5-1.	諸言	65
5-2.	シリコン基板上へのV溝形成	66
5-3.	数 μm サイズ幅を持つV溝への各種条件におけるフェリチン吸着実験	68
5-3-1.	非遺伝子改変フェリチン(Fer0)の吸着傾向	68
5-3-2.	遺伝子改変フェリチン(Fer8, Fer8-K98E)の吸着傾向	71
5-4.	100 nm サイズ幅を持つV溝の吸着実験	76
5-5.	V溝を用いた1次元配列吸着メカニズム	80
5-6.	まとめ	82
5-7.	参考文献	82
6章	V溝型JL-FETを用いたナノ粒子のフローティングゲートメモリ応用	84
6-1.	諸言	84
6-2.	ナノ粒子埋込V溝型JL-FETの特性評価	84
6-2-1.	作製プロセス	84
6-2-2.	断面TEM観察	88
6-2-3.	ナノ粒子埋込V溝型JL-FETのメモリ特性	90
6-3.	種々の金属ナノ粒子埋込V溝型FETの特性評価	95
6-4.	シミュレーションによるナノ粒子埋込V溝型JL-FETの解析	97
6-5.	バンドダイアグラムによる電気特性の考察	100
6-6.	まとめ	104
6-7.	参考文献	105
7章	結論および今後の展望	106
7-1.	結論	106
7-2.	今後の展望	108
	研究業績	110
	謝辞	111
	付録	113

1 章 序論

1-1. 情報化社会の発展に伴う半導体素子の寄与

情報化社会の発展と共に半導体素子の役割はますます重大となっている。社会生活における様々な情報が電子化されることで利便性の向上が図られており、その膨大な情報を記憶、処理するために半導体素子が用いられているためである。例えばそれはスマートフォンに代表される携帯情報端末である。他者と連絡を取るだけでなく、情報を即座に入手する、アプリケーションを用いて生活を管理する、写真を撮ることで記録を残すなど、その利用法は多岐に渡っている。さらにはデバイスがより身近になるグラス型情報端末やスマートウォッチなどのウェアラブルデバイスも世に普及し始めている。また、これらにより記録されたビッグデータを利用する動きも盛んである。ビッグデータとは従来のデータ処理では解析が困難な巨大かつ複雑なデータ集合を表す用語である。「ビジネスの傾向の発見、研究の品質決定、疾病予防、法的引用のリンク、犯罪防止、リアルタイムの道路交通状況判断」など様々な分野で利用されている。あるいは、モノのインターネット(**Internet of Things :IoT**)と呼ばれる技術も利用が始まっている。これは今までパソコンなどの情報端末のみが繋がっていたインターネットに、あらゆるモノが繋がることを指す。これは単純に、テレビでインターネットが視聴できる、遠隔操作で機器を操作できるなどの話ではない。それだけでなく、上記のビッグデータにもつながり、あらゆるモノでサービスを受けられる「サービスのモノ化」という未来を示している。冷蔵庫を例にとって示す。食材の包装にICが入っている、あるいは画像認識で冷蔵庫自体が商品を識別できるとする。このとき冷蔵庫は保存された食品の消費期限を携帯端末に送り、管理を容易にする。また、その食材を用いたレシピを示す他、作りたいレシピを調べれば何が足りないか教えてくれる。他にも食材から推測できる栄養管理といった健康管理もできる、あるいは病院に行けば、それらの情報を医師が利用できる。これらのように個人で利用できるサービスだけではない。近隣のスーパーはどの程度の食材を仕入れるか判断でき、物流すらも変わる。さらには国が世帯ごとの消費を正確に把握することが可能になり政策にも反映されるだろう。これら膨大なサービスがあらゆるモノで起こることになり、それらが相互に干渉して更なるサービスを生み出していく。そしてこうした情報化社会を支える根幹が半導体素子である。特に情報を高速に処理する回路を構成するスイッチング素子であるトランジスタや、膨大な記録を保存するメモリ素子は重要な役割を持つ。

1-2. 微細トランジスタの研究とその必要性

トランジスタの代表的駆動素子として電界効果トランジスタ (Field Effect Transistor: FET) が存在する。FET はゲート電極に電圧を印加することでドレイン-ソース間の電流を制御するトランジスタである。ゲートから印加される電圧による電界によりチャネルのキャリアの流れに閘門 (ゲート) を設ける原理を用いている。特に図 1. 1 に示すゲート-チャネル間の絶縁に酸化絶縁膜を用いる MOSFET (Metal Oxide Semiconductor-FET) が主流である。MOSFET は通常シリコン基板上にキャリアを生成する不純物を注入することで作製される。キャリアの種類により n 型と p 型が存在するが、ここでは n 型のみを扱う。図 1. 1 に示すようにドレイン-チャネル-ソース間で n - p - n と不純物が増えている。このとき n - p のフェルミ順位の違いにより障壁が発生しキャリアは流ることができない。ここでゲートから印加される正電界によりホールが追い出されることで空乏層が発生する。このときも伝導に寄与するキャリアが無いため電子は流ることができない。さらに正の電界を掛けていくとチャネル-絶縁膜界面に電子が誘起され反転層が形成される。これにより障壁が無くなり電子が通過することができる。MOSFET はシリコン基板上に不純物を注入することで自由に回路を設計できたため半導体素子製造の基礎となった。

半導体素子の技術的発展の駆動力となるのが「ムーアの法則」に代表される半導体素子の微細化である。ムーアの法則とは経験則的に導かれた半導体素子の微細化指針である。代表的な公式では集積回路上のトランジスタ数が 18 か月ごとに倍になるというものである。単純にウェハ上から採れるトランジスタ数が増えることによるコストの削減だけではなく、微細化による高速、省電力化が寄与することでコンピュータの性能発展が続いてきた。そして 2015 年には Intel に代表される半導体素子製造会社が 14 nm プロセスの素子を製造するなど、トランジスタの微細化は続いている。しかしながら微細化に伴い様々な問題が表面化してきた。一つはゲート面積が減ることによるコンデンサ容量の減少に伴う駆動電流の減少である。この問題に対しては単純にゲート面積を稼ぐ手法として、ダブルゲートの FET[1] や、トライゲートである Fin-FET[2] が考案され実際に製造されている。また研究段階であるが、ナノワイヤを用いたゲートアラウンド型 FET[3] も発表されている。一方で微細化技術も加速度的に困難を増している。そのため pn ジャンクションを必要としないジャンクションレス電界効果トランジスタ (Junctionless Field Effect Transistor: JL-FET) が考案され[4]、その構造の容易さから微細化研究が盛んである。

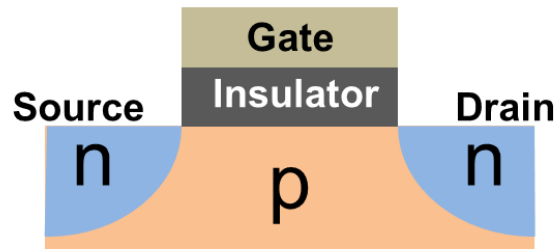


図1.1 pn ジャンクションを持つMOSFETの構造図

1-2-1 Junctionless-FET

JL-FETはMOSFETから pn ジャンクションを取り除いた構造を持つ[4]（注釈としてゲート絶縁膜に pn ジャンクションを用いるジャンクションFETとは無関係であることを記す）。すなわちドレイン-チャンネル-ソース間で $n-n-n$ あるいは $p-p-p$ と、キャリアが一致している。 n 型のJL-FETの構造を図1.2に示す。JL-FETが考案された背景として pn ジャンクションを精度よく微細に再現する困難さがある。 pn ジャンクションは外部から不純物を打ち込む必要がある。またキャリアを生成するための活性化にあたって熱処理が必要になる。このことから pn ジャンクションを持つ素子の10 nm以下の微細化が困難となった。

動作としてはゲートの電界によるチャンネルを流れるキャリアの制御であり、通常のMOSFETと違いはない。しかしながらゲートに印加される正の電圧によりチャンネルには電子が誘起され、蓄積層として電子が流れる。逆に負の電圧をゲートに印加することで空乏層、反転層が発生し、電流をせき止める。電子は蓄積層を流れることにより、反転層移動度よりも高い、バルク移動度に近い値を示すことが知られている。すなわち微細化において課題であった製造の困難さと電流の減少を同時に解決した素子構造と言える。通常のFETとは違い、電子は反転層のような界面だけでなく、蓄積層となったチャンネルを流れるため、界面のラフネスによる散乱の影響が小さい。またしかし一方で高いゲート制御力が必要とされ、また原理上ノーマリーオフが難しいと言われている。

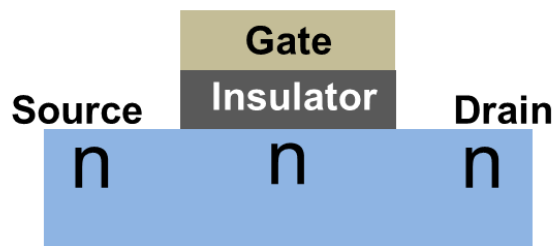


図1.2 Junctionless-FETの構造図

1-2-2 V 溝型 Junctionless-FET

素子の微細化が進む一方、微細化技術は限界が近づいており、微細化研究が難しくなっている。現在は次世代 10 nm 以降の素子研究が行われている。特に極微細領域ではこれまでの延長線上にない新規の物性・機能発現が見込まれ、10 nm 以下の素子を用いた研究が重要となっている。特にバリスティック伝導と呼ばれる、電子が散乱されない伝導機構が支配的になると予測されている[5, 6]。

しかし、これまで様々な手法で sub-10 nm の素子が作られている[7-9]が、精密にナノ制御された素子による物性・機能の実験解明はいまだに困難を極めている。この問題に対し産総研の右田らはウェットエッチングによって短チャンネルを形成する V 溝型 JL-FET を考案し問題解決を図った[10-12]。V 溝型 JL-FET は図 1.3 に示すように Silicon on Insulator (SOI) 基板を V 溝型に異方性ウェットエッチングすることで得られるトランジスタである。またチャンネル膜厚は約 1 nm であり、この薄さによりゲートが上部のみでも酸化膜を十分薄くすることで、チャンネルを良好に制御することが可能となっている。

このデバイスの特徴として、チャンネルをウェットエッチングで形成していることが挙げられる。通常の微細なトランジスタではチャンネルを形成する際にプラズマを用いたエッチング技術を使う。このときチャンネルにプラズマダメージが入ることから微細な素子であるほど、その影響を受けやすい。しかし、V 溝型 JL-FET ではウェットエッチングにより穏やかに形成することから、チャンネルにダメージが入らず理想的なチャンネル特性を得ることができる。また素子面積自体は μm サイズの大きさを有していることから、デバイス作製が簡便であるだけでなく、測定の際の取り扱いも非常に容易である。これらのことから V 溝型 JL-FET は極微細デバイスの研究に非常に有用なツールであり、この素子を用いた極微細 FET の知見の取得が期待される。

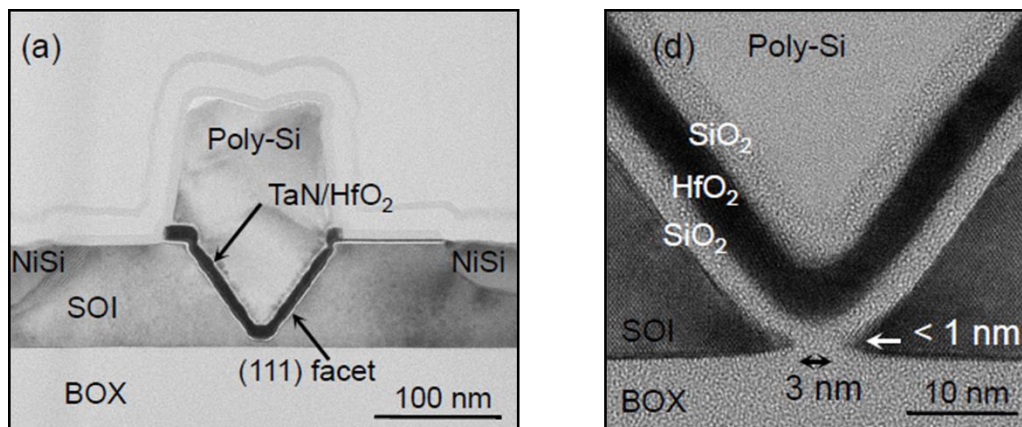


図1.3 V溝型Junctionless-FETの構造図(a)および拡大図(b)[12]

1-3. 不揮発性半導体メモリ

トランジスタなどの情報を処理する半導体素子以外にも、情報を記憶するためのメモリ素子もまた微細化が重要となっている。近年、情報化社会の発展に伴う人類の生み出すデータ量は爆発的に増大しており、データを保持するストレージの発展は社会生活を支える基盤的インフラに必要なものになっている[13, 14]。2020年には人類の扱うデータ総量は44 ZBまで増大すると予測されており[15]、より大容量のメモリ素子が必要とされている。またデータ処理の速度、電力の問題からもハードディスクではなく、メモリ素子が必要とされている。

一方で各種機器に搭載する際にも大面積を必要としない微細なメモリが要求されている。特に昨今、急激な普及を果たした多機能携帯電話に代表される携帯情報端末の発展に寄与した重要なストレージの一つに、NANDフラッシュメモリがある。NANDフラッシュメモリは電荷をフローティングゲートに溜めることにより情報を記録する不揮発性メモリの一つである。NANDフラッシュメモリの微細化に伴うビットコストの低下は半導体メモリの大容量ストレージの道を拓き、多くの情報端末のストレージとして用いられている。そのため更なる大容量化、高速化が望まれており、大手ベンダーである東芝/SanDiskとSamsung Electronicsは、それぞれISSCC2012においてハーフピッチ20~19 nmのプロセスで作製されたチップを発表するなど、激しい微細化競争が行われている[16, 17]。また現在では積層することで1チップ上のメモリ数を稼ぐ3D-フラッシュメモリの開発も盛んである[18-20]。

しかしながらフラッシュメモリはSRAMなどのCPU上で動作する揮発性のワーキングメモリよりもはるかに書き込み時間が遅い。そのため、この速度のギャップから半導体素子の処理速度のボトルネックとなり性能向上の妨げとなっている。そのため更なる特性向上を狙った新たな原理で動作する次世代不揮発性メモリの開発が加速しており、磁気抵抗効果を持つトンネル接合膜すなわちトンネル磁気抵抗(Tunneling Magneto Resistive: TMR)膜を利用した磁気抵抗メモリ(Spin Transfer Torque-RAM: STT-RAM)、絶縁膜中の抵抗変化を利用した抵抗変化メモリ(Resistive RAM: ReRAM)および相変化材料における非晶質と結晶間での相転移を利用した相変化メモリ(Phase Change RAM: PRAM)等、新たなメモリが提案されている(表 1.1)[13]。中でもReRAMは、高速動作、微細化、CMOSプロセスとの親和性の観点からNANDフラッシュメモリ代替の最有力候補として期待されている[21]。

表1.1 種々のメモリ特性一覧 : NAND Flash Memory, ReRAM, PRAM, STT-RAMの
Cell factor(Fは最少加工寸法)、Writing time、Cycle、Least cell size

	NAND	ReRAM	PRAM	STT-RAM
Cell factor	$4F^2$	$4F^2$	$4F^2$	$6\sim 14F^2$
Writing time	10 μ s	100 ps	< 100 ns	<5 ns
Cycle	10^5	10^{10}	10^{12}	10^{15}
Least cell size	$15\times 15\text{ nm}^2$	$9\times 9\text{ nm}^2$	$7.5\times 17\text{ nm}^2$	$17\times 40\text{ nm}^2$

1-3-1 フローティングゲートメモリ

現在の不揮発性メモリ素子の主役は NAND フラッシュメモリであるが、その素子を構成する最小単位はフローティングゲートメモリである。構造を図 1.4(a)に示す。図に示すように MOSFET におけるゲート酸化膜中に電荷を蓄えるフローティングゲートを配置している。フローティングゲートとゲート間の酸化膜をコントロール酸化膜、フローティングゲートとチャネル間の酸化膜をトンネル酸化膜と呼ぶ。

書き込み動作としてはゲートに正電圧を印加することでフローティングゲートにドレイン、あるいはチャネルから酸化膜をトンネルして電子を注入することを指す。これにより素子の閾値電圧を正方向にシフトさせ、読み出し電圧においてドレイン電流が流れなくなる。すなわちオフの状態となる。逆に消去動作では、ゲートに負の電圧を掛けることでフローティングゲート中の電子を排除、あるいはホールを注入することで閾値電圧を負方向にシフトさせる。これにより読み出し電圧においてドレイン電流が流れる。すなわちオンの状態となる。

図1.4 (b) にフローティングゲートメモリの等価回路を示す。ドレイン電圧を 0 Vとすれば、フローティングゲートとの電圧 V_{FG} は式(1-1)の様に表される。

$$V_{FG} = \frac{C_C V_{CG} - Q_{FG}}{C_C + C_T} \quad (1-1)$$

ここで、 Q_{FG} 、 V_{CG} 、 C_C および C_T はそれぞれ、フローティングゲートに蓄えら

れた電荷量、ゲート電極に印加される電圧、コントロール酸化膜の容量およびトンネル酸化膜の容量である。フラッシュメモリに印加する電圧を削減する場合、 C_C または C_T を増大すればよいが、そのためにコントロール酸化膜もしくはトンネル酸化膜を薄くすると記憶保持時間が短くなる。トンネル酸化膜が薄い場合 (~4 nm)、 SiO_2 膜中でエネルギーを失わずに抜けるので、原理的には SiO_2 膜を損傷しない。

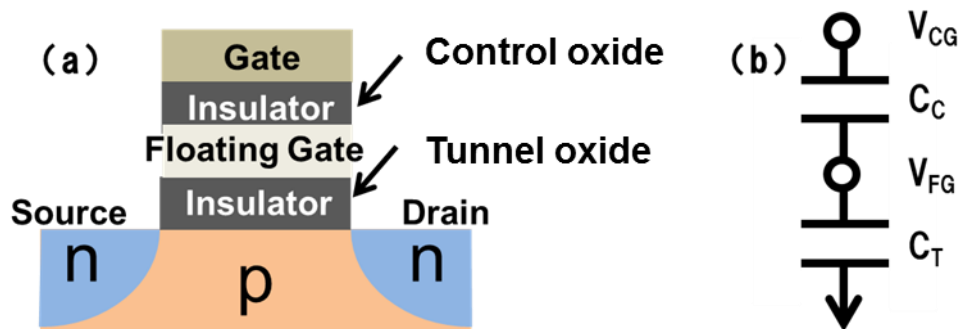


図1.4 (a)フローティングゲートメモリの構造図および
(b)ゲートからチャネルまでの等価回路

1-3-2 抵抗変化メモリ

ReRAM は酸化物を金属で挟んだサンドウィッチ構造を持つ不揮発性メモリである。電圧印加によって酸化物内に発生するパスの発生(低抵抗状態(Low Resistance State: LRS))と消滅(高抵抗状態(High Resistance State: HRS))によって情報を記録する不揮発性メモリである。この状態をそれぞれ On、Off とする。また、LRS から HRS への変化をリセット、HRS から LRS への変化をセットと呼ぶ。電圧印加によるセット、リセットの発生の違いにより 2 種類に分類することができる。一つは同一極性の印加電圧のみでセット、リセットを起こすユニポーラ型動作である。これは印加電圧によりセットと、LRS になったことによる高電流によるリセットで動作する。もう一つは正負の印加電圧でセット、リセットを起こすバイポーラ型である。これは電圧の印加によって酸素がマイグレーションしフィラメントが接合、切断することで LRS、HRS に変化する。図 1.5(a)に構造図と(b)にバイポーラ型の動作原理の一つとして考えられている酸素イオンマイグレーションによるフィラメント発生図、(c)に(b)で報告される電流電圧(I - V)特性を示す。また **ReRAM** は一般的に最初にフォーミングと呼ばれる高電界による絶縁破壊を経て酸素欠損フィラメントを形成する。

ReRAM には 2 つの大きなメリットがある。一つは微細化が比較的容易であること、もう一つは抵抗変化材料の多くが **CMOS** 技術との高い親和性を持つこと

である[21]。これは半導体技術で培われた知識を **ReRAM** の製造に応用できることを意味している。この 2 つの利点がコスト競争力となり、大容量ストレージに要求される低いビットコストとなる。近年、抵抗変化材料として注目されているのは HfO_x や TaO_x といった **high-k** 酸化物である。これらは安定な酸化状態をとるため製造工程等においてロバストな材料であることが知られている。特に TaO_x を用いた素子によってリテンション時間が 10 年を超すことが示された[22]。特に TaO_x においてフィラメント部分を断面 TEM で観察することで酸素欠損フィラメントが形成されていることも確認されている。

材料系が絞られたことで微細化の研究も盛んに行われている[23-25]。近年ではハーフピッチサイズが 9 nm の素子が実証動作されている[25]。さらなる微細化への要求が高まるが、これらは最先端の微細加工技術により作製されているため非常に複雑であり、これ以上の微細化は容易ではない。簡便に更なる微細化を行うためには従来の微細加工技術とは異なるアプローチが必要になる。

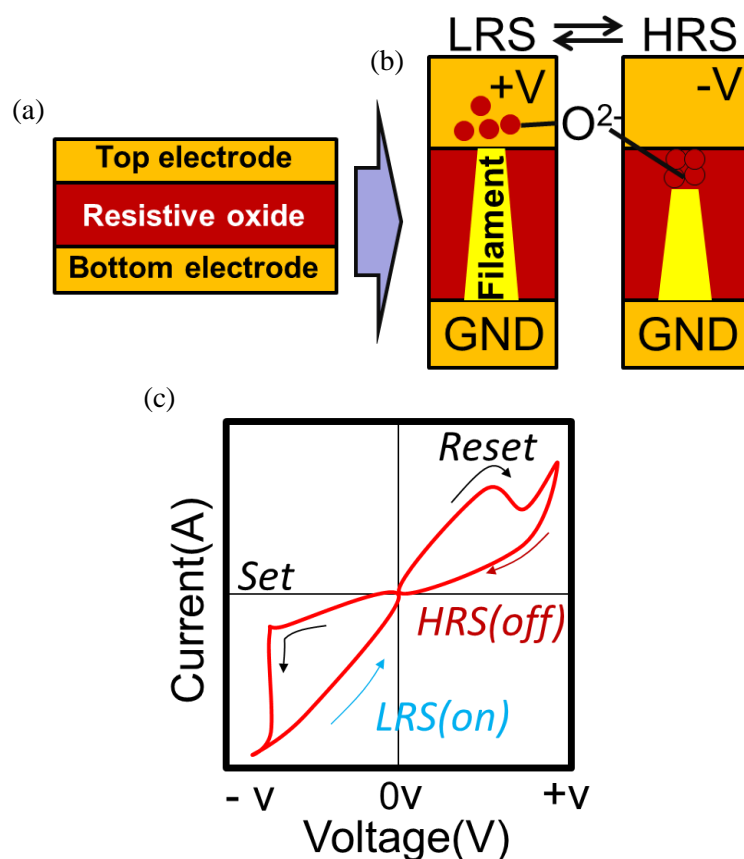


図 1.5 (a)抵抗変化メモリ構造図

(b)電圧印加に伴う酸素イオンのマイグレーションに伴うフィラメント発生図

(c)電圧印加に伴う抵抗変化を示す I - V 特性

1-4. 半導体微細化技術の沿革とこれから

1-4-1 微細化技術の沿革

現在、半導体素子の量産に使われる微細化技術は露光技術によって左右されている。露光技術は使用する光源によって微細化限界が決定され、現在は ArF エキシマレーザーが使われている。ArF エキシマレーザーの波長は 193 nm である。かつての露光はマスクとウェハ密着させる等倍露光であったが、微細化が進むにつれマスクの作製が困難になった。そのため実際のパターンより大きなマスクを作り、ステッパーと呼ばれる装置で移動させながら露光する縮小投影露光と呼ばれる露光技術が登場した。しかし、この技術も投影レンズとウェハの間にある空気によって微細化制限を受けていた。そこで開発されたのがレンズ、ウェハ間を液体で満たす液浸露光技術であり、主に純水が使われている。

最新の半導体素子の製造には、さらにダブル・パターニングと呼ばれる手法が使われている。ダブル・パターニングとは、密集した回路パターンを密集度の低い2つの回路パターンに分割して露光、現像を行なう方法である。ダブル・パターニングでは、2回目の露光に時間を要する分、各ウェハにそれだけ多くの時間を要することになる。さらにダブル・パターニングでは、露光機の外で行われる追加プロセスが発生するため、全体的なコスト効果は低下する。この追加プロセスによる影響をなくすためには、装置のスループット性能を良くする必要がある。ダブル・パターニングは現在のリソグラフィ技術と次世代技術による量産開始までの間の橋渡しの役割と捉えられていた。しかしながら次世代技術は未だに研究段階であり各社はコストを度外視してダブル・パターニングを用い続けている。ダブル・パターニングを用いた半導体製造には 100 工程ほどが必要であり、トータルで 50~60 日を要するとされ、早急な次世代製造技術の開発が要求されている。微細化は目的ではなく、低コスト化、高性能化、低消費電力化のための手段であり、微細化によってこれらの恩恵に預かれなければ、微細化する意味がないためである。

1-4-2 次世代微細化技術

次世代リソグラフィ技術の研究は、何十年も前から始まっている。現時点では、有力な技術の候補として4種類が挙げられる。そのうち、3種類の技術は極端紫外線 (Extreme Ultraviolet : EUV) リソグラフィ技術、電子ビーム・リソグラフィ技術、ナノインプリント技術である。また4番目の候補である自己組織化現象を応用する技術は有望な研究テーマではあるが実用段階からは、まだほ

ど遠い。

EUV リソグラフィは、現在のような縮小投影露光技術の延長上にある技術である。波長を短くしていくと軟 X 線領域に至る。この軟 X 線領域の光は、物質に対する透過性が大変小さいため、透過光学系を用いて縮小投影を行うことができない。しかし、軟 X 線に対して反射光学系を用いれば今までと同じような縮小投影露光装置が実用化できる可能性があるというアイデアが、EUV リソグラフィの骨子である。EUV リソグラフィは 13.5nm と非常に短い波長を用いる。この EUV 露光技術は、極めて短い線幅の半導体を実現できる。一方で光学系における技術的な課題がいまだに残り、研究開発用に用いられているのに留まっている。

電子ビーム・リソグラフィはマスクレスリソグラフィと呼ばれる技術の一種である。課題としてはスループットの低さがある。電子線によって描画するため光と違い大面積での露光ができない。また露光部を真空にする必要があることもスループット低下の一因としてある。このスループット低下の対策として、電子線を増やすという、単純であるが有効な手段がとられている。Mapper Lithography 社によると、同社の電子ビーム・リソグラフィ装置は、同時に 1 万本以上の電子ビームをウェハに照射して、回路パターンを描画する。電子ビーム・リソグラフィではマスクが必要ないことから光リソグラフィより格段にコストが低下できると考えられている。

ナノインプリントとは従来の露光装置を使わずに、原版を基板に押し当てることで微細加工を実現する技術である。この技術は従来、光学部品の加工などに使われており、LSI に応用することは難しいと考えられていた。しかし原版と基板を直接接触させずにナノインプリントを実現する米 Molecular Imprints, Inc. の技術が登場したことで、量産向けに本格検討されてきた。プロセスとしてはウェハ表面を平坦化してからレジストを塗布し、透明な原版をレジストに押し当て、光を照射する。この際、原版と基板は接触しないようにすることでゴミの付着や基板の損傷を防げる。ナノインプリントを LSI 製造に使う際の利点は、高解像度、優れた寸法制御性、低コストなどが挙げられる。解像度は、現時点で数十 nm を実現できており、原版さえ準備できれば、数 nm 級を達成できる。具体的な会社としては東芝、韓国 Samsung Electronics Co., Ltd.、米 SEMATECH Inc、米 Hewlett-Packard Co. (HP) などがナノインプリントをデバイス試作に適用した例を学会で報告している。

このようにトップダウン型の微細化技術が現在盛んに研究されている。しかし、ここで紹介したようにより短い波長を用いる場合、それに応答するレジストの開発も併せて必要となる上、基板にレジストパターンを形成した後のエッチング技術についても改良が求められる。ムーアの法則に従うには違う視点か

らのアプローチが必要となる。それがボトムアップ方式の微細化技術であり、その代表となるのが自己組織化である。半導体ナノ構造の作製方法としての自己組織化とは、半導体を構成する原子そのものが持つ性質を利用した、微細組立技術である。半導体が成長するときに、自ら一定の構造を作製していく性質を利用すると、数 nm~数十 nm サイズのナノ構造の作製が可能である。またさらに発展させた考えとして生体分子を利用した自己組織化もある。規格品のよう同じ構造をもつタンパク質を作製し、それを道具として電子デバイスに搭載するナノコンポーネントを作製する「バイオナノプロセス」である[26]。現在、半導体製造技術とバイオテクノロジーを融合した新たなデバイス作製プロセスとして研究が進められている。

1-4-3 バイオナノプロセス

バイオナノプロセス (Bio Nano Process: BNP) とは、機能性生体超分子を利用したボトムアップ型ナノ構造形成手法と、フォトリソグラフィに代表されるトップダウン型微細加工技術を組み合わせた、微細半導体作製手法である[27]。機能性生体超分子は、無機物形成能力(バイオミネラリゼーション)、自己組織化、特異的認識能力などを有する。この生体超分子は、DNA 情報に基づいて形成されているため、この生体超分子をテンプレートにし、無機物を析出することで、非常に均一性に優れたナノ構造を簡易に作製できる。すなわち、トップダウン加工技術で困難、あるいはコストのかかるナノ構造体の形成を、生体超分子により行い、生体超分子が苦手とする 100 nm 以上の大きな構造体の作製を、トップダウン加工技術で行う。これにより、簡便かつ低コストで非常に微細な半導体を製造することが可能になる。ナノ構造体の作製方法は、他の自己組織化機能を持つ高分子や無機材料であっても可能であるが、遺伝子的に表面を修飾することで、特異的な認識能力を持たせることが可能な生体超分子は、配置技術においても秀でており応用可能範囲が広い。

これまでに、BNP を利用した様々な研究が行われている。例えば 高性能メモリデバイスの作製[28-31]や非晶質シリコン(Amorphous Silicon: a-Si)、ゲルマニウムの低温結晶化[32, 33]である。それだけでなく生体起源の分子認識機構を利用したバイオセンサ、負の屈折率を持つメタマテリアル[34]、機械要素部品 (センサー、アクチュエータ、電子回路など)を 1 つの Si 基板上へ集積化したデバイスである MEMS (Micro Electro Mechanical System) の作製[35]、プラズモンを利用した太陽電池への応用[36]、カーボンナノチューブ用の触媒[37]、熱電素子の性能向上への利用、抵抗変化メモリへの応用[38, 39]など様々な分野で BNP が利用されている。

BNP で扱われる生体超分子の中でも、フェリチンと呼ばれる球殻状タンパク質が特に注目を集めている。フェリチンの構造および透過電子顕微鏡(TEM)像を図 1.6 に示す。フェリチンは生物界に広く存在する鉄保存用のタンパク質である。外径 12 nm、内径 7 nm の球殻状構造を持ち、この内部空洞は、チャンネルと呼ばれる穴を通じて外部とつながっている。チャンネルは内外で電位差を持ち、これにより鉄だけでなく、様々な無機物のイオンを空洞内に引き込み、コアを形成しナノドットとして保存することができる[40]。図 1.7 にフェリチン内に形成されたコアの TEM 像を示す。フェリチンの内部にコアが存在しないフェリチンをアポフェリチン(apo-Fer)と呼び、無機物のナノドット形成をコア合成と呼ぶ。また、コア合成されたフェリチンをコア内包フェリチンと呼ぶ。これまでフェリチンへのコア形成が確認されている材料としては、MnOx[40]、BeOx[41]、CoOx[42]、AlOx[43]、FeOx、InOx[44]等の金属酸化物、CdS[45]、CdSe[46]、ZnS等の化合物半導体などがある。このように生物由来の無機物析出をバイオミネラルイゼーションと呼ぶ。

フェリチンに限らず、タンパク質あるいはペプチドを構成するアミノ酸は、その両末端にカルボキシル基とアミノ基をそれぞれ持っている。タンパク質、ペプチドは、これらが次々繋がることで、一本の長鎖から構成されている。この長鎖の両端において、カルボキシル基が末端にくるものをC末端、アミノ基が末端にくるものをN末端と呼ぶ。フェリチンは1本のポリペプチド鎖から形成されるモノマーサブユニットが、非共有結合で24 個集まって構成されており、分子量は約46万である。しかしながら、生体内から採取したフェリチンには分子量がわずかに異なるL-chain サブユニットとH-chainサブユニットの2種類が存在している(LはLight、HはHeavyを意味する)。BNPでは、構造の対称性及び熱的安定性から遺伝子工学的(リコンビナント)に作製された、L-chainサブユニットのみからなるL-フェリチン(Fer0)を用いている。また、フェリチンではサブユニットのN末端残基が、pHによる構造安定性に関与していることから、Fer0のN末端アミノ酸を4残基、8残基欠損させたリコンビナントフェリチン(Fer4、Fer8)も扱われている。さらにフェリチンはN末端に表面材料認識ペプチドを修飾することで所定の材料に特異的に吸着する能力を付与することができる。例えば、チタンを認識するTBFなどが開発されている。また、溶液中の吸着現象には物質表面の電位(ζ電位)が関係していることから、フェリチンの外側表面に存在する電荷を持つアミノ酸をリコンビナントに変更することで、吸着条件に適した表面電位に変化させることも可能である。例えば正電荷を持つアミノ酸を、負電荷を持つアミノ酸に変えることで、タンパク質表面の負電荷を増強させるといったことである。特にDNA配列98番目のリシン(K)をグルタミン酸(E)に変えたFer8-K98EはFer8より約2倍の負の電化密度を持っている[47]。他にもフ

フェリチン外表面のリシンと、ポリエチレングルコール(PEG)を反応させることで外径を増大させたPEG-Ferritinも存在する[48]。PEG-ferritinはPEGの分子量を調節することで、基板上にフェリチンを配置した時の粒子の間隔を調節することが可能となる。これらの技術は、様々な配置技術、応用を可能とし、バイオミネラル化能力と共に、BNPが様々なデバイス分野に生かされる下地となっている。

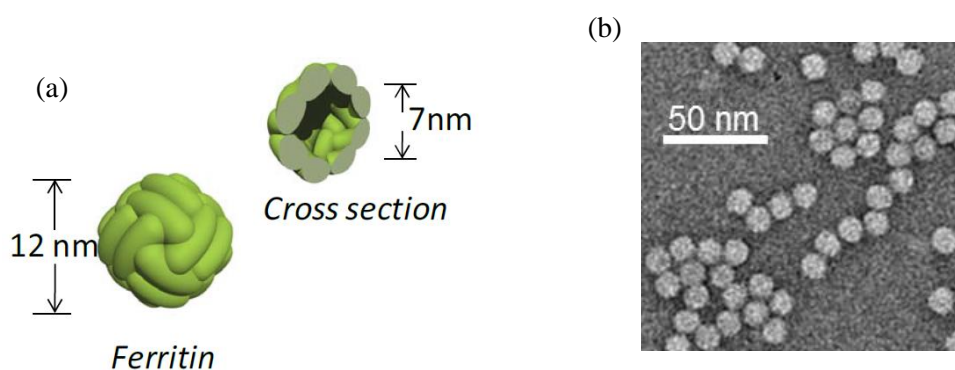


図 1.6 (a)フェリチンタンパク質構造図および
(b)アポフェリチンの TEM 像 [27]

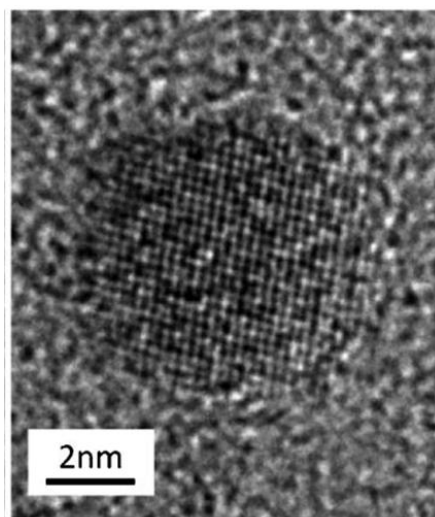


図 1.7 フェリチン内に形成されたナノ粒子(酸化鉄)[38]

1-5. 研究目的

本研究では微細化手法の一つである BNP の発展を促進するとともに、実際に BNP を活用することで、これまでにない微細な構造を有する半導体素子を作製、動作を実証する。これにより微細化手法に新たな方法を提示し、素子微細化に寄与することを目的とする。

本研究では主に 2 種類のデバイスについて取り扱う。一つは特に微細化欲求が高いメモリ素子の中でも、次世代メモリの一つとして有力視される ReRAM である。もう一つは sub-10 nm の微細素子研究に有力とされる V 溝型 JL-FET を用いたフローティングゲートメモリである。

ReRAM の作製では簡易にナノ構造の作製が可能な BNP と組合せて作製することにより、ナノ粒子のサイズである 6 nm の超微小なメモリセルの形成が作製可能であることを示す。フェリチンの選択配置技術により電極上に単一のナノ粒子を配置することで、単一のナノ粒子で動作する素子の作製が可能となる。ナノ粒子の大きさは現在報告されているセルサイズより微細で、単一ナノ粒子で動作する素子の作製により、微細化限界の突破を実証できる。先行研究としてフェリチンを用いて作製された FeOx ナノ粒子が抵抗変化動作することが報告されている。単一ナノ粒子 ReRAM 作製の安定メモリ動作を示す材料系への移行、電極基板に対するフェリチンの配置制御技術の確立、安定動作を目指した電極の選択及び素子構造の設計の 3 つが必要である。まず温度に対して安定な酸化状態を保つことで安定した抵抗変化を示す酸化タンタルに注目し、球殻状タンパク質フェリチンをバイオテンプレートとし、その特性を評価する。次に静電相互作用を用いたフェリチンの配置制御技術を電極基板へ応用する。電極上でもナノ粒子を単一に配置することが可能になれば単一ナノ粒子 ReRAM の作製が可能になる。

V 溝型 JL-FET を用いたフローティングゲートメモリの作製では、V 溝底にナノ粒子を一次元的に配列させフローティングゲートとする。V 溝型 JL-FET が V 溝という特殊な形状を有することから、V 溝底部のチャンネル上の材質を選択することで、仕事関数やトラップなど様々な影響を微細チャンネルに与えられることに着目した。本研究では V 溝底部へナノ粒子を配置させるために、フェリチンを利用する。フェリチン内のナノ粒子は素材に寄らず様々な物質が選択可能であるため、電界集中の影響だけでなく、高仕事関数を持つ金属による影響など、次世代半導体素子における様々な知見の入手が期待される。本研究では、V 溝を用い、ナノ粒子の 1 次元配列プロセスを立ち上げ最適化する。また、ナノ粒子埋込 V 溝型 JL-FET を作製し、ナノ粒子が sub-10 nm の微細チャンネルに与える影響を調査する。特にフローティングゲート構造を有することからナノ粒子

に電荷がどれだけ蓄積されるか、それにより、電界がチャンネルにどう影響するかを調査する。またナノ粒子の材料を変更することで仕事関数が与える影響についても評価する。

1-6. 本研究の位置づけおよび特徴

情報化社会の発展と共に半導体素子の微細化要求はますます高まっている。そのため簡便かつ低コストに微細化を提案できる技術は非常に囑望されている。本研究では BNP というバイオ技術を利用することで安価かつ簡便に、非常に微細なデバイスの作製、動作実証させることに主眼を置く。

酸化タンタルナノ粒子は、その安定性と電気的特性から抵抗変化メモリだけではなく様々な分野での応用が期待できる。金属膜上への単一ナノ粒子配置技術についても既存のナノ粒子配置技術を、金属膜上でも可能にすることで BNP の応用性が格段に広がり、様々な微細デバイス作製につながる。

ReRAM はナノ粒子の素子を用いることで電極と接する部分が極小となることが予想される。これより極小場における抵抗変化現象の測定が可能になると考えられる。また通常の素子構造と異なる点からもナノ粒子の特性を測ることで新たな見地が得られることが期待される。微小領域での抵抗変化現象を明らかにすることで将来における微細化指針の一つとなるとともに抵抗変化素子特性の改善につながることを期待される。

V溝底に形成されるナノ粒子の1次元配列はチャンネル長 3 nm という世界最小クラスの FET へのバイオ材料によるナノ粒子精密配置が特色である。バイオ材料を用いること水溶液中のシンプルな手法によって、微細なチャンネルに選択的にナノ粒子配置ができる試みである。ナノ粒子をフローティングゲートとすることで世界最小クラスのフローティングゲートメモリの特性を得られることも大きな利点である。また仕事関数の違いなど、sub-10 nm のチャンネルの電気特性に関与する様々な知見の入手が期待される。本研究のような超微細な素子へ特異的に影響を与え、その特性を調べることは将来的に重要であるが、あまり検討されておらず、その知見は今後のナノデバイスへの重要な基礎データとなる。

最先端のトップダウンプロセスを用いても製造が難しい sub-10 nm のデバイスを、BNP を駆使することで安価かつ簡便に作製、動作実証することは、微細化技術の発展が強く寄与できると考える。

1-7. 論文の構成

本論文は研究概要を含めて 7 章から構成される。主に 2、3、4 章では単一ナノ粒子 ReRAM 関連の研究を、5、6 章ではナノ粒子埋込 V 溝型 JL-FET 関連の研究について述べる。

2 章ではフェリチンを用いた酸化タンタルナノ粒子の形成について述べる。またナノ粒子の組成分析や、粒径評価なども扱う。

3 章では金属膜上へのフェリチンの単一配置応用について述べる。どの金属であれば応用可能かも網羅的に述べる。

4 章では 2、3 章で扱った酸化タンタルナノ粒子と単一配置技術を組み合わせ、単一ナノ粒子による抵抗変化メモリを作製する。まず複数個のナノ粒子による ReRAM の作製、評価をしたのち、単一ナノ粒子の抵抗変化メモリの作製、評価を扱う。

5 章では V 溝を用いたナノ粒子の 1 次元配列について述べる。

6 章ではナノ粒子埋込 V 溝型 JL-FET について述べる。主に酸化鉄ナノ粒子による素子を取り扱う。また酸化コバルト、酸化インジウムナノ粒子を用いたデバイスとも比較し評価する。

1-8. 参考文献

- [1] T. Krishnamohan, Z. Krivokapic, and K. C. Saraswat, "A novel sub-20nm Depletion-Mode Double-Gate (DMDG) FET," *2003 Ieee International Conference on Simulation of Semiconductor Processes and Devices*, pp. 243-246, 2003.
- [2] N. Singh, S. Jagar, S. S. Mehta, M. M. Roy, R. Kumar, and N. Balasubramanian, "Patterning sub-50 nm Fin-FET using KrF lithography tool," *Design and Process Integration for Microelectronic Manufacturing Ii*, vol. 5379, pp. 260-267, 2004.
- [3] R. H. Baek, C. K. Baek, S. H. Lee, S. D. Suk, M. Li, Y. Y. Yeoh, *et al.*, "C-V Characteristics in Undoped Gate-All-Around Nanowire FET Array," *Ieee Electron Device Letters*, vol. 32, pp. 116-118, Feb 2011.
- [4] C. W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, and J. P. Colinge, "Junctionless multigate field-effect transistor," *Applied Physics Letters*, vol. 94, Feb 2 2009.
- [5] K. Natori, "Ballistic Metal-Oxide-Semiconductor Field-Effect Transistor," *Journal of Applied Physics*, vol. 76, pp. 4879-4890, Oct 1994.
- [6] K. Natori, "Scaling limit of the MOS transistor - A ballistic MOSFET," *Ieice Transactions on Electronics*, vol. E84c, pp. 1029-1036, Aug 2001.
- [7] H. Kawaura, T. Sakamoto, T. Baba, Y. Ochiai, J. Fujita, S. Matsui, *et al.*, "Proposal of pseudo

- source and drain MOSFETs for evaluating 10-nm gate MOSFETs," *Japanese Journal of Applied Physics Part 1-Regular Papers Short Notes & Review Papers*, vol. 36, pp. 1569-1573, Mar 1997.
- [8] B. Yu, L. L. Chang, S. Ahmed, H. H. Wang, S. Bell, C. Y. Yang, *et al.*, *FinFET scaling to 10nm gate length*. New York: Ieee, 2002.
- [9] J. Appenzeller, R. Martel, P. Solomon, K. Chan, P. Avouris, J. Knoch, *et al.*, "A 10 nm MOSFET concept," *Microelectronic Engineering*, vol. 56, pp. 213-219, May 2001.
- [10] S. Migita, Y. Morita, T. Matsukawa, M. Masahara, and H. Ota, "Experimental Demonstration of Ultrashort-Channel (3 nm) Junctionless FETs Utilizing Atomically Sharp V-Grooves on SOI," *Ieee Transactions on Nanotechnology*, vol. 13, pp. 208-215, Mar 2014.
- [11] S. Migita, Y. Morita, M. Masahara, and H. Ota, "Fabrication and Demonstration of 3-nm-Channel-Length Junctionless Field-Effect Transistors on Silicon-on-Insulator Substrates Using Anisotropic Wet Etching and Lateral Diffusion of Dopants," *Japanese Journal of Applied Physics*, vol. 52, Apr 2013.
- [12] S. Migita, Y. Morita, M. Masahara, and H. Ota, "Electrical Performances of Junctionless-FETs at the Scaling Limit (L-CH=3 nm)," *2012 Ieee International Electron Devices Meeting (Iedm)*, 2012.
- [13] 日経エレクトロニクス, *半導体ストレージ2012*: 日経 BP 社, 2011.
- [14] 電子・情報戦略調査委員会, *電子情報技術ロードマップ 2009 新エネルギー・産業技術総合開発機構*, 2009.
- [15] EMC. (2014). *The Digital Universe of Opportunities: Rich Data and the Increasing Value of the Internet of Things*. Available: <http://www.emc.com/leadership/digital-universe/2014iview/index.htm>
- [16] L. Yan, L. Seungpil, K. Oowada, N. Hao, N. Qui, N. Mokhlesi, *et al.*, "128Gb 3b/cell NAND flash memory in 19nm technology with 18MB/s write rate and 400Mb/s toggle mode," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International*, 2012, pp. 436-437.
- [17] L. Daeyeal, C. Ik Joon, Y. Sang-Yong, J. Joonsuc, J. Dong-Su, H. Wook-Ghee, *et al.*, "A 64Gb 533Mb/s DDR interface MLC NAND Flash in sub-20nm technology," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International*, pp. 430-432, 2012
- [18] Y. H. Hsiao, H. T. Lue, W. C. Chen, B. Y. Tsui, K. Y. Hsieh, and C. Y. Lu, "Ultra-High Bit Density 3D NAND Flash-Featuring-Assisted Gate Operation," *Ieee Electron Device Letters*, vol. 36, pp. 1015-1017, Oct 2015.
- [19] S. Ver-Bruggen, "3d Nand: To 10nm and Beyond," *Solid State Technology*, vol. 57, pp. 34-38, Mar 2014.
- [20] A. Nitayama and H. Aochi, "Vertical 3D NAND Flash Memory Technology," *Ulsi Process*

- Integration* 7, vol. 41, pp. 15-25, 2011.
- [21] A. Hiroyuki, "Recent Advances and Future Prospects in Functional-Oxide Nanoelectronics: The Emerging Materials and Novel Functionalities that are Accelerating Semiconductor Device Research and Development," *Japanese Journal of Applied Physics*, vol. 52, p. 100001, 2013.
- [22] Z. Wei, Y. Kanzawa, K. Arita, Y. Katoh, K. Kawai, S. Muraoka, *et al.*, "Highly reliable TaO_x ReRAM and direct evidence of redox reaction mechanism," in *Electron Devices Meeting, IEDM 2008. IEEE International*, pp. 1-4, 2008.
- [23] B. Govoreanu, G. S. Kar, Y. Chen, V. Paraschiv, S. Kubicek, A. Fantini, *et al.*, "10nm² Hf/HfO_x crossbar resistive RAM with excellent performance, reliability and low-energy operation," in *Electron Devices Meeting, IEDM 2011. IEEE International*, pp. 31.6.1-31.6.4, 2011.
- [24] M. J. Kim, I. G. Baek, Y. H. Ha, S. J. Baik, J. H. Kim, D. J. Seong, *et al.*, "Low power operating bipolar TMO ReRAM for sub 10 nm era," in *Electron Devices Meeting, IEDM 2010. IEEE International*, pp. 19.3.1-19.3.4, 2010.
- [25] H. ChiaHua, H. Cho-Lun, C.-C. Chen, L. Jan-Tsai, W. Cheng-San, H. Chien-Chao, *et al.*, "9nm half-pitch functional resistive memory cell with programming current using thermally oxidized sub-stoichiometric WO_x film," in *Electron Devices Meeting, IEDM 2010. IEEE International*, pp. 19.1.1-19.1.4, 2010.
- [26] I. Yamashita, "Fabrication of a two-dimensional array of nano-particles using ferritin molecule," *Thin Solid Films*, vol. 393, pp. 12-18, Aug 1 2001.
- [27] 山下一郎, 芝清隆, *バイオナノプロセス 溶液中でナノ構造を作るウェット・ナノテクノロジーの薦め*: CMC 出版, 2008.
- [28] K. Ohara, Y. Uraoka, T. Fuyuki, I. Yamashita, T. Yaegashi, M. Moniwa, *et al.*, "Floating Gate Memory Based on Ferritin Nanodots with High-k Gate Dielectrics," *Japanese Journal of Applied Physics*, vol. 48, Apr 2009.
- [29] K. Ohara, B. Zheng, M. Uenuma, Y. Ishikawa, K. Shiba, I. Yamashita, *et al.*, "Three-Dimensional Nanodot-Type Floating Gate Memory Fabricated by Bio-Layer-by-Layer Method," *Applied Physics Express*, vol. 4, Aug 2011.
- [30] A. Miura, Y. Uraoka, T. Fuyuki, S. Yoshii, and I. Yamashita, "Floating nanodot gate memory fabrication with biomineralized nanodot as charge storage node," *Journal of Applied Physics*, vol. 103, Apr 1 2008.
- [31] A. Miura, T. Hikono, T. Matsumura, H. Yano, T. Hatayama, Y. Uraoka, *et al.*, "Floating nanodot gate memory devices based on biomineralized inorganic nanodot array as a storage node," *Japanese Journal of Applied Physics Part 2-Letters & Express Letters*, vol. 45, pp. L1-L3, Jan 2006.
- [32] M. Uenuma, B. Zheng, T. Imazawa, M. Horita, T. Nishida, Y. Ishikawa, *et al.*, "Metal-nanoparticle-induced crystallization of amorphous Ge film using ferritin," *Applied*

- Surface Science*, vol. 258, pp. 3410-3414, Feb 1 2012.
- [33] M. Uenuma, B. Zheng, K. Bundo, M. Horita, Y. Ishikawa, H. Watanabe, *et al.*, "Crystallization of amorphous Ge thin film using Cu nanoparticle synthesized and delivered by ferritin," *Journal of Crystal Growth*, vol. 382, pp. 31-35, Nov 1 2013.
- [34] M. Kobayashi, S. Tomita, K. Sawada, K. Shiba, H. Yanagi, I. Yamashita, *et al.*, "Chiral meta-molecules consisting of gold nanoparticles and genetically engineered tobacco mosaic virus," *Optics Express*, vol. 20, pp. 24856-24863, Oct 22 2012.
- [35] S. Kumagai, H. Murase, S. Miyachi, N. Kojima, Y. Ohshita, M. Yamaguchi, *et al.*, "Improving Crystallinity of Thin Si Film for Low-Energy-Loss Micro-/Nano-Electromechanical Systems Devices by Metal-Induced Lateral Crystallization Using Biomineralized Ni Nanoparticles," *Japanese Journal of Applied Physics*, vol. 51, Nov 2012.
- [36] S. Saijo, Y. Ishikawa, B. Zheng, N. Okamoto, I. Yamashita, and Y. Uraoka, "Plasmon Absorbance of SiO₂-Wrapped Gold Nanoparticles Selectively Coupled with Ti Substrate Using Porter Protein," *Japanese Journal of Applied Physics*, vol. 52, Dec 2013.
- [37] I. Inoue, H. Yamauchi, N. Okamoto, K. Toyoda, M. Horita, Y. Ishikawa, *et al.*, "Thermo-stable carbon nanotube-TiO₂ nanocomposite as electron highways in dye-sensitized solar cell produced by bio-nano-process," *Nanotechnology*, vol. 26, Jul 17 2015.
- [38] M. Uenuma, T. Ban, N. Okamoto, B. Zheng, Y. Kakihara, M. Horita, *et al.*, "Memristive nanoparticles formed using a biotemplate," *Rsc Advances*, vol. 3, pp. 18044-18048, 2013.
- [39] M. Uenuma, K. Kawano, B. Zheng, N. Okamoto, M. Horita, S. Yoshii, *et al.*, "Resistive random access memory utilizing ferritin protein with Pt nanoparticles," *Nanotechnology*, vol. 22, May 27 2011.
- [40] F. C. Meldrum, V. J. Wade, D. L. Nimmo, B. R. Heywood, and S. Mann, "Synthesis of Inorganic Nanophase Materials in Supramolecular Protein Cages," *Nature*, vol. 349, pp. 684-687, Feb 21 1991.
- [41] D. J. Price and J. G. Joshi, "Ferritin - Protection of Enzymatic-Activity against the Inhibition by Divalent Metal-Ions In vitro," *Toxicology*, vol. 31, pp. 151-163, 1984.
- [42] T. Douglas and V. T. Stark, "Nanophase cobalt oxyhydroxide mineral synthesized within the protein cage of ferritin," *Inorganic Chemistry*, vol. 39, pp. 1828-1830, Apr 17 2000.
- [43] J. Fleming and J. G. Joshi, "Ferritin - Isolation of Aluminum Ferritin Complex from Brain," *Proceedings of the National Academy of Sciences of the United States of America*, vol. 84, pp. 7866-7870, Nov 1987.
- [44] M. Okuda, Y. Kobayashi, K. Suzuki, K. Sonoda, T. Kondoh, A. Wagawa, *et al.*, "Self-organized inorganic nanoparticle arrays on protein lattices," *Nano Letters*, vol. 5, pp. 991-993, May 2005.
- [45] K. Iwahori and I. Yamashita, "Fabrication of CdS nanoparticles in the bio-template, apoferritin cavity by a slow chemical reaction system," *Proceedings of the International Conference on*

- Nanoscience and Technology*, vol. 61, pp. 492-496, 2007.
- [46] K. Iwahori, T. Morioka, and I. Yamashita, "The optimization of CdSe nanoparticles synthesis in the apoferritin cavity," *Physica Status Solidi a-Applications and Materials Science*, vol. 203, pp. 2658-2661, Sep 2006.
- [47] 吉井重雄, "水溶液中静電相互作用の解明によるタンパク質超分子の基板上配置制御 " 博士学位論文, 奈良先端科学技術大学院大学, 2008.
- [48] C. He, R. Honda, H. Kamitake, M. Uenuma, Y. Ishikawa, I. Yamashita, *et al.*, "Distance Controlled Nanoparticles Using PEG-ferritin for New Functional Devices," *2013 Ieee International Meeting for Future of Electron Devices, Kansai (Imfedk2013)*, 2013.

2 章 フェリチンを用いた酸化タンタルナノ粒子の形成およびその評価

2-1. 諸言

BNP は DNA によって設計された超分子タンパク質によるナノ構造体形成および、超分子タンパク質表面の持つ、あるいは付与された特性を利用した、吸着、配置技術からなる超微細素子作製プロセスである。本章ではデバイス応用に向け、その基礎となるナノ粒子形成を取り扱う。

ナノ粒子形成では酸化タンタルを用いる。酸化タンタルは比較的比誘電率が高く、絶縁性も良好なため、主にキャパシタや絶縁膜として利用されてきた重要な電子デバイス材料である。また、ナノ粒子化された酸化タンタルについては、その安定性、生体適合性から電極材料、X 線コンピュータ断層撮影用造影剤などに利用法は多岐に渡る。抵抗変化材料としても温度に対し酸化状態が安定であるため、抵抗変化状態を良好に保つロバストな材料として注目されている。さらに高抵抗状態における低電流が安定動作に寄与することに加え、CMOS プロセスと良好な相性を示す抵抗変化材料として知られている[1, 2]。特に TaO_x を用いた素子によってリテンション時間が 10 年を超すことが示された[1]。酸化タンタルをナノ粒子化し、そのまま抵抗変化材料として利用できれば非常に微細な ReRAM を安価に作製することができる。しかしながら酸化タンタルナノ粒子はその反応性の高さから安定した粒径、形状を得ることが難しい。これに対し BNP を用いることで DNA によって設計されたナノレベルで均一な構造体が作製可能である。本章ではフェリチンを用いた酸化タンタルナノ粒子の形成を扱う。また、デバイス応用に向け、タンパク質を取り除く必要がある。そのため、タンパク質除去前と除去後のナノ粒子についてそれぞれ組成分析、構造解析および粒径分布評価を行った。

2-2. フェリチンによる酸化タンタルナノ粒子の形成

コア合成は通常、バッファー溶液で調製された apo-Fer 溶液中に、前駆体物質を入れることで起こる加水分解反応を経て形成される[3, 4]。本実験では 50 mM のトリスヒドロキシメチルアミノメタン(Tris) バッファー中に保存されている apo-Fer 溶液を、Tris-HCl バッファーに置換している。置換後の Apo-Fer の濃度は Bradford 法によって測定された。コア合成に当たってバッファー溶液の pH および、濃度、反応温度を変化させコア形成率を観察した。pH は 6.0~8.0、モル濃度は 10 mM~500 mM に調整された apo-Fer 溶液中に、前駆体物質であるタンタルエトキシドを滴下し、反応温度 25~75°C の範囲でコア合成を行った。

コア合成によって前駆体物質の加水分解反応により白色物が発生する。このときモル濃度の違いにより反応速度に変化が生じた。これを 20000 rpm、20 min の超遠心により沈殿させ除去する。この過程で凝集したフェリチンもある程度取り除かれる。次に限外ろ過ユニット (Amicom Ultra 15、Millipore) による濃縮を行い、ゲルろ過クロマトグラフィー(TSK-GEL BIOASSIST G4SWXL、TOSOH) による精製を行った。apo-Fer の除外のためにショ糖を用いた密度勾配遠心を行ったのち、再度ゲルろ過クロマトグラフィーにより精製を行った。最終生成物は濃縮、溶媒置換したものを滅菌、分注した。

コア形成率を調べるため 200 keV の TEM による観察を行った。モル濃度、pH、反応温度を変化させたいずれの場合でもコア形成が確認された。このとき pH 8.0、100 mM、反応温度 50°C の条件で、コア形成率はもっとも高くなった。

以下、コア形成率が最も高くなった時の酸化タンタルナノ粒子のコア合成反応プロセスを示す。

- ① 純水を氷上に置き、N₂ で 1 h バブリングした。
- ② 滅菌済みの容器に①の純水(82.11 mg)→Tris-Hcl(1 M、pH8.0、10 ml)を加え、N₂ で 1 h バブリングした。
- ③ 塩化タンタル(35.8 mg)に 99.5%エタノール(10 ml)を加え、10 mM のタンタルエトキシドを作製した。
- ④ ②のバブリングを止め、Apo-Fer(17.29 mg/ml、2.89 ml)を加えた。

- ⑤ 吸気口と排気口のついた蓋を②の容器につけ、吸気口から N_2 を通し容器内を N_2 で満たした。
- ⑥ ②の容器に N_2 を通しながら $50^\circ C$ に調整された恒温槽に漬け、温度の安定化を待った。
- ⑦ 排気口をふさがないように③の 10 mM タンタルエトキシドを 1 ml 加えて攪拌した。
- ⑧ ⑦を 10 min 置きに 5 回繰り返した。最終溶液量は 100 ml である。
- ⑨ 反応後は氷上で保存した。

2-3. 組成分析、結晶構造解析および粒径評価

フェリチンによって形成されたナノ粒子について、組成分析、結晶構造解析、粒径評価を行った。一般的に溶液法による Ta_2O_5 の形成では酸化タンタル、あるいは水酸化タンタルになることが知られている。フェリチンにより形成されたナノ粒子も、このいずれかであると考えられる。フェリチンで形成されたナノ粒子はデバイス応用時に UV/O₃ 処理をすることによってタンパク質を除去する必要がある。そのためここでは UV/O₃ 処理前後を総合して評価していく。

フェリチンによって形成されたコア内包フェリチンを透過型電子顕微鏡 (TEM)(JEM-3300FSS、JEOL、300kV) によって観察した。試料はシリコン TEM グリッド (ALLIANCE Biosystems: SO100-A20Q33) に精製されたフェリチン溶液 (純水置換済み) を滴下、余剰分の溶液をろ紙により取り除いた後、純水で同工程を繰り返し自然乾燥したものをを用いた。TEM 像を図 2.1 に示す。図に示すように粒径の揃ったナノ粒子が確認できた。観察されたナノ粒子の組成をエネルギー分散型 X 線分析 (EDS) によって分析した。点分析測定結果を図 2.2 に示す。TaL α や TaL β などの Ta 特有のピークが確認された。バックグラウンドに Ta のピークが確認できないことから、フェリチンによって形成されたこのナノ粒子はタンタル化合物であることが示された。

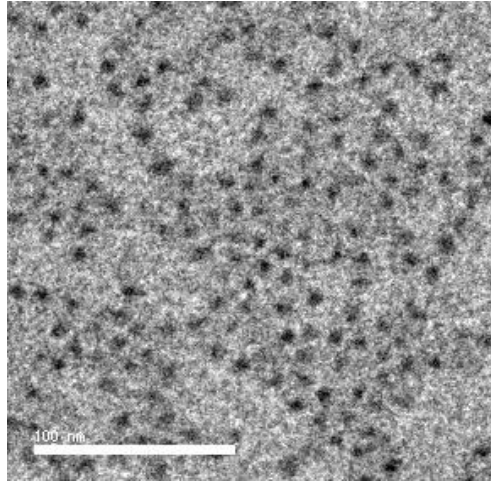


図 2.1 酸化タンタルナノ粒子の TEM 像

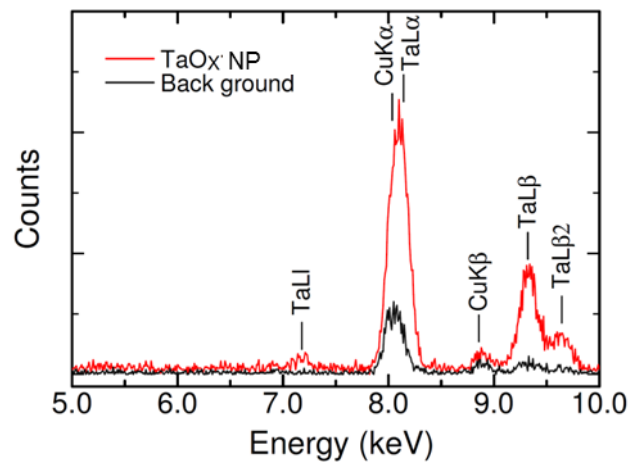


図 2.2 酸化タンタルナノ粒子の EDS 測定結果

次に X 線光電子分光(XPS)(X 線源：単色 Al $K\alpha$)による元素の化学結合状態の分析を行った。試料は酸化タンタルコア内包フェリチン溶液(純水置換済み)を、Si 基板上へ滴下、自然乾燥後、UV/O₃ 処理(115°C、4 h) により外殻タンパク質の除去を行ったものを用いた。ナノ粒子は自然乾燥のため積層しており、基板からのバンドの曲がりをも十分に無視できると考えられる。図 2.3 に XPS 測定から得られた Ta4f と O1s のスペクトルを示す。スペクトルは C1s の結合エネルギーを 285.5 eV としてキャリブレーションしている。

このスペクトルをピーク分離すると、Ta4f は 4 つのピークに分離でき、分離後のピーク位置は低エネルギー側から 22.7、24.5、27.2、29.1 eV と見積もられる。ピーク 22.7、24.5 eV の二つは金属タンタルに帰属するものと考えられるが、ピーク高さが 22.7 eV より 24.5 eV が若干大きいことからタンタル亜酸化物に帰属する Ta⁺、Ta²⁺が混合していると考えられる。また 27.2、29.1 eV の二つは、金属タンタルからのピークシフト 4.6 eV とよく合致することから、それぞれ Ta₂O₅ に帰属する Ta⁵⁺4f_{7/2}、Ta⁵⁺4f_{5/2} 由来と考えられる[5]。O1s は 2 つのピークに分離でき、531.3 eV のピークは Ta₂O₅ 由来(Ta-O)と考えられ、532.4 eV にみられるピークは基板表面の不純物由来と考えられる[6]。これらより UV/O₃ 処理タンパク除去を行ったナノ粒子のタンタルは一部、亜酸化状態を持っているが、全体として酸化数が 5 価に限りなく近い化学量論的な状態であることが推察できる。

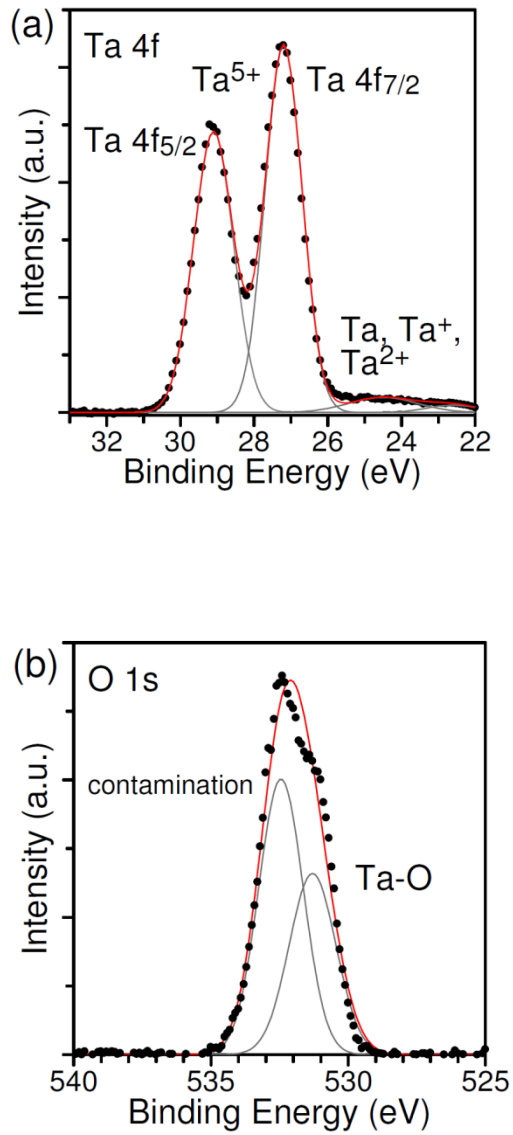


図 2.3 酸化タンタルナノ粒子の XPS 測定結果 (a)Ta4f スペクトルおよび、(b)O1s スペクトル

ナノ粒子の組成を決定するため FTIR(透過モード)によって分析を行った。結果を図 2.4 に示す。試料は酸化タンタルコア内包フェリチン溶液(純水置換済み)を、Si 基板上へ滴下、自然乾燥を 4 回繰り返したものと、同条件で作製後 UV/O₃ 処理(115°C、2 h) により外殻タンパク質の除去を行ったものを測定した。3400 cm⁻¹ に存在するブロードなピークは O-H 基によるものである。また 1650、1540 cm⁻¹ にはそれぞれ、タンパク質に含まれるアミド I、II に由来する[7]。Ta-O のピークは 540~570 cm⁻¹、Ta-O-Ta のピークは 635~671 cm⁻¹ に存在する[8]。また亜酸化物を形成する Ta=O のピーク(996 cm⁻¹)は、ほぼ確認できない[8, 9]。これは XPS により測定された化学量論的な酸化状態であることを裏付けるものである。タンパク質除去前に観測できた O-H 基とアミド I、II のピークがタンパク質除去後に大幅に減少している。アミド I、II のピークはタンパク質由来であるため UV/O₃ 処理によりタンパク質が除去されたため減少されたと考えられる。O-H 基の減少については、ナノ粒子に偏在していた未反応の O-H 基が、UV/O₃ 処理をすることで脱水縮合反応を起こし脱離していると考えられる。

以上の結果よりフェリチンコア内のナノ粒子はタンタル水和物と考えられ、UV/O₃ 処理後は化学量論的な Ta₂O₅ に非常に近い組成であると考えられる。

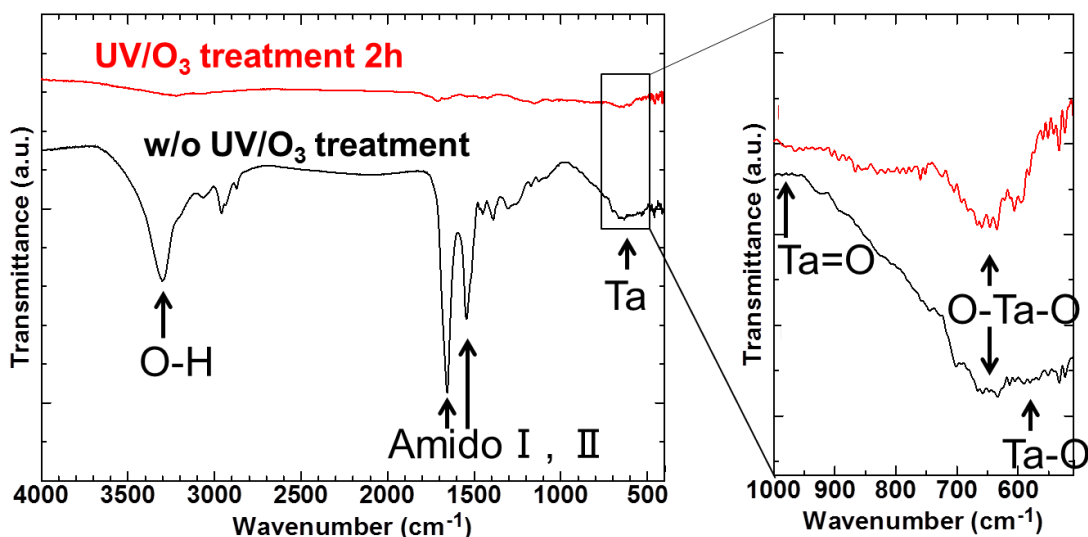


図 2.4 酸化タンタルナノ粒子の FTIR 測定結果

X線回折装置(XRD)よりナノ粒子の結晶構造解析を行った。結果を図 2.5 に示す。試料は酸化タンタルコア内包フェリチン溶液を乾燥後、粉末状に砕いたもの、同試料を UV/O₃ 処理(115°C、1 時間)したものと、窒素雰囲気酸化 800°C で 1 時間焼成したものである。また参考資料としてバルクの酸化タンタルを測定した。Ta₂O₅ は 500°C から 700°C において β 相の結晶化を起こし、そのピークは主に 23、29、37° に現れる [10]。バルクの酸化タンタルから得られたピークも 22.7、28.2、36.6° と非常に近い値が検出された。一方 UV/O₃ 処理前後のナノ粒子からはピークが検出されなかった。このことから UV/O₃ 処理に関わらず、フェリチンによって形成された酸化タンタルナノ粒子は、アモルファスであると推察される。また窒素雰囲気酸化で 800°C、1 時間焼成した試料からは 22.9、28.7、37.9° にピークが検出され β 相の結晶化を起こしていると考えられる。参考資料とのピーク位置の誤差が見られるが、これは XPS で得られた、金属亜酸化物などにより結晶に歪みが生じている可能性及び、ナノ粒子化することによりピークがブロード化している影響によるものと考えられる。

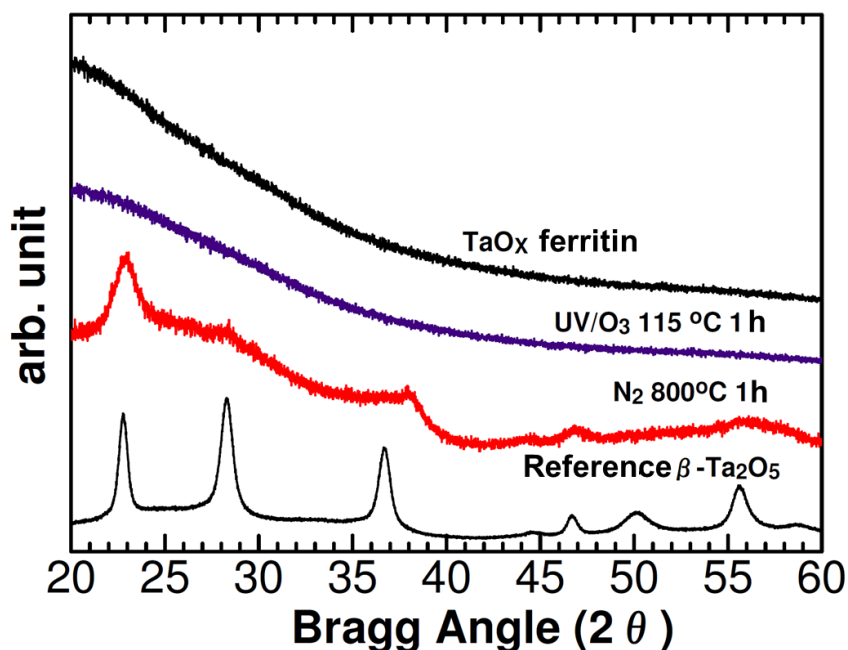


図 2.5 酸化タンタルナノ粒子の XRD 測定結果

酸化タンタルナノ粒子のタンパク質除去前後の TEM(300kV)像を図 2.6 に示す。試料はシリコン TEM グリッドに精製されたフェリチン溶液(純水置換済み)を滴下、余剰分の溶液をろ紙により取り除いた後、純水で同工程を繰り返し自然乾燥したものを用いた。タンパク質は 115°C、50 分の UV/O₃ 処理において除去した。TEM 像からタンパク質除去後では粒径が減少していることが確認できる。図内の粒子を全て計測した結果をヒストグラムとして図 2.7 に示す。ナノ粒子の粒子径のピーク値はそれぞれ、タンパク質除去前では 6±1 nm、タンパク質除去後では 4.5±1 nm であった。ナノ粒子の大きさのバラつきはタンパク質内での形成率によるものである。これは内部空洞が完全に充填することが難しいことから起こるものである。収縮の原因は FT-IR で推察された UV/O₃ 処理によるナノ粒子からの水分子の脱離によるものと考えられる[9]。すなわちナノ粒子であることの反応性の高さ、UV/O₃ による熱と紫外線のエネルギーにより、ナノ粒子内に存在した水酸基の縮合重合反応が促進され、水分子が発生、脱離したと考えられる。

また、Si 基板上にランダム吸着した酸化タンタルナノ粒子に対し、原子間力顕微鏡(AFM)のタッピングモードを用い、コアの大きさを確認した。試料はコア含有フェリチン溶液を簡易洗浄済み Si 基板に滴下した後、数分間静置し、純水で洗浄し、UV/O₃ によりタンパク質除去を行った。結果を図 2.8 に示す。図は単一のフェリチンを捉えたものであり、測定画面上に約 4 nm の高さの物体があることが確認できる。他の突起物においても、その大きさは約 4 nm を示し、TEM 像での観測値と近い値が得られている。

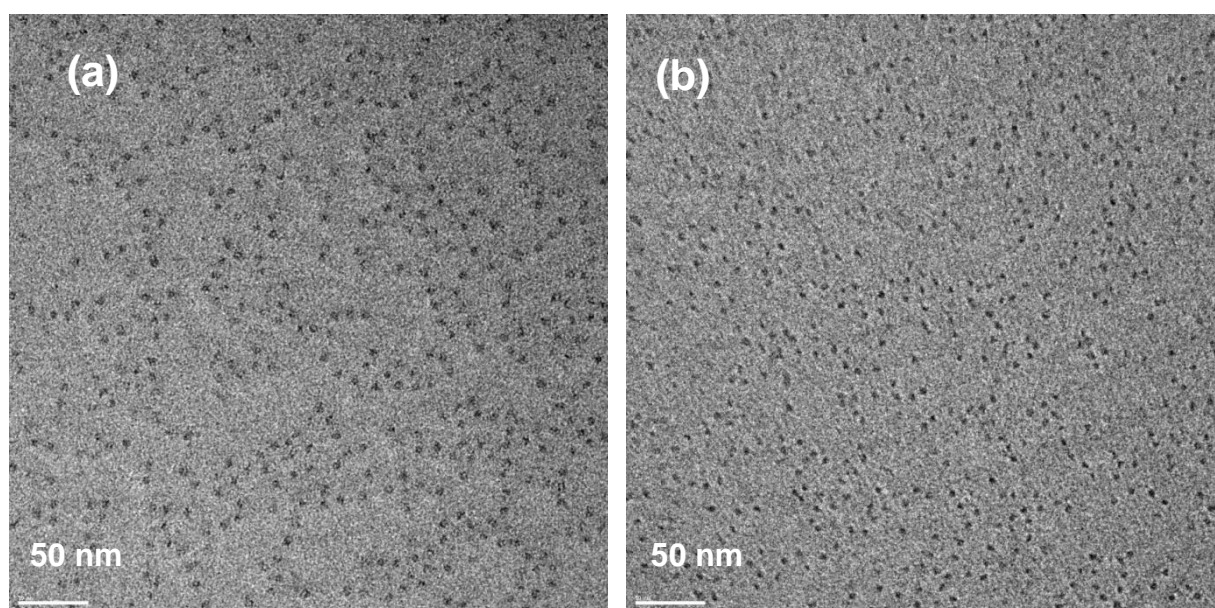


図 2.6 酸化タンタルナノ粒子の TEM 像 (a):UV/O₃ 処理前、(b):UV/O₃ 処理後)

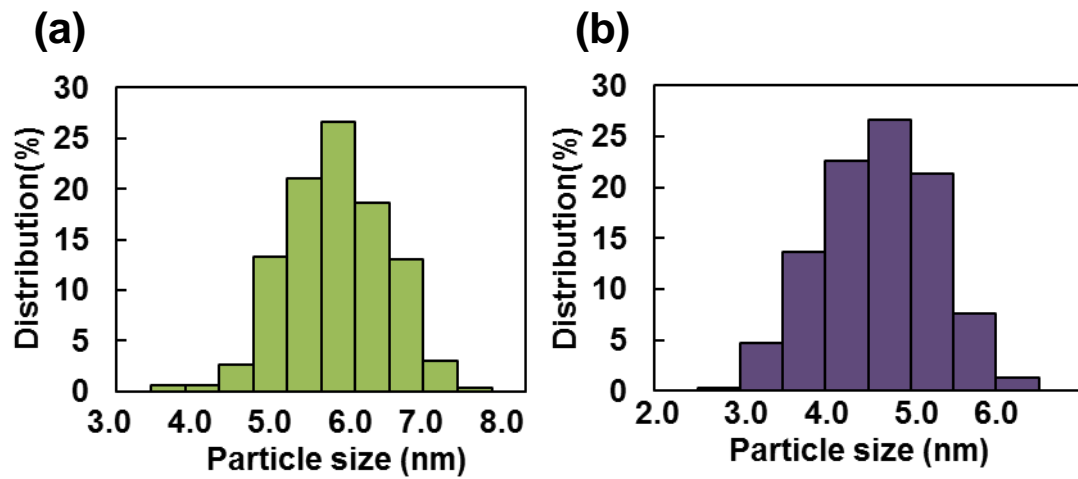


図 2.7 酸化タンタルナノ粒子の粒径分布 (a):UV/O₃ 処理前、(b):UV/O₃ 処理後

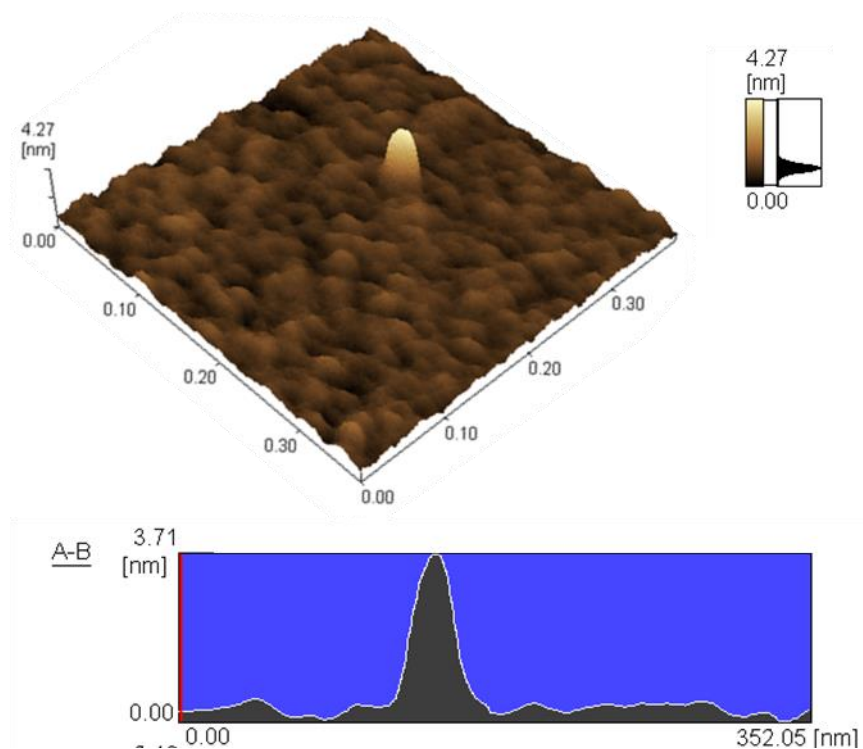


図 2.8 酸化タンタルナノ粒子の粒径評価 AFM 像による単一ナノ粒子の観察

2-4. まとめ

ReRAM 他、さまざまな材料として期待される酸化タンタルを、フェリチンによりナノ粒子として作製した。このナノ粒子は UV/O₃ 処理によりタンパク質の除去を行うことで少量の亜酸化物である酸化タンタル、もしくは金属 Ta を含んだ Ta₂O₅ に非常に近い組成となることが明らかになった。その構造はアモルファスであると推察され、窒素雰囲気化 800°C で焼成することで結晶性が表れた。また 6±1 nm あった粒径が、タンパク質除去後 4.5±1 nm へと減少がみられた。これはフェリチン内で水和物であったナノ粒子から UV/O₃ 処理により水分子が脱離したためと考えられる。これらの結果よりフェリチンにより形成された酸化タンタルナノ粒子はデバイス応用に適していると言える。

2-5. 参考文献

- [1] Z. Wei, Y. Kanzawa, K. Arita, Y. Katoh, K. Kawai, S. Muraoka, *et al.*, "Highly reliable TaO_x ReRAM and direct evidence of redox reaction mechanism," in *Electron Devices Meeting, IEDM 2008. IEEE International*, pp. 1-4, 2008.
- [2] M. J. Lee, C. B. Lee, D. Lee, S. R. Lee, M. Chang, J. H. Hur, *et al.*, "A fast, high-endurance and scalable non-volatile memory device made from asymmetric Ta₂O_{5-x}/TaO_{2-x} bilayer structures," *Nature Materials*, vol. 10, pp. 625-630, Aug 2011.
- [3] K. K. W. Wong and S. Mann, "Biomimetic synthesis of cadmium sulfide-ferritin nanocomposites," *Advanced Materials*, vol. 8, pp. 928-&, Nov 1996.
- [4] F. C. Meldrum, B. R. Heywood, and S. Mann, "Magnetoferritin - Invitro Synthesis of a Novel Magnetic Protein," *Science*, vol. 257, pp. 522-523, Jul 24 1992.
- [5] E. Atanassova, G. Tyuliev, A. Paskaleva, D. Spassov, and K. Kostov, "XPS study of N₂ annealing effect on thermal Ta₂O₅ layers on Si," *Applied Surface Science*, vol. 225, pp. 86-99, Mar 30 2004.
- [6] E. Atanassova and D. Spassov, "X-ray photoelectron spectroscopy of thermal thin Ta₂O₅ films on Si," *Applied Surface Science*, vol. 135, pp. 71-82, Sep 1998.
- [7] I. Yamashita, "Fabrication of a two-dimensional array of nano-particles using ferritin molecule," *Thin Solid Films*, vol. 393, pp. 12-18, Aug 1 2001.
- [8] H. Schulz, L. Madler, S. E. Pratsinis, P. Burtscher, and N. Moszner, "Transparent nanocomposites of radiopaque, flame-made Ta₂O₅/SiO₂ particles in an acrylic matrix," *Advanced Functional Materials*, vol. 15, pp. 830-837, May 2005.
- [9] I. W. Boyd and J. Y. Zhang, "Low temperature photoformation of tantalum oxide," *Microelectronics Reliability*, vol. 40, pp. 649-655, Apr-May 2000.

- [10] J. Y. Zhang, Q. Fang, and I. W. Boyd, "Growth of tantalum pentoxide film by pulsed laser deposition," *Applied Surface Science*, vol. 138, pp. 320-324, Jan 1999.

3章 金属膜上へのフェリチン選択単一配置技術

3-1. 諸言

デバイス応用に向けたフェリチンの配置技術の一つとして静電相互作用を利用したフェリチンの単一配置技術がある[1-3]。この技術は微細なデバイスを作製するうえで、また2次元結晶を作らない限りランダムに吸着するフェリチンの配置制御法として非常に有用な手法である。しかしながら、この単一配置技術は SiO_2 上でのみ実証されており、デバイスへの応用が難しい。これに対し本章ではフェリチンの電極上への単一配置制御について検討を行った。金属膜上での配置が可能になれば様々な応用が可能になる。例としてBNPにより作製したナノ粒子を抵抗変化材料としてReRAMに組み込む場合、電極膜上で任意の位置にナノ粒子を配置出来れば、単一ナノ粒子のみで構成されるReRAMが作製可能となる。本章では静電相互作用を用いたフェリチン配置技術について述べた後、各種金属膜上に対して応用の検討、そして実際に適用した結果について述べる。

3-2. 静電相互作用によるフェリチン配置技術

静電相互作用によるフェリチン配置技術は、物質表面の電位(ζ 電位:粒子から十分に離れて電氣的に中性である領域の電位を0として測った場合の、滑り面の電位)を利用している。 SiO_2 膜はpH 7付近で、プロトンの脱離により、負に帯電する。フェリチンはpH 7付近で正負両方の電荷を持つが、分子全体としては負に帯電している。ここで SiO_2 膜に部分的に正の電荷を帯びるよう表面修飾することで、フェリチン-表面修飾間のみ引力が働き、フェリチンの選択的な配置が可能となる。この修飾には、アミノシラン化合物である3-アミノプロピルトリエトキシシラン(APTES)を使用する。APTES表面はアミノ基で覆われる。アミノ基はpH 7付近ではプロトン化を起こすため、修飾部分は正に帯電される。図3.1に SiO_2 基板を含めたフェリチンとAPTESの ζ 電位のpHによる変化を示す[4]。この技術を用いた単一配置制御は、フェリチンを遺伝子操作により ζ 電位を約2倍まで増強した負電荷増強フェリチン(Fer8-K98E)[5]を用いることで、容易となる。単一フェリチンの選択配置を説明する概略図を図3.2に示す。APTESのディスクパターンと基板の静電場により発生した漏斗型のポテンシャルを通してフェリチンがパターンの中心に吸着する。このフェリチンと基板からの静電場によって2個目のフェリチンの吸着が阻まれる。この時、静電相互作用距離Debye長が重要となる。

Debye長は下記の式で記述されるように溶液の誘電率、温度、イオン強度に依存し、前者2つが高く、後者が低い時ほど長くなる。

$$\lambda = \sqrt{\frac{\epsilon_0 \epsilon_r k T}{2 N_A e^2 I}} \quad (2.1)$$

ϵ_0 は真空の誘電率、 ϵ_r は比誘電率、 k はボルツマン定数、 T は温度、 N_A はアボガドロ定数、 e は素電荷、 I はイオン強度を表す。Debye長はイオン強度が 10^{-4} (溶液のイオン価数が1価かつモル濃度が0.1 mM)のとき約30 nmである。このときFer8-K98Eを用いることでAPTESのディスク状パターンの直径が30 nm程度であっても単一配置制御が可能であることが示されている[3]。このディスクパターンの形成法については主に電子線リソグラフィによって作製する手法が採られている。ポジ型の電子線レジストを利用することで電子線照射部位のみレジストを除去、その後APTESのSAM膜形成、レジスト剥離によって基板上にディスクパターンを形成する。SAM膜形成においては加熱による膜の安定化が一般に行われるが、この手法においてはディスクパターンの縁にバリができることから行われていない[5]。

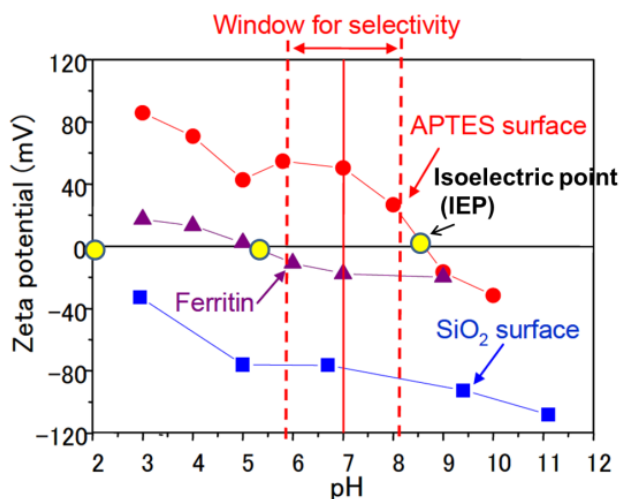


図 3.1 pH 変化に伴う電位特性(フェリチン、APTES、SiO₂)[4]

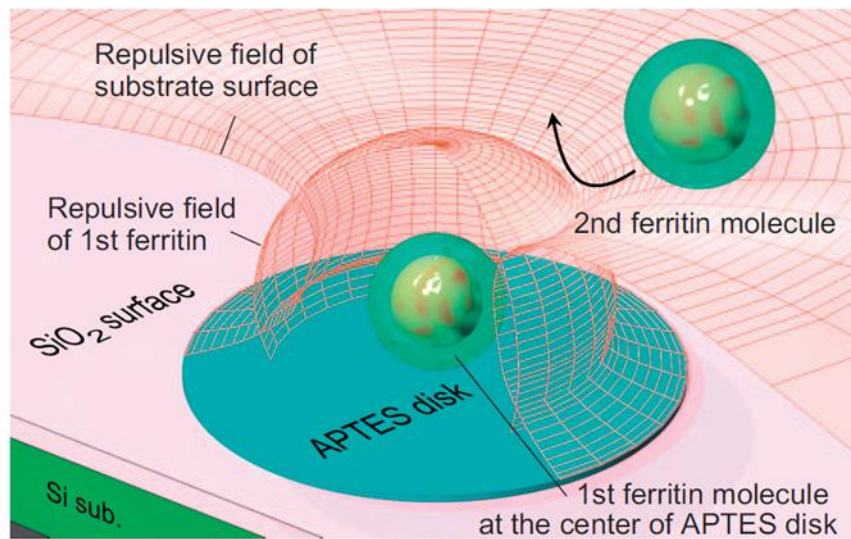


図 3.2 フェリチンの単一選択配置の模式図[3]

3-3. ナノ粒子単一配置プロセス

以下にナノ粒子単一配置プロセスを示す。また図3.3に選択配置のプロセスフローを示す。条件として金属膜はpH 7において ζ 電位が負を示す材料である必要がある。

1. 5 mm角にカットした基板をアセトン、メタノールで超音波洗浄(5分)、超純水で洗浄し、UV/O₃処理を行い、基板表面に吸着した有機汚染物を除去及び親水化した。
2. ポジ型EBレジストZEP520A(ZEP520AとAnisole溶媒を1:4で混合)をスピコート(300 rpm 3 秒、3000 rpm 15 秒、6000 rpm 2秒)により基板全面に塗布し、140℃で2分間ベークした。
3. EB描画装置により、100、200 nm間隔で5 nm角の正方形パターンを描画した。描画条件は、ドーズ時間が7 μ s/dot、照射電流は20 pA、1ドットの分解能は2.5 nm(描画範囲：600 μ m角、ドット数：240000個)とした。この条件によりおよそ直径30 nmの円形パターンが描画される。
4. 描画を施した基板をEBレジスト用現像液(ZED-N50)に1分間浸漬させ、N₂ブローで現像液を除去した後、140℃で1分間ベークを行った。

5. 現像処理を終えた基板をN₂置換したグローブボックス内で少量のAPTESと共に遮光容器中に入れてAPTES蒸気に暴露し、室温で3時間放置した。
6. 密閉容器から基板を取り出し、直ちに脱水エタノールで3回洗浄を行うことで未反応のAPTESを除去した後、超純水でリンスし、N₂ブローにより水分を除去した。
7. 50°Cに温めたEBレジスト用リムーバー溶液(ZDMAC)に10分間基板を浸漬させ、その後5分間の超音波洗浄によりEBレジストの除去を行った。その後、アセトン、超純水でリンスを行い、N₂ブローにより水分を除去した。
8. 0.1 mM、pH 7に調整したコア内包フェリチン溶液(Fer8-K98E、0.1 mg/ml、MES-Tris)を7 μl基板上に滴下し、室温で1分間静置した。その後、超純水で複数回洗浄を行い、N₂ブローにより水分を除去した。

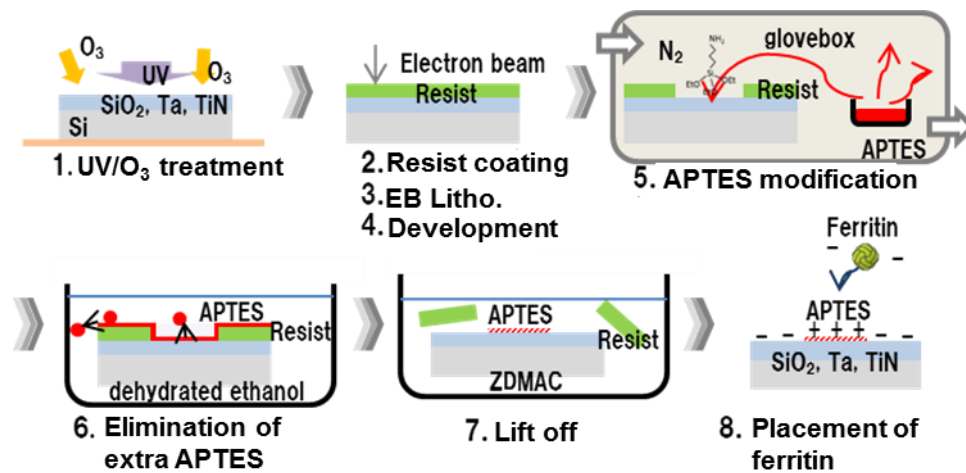
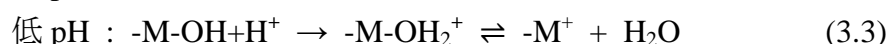


図 3.3 フェリチン選択配置プロセスフロー

3-4. 金属膜上へのフェリチン配置技術応用の検討

一般的にζ電位はpHが高くなると負に寄り、逆に低くなると正に寄る。この時、あるpHで電位が0(中性)となる電位を零点電位(Isoelectric point: IEP)という。金属のIEPは酸化物、水酸化物において統計的に調べられている[6]。水和した酸化物の帯電状態の変化は次式で表される。



IEPを酸性に持つ物質ではpH 7においてζ電位が負になる。表面状態により同じ金属であってもIEPは異なるが、イオン価数が高くイオン半径が小さい金属ほどIEPが0に近づく傾向にある。この傾向は統計的に求められた以下の式によく従うことが知られている[6]。

$$\text{IEP} = 18.6 - 11.5 \left[\frac{Z}{R} + 0.0029(\text{CFSE}) \right] \quad (3.4)$$

Zは金属のイオン価数、Rは酸素のイオン半径×2+金属のイオン半径、CFSEは結晶場安定化エネルギーである。特に価数が4以上を取ることができる金属ではIEPがpH 7.5以下の値を取る傾向にある。すなわち、高いイオン価数かつイオン半径の小さい金属を選択することで、pH 6~8においてζ電位が十分負となり、フェリチン配置技術を応用できる。

例えば電極によく用いられる金属としてPt、TiNなどがある。これらはPt⁴⁺、Ti⁴⁺など、いずれも高いイオン価数を取り得ることができイオン半径も小さい。実際にIEP=3 (Pt)[7]、4 (TiN)[8]とpH 4以下にIEPを持つことが報告されている。他にも例えばTaなどであればTa⁵⁺のイオン価数を取ることができ、IEP=2.7~3.0 (Ta)[9]など非常に低く、SiO₂に近いIEPを持つ金属も存在する。これらはpH 7において高い負のζ電位を持つことが予想されフェリチン配置技術の応用が可能であると考えられる。

実際にSi基板に蒸着したTa膜のpH 7のζ電位を測定した。Ta膜はイオン強度100 mMにおいて約-40 mVであった。イオン強度変化におけるSiO₂、およびTiN、Taのζ電位特性を図3.4に示す。この図から測定されたTaのζ電位はSiO₂と同等の値を示していることがわかる。これよりTa膜上への応用が可能であると推察した。

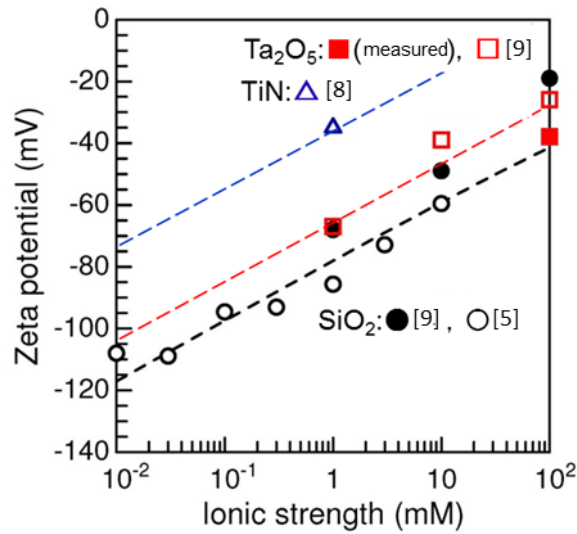


図 3.4 ζ 電位-イオン強度特性(SiO₂、TiN、Ta)

次に金属膜上へ APTES 修飾が可能であるかを検討した。APTES は Si 基板表面での SAM 膜形成がよく知られている。その原理としては Si 基板表面の O-H 基と APTES のエトキシ基が加水分解により縮合することにより基板表面に Si-O-Si 結合を形成するものである。すなわち基板表面に十分な O-H 基を形成することにより金属膜上であっても APTES 修飾は可能である。

そこで Si 基板および成膜された Ta 膜表面に APTES ディスクパターンが形成可能かを調べた。実験条件は簡易洗浄された、それぞれの基板に 115°C、10 分間の UV/O₃ 処理したものに電子線リソグラフィによりパターンを形成後、APTES ディスクパターンを形成した。APTES は気相成長であり、それぞれ 1、3、5 時間、反応させている。その後パターン確認の簡易化のため鉄コア内包フェリチン(Fer8-K98E)を吸着させている。SEM 観察結果を図 3.5 に示す。図に示すように Si 基板では 1 時間で単一配置可能な APTES ディスクパターンが形成されているが、Ta 膜ではパターンは確認できなかった。3 時間ではどちらもパターンが確認できるがその形成率は、Si に比べ Ta は低くなっている。これより APTES のディスク状パターンが上手く形成されていないことが予想される。また 5 時間反応させたものに関しては APTES ディスクパターンに複数個のナノ粒子が吸着していることが確認された。これは反応時間が長くなることで APTES の SAM 膜形成が過剰に行われディスクパターンが大きくなったためと推察される。

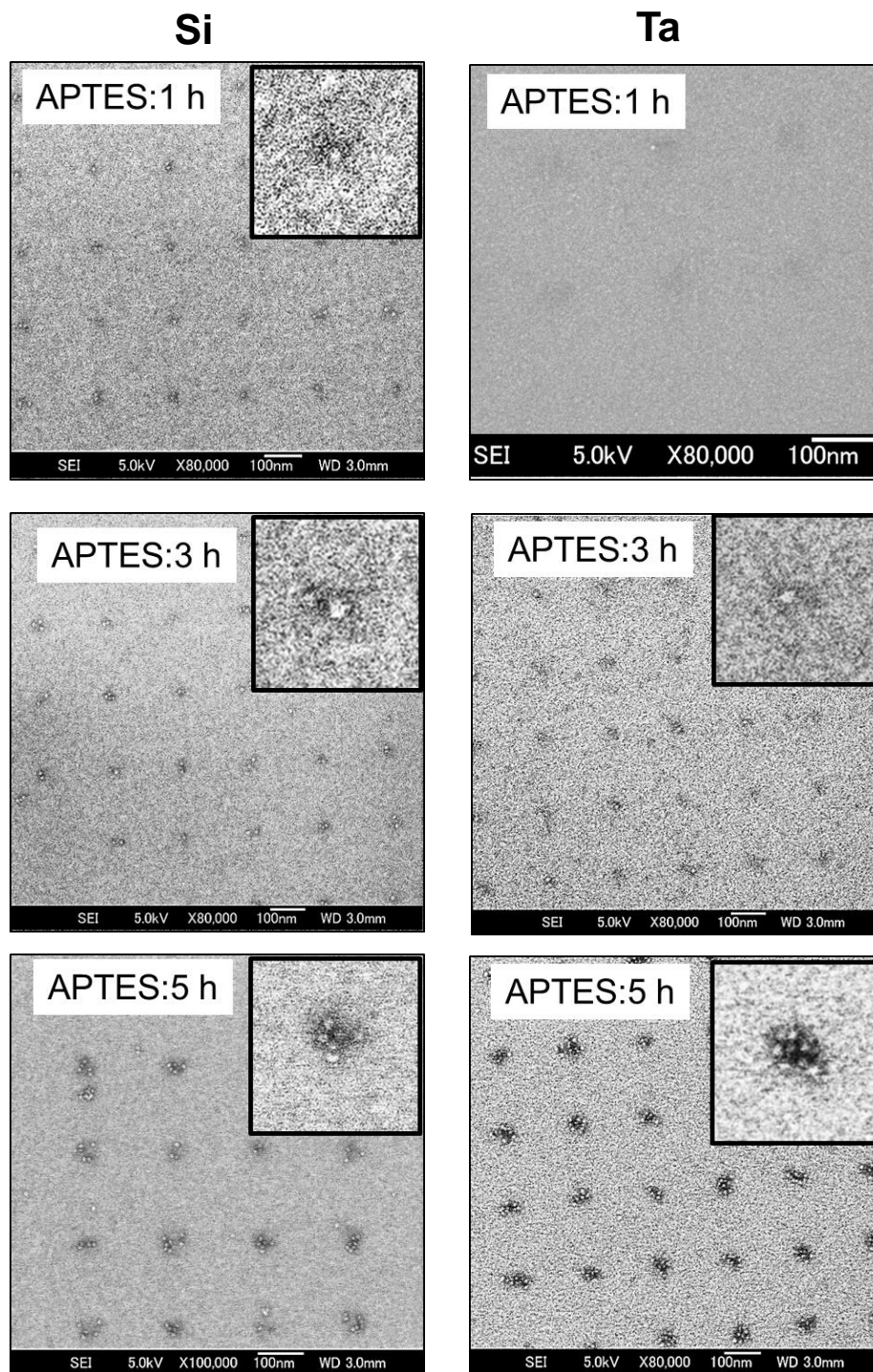


図 3.5 Si 基板上および蒸着された Ta 膜上での APTES 形成

Ta 膜上の APTES 膜の不形成の原因を調べるため UV/O₃ 処理による表面改質が関係していると仮定し、UV/O₃ 処理を行わないまま 3 時間の APTES 処理を行った。この結果を図 3.6 に示す。図の左下から延びる長方形の黒い変色はパターンを示すためのガイドである。図に示すようにガイドの先にドットパターンは一切見ることができない。前述より 3 時間の APTES 暴露であれば十分にディスクパターンは形成される筈である。このことより、十分表面を改質できる時間をかけた UV/O₃ 処理が APTES には必須であることが推察できる。また実際に 1 時間の UV/O₃ 処理を行った Ta 膜について XPS によって分析した。Ta 4f についての結果を図 3.7 に示す。図に示すように UV/O₃ 処理によって亜酸化物が減少し、安定な 5 価の酸化物が増加していることが確認できる。このことより表面に安定な酸化状態が形成され、式(3.2)、(3.3)で示される金属表面の正の帯電が防止されるものと考えられる。一方で Ta は表面に強い不動態を形成することが知られている。すなわち Ta と O が強固に結合し水和状態になっていないことも考えられる。図 3.8 に Ta 表面への APTES 修飾イメージを示す。UV/O₃ 処理することで Ta 表面が活性化し Ta-O 結合が部分的に切れ O-H 基が導入されたものと考えられる。以上により金属膜上への APTES 修飾は金属表面に安定な酸化状態を作り出し、O-H 基を導入することで達成できるものと考えられる。

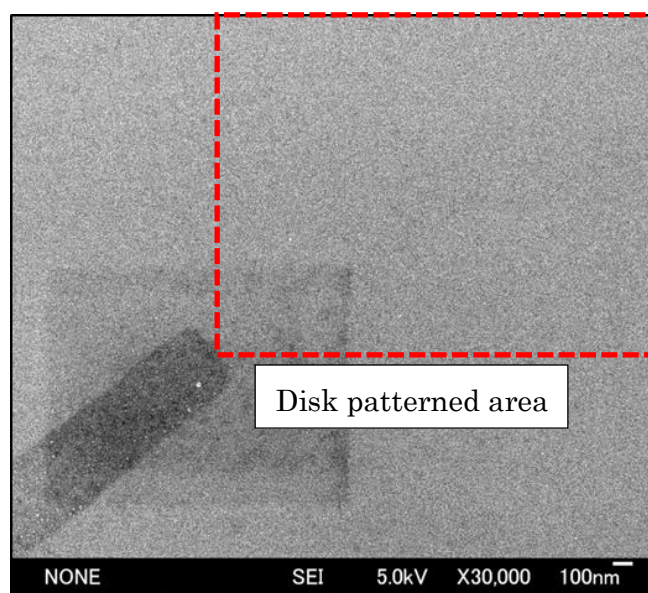


図 3.6 UV/O₃ 未処理状態での Ta 膜上での APTES 形成

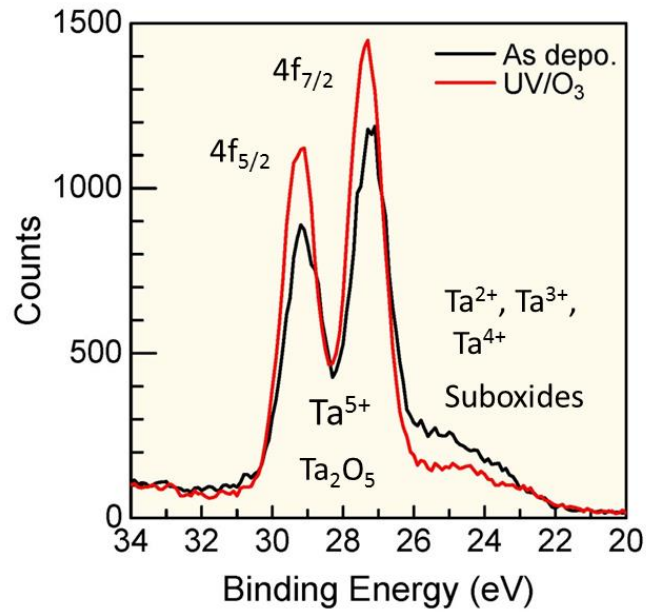


図 3.7 UV/O₃ 処理前後での Ta 膜表面の変化 Ta 4f

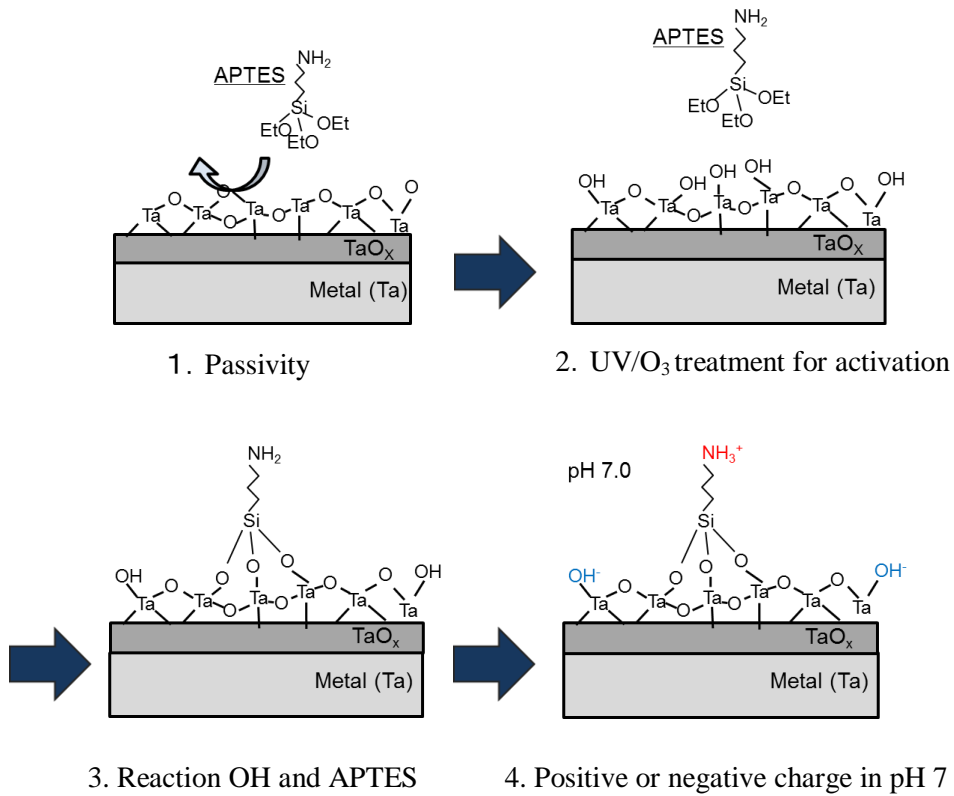


図 3.8 タンタル上への APTES 形成過程イメージ

3-5. SiO₂, Ta, TiN, Pt, Ni 膜上への配置結果

まず、Si基板上での単一配置を行った。使用したナノ粒子は酸化タンタルナノ粒子である。結果を図3.9に示す。図に示すように設計した間隔でナノ粒子が単一に配置していることを確認した。これよりプロセスにおいて電子線描画、APTES形成などについて不備がないことを確認した。これを踏まえ、電子線蒸着によりTa、TiN、Pt、Ni膜を形成した基板において応用可能か検証した。それぞれのSEM像を図3.10(a)~(d)に示す。Ta、TiN、PtはpH 7において ζ 電位が負を示し単一配置の条件を満たしており、設計した間隔でナノ粒子が配置していることを確認できる。また、 ζ 電位がpH 7において正を示すNi[10]においては基板一面にナノ粒子の吸着が見られ、選択配置は確認できなかった。これはNiがpH 7において正の ζ 電位を持つため、負の ζ 電位を持つフェリチンを引き寄せ吸着したためと考えられる。種々の金属上でのナノ粒子単一配置を確認したことから、本プロセスは、 ζ 電位が負を示す金属膜上において使用可能であるといえる。

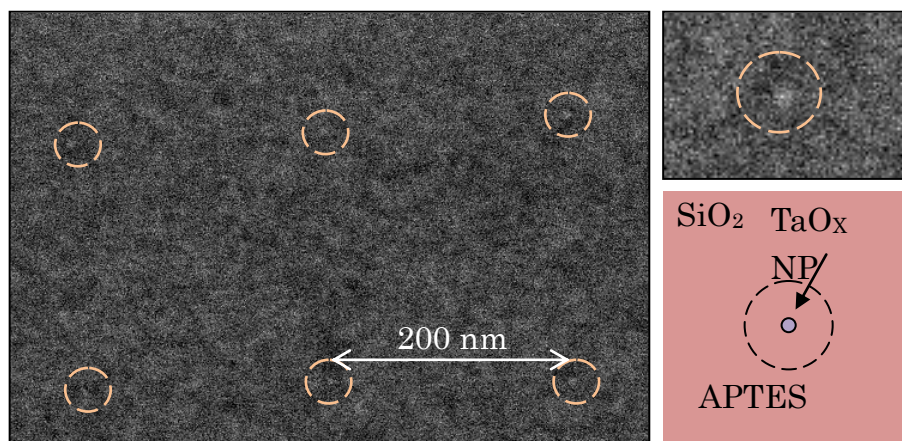


図 3.9 SiO₂上 TaO_x ナノ粒子の単一選択配置の SEM 像(UV/O₃ 後)

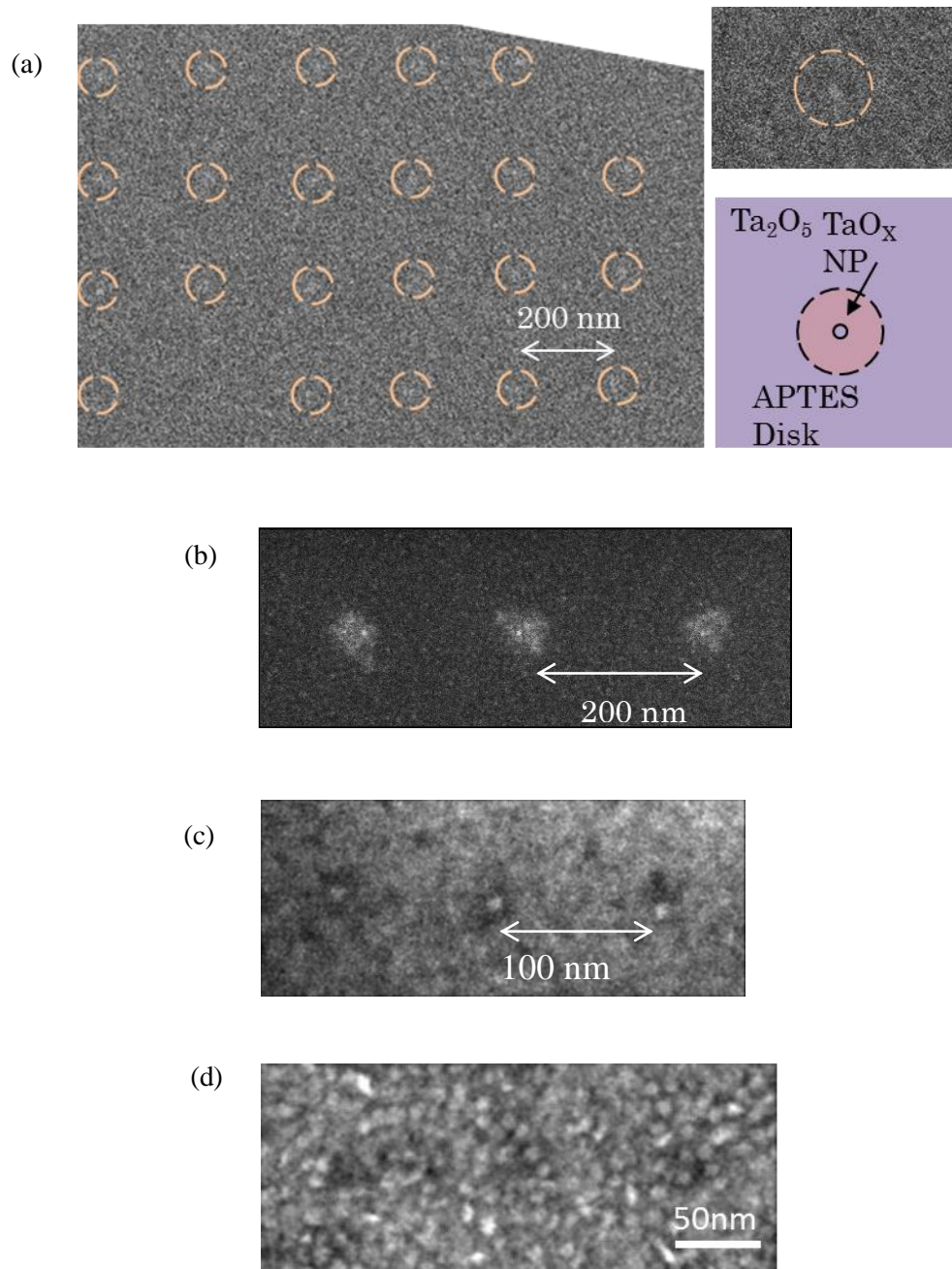


図 3.10 (a) Ta 膜上 TaO_x ナノ粒子の単一選択配置の SEM 像(UV/O₃ 後)、
 (b) TiN 膜上 TaO_x ナノ粒子の単一選択配置の SEM 像(UV/O₃ 後)、
 (c) Pt 膜上フェリチンナノ粒子の単一選択配置の SEM 像、
 (d) Ni 膜上フェリチンナノ粒子の単一選択配置の SEM 像

3-6. 金属膜上への配置結果に対する考察

表 3. 1 金属酸化物に対する零点電位 pH

Material	IEP	Ref.
Sb ₂ O ₅	<0.4	[11]
WO ₃	0.5	[12]
V ₂ O ₅	12	[6]
Ta ₂ O ₅	2	[9]
SiO ₂	2.2	[4]
ZrO ₂	4	[13]
MnO ₂	4-4.5	[14]
TiO ₂	4.7	[6]
Ferritin	5-6	[5]
SnO ₂	5.5	[15]
Fe ₃ O ₄	6.5±0.2	[15]
CeO ₂	6.75	[16]
Cr ₂ O ₃	7	[6]
HgO	7.3±0.3	[6]
γAl ₂ O ₃	8	[6]
APTES	8-9	[4]
ThO ₂	9.0-9.3	[17]
αAl ₂ O ₃	9.2	[6]
ZnO	9.3	[6]
CuO	9.5±0.4	[6]
BeO	10.2	[11]
NiO	10.3±0.4	[6]
CdO	10.4±0.2	[6]
La ₂ O ₃	10.4	[16]
MgO	12.4±0.3	[6]

表 3.1 に各種金属酸化物に対する IEP の位置を記した。金属膜上へのフェリチンの選択配置では電位が重要であることがこれまでの結果より確認できた。特に pH が 8 以下のとき APTES と同様に正の表面電位を持つ材料では選択配置に適さないことが示唆された。表 3.1 に示す APTES より下の行に位置する材料群が該当する。同様にフェリチンの IEP 以下を持つ材料では選択配置に適した

材料であることが示唆され、表 3.1 の Ferritin より上の行の材料が該当する。またここに記さない材料であっても価数からおよその IEP を概算することができる。式(3.4)に記すように IEP は金属のイオン価数に比例して低下する。表 3.1 でも価数の高い材料ほど低い IEP を持ち、価数が低い材料では高い IEP を持っていることが確認できる。また表 3.1 において Ferritin と APTES に挟まれる行に位置する材料は溶液の pH 条件を調整することで選択配置ができる可能性を持つ。

3-7. まとめ

フェリチンの単一配置技術を金属膜上へ応用した。この技術は基板とフェリチンの静電相互作用を利用している。pH 7 において ζ 電位が十分に低い金属であれば応用可能であると考えられることから、IEP が十分に低い材料を選択した。IEP はイオン価数が高く、イオン半径が小さい材料で低くなる傾向にある。電極の例として ReRAM 応用に Ta、Pt、TiN が候補に挙げられる。これらは、いずれも pH 7 の時に負の ζ 電位が報告されている。成膜した Ta 膜の ζ 電位は pH 7.0、イオン強度 100 mM の時に -40 mV と測定され、Ta 膜上においてコア内包フェリチンの単一配置制御を行った結果、ナノ粒子の単一配置が確認された。また TiN、Pt 上でも単一配置を確認した。一方で ζ 電位が pH7.0 のとき正となる Ni では選択配置はできない。このことから、この技術は pH 7.0 のとき ζ 電位が負である金属膜上において応用可能である。これにより、IEP が十分に低い材料であれば応用可能であることが示唆される。

3-8. 参考文献

- [1] S. Kumagai, S. Yoshii, K. Yamada, N. Matsukawa, I. Fujiwara, K. Iwahori, *et al.*, "Electrostatic placement of single ferritin molecules," *Applied Physics Letters*, vol. 88, Apr 10 2006.
- [2] S. Kumagai, S. Yoshii, K. Yamada, N. Matsukawa, K. Iwahori, and I. Yamashita, "Electrostatic placement of nanodots onto silicon substrate using ferritin protein supramolecules with control of electrostatic interaction in solution," *Japanese Journal of Applied Physics Part 1-Regular Papers Brief Communications & Review Papers*, vol. 45, pp. 8311-8316, Oct 2006.
- [3] S. Yoshii, S. Kumagai, K. Nishio, A. Kadotani, and I. Yamashita, "Electrostatic self-aligned placement of single nanodots by protein supramolecules," *Applied Physics Letters*, vol. 95, Sep 28 2009.
- [4] K. Yamada, S. Yoshii, S. Kumagai, A. Miura, Y. Uraoka, T. Fuyuki, *et al.*, "Floating gate metal-oxide-semiconductor capacitor employing array of high-density nanodots produced by

- protein supramolecule," *Japanese Journal of Applied Physics Part 1-Regular Papers Brief Communications & Review Papers*, vol. 45, pp. 8946-8951, Nov 2006.
- [5] 吉井重雄, "水溶液中静電相互作用の解明によるタンパク質超分子の基板上配置制御 " 博士学位論文, 奈良先端科学技術大学院大学, 2008.
- [6] G. A. Parks, "The Isoelectric Points of Solid Oxides, Solid Hydroxides, and Aqueous Hydroxo Complex Systems," *Chemical Reviews*, vol. 65, pp. 177-198, 1965.
- [7] R. Lindberg, G. Sundholm, J. Sjoblom, P. Ahonen, and E. I. Kauppinen, "Studies of adhesion of metal particles to silica particles based on zeta potential measurements," *Journal of Dispersion Science and Technology*, vol. 20, pp. 715-722, 1999.
- [8] C. J. Shih and M. H. Hon, "Electrokinetic and rheological properties of aqueous TiN suspensions with ammonium salt of poly(methacrylic acid)," *Journal of the European Ceramic Society*, vol. 19, pp. 2773-2780, Dec 1999.
- [9] L. Bousse, S. Mostarshed, B. Vandershoot, N. F. Derooij, P. Gimmel, and W. Gopel, "Zeta Potential Measurements of Ta₂O₅ and SiO₂ Thin-Films," *Journal of Colloid and Interface Science*, vol. 147, pp. 22-32, Nov 1991.
- [10] L. A. De Faria and S. Trasatti, "Physical versus chemical mixtures of oxides: the point of zero charge of Ni+Co mixed oxides," *Journal of Electroanalytical Chemistry*, vol. 554, pp. 355-359, Sep 15 2003.
- [11] L. Michaelis, *Hydrogen Ion Concentration Volume I: Principles of the Theory*: The Williams & Wilkins Company, 1926.
- [12] S. E. S. El Wakkad, T. M. Salem, H. A. Rizk, and J. G. Ebaid, "745. Oxide film formation on the surface of metals in aqueous solutions and the evaluation of their standard potentials. Part VI. The tungsten electrode," *Journal of the Chemical Society (Resumed)*, pp. 3776-3779, 1957.
- [13] E. J. W. Verwey, "The electrical double layer of oxidic substances especially in non-aqueous media," *Recueil des Travaux Chimiques des Pays-Bas*, vol. 60, pp. 625-633, 1941.
- [14] G. S. Ramakrishnarao, *Adsorption of Amine on Manganese Dioxide*: Massachusetts Institute of Technology, Department of Metallurgy, 1959.
- [15] P. Johansen and A. Buchanan, "An application of the microelectrophoresis method to the study of the surface properties of insoluble oxides," *Australian Journal of Chemistry*, vol. 10, pp. 398-403, 1957.
- [16] S. Mattson, "The laws of soil colloidal behavior: IV. Isoelectric Precipitates," *Soil Science*, vol. 31, pp. 57-78, 1931.
- [17] K. E. F. R. G. Sowden, "Surface Electrical Studies of Plutonia and Thoria Suspensions, Part I," *American Nuclear Society*, vol. 16, pp. 1-11, 1963.

4章 ナノ粒子を用いた抵抗変化メモリ

4-1. 諸言

抵抗変化メモリ(ReRAM)は、高速、低消費電力などの観点から注目されている、次世代の情報記憶素子である。この素子は抵抗変化材料である酸化金属を、電極で挟んだ非常に単純な構造を持つ。また CMOS プロセスに適した材料が使用されるため、微細化研究が盛んである。本章では通常、薄膜である抵抗変化材料に単一のナノ粒子を用いた ReRAM を作製することで更なる微細化を目指す。

これまで先行研究において FeO_x ナノ粒子が抵抗変化動作することが示されている[1]。本研究では安定した抵抗変化材料の移行として、良好なメモリ特性を示すとされる、酸化タンタルを選択した。酸化タンタルはロバストな材料であることから有力な抵抗変化材料として期待されている他に、断面 TEM によるパスの確認など動作原理の解明が進んでいる[2]。原子マッピングにより酸素欠損フィラメントが確認できるなど、想定されていた動作モデルが正しいことが証明されている。また元々誘電体材料や、ガスバリア層、ミッドギャップ電極に使われてきたことから CMOS プロセスと良好な相性を示す[3]。

抵抗変化材料をナノ粒子化して利用できれば、非常に微細な ReRAM を安価に作製することができる。ナノ粒子は、2章で作製した酸化タンタルナノ粒子を用いる。まず、フェリチンで作製した酸化タンタルナノ粒子が抵抗変化可能かを調べるために、電極間に複数個のナノ粒子を配置した抵抗変化メモリを作製し、酸化タンタルナノ粒子の基本的な抵抗変化特性について確認する。ここでは作製方法の簡便化のためランダムに吸着したナノ粒子を扱う。次に3章で扱った単一ナノ粒子配置プロセスを利用し単一ナノ粒子 ReRAM を作製、その特性を評価する。

4-2. 複数個のナノ粒子を用いた ReRAM の作製プロセス

単一のナノ粒子を用いた ReRAM を作製する前にフェリチンで形成された酸化タンタルナノ粒子が抵抗変化材料として利用できるかを確認するため複数個のナノ粒子を用いた ReRAM を作製し、動作実証を行った。図 4.1 に素子の断面構造図を示す。金属膜を蒸着することにより基板全体を下部電極とし、ここに純水置換された酸化タンタルコア内包フェリチンを滴下し、ランダム吸着させる。下部電極には Si 基板に電子線蒸着により TiN(5 nm)/ Pt(15 nm)/ Ti(5 nm)を堆

積したものを使用した。このとき電極上に APTES 修飾することにより表面電荷を正とし、負に帯電するフェリチンの吸着を図った。タンパク質を除去した後、層間絶縁膜として SiO_2 をプラズマ化学堆積法(PE-CVD)(SAMCO、PD-200)により堆積した。ナノ粒子表面を上部電極とコンタクトさせるためナノ粒子の表面が露出するようにエッチングを行った。使用した装置は誘導結合型反応性イオンエッチング装置(Induced Coupled Plasma Ion Etching: RIE)(SAMCO、RIE-10ip)である。このときのエッチングレートおよび、その妥当性は先行研究を参考にした[1]。ここに上部電極(TE)をパターニングし、電子線蒸着により上部電極を堆積した。また下部電極(BE)用のパターンを形成し、RIE で下部電極を露出させた。

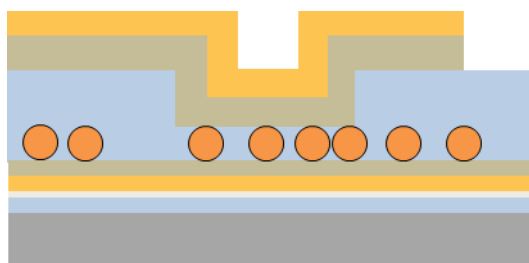


図 4.1 複数個のナノ粒子による ReRAM の断面構造図

次にプロセスフローを図 4.2 に示す。手順は以下の通りである。

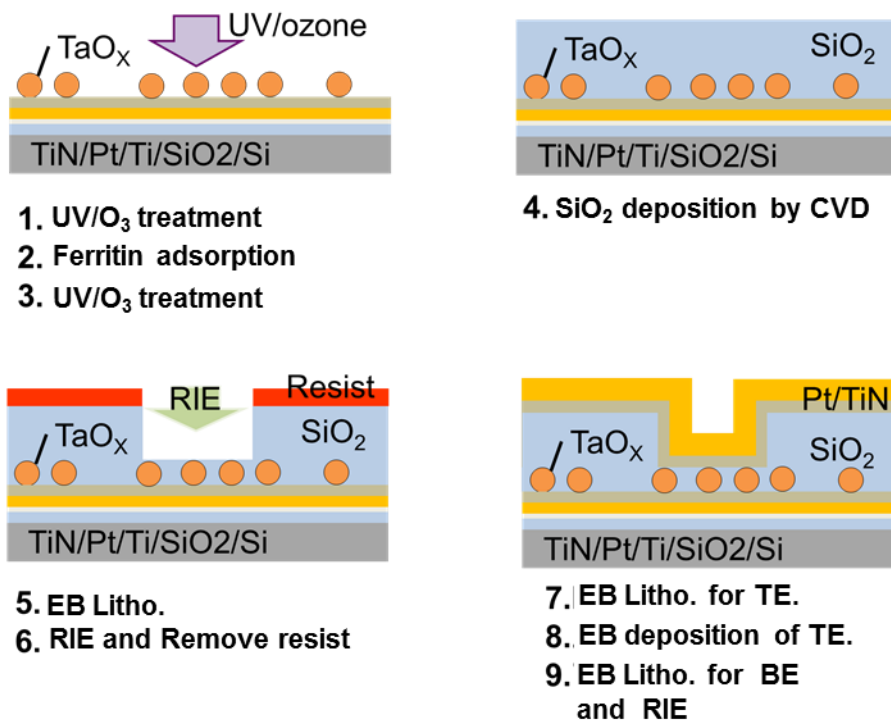


図 4.2 複数個ナノ粒子 ReRAM の作製フロー

1. 5 mm 角にカットした下部電極付き基板(TiN 5 nm/Pt 15 nm/Ti 5 nm/Si)を超純水で洗浄した後、UV/O₃ 処理(115°C、10 分)を用い表面を親水化、APTES を遮光された真空デシケータ中(1 時間)で気相成膜した。その後脱水エタノールによる洗浄を 3 回行った。最後に超純水でリンスし、N₂ ブローにより乾燥させた。
2. 純水置換された酸化タンタルコア内包フェリチン溶液(Fer8-K98E、0.5 mg/mL)を基板に滴下し 10 分間静置した。このとき乾燥しないように容器内に入れた。その後、超純水によりリンスし、スピンドライにより乾燥させた。
3. UV/O₃(115°C、1 時間)によりタンパク質除去を行った。
4. 絶縁膜として、プラズマ CVD により、SiO₂ 膜を 20 nm 堆積した(圧力: 80 Pa、RF: 150W、温度: 300°C、ガス: TEOS/O₂、ガス流量: 3/300、時間: 1 分間)。
5. 基板にポジ型 EB レジスト ZEP520A(ZEP520A と Anisole 溶媒を 1:2 で混合)をスピンドコート(300 rpm 3 秒、3000 rpm 60 秒、6000rpm 3 秒)により基板全面に塗布し、140°C で 2 分間ベークした。その後、EB 描画装置により 200 nm および 2 μm のライン上のエッチングパターンを描画し、EB レジスト用現像液(ZED-N50)に 1 分間浸漬させ、N₂ ブローで現像液を除去した後、140°C で 1 分間ベークを行った(ドーズ時間: 8 μs/dot、照射電流: 20 pA、1 ドット分解能: 10 nm)。
6. RIE により、基板表面の SiO₂ 膜をエッチングした(BAIS: 5 W、ICP: 150W、CF₄: 20 sccm、H₂:10 sccm、時間: 18 秒)。50°C に温めた EB レジスト用リムーバー溶液(ZDMAC)に 10 分間基板を浸漬させた後、5 分間超音波洗浄を行い、EB レジストの除去を行った。その後、アセトン、超純水でリンスを行い、N₂ ブローにより水分を除去した。
7. 上部電極のパターニングを行うため、手順 5 と同様に EB レジストを塗布し、ベークした。基準位置に合わせて上部電極パターンの描画を行い、その後現像を行った。この際の描画条件及び現像条件も手順 5 と同じである。

8. 電子線蒸着により、上部電極(Pt: 16 nm、TiN: 4 nm)を堆積した。リフトオフのため 50°Cに温めた EB レジスト用リムーバー溶液(ZDMAC)に 10 分間基板を浸漬させ、EB レジストの除去を行った。その後、アセトン、超純水でリンスを行い、N₂ブローにより水分を除去した。
9. 手順 3 と同じ条件で基板左上隅および右下隅に下部電極コンタクト用のパターンニングを行い、手順 4 と同様に RIE を用い SiO₂ を除去した。ただしエッチング時間は 50 秒とする。その後、手順 8 と同じ条件でレジストを除去した。

図 4.3 に吸着した酸化タンタルナノ粒子の SEM 像を示す。吸着密度はおよそ $2 \times 10^{11} \text{ cm}^{-2}$ である。また、作製した試料の光学顕微鏡像および構造イメージを図 4.4 に示す。構造図ではライン上にパターンニングしエッチングを行うことによって、ナノ粒子の上部表面が露出したエッチングラインと、そこにクロスするように上部電極が蒸着されている。なお、設計の線幅は、上部電極幅が最大で 5 μm 、最小で 0.2 μm とし、エッチングライン幅は最大で 2 μm 、最小で 0.2 μm である。エッチングライン幅と、上部電極幅を掛けることで素子面積を出し、ここにナノ粒子の吸着密度を掛けることで素子あたりのナノ粒子の個数の概算ができる。

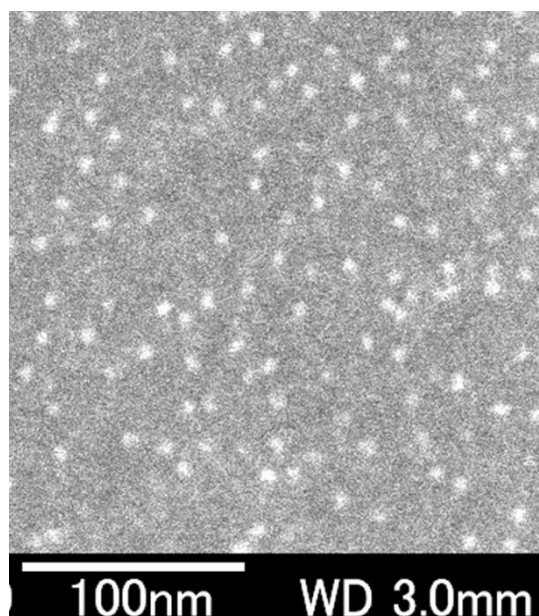


図 4.3 TiN 上に吸着した酸化タンタルナノ粒子の SEM 像

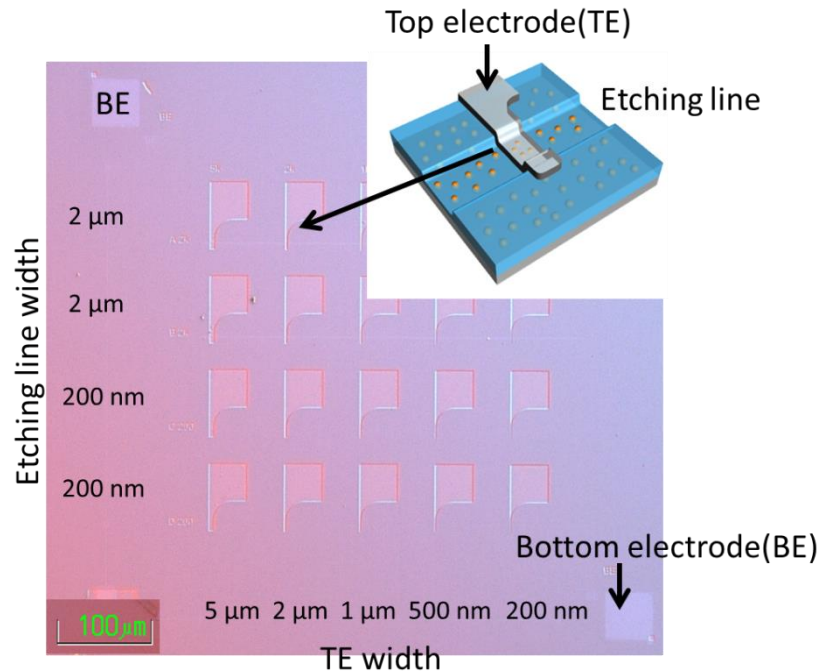


図 4.4 作製された素子の光学顕微鏡図および構造イメージ

4-3. 特性評価および考察

作製した酸化タンタルナノ粒子 ReRAM に対し電圧印加を行い、 I - V 特性を評価した。測定には、半導体パラメータ・アナライザ(Agilent Technologies 社製 4156B)を使用し、VEE プログラム(ver. 6.2)により評価を行った。

下部電極をグランドとし、上部電極に電圧を印加した。測定結果を図 4.5、4.6 に示す。素子面積 (エッチングライン幅×上部電極幅) は、それぞれ $2 \mu\text{m} \times 500 \text{ nm}$ 、 $200 \text{ nm} \times 5 \mu\text{m}$ である。どちらも正電圧でのリセット、負電圧でのセット動作をするバイポーラ型の抵抗変化現象を示した。抵抗変化現象は特に非オーミック界面での酸素イオンのやり取りによって起こるとされる[4]。下部電極、上部電極共に TiN であることから、ナノ粒子と、どちらの界面でも抵抗変化現象は起こり得る。それぞれの素子に含まれるナノ粒子は、その吸着密度と素子面積から、およそ 2000 個程度であると考えられる。素子面積が一定であるにもかかわらず電流の値が違うのは、複数個のナノ粒子が抵抗変化動作に関与しているためと考えられる。またナノ粒子を含まない素子では抵抗変化は起きなか

った。

また、図 4.6 の素子についてセット時の電流値に制限(コンプライアンス)をかけ、 I - V 特性を測定した。このときコンプライアンスを変化させた結果を図 4.7 に示す。コンプライアンスの増加に伴い、リセット電圧が増加している。セット時の変化が確認しづらいが、コンプライアンスが最も低い 5 mA の場合でもセットが起きていることからセット電圧は、コンプライアンスがかかる -1.5 V 以下にあると考えられる。LRS、HRS どちらの抵抗値(傾き)も、コンプライアンスに関係なく、ほぼ変化していない。抵抗値の変化がないということは、抵抗変化材料の物性に HRS、LRS それぞれで変化がないということと、パスの大きさに変化がないことを示す。コンプライアンスが高くなることで、電流が多く流れ、パスが広がると仮定すると、抵抗値がより低くなると考えられるためである。また電流による熱的影響でパス中の酸素イオンが多くパス中から離脱した場合も抵抗値が低く表れるためである。すなわちコンプライアンスによるリセット電圧の変化は、パス以外の部分で発生していると考えられる。抵抗変化動作は酸素イオンの移動によるものと考えられていることから、セット後に電極に移動した酸素イオンが、電流あるいは電圧によって電極中により広く拡散していると考えられる。セットでは HRS から LRS へ変化するためパス形成する部位に高い電界がかかることからその変化が一瞬であり、逆にリセットでは LRS であるため電界がかかりにくいことから酸素イオンが移動しにくいと考えたと想定しやすい。

また繰り返し動作特性について評価した結果を図 4.8 に示す。セット時のコンプライアンスを 4 mA に設定、またセット電圧パルスを -2.0 V、50 msec、リセット電圧パルスを $+2.8$ V、100 msec に設定した。読み出し電圧は 1.4 V で行った。LRS、HRS それぞれの値を保ったまま 100 回以上の繰り返し動作をした。また単純な抵抗変化動作では 1000 回以上の繰り返し動作を確認した。繰り返し動作の途中で完全に素子が破壊されることなく動作が不安定な状態で動作をつづけた原因は電極の両面が同材料であったことが原因であると考えられる。どちらの電極でも抵抗変化が起こるため、繰り返し動作の途中でセットリセット電圧の正負が入れ替わることが予想されるためである。

これらの結果よりフェリチンによって形成された酸化タンタルナノ粒子が抵抗変化材料として利用できることが確認できた。

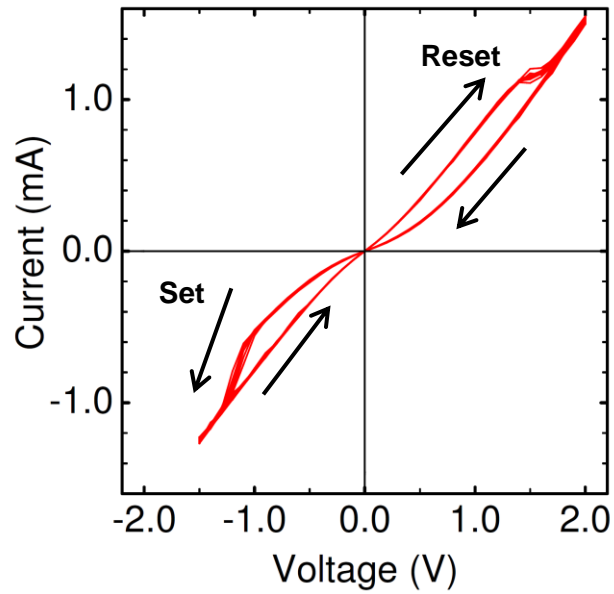


図 4.5 ランダム吸着した酸化タンタルナノ粒子 ReRAM の I - V 特性
(素子サイズ: $2\ \mu\text{m} \times 500\ \text{nm}$)

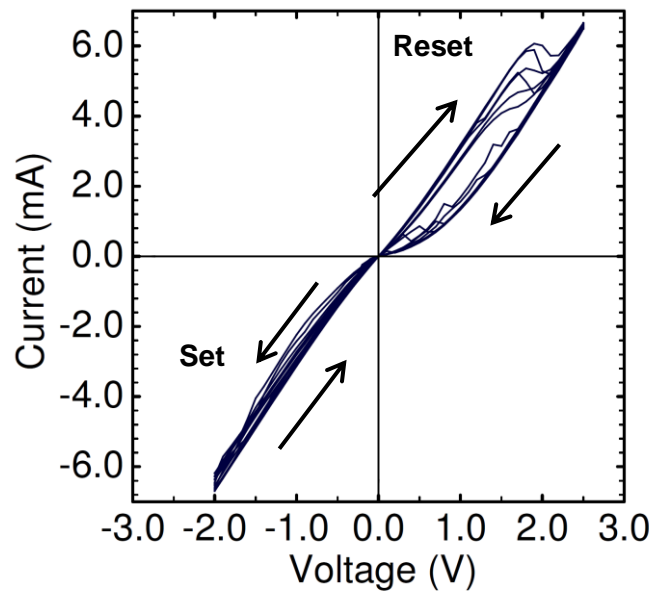


図 4.6 ランダム吸着した酸化タンタルナノ粒子 ReRAM の I - V 特性
(素子サイズ: $200\ \text{nm} \times 5\ \mu\text{m}$)

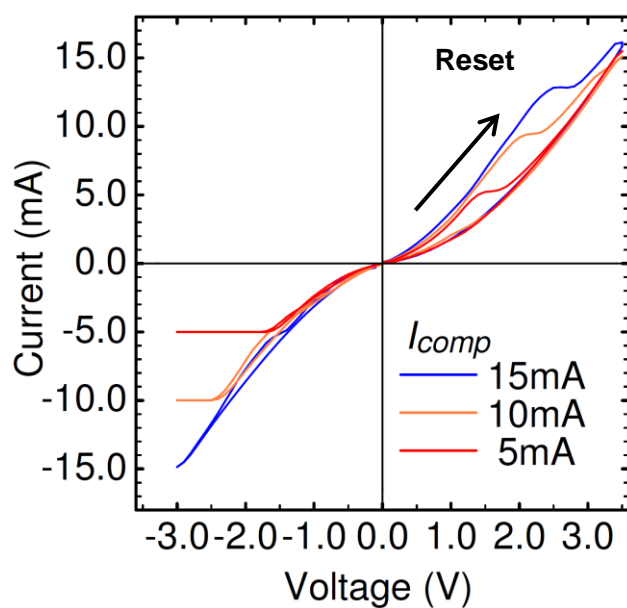


図 4.7 セット時に電流制限を掛けた場合の ReRAM の I - V 特性
(素子サイズ: $200 \text{ nm} \times 5 \text{ } \mu\text{m}$)

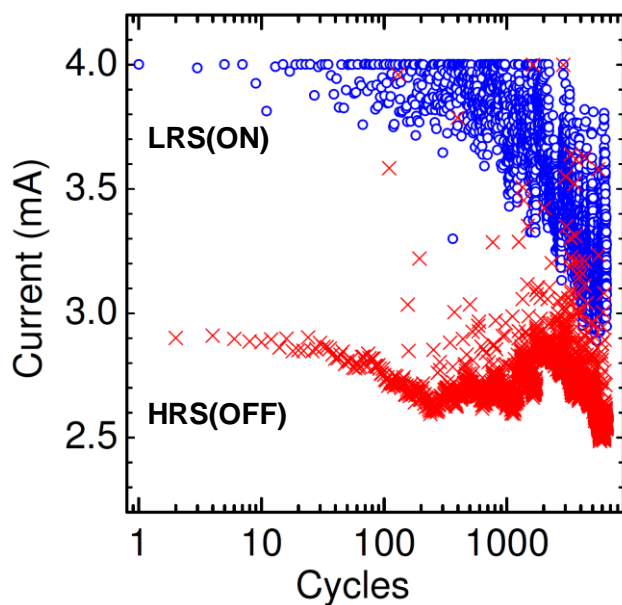


図 4.8 繰り返し特性(素子サイズ: $200 \text{ nm} \times 5 \text{ } \mu\text{m}$)

4.4. 単一ナノ粒子 ReRAM 作製プロセス

酸化タンタルナノ粒子の抵抗変化動作を確認できたことから、単一のナノ粒子を用いた ReRAM を作製した。図 4.9 に素子構造を示す。下部電極には 10 nm の酸化膜付 Si 基板に電子線蒸着により Ta(3 nm)/ Pt(15 nm)/ Ti(2 nm) を堆積したものを使用した。酸化タンタルナノ粒子と TiN 電極が抵抗変化動作を起こすことは 4-3 章で確認した。抵抗動作する印加電圧方向を一定にしたいため下部電極に酸化タンタルとオーミック接合をする Ta を用いた。これは抵抗変化にはショットキー接合が関係していると考えられているためである。ここに 3 章で扱った金属膜上への単一ナノ粒子の選択配置を行った。粒子間隔は 200 nm である。ここに正形状のコンタクトホール(190×190 nm²)を形成することで電極間に単一のナノ粒子を配置することを試みた。

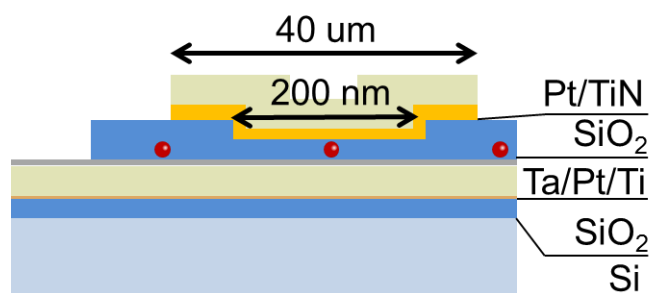


図 4.9 単一ナノ粒子 ReRAM の構造図

プロセスフローを図 4.10 に示す。手順は以下の通りである。

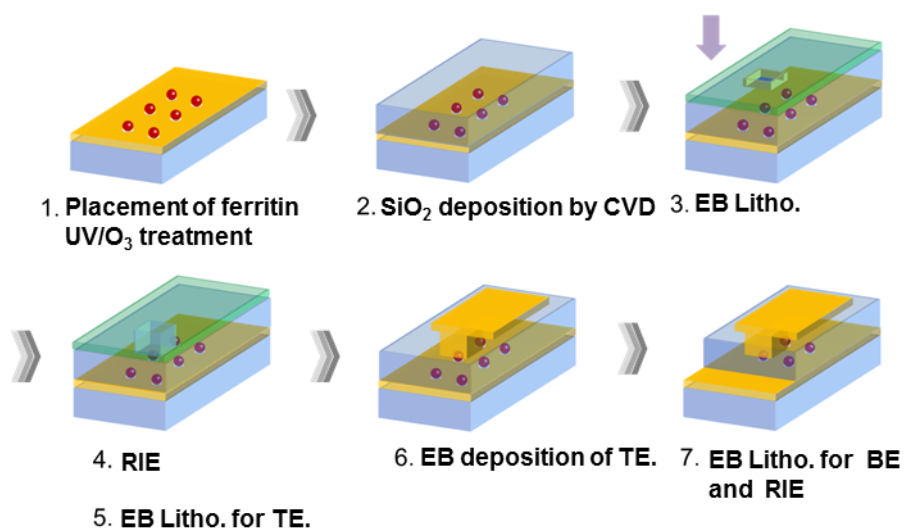


図 4.10 単一ナノ粒子 ReRAM 作製プロセスフロー

1. 5 mm 角にカットした基板(Ta/Pt/Ti/SiO₂/Si)を超純水で洗浄した後、3.4 章の試料作製に従い酸化タンタルコア内包フェリチン溶液(Fer8-K98E、pH 7.0、0.1 mM、0.06 mg/mL)を用い 60×60 μm² に 200 nm 間隔でナノ粒子の選択配置を実践した。その後 UV/O₃(115°C、1 時間)によりタンパク質除去を行った。
2. プラズマ CVD により、SiO₂ 膜を 20 nm 堆積した (圧力: 80 Pa、RF: 150W、温度: 300°C、ガス: TEOS/O₂、ガス流量: 3/300、時間: 1 分間)。
3. 基板にポジ型 EB レジスト ZEP520A(ZEP520A と Anisole 溶媒を 1:2 で混合)をスピコート(300 rpm 3 秒、3000 rpm 60 秒、6000rpm 3 秒)により基板全面に塗布し、140°Cで2分間ベークした。その後、EB 描画装置により 190×190 nm² の正方形エッチングパターンを描画し、EB レジスト用現像液(ZED-N50)に1分間浸漬させ、N₂ブローで現像液を除去した後、140°Cで1分間ベークを行った (ドーズ時間: 7 μs/dot、照射電流: 20 pA、1 ドット分解能: 10 nm)。
4. RIE により、基板表面の SiO₂ 膜をエッチングした (BAIS: 5 W、ICP: 150W、CF₄: 20 sccm、H₂:10 sccm、時間: 23 秒)。50°Cに温めた EB レジスト用リムーバー溶液(ZDMAC)に10分間基板を浸漬させた後、5分間超音波洗浄を行い、EB レジストの除去を行った。その後、アセトン、超純水でリンスを行い、N₂ブローにより水分を除去した。
5. 次に上部電極のパターニングを行うため、手順 3 と同様に EB レジストを塗布し、ベークした。基準位置に合わせて 40×40 μm² の正方形の上部電極パターンの描画を行い、その後現像を行った。この際の描画条件及び現像条件も手順 3 と同じである。
6. 電子線蒸着により、上部電極(Pt: 15 nm、TiN: 3 nm)を堆積した。リフトオフのため 50°Cに温めた EB レジスト用リムーバー溶液(ZDMAC)に10分間基板を浸漬させ、EB レジストの除去を行った。その後、アセトン、超純水でリンスを行い、N₂ブローにより水分を除去した。

7. 基板にポジ型フォトレジスト AZ - GXR602 をスピコート(300 rpm 3 秒、3000 rpm 15 秒、6000 rpm 3 秒)により基板全面に塗布し、100°Cで1分間ベークした。次に基板半面を露光し(露光時間: 6 s)、デベロッパーに一分間浸漬し現像した。純水によりリンスした後 N₂ ブローにより水分を除去し 120°Cで2分間ベークを行い、DHFに30秒浸漬した。最後にアセトンでレジストを除去し、純水で洗浄後、N₂ブローにより水分を除去した。

作製した試料の光学顕微鏡像およびSEMによるコンタクトホール(190×190 nm²)の拡大図を図4.11に示す。コンタクトホール(190×190 nm²)が上部電極中に形成されていることが確認できた。ナノ粒子を200 nm 間隔で配置しているためコンタクトホール中のナノ粒子は1個であると考えられる。

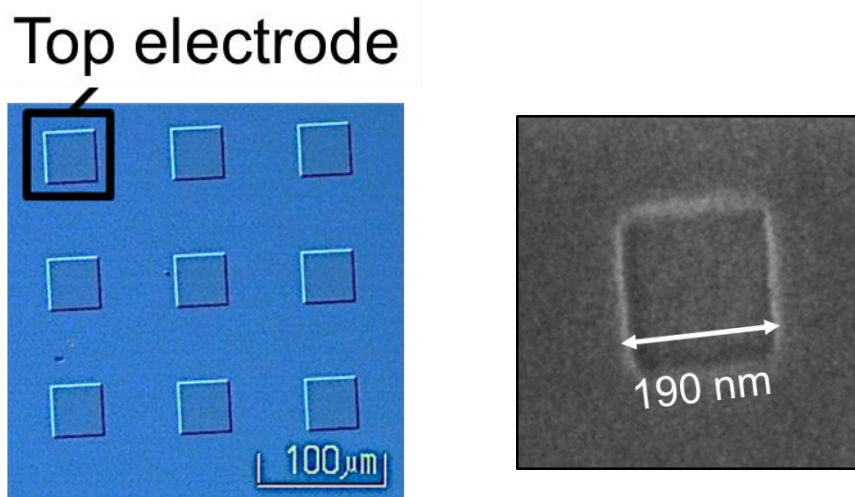


図 4.11 単一ナノ粒子 ReRAM の光学顕微鏡像およびコンタクトホールの SEM 像

4-5. 特性評価および考察

作製した単一酸化タンタルナノ粒子 ReRAM に対し電圧印加を行い、 I - V 特性を評価した。測定には、半導体パラメータ・アナライザ(Agilent Technologies 社製 4156B)を使用し、VEE プログラム(ver. 6.2)により評価を行った。下部電極をグランドとし、上部電極に電圧を印加した。測定結果を図 4.12~4.16 に示す。正電圧でのセット、負電圧でのリセット動作をするバイポーラ型の抵抗変化現象を示した。ランダム吸着させたナノ粒子による ReRAM と動作が逆になっている。これは印加電圧の正負と酸素イオン(O^{2-})が負のイオンであることから、上部電極の TiN とナノ粒子との非オーミック界面での酸素イオンのやり取りによって起こっていることが示唆される。

まずコンプライアンス(電流値制限)を 10 nA とし約+6 V でフォーミングを行った。図 4.12 に示すようにセット電圧+3V、リセット電圧-2 V、電流値は数 nA 程度で動作した。この素子の繰り返し特性は図 4.13 に示すように安定した On/Off 比のまま 10^2 回まで動作した。微小な電流で動作しておりコンプライアンスにより非常に微細なパスが形成されていると思われる。また近い値での動作報告がなされている[5]。また図 4.5 と電流のカーブ形状が違う。これは SiO_2 膜からのリーク電流が小さいため off 電流が小さくなったためと考えられる。またパスも微細であると考えられることから図 4.5 などの素子とは界面状態が違い LRS、HRS での伝導機構が違うことも考えられる。

別素子においてコンプライアンス 10 μ A とし、約+14V でフォーミングを行った。図 4.14 に示すようにセット電圧は+1 V 程度、リセット電圧は-2 V の抵抗変化動作を示した。この素子についてコンプライアンスを変化させ電圧印加した結果を図 4.15 に示す。コンプライアンスの増加に伴い、リセット電圧が増加している。これは図 4.7 と同じ原理が働いていると考えられる。また繰り返し動作特性について評価した結果を図 4.16 に示す。On/Off の比を 10 程度に保ったまま 10^3 回以上の繰り返し動作をした。この素子は電流値が 10^2 μ A オーダーで動作している。最初の素子と比較して電流値が増大したのは、フォーミング時の電圧、電流値に比例してフィラメント径が大きくなったためと考えられる。フォーミングにおいてコンプライアンスを掛けていても、装置あるいは素子構造による寄生容量により過渡電流が流れ電流値を制御できない。このためフィラメントが大きくなったと考えられる。

フィラメント径がナノ粒子の直径(4.5 nm)と仮定すると電流密度は約 5×10^8 A/cm² となる。これに対し 10×10 nm² の ReRAM において約 10^7 A/cm²、ユニポーラ型の ReRAM では数 nm のフィラメントにおいて 10^9 A/cm² と報告されている[6]。これらの値は銅(10^6 A/cm²)とカーボンナノチューブ(10^9 A/cm²)の許容電流

密度の間の領域にある。そのため高熱を発生しているという報告がある。微細な素子において安定に動作するためには電流値を下げることで発熱を抑える必要がある。また省電力の観点からも低電流での動作が望ましい。安定した低電流での動作を達成するためにはトランジスタなどと組み合わせて正確に素子にかかる電流を制御する必要がある[7]。

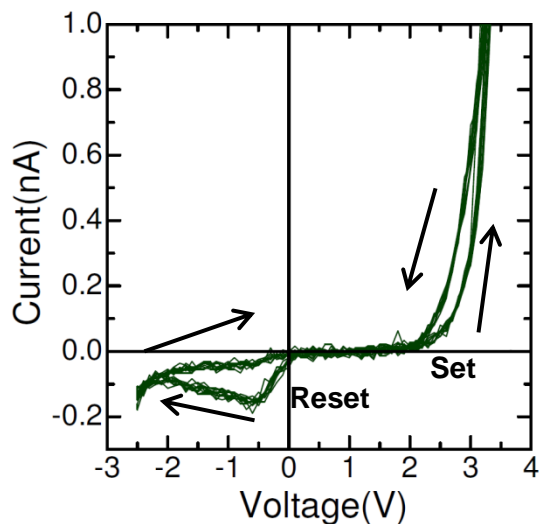


図 4.12 I - V 特性(フォーミング電圧+6 V)

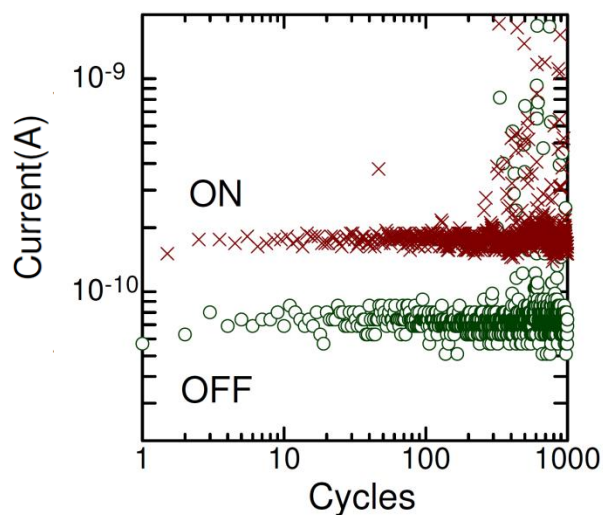


図 4.13 繰り返し特性(フォーミング電圧+6 V)

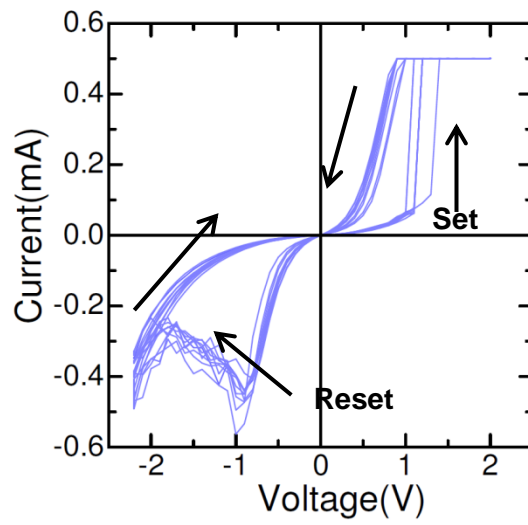


図 4.14 I - V 特性(フォーミング電圧+14 V)

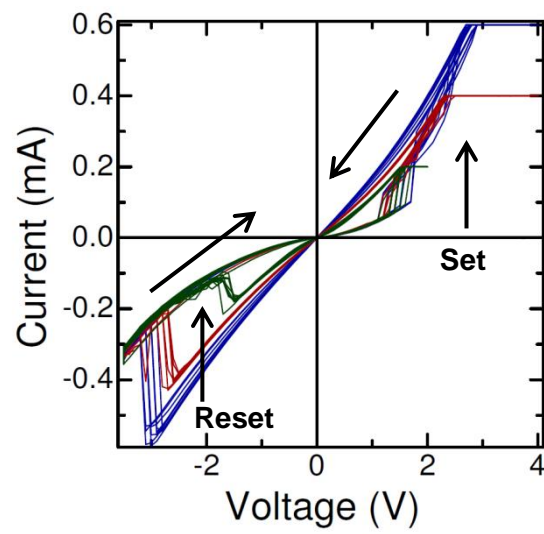


図 4.15 コンプライアンス変化における I - V 特性

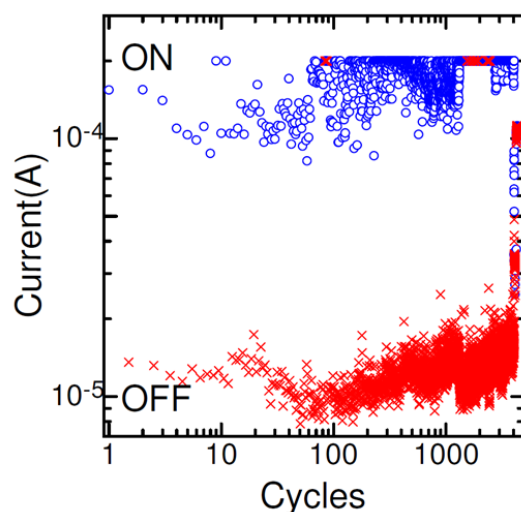


図 4.16 繰り返し特性(フォーミング電圧+14 V)

4-6. 動作メカニズム

本研究で作製した単一ナノ粒子 ReRAM 素子は上部電極の TiN と下部電極の Ta に酸化タンタルナノ粒子が挟まれた構造をしている(図 4.8)。正電圧によりセットしたことから TiN に酸素イオンが酸化タンタルナノ粒子より引き抜かれ、酸素欠損フィラメントによるパスが形成されたと考えられる。また負電圧により酸素イオンが TiN から酸素欠損フィラメントに供給されリセットしていると考えられる。図 4.11、4.13 にみられるなだらかなリセットは酸素イオンのマイグレーションによって起きているとされる[2]。この界面における酸素イオンのマイグレーションの動作モデルを図 4.17 に示す。この酸素イオンのやり取りはバリア障壁が高い界面で起こりやすいとされている。TiN と酸化タンタルの障壁高さは 0.7 eV、Ta と酸化タンタルの障壁高さは 0.1 eV である。また Ta は表面が酸化していることから酸化タンタルと漸次的に接合しておりオーミック接合となっていると予想される。これらより TiN と酸化タンタルナノ粒子の界面で酸素イオンがやり取りされフィラメントが形成、消失していると考えられる。

また比較として先行研究例である酸化鉄ナノ粒子を複数個用いた ReRAM による繰り返し動作では 200 回ほどまでしか動作を確認できなかった(図 4.18[1])。材料のロバスト性が差として表れたと考えられる。これによりナノ粒子であっても酸化タンタルが抵抗変化材料として優位性を持つことが分る。

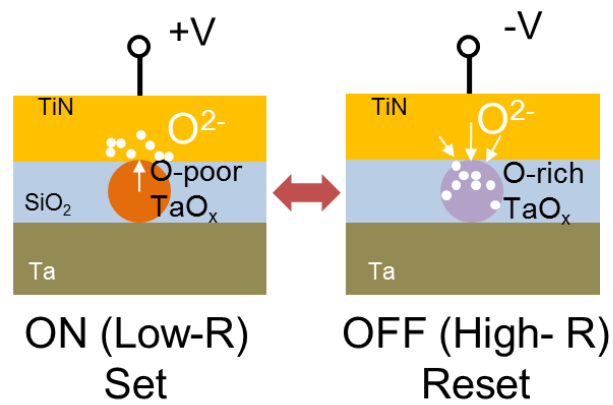


図 4.17 電圧印加に伴う酸素イオンのマイグレーション推測図

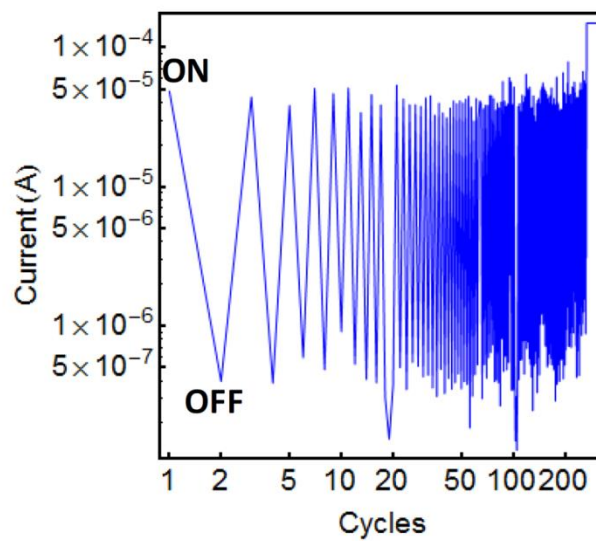


図 4.18 単層複数個ナノ粒子による素子の繰り返し動作特性
セルサイズ 200 nm × 200 nm[1]

4-7. まとめ

フェリチンで形成した酸化タンタルナノ粒子を電極間に複数個挟まれた ReRAM を作製した。特性評価によりバイポーラ型の抵抗変化動作および繰り返し書き換え動作を確認し、バイオ材料で作製した酸化タンタルナノ粒子が ReRAM として使用できることを確かめた。このことから単一ナノ粒子配置技術を用い、単一の酸化タンタルナノ粒子 ReRAM を作製し、特性評価を行った。正の電圧でセット、負の電圧でリセットするバイポーラ型の抵抗変化動作を示した。またフォーミング電圧、コンプライアンスを変えることで動作電流が大きく変化した。これはフィラメント径が変化したためと考えられる。微小なフィラメントが形成されたと考えられる ReRAM では数 nA の電流値で動作し、その繰り返し特性を 10^2 回確認した。また、フィラメント径が大きくなっていると考えられる素子では数百 μA で動作し、繰り返し特性は 10^3 回以上を確認した。微小なパスに大きな電流が流れていると考えられ、強い発熱を起こしていると推察できる。安定動作のため低電流での動作が必要である。これを達成するためにはトランジスタを組み合わせて素子にかかる電圧、電流を正確に制御していく必要がある。本研究により単一の酸化タンタルナノ粒子が ReRAM として利用可能であると明らかになった。これはバイオ材料、配置技術を駆使することで sub-10 nm のメモリが作製可能であることを示す成果である。

4-8. 参考文献

- [1] 柿原康弘, "バイオナノプロセスを用いた微小抵抗変化メモリの研究," 修士論文, 奈良先端科学技術大学院大学, 2012.
- [2] Z. Wei, Y. Kanzawa, K. Arita, Y. Katoh, K. Kawai, S. Muraoka, *et al.*, "Highly reliable TaO_x ReRAM and direct evidence of redox reaction mechanism," in *Electron Devices Meeting, IEDM 2008. IEEE International*, pp. 1-4, 2008.
- [3] H. Akinaga and H. Shima, "ReRAM technology; challenges and prospects," *IEICE Electronics Express*, vol. 9, pp. 795-807, 2012.
- [4] A. Sawa, "Resistive switching in transition metal oxides," *Materials Today*, vol. 11, pp. 28-36, Jun 2008.
- [5] X. P. Wang, Z. Fang, X. Li, B. Chen, B. Gao, J. F. Kang, *et al.*, "Highly compact 1T-1R architecture ($4F^2$) involving fully CMOS compatible vertical GAA nano-pillar transistors and oxide-based RRAM cells exhibiting excellent NVM properties and ultra-low power operation," in *Electron Devices Meeting, IEDM 2012. IEEE International*, pp. 20.6.1-20.6.4, 2012.
- [6] W. Lee, J. Park, S. Kim, J. Woo, J. Shin, G. Choi, *et al.*, "High Current Density and Nonlinearity

Combination of Selection Device Based on TaO_x/TiO₂/TaO_x Structure for One Selector–One Resistor Arrays," *ACS Nano*, vol. 6, pp. 8166-8172, 2012.

- [7] Y. Y. Chen, R. Degraeve, S. Clima, B. Govoreanu, L. Goux, and A. Fantini, "Understanding of the Endurance Failure in Scaled HfO₂-based 1T1R RRAM through Vacancy Mobility Degradation," *2012 Ieee International Electron Devices Meeting (IEDM)*, pp. 20.3.1- 20.3.4 2012.

5 章 1 次元ナノ粒子配列技術

5-1. 諸言

本章ではV溝底へのナノ粒子1次元配列技術について取り扱う。ナノ粒子の1次元配列についてはプラズモンの吸収波長の変調、ナノワイヤ、スピンや電子伝搬を目的として研究されてきた。その手法としてはナノ粒子のアスペクト比や表面状態を利用した自己配列や、溶液のナノ粒子濃度を利用した凝集がほとんどである[1-6]。デバイス作製においてはナノ粒子の1次元配列を作り、その配置部位に向け電極を置くなどして作製することになる。その作製手法の関係により長大な1次元配列、あるいは単一の1次元配列などの作製は困難である。

また本研究ではナノ粒子1次元配列のV溝型JL-FETへの応用を考えている。この応用により微細チャンネルの近傍にナノ粒子を配置することが可能となる。これにより、微細チャンネルへの電荷、仕事関数などによる様々な影響を評価するデバイスの作製につながる。またナノ粒子をフローティングゲートとすることでsub-10 nmのチャンネルを持つフローティングゲートメモリが作製可能になる。そのため本実験ではV溝を利用することによるナノ粒子の1次元配列を試みた。V溝の底にナノ粒子を並べることで、V溝を作製した任意の場所に単一の1次元ナノ粒子配列を作製することができる。

V溝底へのナノ粒子配置のため本実験ではフェリチンを用いた。これはBNPが得意とするタンパク質表面の改質を用いることで、それに伴う表面電位や吸着挙動の変化、特異的認識能力等を利用することで、V溝底への吸着が達成できると考えたためである。またナノ粒子の吸着は表面状態に左右されるため、タンパク質を用いることでナノ粒子の種類に寄らず条件を選定できる。

本章ではまずフェリチンのV溝への吸着挙動を理解するため、シリコン基板上に数 μm サイズ幅のV溝を形成し、種々の条件におけるフェリチンの吸着条件について調査した。ナノ粒子の凝集、分散はDLVO理論でよく議論されており、吸着現象においても同理論が強く関係する[7]。特に静電相互作用が強く働き、関係する条件として、 ζ 電位、デバイ長が挙げられる。これは物質の表面状態やバッファのpH、イオン強度で決定される。そのため吸着実験には表面電荷が違う数種のフェリチンを用い、またバッファ条件についても注目した。他にもメニスカス力などが働く溶液の乾燥過程や、吸着量の多寡に関係するタンパク濃度についても調査した。またV溝型JL-FETへの応用へ向け、実デバイスサイズである約100 nmサイズ幅のV溝においても吸着実験を行った。このとき数 μm サイズ幅のV溝で得た知見を応用し、条件の最適化を行った。

5-2. シリコン基板上へのV溝形成

Si 基板上に水酸化テトラメチルアンモニウム水溶液 (TMAH) を用い、異方性エッチングによってV溝を形成した。以下にV溝形成プロセスを示す。

1. 10 mm角にカットした酸化膜付Si(100)基板をアセトン、メタノールで超音波洗浄(5分)、超純水で洗浄した。次に80°Cのホットバス中で、硫酸洗浄(15分)を行い、そこに過酸化水素を加え洗浄(15分)し、超純水でリンスすることで有機物を除去した。
2. レジストとの密着性向上のためHMDS(AZ product)をスピコート(300 rpm 3 秒、6000 rpm 17 秒)により基板全面に塗布した後、ポジ型フォトレジスト P4210(AZ product)をスピコート(300 rpm 3 秒、6000 rpm 17 秒)基板全面に塗布した。その後100°Cで2分間のプリベークを行った。
3. フォトリソグラフィにより、図5.1のパターンを複数持つ金属マスクを用い描画した。露光時間は8 秒である。描画を施した基板をフォトレジスト用現像液(AZ 300 MIF)に90 秒間浸漬させ、超純水によるリンスを行った。その後120°C、1分間のポストベークを行った。リソグラフィ時、長方形の角度をSi基板の結晶面(110)に合わせる必要がある。
4. 現像処理を終えた基板を希フッ酸(DHF; HF : 超純水=1 : 99)に5 秒間浸漬させることによりパターン部のみ自然酸化膜を除去した。この後アセトン、メタノールによってレジストを取り除き、超純水によりリンスした。
5. ホットプレート上で60°Cを維持したTMAH(25 %)に2時間浸漬させ、自然酸化膜除去部を異方性エッチングした。その後超純水でリンスした。最後にDHFで残りの自然酸化膜を除去し、超純水でリンスした。

形成されたパターンの光学顕微鏡図およびSEM像を図5.2に示す。長方形パターンが配列していることが確認できる。パターンは長方形の幅がそれぞれ違うように設計されており、V溝の大きさが変化している。SEM像からはV溝の幅が狭い方から太い方へ、およそ3~7 μmまで1 μmずつ太くなっていることが確認できる。また、エッチングにより形成しているためTMAHへの浸漬時間の長短でもV溝の大きさが調整可能である。V溝の深さは図5.3に示すように斜面角度が一定(54.7°)であるため、V溝の幅から計算できる。また

面方位についても図内に記載する。

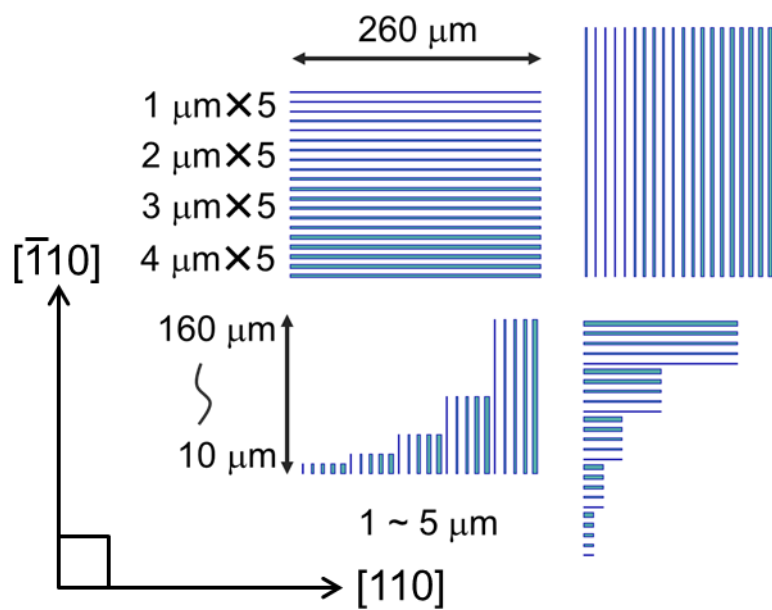


図 5.1 V 溝形成用各種長方形パターン

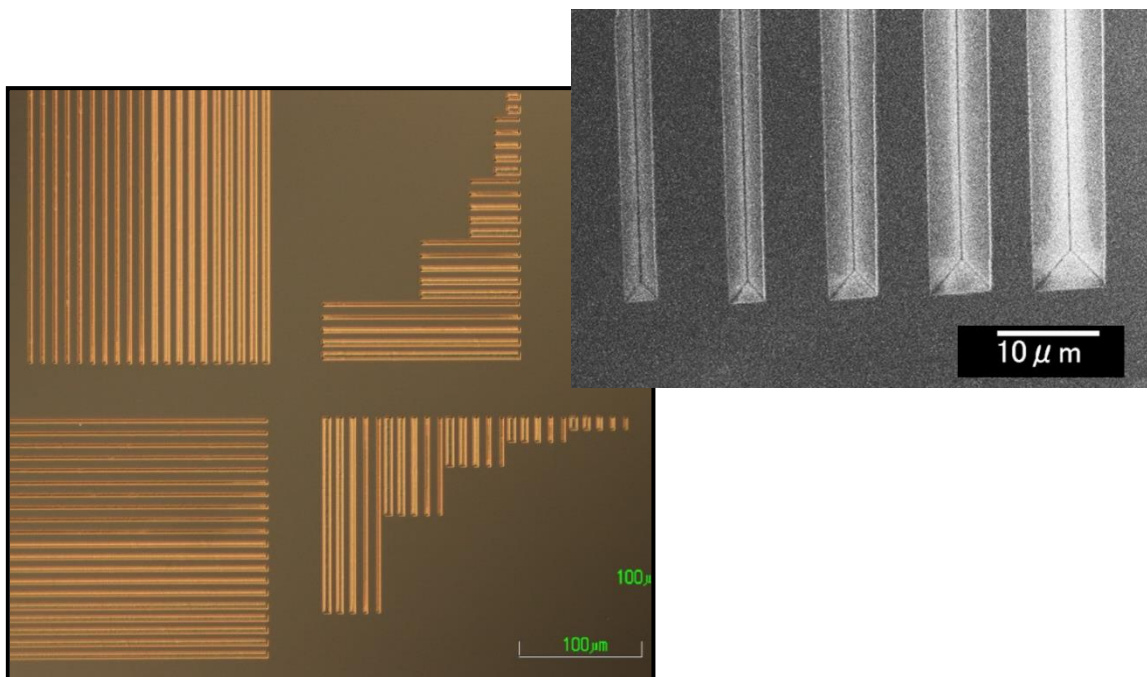


図 5.2 Si 基板上に形成された V 溝配列の光学顕微鏡像および SEM 像

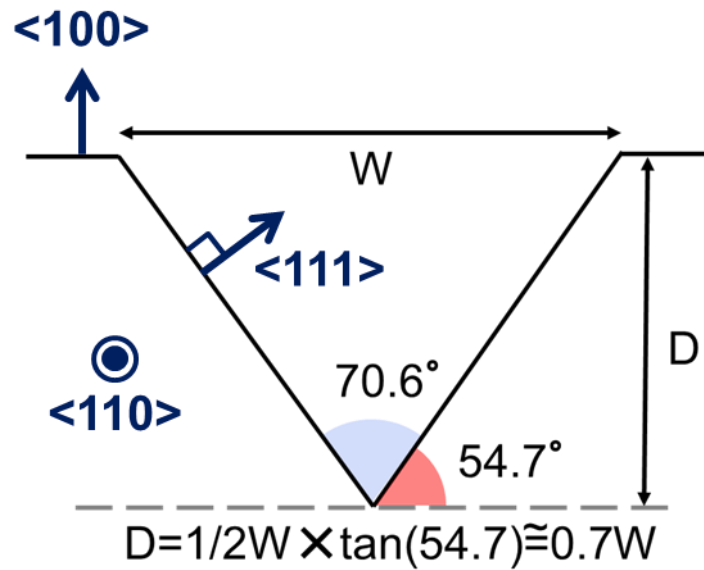


図 5.3 V 溝の幅に対する深さの概算図

5-3. 数 μm サイズ幅を持つ V 溝への各種条件におけるフェリチン吸着実験

5-3-1. 非遺伝子改変フェリチン(Fer0)の吸着傾向

まず、V 溝へのフェリチンの吸着傾向を調査するために、遺伝子改変されていないフェリチン(Fer0)を用い、吸着実験を行った。V 溝底のみ吸着面を 2 面持つことから溝底に吸着したフェリチンは、平坦部に吸着したフェリチンの倍以上の力で安定化することが考えられることから、吸着後洗浄することで V 溝にのみナノ粒子が残ることを期待した。用いたフェリチン溶液は Fer0(鉄コア、0.6 mg/ml; MES-Tris)である。また、バッファのモル濃度を 0、1、100 mM、pH を 6.0、7.0、8.0、9.0 に振っている。モル濃度を変化させた試料では pH を 7.0 に、pH を変化させた試料ではモル濃度を 100 mM に固定している。基板に対して 115°C 10 分間の UV/O₃ 処理を行い親水化処理してから、10 μl のフェリチン溶液を滴下した。その後 3 分間、乾燥しないようにシャーレで蓋をした状態で静置し、その後超純水でリンスした。リンス後、N₂ ブローによって乾燥させた。Fer0 および Fer8、Fer8-K98E の各 pH における電位を図 5.4 に示す[8][9]。モル濃度依存結果を図 5.5、pH 依存結果を図 5.6 に示す。

モル濃度を濃くするに従い、Fer0 の吸着量が増加することが確認できる。これはモル濃度が増加することでイオン強度が上昇し、デバイ長が減少したためと考えられる。イオン強度が上がることにより、デバイ長の距離は 2 乗根の逆

数で減少していく。デバイ長は 1 mM でおよそ 10 nm、100 mM でおよそ 1 nm である。1 mM と 0 mM (超純水) で結果がそれほど変わらないことから、フェリチンと基板間の距離が、およそ 10 nm 以下で、基板にアプローチできるフェリチンが多くなることが考えられる。また静電相互作用を用いたナノ粒子の反発は、DLVO 理論によれば物質表面電位に引き寄せられるイオンによる浸透圧斥力が主体である。総合的にはファンデルワールス力による引力と、静電力による斥力、イオンの浸透圧斥力の合計によりナノ粒子の吸着、反発が決定される。また、イオン強度が上がることで表面電位により形成される電気二重層が縮小し、 ζ 電位が減少する。すなわち静電的な斥力が弱まる。図 5.5 の結果ではデバイ長が短くなることによる基板との距離が近づくことによるファンデルワールス力の増加と、 ζ 電位の低下による斥力の低下が原因によるものと考えられる。

pH を変化させた吸着実験では、pH を低くすることによって吸着量が増加している。これは pH が低くなることで Fer0 の ζ 電位が 0 mV に近づき静電反発力およびイオンによる浸透圧斥力が小さくなったためと考えられる。また、pH を上げることでほぼ吸着が見られない結果となった。デバイ長が 1 nm であることに関わらず、吸着量が少なくなった原因については、図 5.6 に示すように pH が高くなることによって Fer0 の ζ 電位が上昇、静電反発力が強く働き浸透圧斥力が高まったためと考えられる。

また、図 5.5、5.6 の試料では同じ条件において、V 溝部、平坦部など部位による吸着挙動の違いは見られなかった。これより純水による洗浄では吸着後のフェリチンを特異的に V 溝のみ残すことは難しいと推察される。一方でデバイ長が短くファンデルワールス力が強く働く領域でも、 ζ 電位が高ければナノ粒子が非特異的に基板に吸着することを防げる結果が得られた。

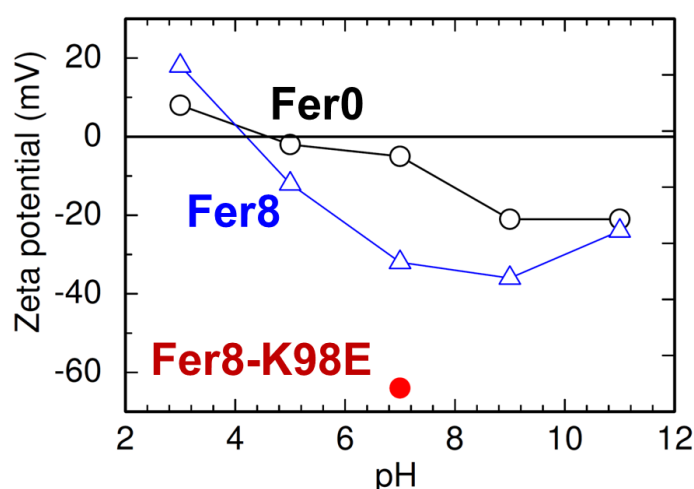


図 5.4 Fer0, Fer8[8], Fer8-K98E[9]の pH に伴う ζ 電位の変化

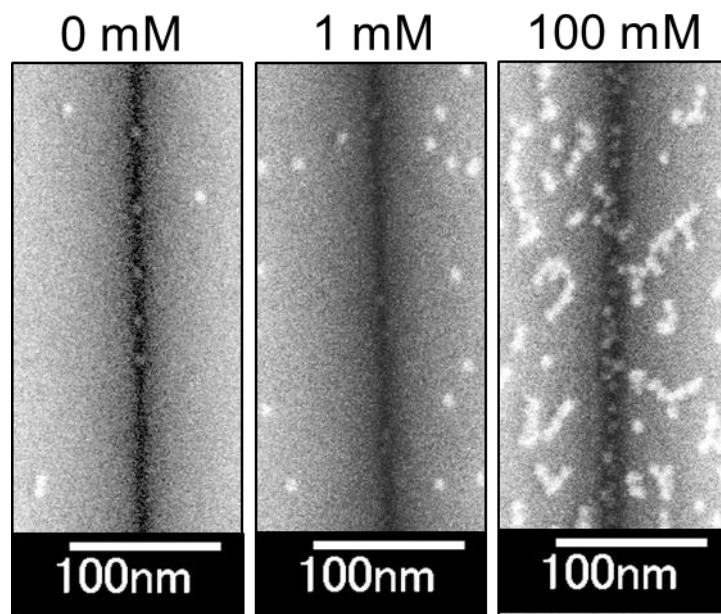


図 5.5 Fer0 (Fe core, pH 7, 0.6 mg/ml, 0~100 mM MES-Tris)の吸着結果(SEM 像)

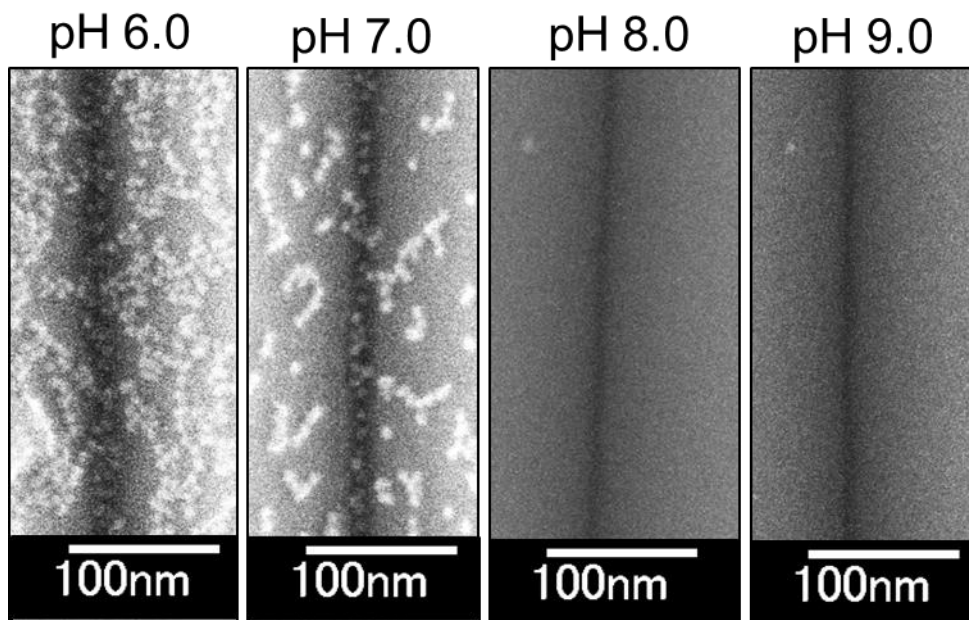


図 5.6 Fer0 (Fe core, pH 6~9, 0.6 mg/ml, 100 mM MES-Tris)の吸着結果(SEM 像)

5-3-2. 遺伝子改変フェリチン(Fer8, Fer8-K98E)の吸着傾向

溶液中での吸着では特異的に V 溝底への吸着が難しいことから乾燥過程での吸着挙動を見るための実験を行った。Fer0 を用いた吸着実験により、Fer0 は pH 7.0 以下の溶液中でシリコン基板に吸着する。乾燥過程での吸着を確認するためには、より ζ 電位が大きいフェリチンが望ましい。そこで Fer0 の N 末端アミノ酸を 8 残基欠損させたリコンビナントフェリチン (Fer8) を用いた。Fer8 は図 2.24 に示すように Fer0 と比較し、中性 pH 付近で大きな ζ 電位を持っているため、溶液中での吸着はほぼないものと考えられる。

用いたフェリチン溶液は Fer8(鉄コア、0.5 mg/ml ; MES-Tris、100 mM)であり、pH を 6.0、7.0、8.0 に振っている。基板に対して 115°C10 分間の UV/O₃ 処理を行い親水化処理してから、10 μ l のフェリチン溶液を滴下した。その後 3000 rpm、60 秒間のスピコートを行い基板上の溶液を除去するとともに乾燥させた (スピンドライ)。その後、バッファーを除去するために超純水でリンスしスピンドライにより乾燥させた。

図 5.7 に示すように pH が下がることで基板上に残るナノ粒子数が多くなっている。溶液中では基板に吸着できる条件にないことから乾燥過程において吸着挙動に変化が生じたものと考えられる。乾燥過程では 3000 rpm で回転させることから基板上の溶液の大部分は基板外に除去され、表面張力で残った溶液の薄膜が乾燥していくと考えられる。すなわち基板上に残ることのできるフェリチンは溶液のほとんどが飛ばされる最初の過程で決まることになる。図 5.7 は pH によって基板表面に残る溶液中にどれだけフェリチンが残るかを示していることになる。

この違いの原因は表面に集まるイオンの密度の違いによるものと考えられる。イオン強度が一定である以上デバイ長は変化しない。しかし、 ζ 電位は pH によって変化するため、フェリチンや基板の電荷密度が変わってくる。デバイ長とは静電力の遮蔽距離であり、表面電化密度を遮蔽するようにイオンが周りに集まる距離である。すなわち ζ 電位が大きい高 pH では低 pH よりも遮蔽するイオンの密度が濃いため、イオンの浸透圧斥力が強く働くものと思われる。すなわちファンデルワールス力の引力との重畳によるナノ粒子の安定分散するための障壁が大きくなったものと考えられる。

一方で乾燥過程では、溶液の薄膜化によりナノ粒子が液中で安定分散している距離より、基板との距離が接近すると思われる。pH が低いものほど吸着量が多くなったのは、浸透圧斥力が低いため分散の障壁が低いため、基板に近づいた場合の非特異吸着そのものが多くなったことも原因と考えられる。安定分散している溶液中の吸着を議論しない理由は、図 5.4 および図 5.6 から Fer0 が非

特異吸着しない pH8.0 のときの電位よりも、本条件中、Fer8 の電位が最も小さくなる pH6.0 時のものでも大きいためである。

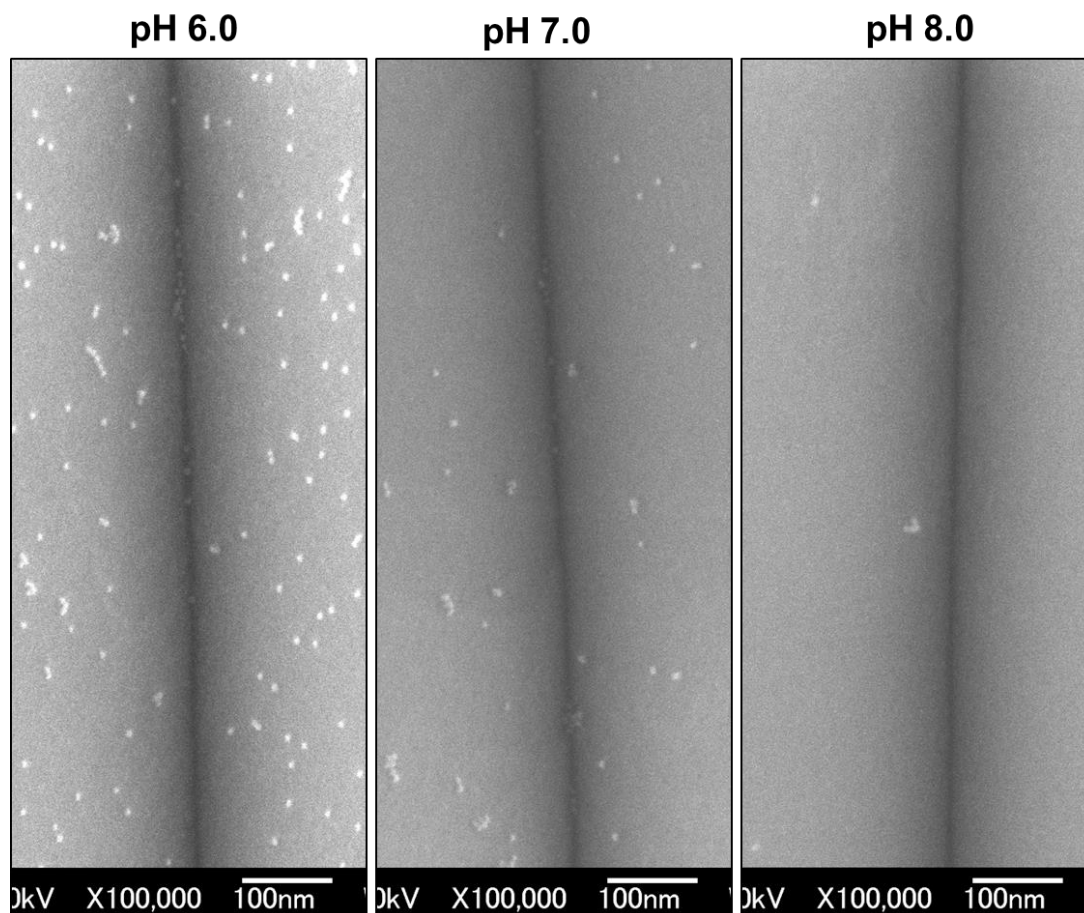


図 5.7 Fer8 (Fe core, pH 6~8, 0.5 mg/ml, 100 mM MES-Tris)の吸着結果(SEM 像)

また同吸着条件において、バッファーを純水に置換したフェリチン溶液を用い吸着実験を行った。MES-Tris バッファーのように基板表面に残らないためリンス過程は不要である。結果を図 5.8 に示す。全体的にバッファーを用いた図 5.7 より吸着量が多い。デバイ長は長くなるが、遮蔽するイオンが無いため浸透圧斥力が低いことが挙げられる。特筆する事項として、V 溝の底にナノ粒子が並んでいる傾向が見られた。また溝底を中心として左右 50 nm 間の斜面における吸着量が低い。これはすなわち、溶液の乾燥過程において、溝底に溶液が残りやすくなっており、残った溶液が乾燥する過程で、純粋な静電反発力によってフェリチンの斜面への吸着が阻害され、溝底にフェリチンが集まったものと考えられる。また、図 5.6、5.7 では同じ条件において、V 溝底部から上部にかけて吸着挙動に違いが見られた。主に溝上部の端から吸着量が多く溝底部になるほど吸着量が少なくなった。これは図 5.9 のように溶液が溝上部から乾燥する

と予想され、溝上部にメニスカスカ力が働き、溝上部へフェリチンが吸着したものと考えられる。

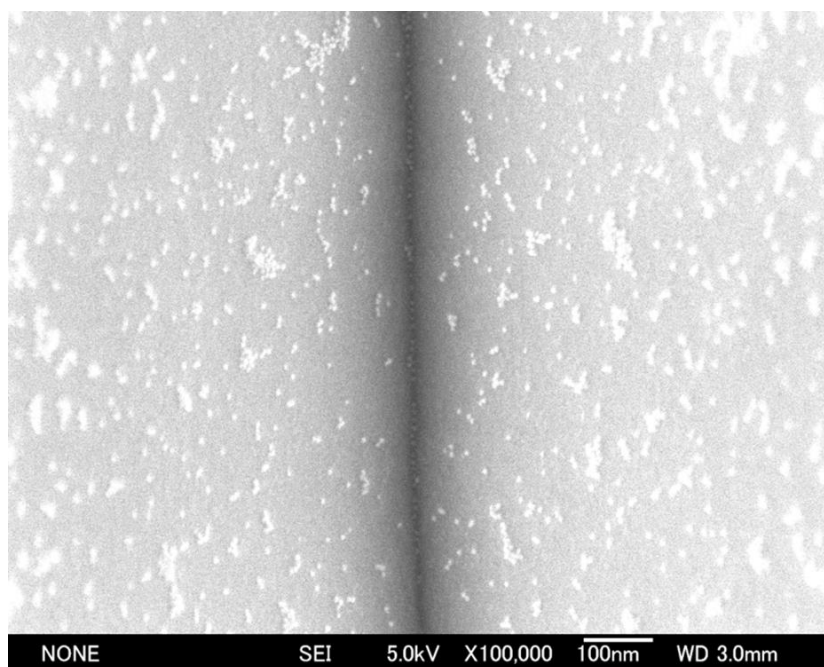


図 5.8 Fer8 (Fe core, 0.5 mg/ml, 超純水)の吸着結果(SEM 像) リンスなし

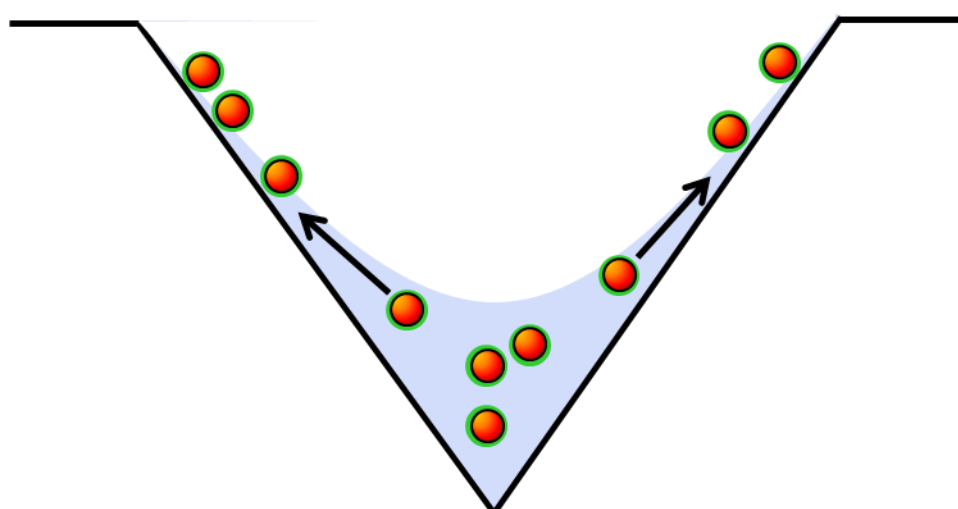


図 5.9 溶液乾燥過程におけるメニスカスカ力による V 溝上部への吸着

以上を踏まえ、フェリチンの乾燥過程における溶液の薄膜化による非特異吸着を防ぐため、より電位が強いフェリチンが望ましいと考えた。そのため Fer8 にリコンビナントに負の電荷を強調した Fer8-K98E を使用した。また、図 5.8 において一部 V 溝底への配列が見られたことからバッファーを用いず超純水による実験を行った。用いたフェリチン溶液は Fer8-K98E(鉄コア、0.1、0.5 mg/ml、超純水)である。純水であることからイオン強度や pH の変化による吸着傾向をみることができない。そのためタンパク質濃度とスピンドライ時の回転数の変化による傾向を見た。タンパク質濃度は 0.1、0.5 mg/ml の 2 種類、スピンドライ時の回転数は 1000、3000、5000 rpm の 3 条件で行った。まず基板に対して 115°C 10 分間の UV/O₃ 処理を行い親水化処理してから、10 μl のフェリチン溶液を滴下し、60 秒間のスピンドライを行った。結果を図 5.10 に示す。

タンパク濃度の違いにより顕著な吸着量の変化が見られた。タンパク濃度が高いほどフェリチンは多く基板に吸着する。これは単純にスピンドライ時に基板に残留する溶液内のフェリチンの量が多いためと考えられる。また、スピンドライの回転数を速くすることで V 溝斜面のフェリチンの吸着量は減少した。スピンドライにより基板上に残る溶液は、せん断力と表面張力の均衡により決定される。回転数が速いことでせん断力が強く基板に残る溶液の量が減ったためと考えられる。その後溶液は均衡した状態で一様に乾燥していくと考えられるが、ここで溝底は 2 面あることから表面張力が強く、溶液が最後に残りやすい。図 5.9 のように V 溝斜面に薄膜状で溶液が残った場合、図 5.10 の 1000 rpm や 3000 rpm のようにメニスカス力で斜面に吸着する。0.1 mg/ml、6000 rpm のとき斜面への吸着量が少なく溝底にフェリチンが残りやすい結果となったのは、スピンドライ時に溶液を除去するせん断力が、メニスカス力に打ち勝ったためと考えられる。

以上を踏まえ、V 溝底にフェリチンを並べる条件として、

1. 静電力による反発力がファンデルワールス力より十分高いこと
2. スピンドライ時に溝底に残る溶液量と、そこに含まれるタンパク濃度のバランス
3. 斜面や、平面部の吸着を低下させる高 rpm でのスピンドライ

の 3 点が挙げられる。また基板の部位によってはバラつきが見られ、吸着量が安定しなかった。これは溶媒が純水であったことから乾燥時にフェリチンの凝集が起こりやすいためと考えられる。すなわち、上記条件を満たすバッファーを用いればバラつきは少なくなると思われる。

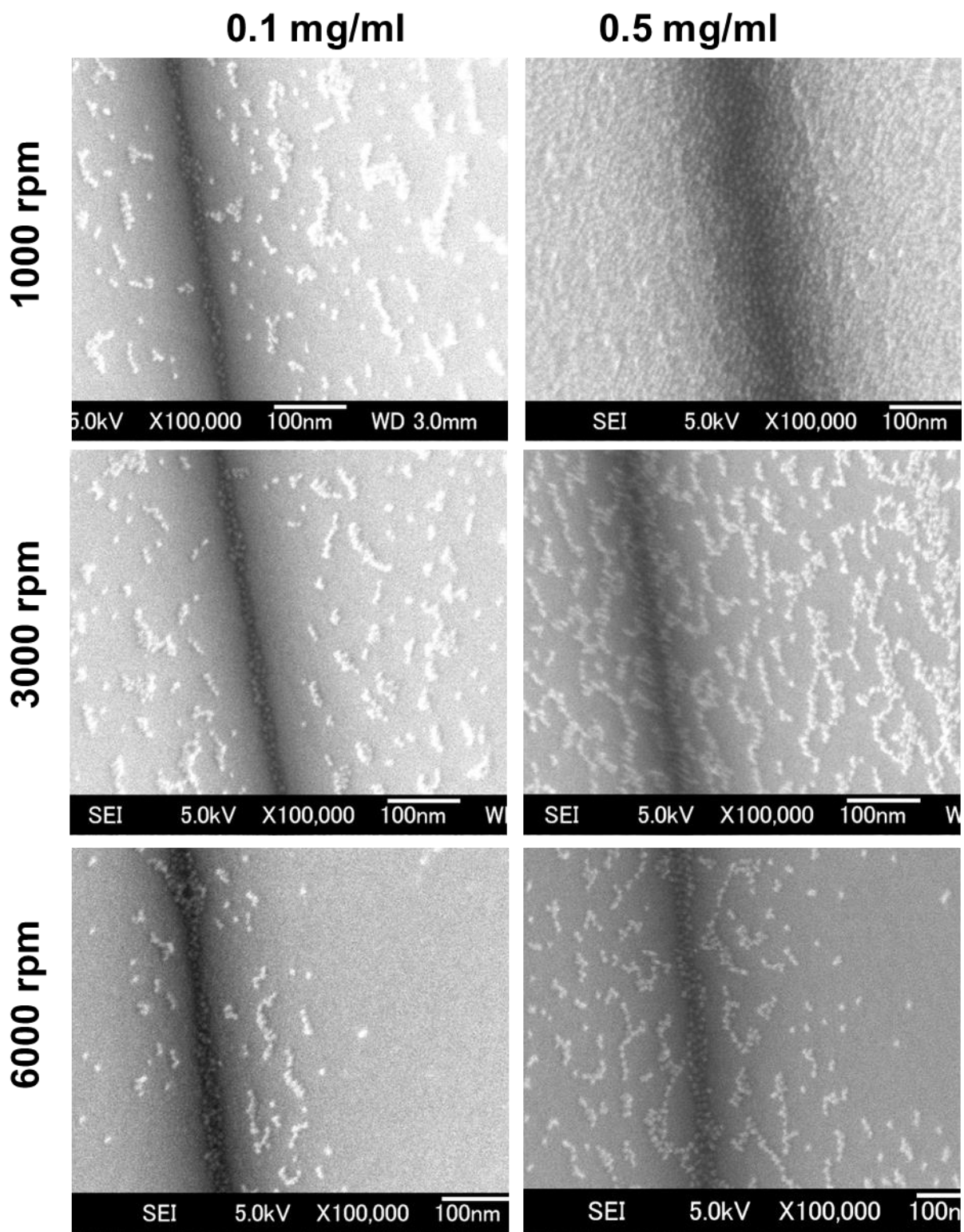


図 5.10 Fer8-K98E (Fe core, 0.1, 0.5 mg/ml, 超純水)の吸着結果(SEM 像)

5-4. 100 nm サイズ幅を持つ V 溝の吸着実験

5-3 で得られた条件を、V 溝型 JL-FET に応用するために 100 nm サイズ幅を持つ V 溝を用いてフェリチンの吸着実験を行った。V 溝のサイズは実デバイスに準拠する。実際にナノ粒子を配したデバイスの評価は 6 章で改めて述べる。吸着実験に用いたデバイス構造を図 5.11 に示す。V 溝は電子線描画により形成されたパターンを使用し、TMAH で異方性エッチングによって形成された。まず 5-3 で得られた結果より、図 5.10 と同様の条件である超純水中で吸着実験を行った。用いたフェリチン溶液は Fer8-K98E(鉄コア、超純水)である。基板に対して 115°C30 分間の UV/O₃ 処理を行い親水化処理してから、20 μl のフェリチン溶液を滴下した。その後 6000 rpm、60 秒間のスピンドライを行った。結果を図 5.12 に示す。

図に示すように溝の一部のみにフェリチンが残った。これは V 溝のサイズが小さいことと、デバイ長が長いことから溝中にフェリチンが残ることができなかったためと考える。このことよりスピンドライ時に V 溝に残る溶液中にフェリチンが残ることができるように、短いデバイ長が必要であると考えた。そこで溝中にフェリチンが近づけるようにデバイ長 1 nm (イオン強度 100 m) で再度実験を行った。バッファは吸着後、洗浄の必要な無い揮発塩である酢酸アンモニウム (Ammonium Acetate; AA) を用いた。溶液条件は Fer8-K98E(鉄コア、0.1 mg/ml; AA、100 mM、pH 7.0)である。基板に対して 115°C30 分間の UV/O₃ 処理を行い親水化処理してから、20 μl のフェリチン溶液を滴下した。その後 6000 rpm、60 秒間のスピンドライを行った。結果を図 5.13 に示す。

図に示されるように V 溝底にナノ粒子の 1 次元配列を配置することができた。このように静電力の強い Fer8-K98E を用いること、AA を用いデバイ長を短くし微細な V 溝中にもフェリチンが存在できること、および高 rpm のスピンドライを行うことで微細な V 溝においてナノ粒子の 1 次元配列に成功した。

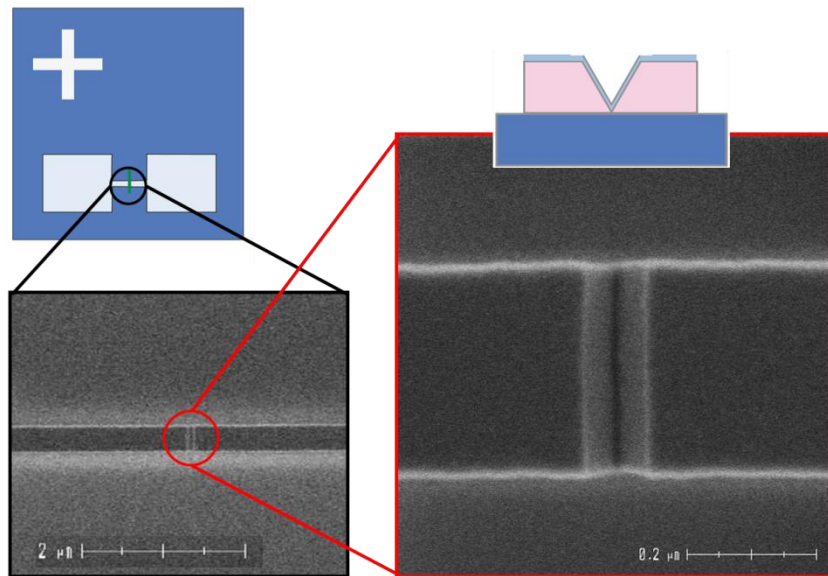


図 5.11 100 nm サイズ幅 V 溝 構造は JL-FET に準拠

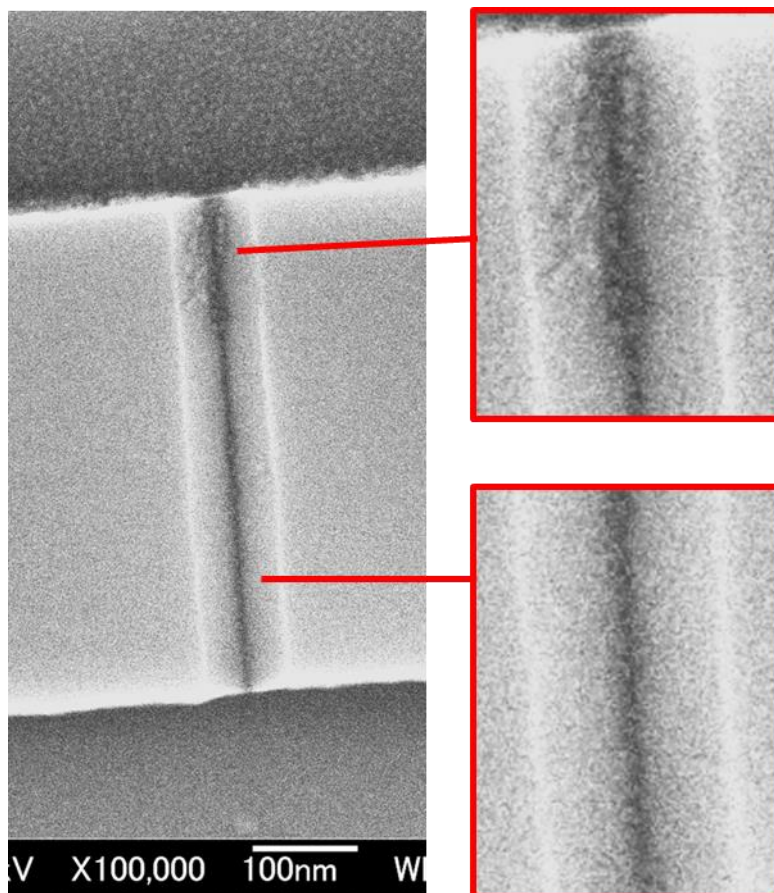


図 5.12 Fer8-K98E (Fe core, 0.5 mg/ml, 超純水)の吸着結果(SEM 像)

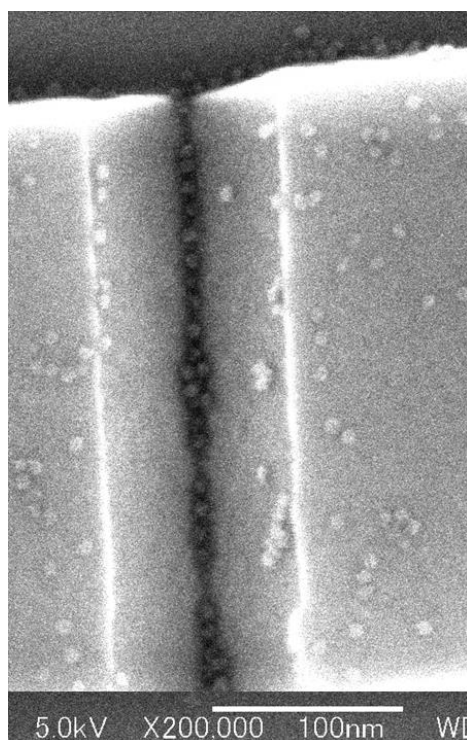


図 5.13 Fer8-K98E (Fe core, 0.1mg/ml; AA, 100 mM, pH 7.0)の吸着結果(SEM 像)

次にフェリチンのコアの材料を変えた場合の吸着実験も行った。用いた材料は鉄コア、コバルトコア、インジウムコアの 3 種類である。溶液条件はそれぞれ Fer8-K98E (Fe core, 0.1 mg/ml; AA, 200 mM, pH 7.0)、Fer8-K98E (Co core, 0.1 mg/ml; AA, 200 mM, pH 7.0)、Fer8-K98E (In core, 0.2 mg/ml; AA, 200 mM, pH 7.0)である。115°C 30 分間の UV/O₃ 処理を行い親水化処理してから、20 μ l のフェリチン溶液を滴下した。その後 8000 rpm、60 秒間のスピンドライを行った。結果を図 5.14 に示す。それぞれ非常に制御良くナノ粒子 1 次元配列が確認できる。特にインジウムコアのものでは非特異吸着も少なく理想的な配置である。他の材料に比べ非特異吸着が少なくなった理由は、限外ろ過を用いていないなど精製過程において発生するタンパク質表面のダメージが少ないためと考えられる。それによりフェリチン全面に理想的な表面電位が分布していると考えられる。しかしながら鉄コア、コバルトコアのものでも、非特異吸着部分が 1 次元配列から離れていることからデバイス応用には十分であると考えられる。

またインジウムコアのフェリチン溶液を用い、タンパク濃度依存を調査した。使用したタンパク濃度は 0.2 mg/ml、0.3 mg/ml、1 mg/ml である。他条件は前

記条件に則る。結果を図 5.15 に示す。理想的に 1 層、2 層、3 層に並んだ配列が得られた。これらもまた、1 次元配列でありデバイス応用が期待される。

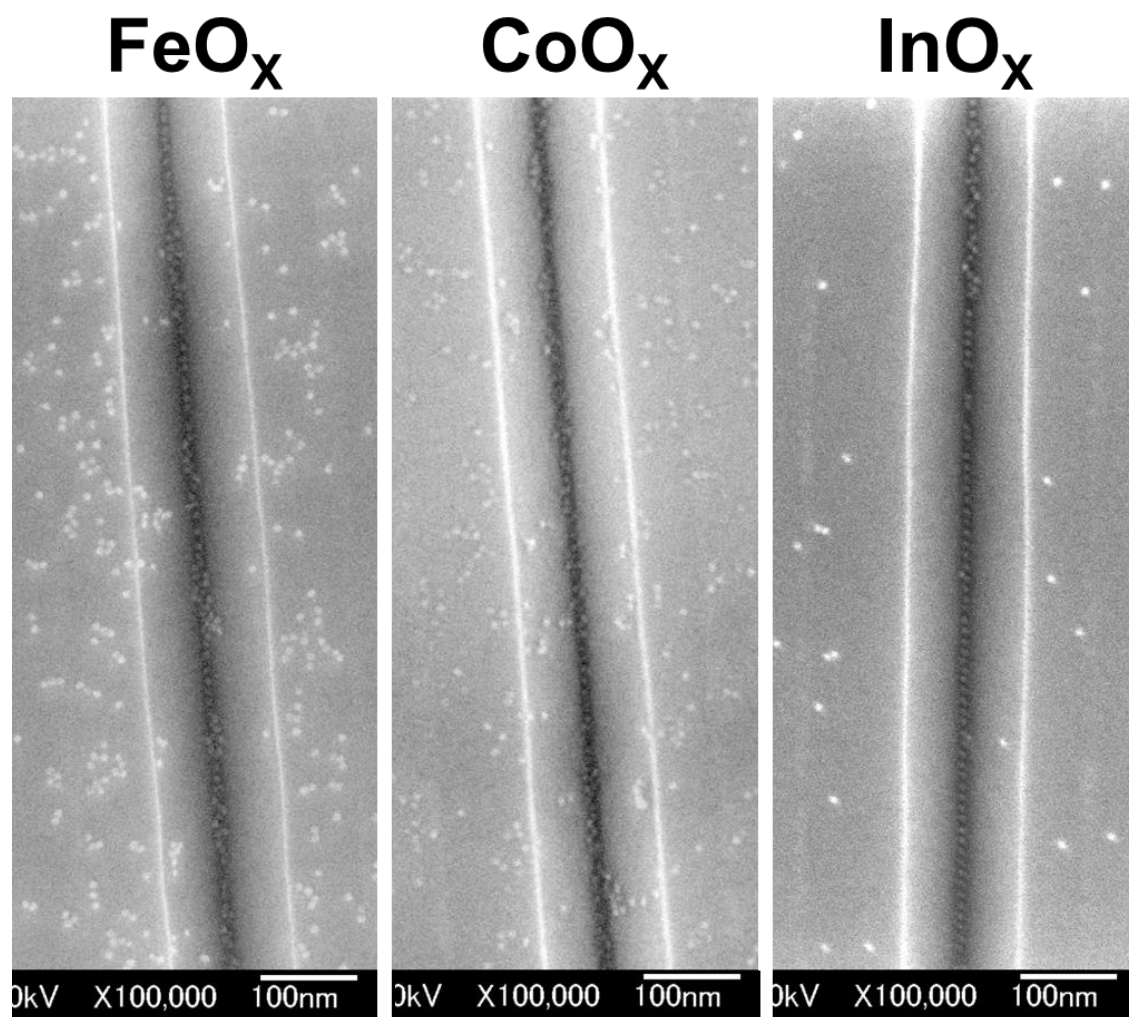


図 5.14 左より Fer8-K98E (Fe core, 0.1mg/ml; AA, 200 mM, pH 7.0),
Fer8-K98E (Co core, 0.1mg/ml; AA, 200 mM, pH 7.0),
Fer8-K98E (In core, 0.2mg/ml; AA, 200 mM, pH 7.0)の吸着結果(SEM 像)

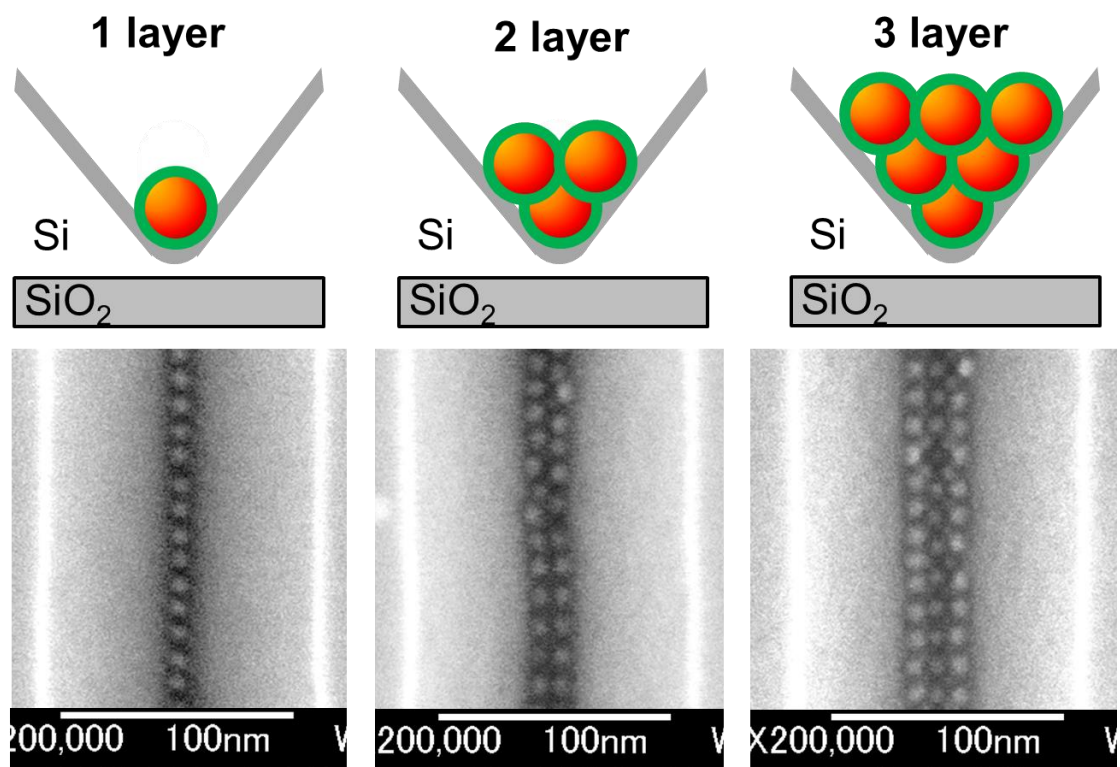


図 5.15 左よりタンパク濃度 0.2 mg/ml, 0.3 mg/ml, 1 mg/ml のときの
 Fer8-K98E (In core,; AA, 200 mM, pH 7.0)の吸着結果(SEM 像)
 および断面からの吸着イメージ

5-5. V 溝を用いた 1 次元配列吸着メカニズム

図 5.16 に V 溝におけるフェリチンの吸着挙動のパターンに対するイメージを示す。ファンデルワールス力による引力を V_A 、静電力およびイオンの浸透圧による斥力を V_R とする。また乾燥時の溶液の流動によるメニスカス力を M 、スピンドライ時の溶液を除去するせんだん力を S とする。まず(a)であるが主に 5-3-1 に観られるフェリチンの全面吸着を示す。すなわち $V_A > V_R$ であり、溶液中で吸着していく。次に(b)であるが 5-3-2 における図 5.7、5.8 にみられる V 溝上部への吸着である。 $V_A < V_R$ であり溶液中で基板に吸着することはない。しかし、 $M + V_A$ が $S + V_R$ を上回ることにより溶液乾燥時にフェリチンが上部へ引き寄せられると考えられる。最後に(c)はナノ粒子の 1 次元配列に必要な条件を指す。

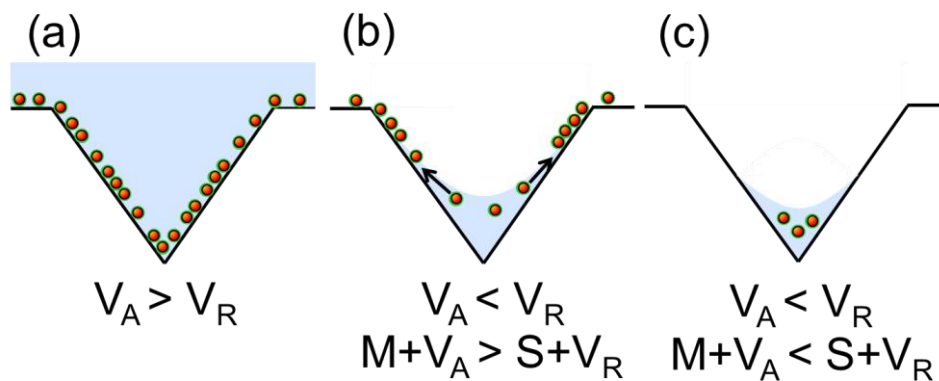


図 5.16 吸着メカニズム パターン図

すなわち $M+V_A$ を $S+V_R$ が上回る条件である。せん断力により V 溝上部の溶液がフェリチンごと除去された時の条件である。また溝底部のみ溶液が残ったとき、溶液が無くなる乾燥時に溝上部へ引っ張る力はほぼ働いていないと考えられる。なぜなら溝上部へ力が存在すれば溝底部へのナノ粒子配列は起きないと考えられるためである。溶液が少なくなると体積に対する表面積の割合が大きくなり表面張力の関係から球状を取りやすい。最後の乾燥時は溶液の形状が凹状から凸状に変わり、端からではなく一様に乾燥することで溝底部へフェリチンが並んだと考えられる。また V 溝のサイズによる依存を図 5.17 に示す。基板から延びるデバイ長を黄色で示している。 V 溝が大きい場合は(a)のようにスピンドライ時にフェリチンが溶液中に残ることができる。しかし V 溝が小さい場合(b)のようにスピンドライ時に V 溝中にフェリチンが残らない。これはタンパク濃度を上げて溝中に残らないことを示す。 V 溝が小さい場合は(c)のようにデバイ長を短くし溝中にフェリチンが侵入可能な状態を作る必要がある。同時に図 5.16(c)で示す条件を満たすことでナノ粒子の 1 次元配列が可能になる。

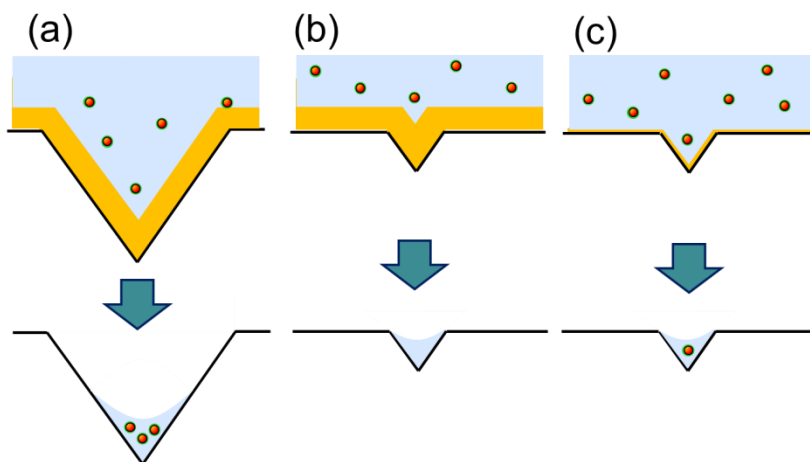


図 5.17 スピンドライ時における V 溝の大きさおよびデバイ長によるフェリチンの残量依存

5-6. まとめ

Si 上に異方性ウェットエッチングで形成されたV溝を利用することでフェリチンの1次元配列を行った。条件として、フェリチンと基板との静電反発力が強いこと、スピンドライは高rpmで行うこと、溝の大きさに合わせタンパク濃度、デバイ長を調節することが挙げられる。また吸着後、リンスによる脱離を考慮しないようリンスが必要でないバッファを使うことが望ましい。100 nm幅サイズのV溝の時、これらを満たす溶液条件はFer8-K98E (Fe core、0.1 mg/ml; Ammonium Acetate、100~200 mM、pH 7.0)、6000 rpm以上でのスピンドライである。このフェリチン溶液を用いることでナノ粒子の1次元配列を可能にした。またコバルトコアやインジウムコアを用いた場合でも1次元配列を確認し、特にインジウムコアによって2層、3層の1次元配列も制御良く達成した。この技術は他のデバイスにおいてもナノ粒子の1次元配列を行う場合に有効である。

5-7. 参考文献

- [1] J. Nishijo, O. Oishi, K. Judai, and N. Nishi, "Facile and mass-producible fabrication of one-dimensional Ag nanoparticle arrays," *Chemistry of Materials*, vol. 19, pp. 4627-4629, Sep 18 2007.
- [2] S. M. Marinakos, L. C. Brousseau, A. Jones, and D. L. Feldheim, "Template synthesis of one-dimensional Au, Au-poly(pyrrole), and poly(pyrrole) nanoparticle arrays," *Chemistry of Materials*, vol. 10, pp. 1214-1219, May 1998.
- [3] J. J. Carvajal, "One-dimensional Ag nanoparticle arrays formed by decomposition of precursor nanowires," *Mrs Bulletin*, vol. 32, pp. 881-882, Nov 2007.
- [4] C. E. Cross, J. C. Hemminger, and R. M. Penner, "Physical vapor deposition of one-dimensional nanoparticle arrays on graphite: Seeding the Electrodeposition of gold nanowires," *Langmuir*, vol. 23, pp. 10372-10379, Sep 25 2007.
- [5] H. G. Liu, F. Xiao, C. W. Wang, Q. B. Xue, X. Chen, Y. I. Lee, *et al.*, "Synthesis of one-dimensional silver oxide nanoparticle arrays and silver nanorods templated by Langmuir monolayers," *Journal of Colloid and Interface Science*, vol. 314, pp. 297-303, Oct 1 2007.
- [6] T. Matsushita, Y. Fukumoto, T. Kawakami, T. Tsuruoka, T. Murashima, T. Yanagishita, *et al.*, "In situ template synthesis of one-dimensional gold nanoparticle arrays in organic nanowires," *Rsc Advances*, vol. 3, pp. 16243-16246, 2013.
- [7] 北原文雄ら, *ゼータ電位 微粒子界面の物理化学*. サイエンティスト社, 1995.
- [8] K. Yamada, S. Yoshii, S. Kumagai, A. Miura, Y. Uraoka, T. Fuyuki, *et al.*, "Floating gate metal-oxide-semiconductor capacitor employing array of high-density nanodots produced by

protein supramolecule," *Japanese Journal of Applied Physics Part 1-Regular Papers Brief Communications & Review Papers*, vol. 45, pp. 8946-8951, Nov 2006.

- [9] 吉井重雄, "水溶液中静電相互作用の解明によるタンパク質超分子の基板上配置制御 " 博士学位論文, 奈良先端科学技術大学院大学, 2008.

6章 V溝型 JL-FET を用いたナノ粒子の フローティングゲートメモリ応用

6-1. 諸言

V溝型 JL-FET は SOI 基板を異方性ウェットエッチングすることで得られるチャンネル長 3 nm、チャンネル厚さ約 1 nm の超微細トランジスタである[1-3]。この JL-FET は V 溝という特殊な形状を有することから、V 溝底部のチャンネル上の材質を選択することで様々な影響を微細チャンネルに与えられる。特に材料配置の方法としてナノ粒子を用いることにより離散的な物質が与える評価も可能となる。本研究では V 溝底部へナノ粒子を配置させるために、フェリチンを利用する。フェリチン内のナノ粒子は素材に寄らず様々な物質が選択可能であるため、電界集中の影響だけでなく、高仕事関数を持つ金属による影響など、次世代半導体素子における様々な知見の入手が期待される。本研究では、sub-10 nm の素子において電荷をトラップさせた場合の影響を調査するとともに電荷をトラップするデバイスであるフローティングゲートメモリを選択した。特にフェリチンに形成されるナノ粒子として最もよく知られている鉄ナノ粒子をフローティングゲートとして配置し、各種メモリ特性について計測する。またコバルトナノ粒子やインジウムナノ粒子を用いたデバイスも作製、評価することでナノ粒子が短チャンネルに与える影響を評価していく。

6-2. ナノ粒子埋込 V 溝型 JL-FET の特性評価

6-2-1. 作製プロセス

本研究では Si 層 80 nm、SiO₂ 層 145 nm の SOI 基板を用いた[1]。ここに電子線リソグラフィにより幅 48 ~ 68 nm までの長方形パターンを形成し、HF により表面の酸化膜を取り除いた。ここに TMAH 溶液を用いたウェットエッチングによって V 溝を形成した。エッチング後、形成された V 溝の幅は約 100 ~ 115 nm である。幅を順に太くすることで溝深さも調節することができ、微細チャンネルを持つ FET が得やすくなる。また電子線リソグラフィでの寸法誤差にも対応できる。次に形成された V 溝に合わせ、電子線リソグラフィによってドレイン・チャンネル・ソース部のパターンを形成し、エッチングを行った。チャンネル幅は 1 μm である。溝幅の分布図を図 6.1 に示す。図に示すように右部に行くほど溝幅が太くなる。表面酸化膜を HF により取り除いた後、熱酸化膜を 3nm 形成した。その後 V 溝を覆うようにダミーゲート (poly-Si) を形成し、As をイオン注入し

た。その後 1000°C、3 分間のアニールによってドーパントを活性化した。不純物濃度はチャネル近傍のみ $10^{17}/\text{cm}^3$ 、ソース、ドレインは $10^{20}/\text{cm}^3$ である。ここまでの行程は産総研の右田の手により、産総研において作製された。

次にナノ粒子を V 溝底部に 1 次元配列させた。ナノ粒子の一次元配列についての詳細は第 5 章で述べた。使用したフェリチン溶液は Fer8-K98E: (Fe core、0.1 mg/ml; AA、100 mM、pH 7.0) である。スピンドライ条件は 6000 rpm、60 秒である。次にタンパク質の除去を UV オゾン処理により行い、絶縁膜としてプラズマ ALD によりアルミナ膜を 10 nm 堆積し、電極(Pt/TiN)を EB 蒸着により堆積した。また最後に窒素水素混合雰囲気酸化でメタライゼーションアニーリングを行っている。素子の断面構造図および上面構造図を図 6.2 に示す。

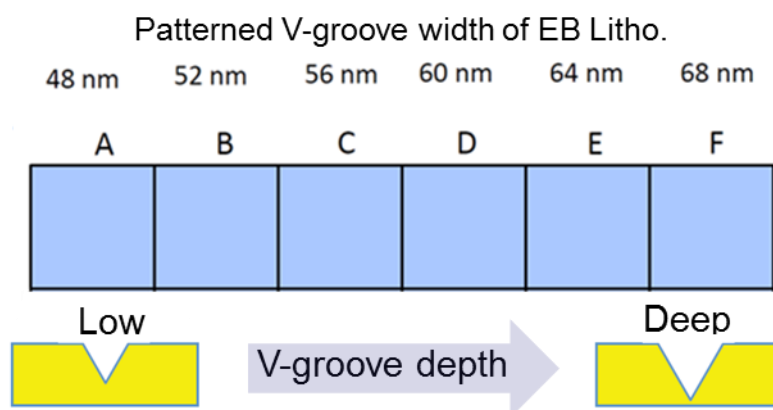


図 6.1 V 溝の描画条件分布図

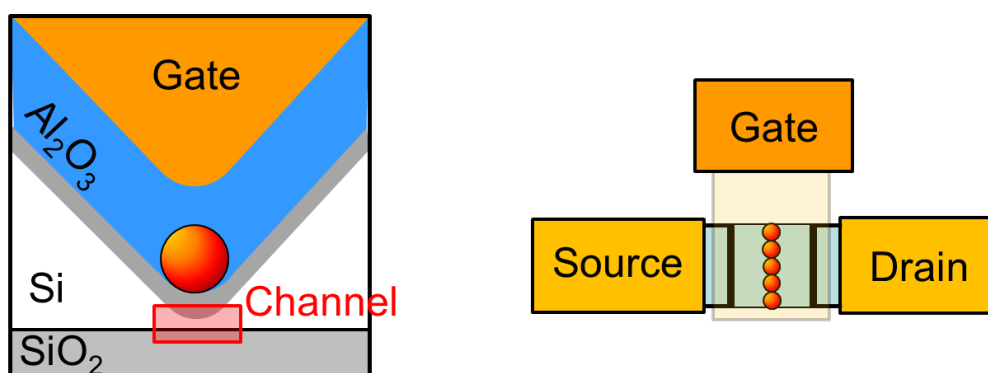


図 6.2 ナノ粒子埋込 V 溝型 JL-FET の断面構造図および上面構造図

次にナノ粒子配列からのプロセスフローを図 6.3 に示す。手順の詳細は以下の通りである。

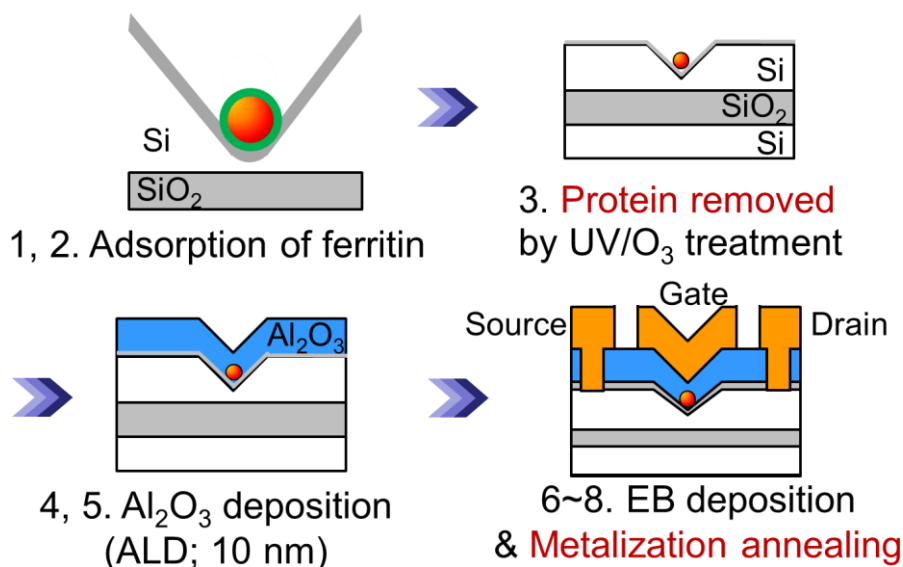


図 6.3 ナノ粒子埋込 V 溝型 JL-FET のプロセスフロー図

1. V 溝形成済み基板を 10 mm 角にカットし、ピラニア洗浄を行う。80°C に設定したホットバスを用い濃硫酸で 15 分間、次に過酸化水素水を同ビーカーに濃硫酸と等量注ぎ 15 分間洗浄した。洗浄後、超純水によりリンスした。リンス後、N₂ ブローを用い乾燥させた。以下、乾燥手段についてスピンドライなどの注記無い場合、N₂ ブローを用いる。デバイスパターンは 10 mm 角基板の中心 5 mm 角に位置する。
2. UV/O₃(115°C、30 分)により親水化処理を行った。次にスピンドライ上でフェリチン溶液 Fer8-K98E: (Fe core、0.1 mg/ml)、酢酸アンモニウム: (100 mM、pH 7.0)を滴下し、蓋をした状態でスピンドライを行った。
3. UV/O₃(115°C、60 分)によりタンパク質除去を行った。
4. プラズマ ALD を用い絶縁膜として Al₂O₃ を 10 nm 成膜した。原料はトリメチルアルミニウム (TMA) を用い、酸化ガスは O₃ プラズマである。他条件として、基板加熱は 400°C (実測 280°C 程度)、真空度 100 Pa、RF 電力 500 W、プロセス 76 cycle である。本成膜は JSW アフティ (株) に依頼した。

5. 管状型酸化炉を用い、窒素雰囲気酸化において 400°C設定で 1 時間アニールした。これは Al_2O_3 膜の絶縁性を向上させるためである。
6. フォトリソグラフィによりコンタクトホールパターンを形成した。レジストは AZ-GXR-600 を用い、スピコート (3000 rpm、15 秒) により成膜した。プリベーク後 (100°C、60 秒)、露光 (12 秒) を行い、現像 (AZ300MF、1 分 30 秒) したのち超純水によりリンスし、ポストベーク (120°C、120 秒) を行った。パターン形成後、DHF (純水 100 倍希釈フッ酸、40 秒) により絶縁膜を取り除いた。この後アセトン、メタノールによってレジストを除去、超純水によりリンスした。
7. フォトリソグラフィにより上部電極パターンを形成した。レジストは AZ-5200 を用い、スピコート (3000 rpm、15 秒) により成膜した。プリベーク後 (90°C、60 秒)、露光 (12 秒) を行い、現像 (AZ300MF、1 分 30 秒) したのち超純水によりリンスし、ポストベーク (120°C、120 秒) を行った。パターン形成後 EB 蒸着により Pt(40 nm)/TiN(50)を堆積した。この後アセトン、メタノールによってリフトオフし、超純水によりリンスした。
8. 管状型酸化炉を用い還元雰囲気中 ($\text{N}_2 : \text{H}_2 = 9 : 1$) において 500°C、1 時間のメタライゼーションアニーリングを行った。

6-2-2. 断面TEM観察

作製したデバイスの断面TEM観察を行った。試料は集束イオンビーム加工装置 (FIB: Hitachi、FB2200) を用いて作製した。断面TEMおよびFe、Oの電子エネルギー損失分光法(EELS)スペクトルを図6.4(a)、(b)、(c)に示す。またEDSを行った。点分析および線分析の結果をそれぞれ図6.5(a)、(b)に示す。断面TEM画像より、チャンネル長はおよそ3.6 nm、チャンネル厚さはおよそ1.4 nmであった。またEELSスペクトルよりV溝底部にFeナノ粒子が存在していることが確認された。またOのマッピングによりV溝の垂直上の酸化膜はおよそ20 nmであった。ナノ粒子の直径が約7 nmであることからアルミナ(10 nm)/ナノ粒子(7 nm)/シリコン酸化膜(3 nm)で構成されていると考えられる。これよりEOTはおよそ8 nmである。またEDSによるV溝底のナノ粒子が配置する位置とBOX層(SiO₂)の点分析結果からもV溝底に鉄原子が存在していることが確認できた。さらに試料に対しV溝中心をとる垂直線による線分析からはFeがAlの中に存在し、Al中に拡散していないことも確認できた。ここではSiのスペクトルがPtのものとかぶるため除いている。

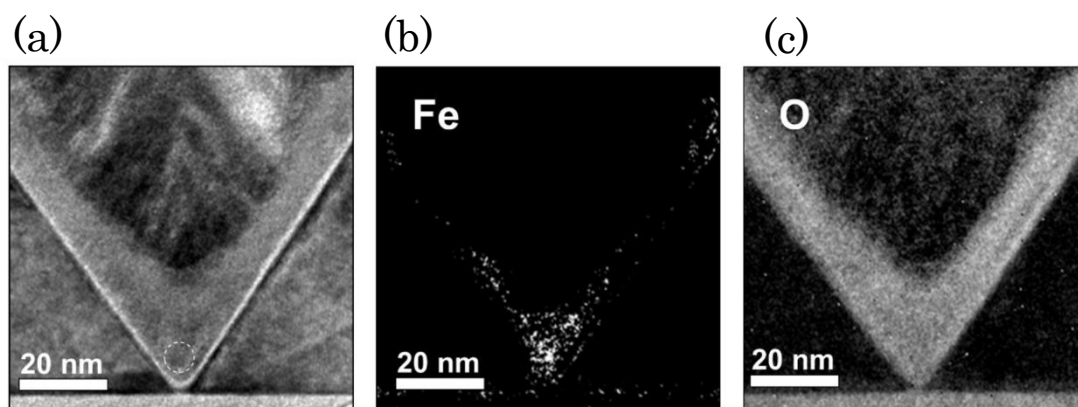


図 6.4 (a)ナノ粒子埋込 V 溝型 JL-FET の断面 TEM 像および、
(b)Fe、(c)O の EELS スペクトル

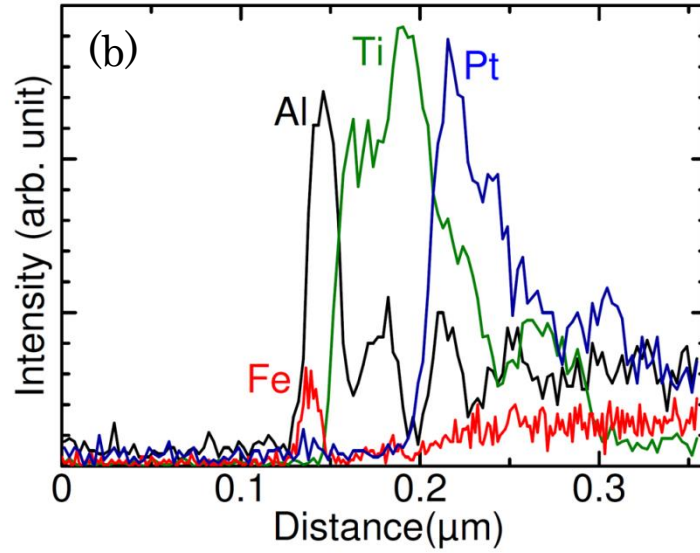
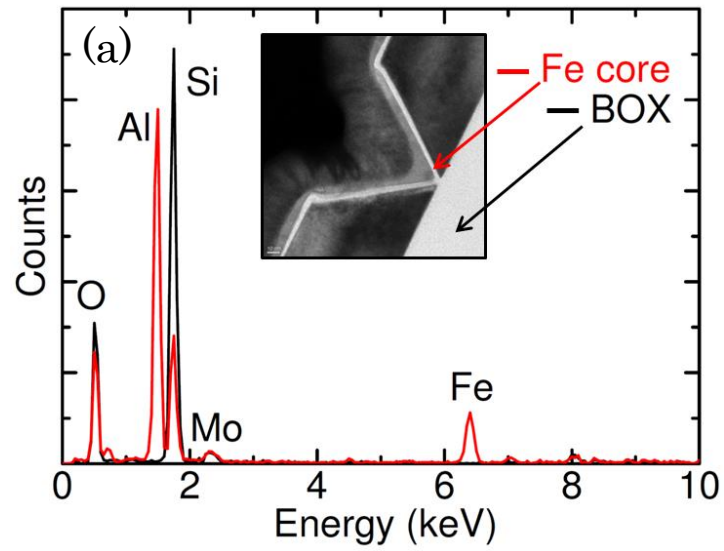


図 6.5 (a)EDS によるナノ粒子および BOX 層の点分析、
(b)V 溝中心を通る垂直線にそった線分析

6-2-3. ナノ粒子埋込V溝型JL-FETのメモリ特性

まずナノ粒子を含有していない素子を用いてV溝の深さ、すなわちチャンネル厚さの変化による電気特性の変化を確かめた。図6.6にソース-ドレイン間電圧 V_{SD} を200 mV、ゲート電圧 V_G を-6~+6 Vで変化させた時の I_D - V_G 特性を示す。また図中のA、C、E、Fのアルファベットは図6.1のV溝の描画条件に対応する。すなわちAに近いほどチャンネルが厚く、Fに近いほどチャンネルが薄いことを示す。図よりチャンネルが厚い時はゲートによる制御が効かず、逆にチャンネルがチャンネルを薄くしすぎるとFのように断線することが確認できる。図6.1の溝幅の分布から概算すると、チャンネル厚さはA~Fまで約3 nmずつシフトする。Fがチャンネル厚さ0 nmであることからEは1~2 nm程度であると考えられる。ここからCは約8 nm、Aは約15 nmであると考えられる。本実験では、主に断線した素子の直左に位置する素子による特性を測定していく。これはチャンネルが十分に薄くゲートによる制御が可能と考えられるためである。

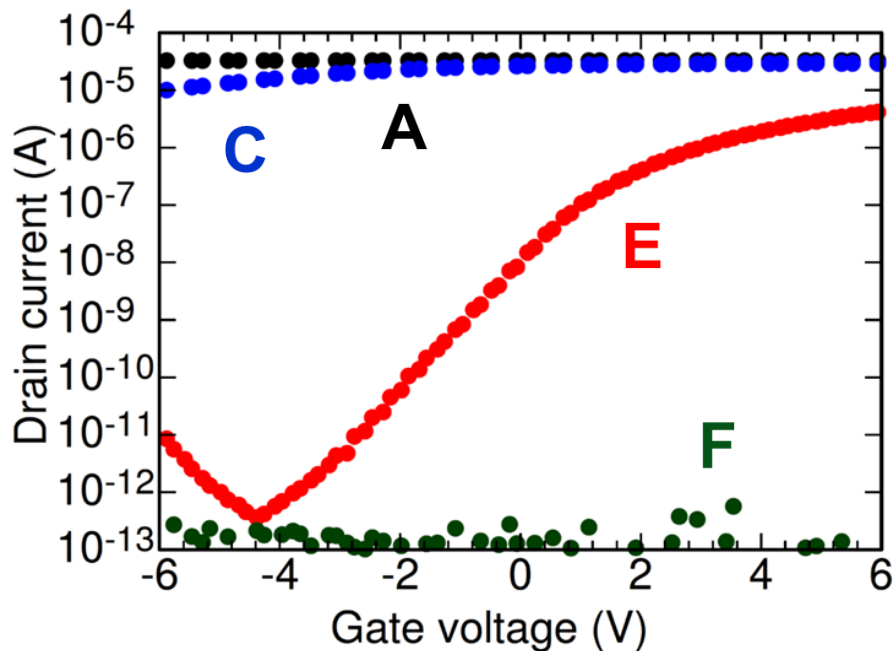


図 6.6 I_D - V_G 特性のチャンネル厚さ依存(A; 15 nm, C; 8 nm, E; 1~2 nm, F; 0 nm)

図 6.7 にナノ粒子有り無し両方の素子について V_{SD} を 200 mV、 V_G を -4 ~ +4 V で変化させた時の線形領域における I_D - V_G 特性を示す。また以降の電気特性は全て線形領域で測定している。なお、図内の①~④の番号については 6-5 章において述べる。ナノ粒子なしの試料ではヒステリシスは確認できないが、鉄ナノ粒子を持つ試料ではヒステリシスが確認された。時計回りのループであることからナノ粒子へのキャリアの注入によるものと示唆される。スレッショルドボルテージ(V_{th})は ($I_D=100$ nA) ナノ粒子なしのもので約 2.3 V である。

通常のジャンクションレス FET では PN ジャンクションが無いことからノーマリーオンとなることが一般的である。しかし、この素子ではノーマリーオフとなっている。スレッショルドボルテージの正方向へのシフトは酸化膜および界面に存在する負の固定電荷が原因とされる。すなわち SiO_2 、 Al_2O_3 の膜中および Si、 SiO_2 界面、 SiO_2 、 Al_2O_3 界面に負の固定電荷が存在すると考えられる。この素子の熱酸化膜は HF により表面酸化膜を取り除いた後に製膜しており、Si 表面は水素終端されていたと考えられることからほぼ理想的な熱酸化膜である。理想的な Si の(111)面では SiO_2 との界面に約 10^{11} cm^{-2} の電子がトラップされる他、固定電荷として 5×10^{10} cm^{-2} 程度存在するとされる。これらはそれぞれ(100)面に存在する電荷量より高い。また SiO_2 、 Al_2O_3 界面には 10^{13} cm^{-2} という強い負の固定電荷が発生することも報告されている[4]。これはアルミナ膜に負の固定電荷が存在していることを示唆している。

また off 時のリーク電流は Gate-Induced-Drain-Leakage-current(GIDL)であると考えられる。微細チャネルを持つデバイスではドレインやソースにゲートがオーバーラップしやすい。この素子でも V 溝全体にゲート電極が載っているためオーバーラップ部分が多い。そのためゲートの電圧によるバンドの曲がりにより価電子帯と伝導帯が狭窄しバンド間トンネリングを起こす。

S 値はおよそ 200 mV/decade である。これは EOT の厚さおよびチャネルの不純物濃度の低さにより短チャネル効果が緩和できていないことを示唆する。また、ナノ粒子有のものでは消去時で約 -1.0 V、書き込み時で約 2.3 V であり -4 ~ +4 V の掃引で約 3.3 V のメモリウィンドウが開いた。書き込みと消去の中心が元々の V_{th} であると考え、ナノ粒子を持たない素子の特性と比較して負の V_G 側に V_{th} がシフトしていることが確認できる。これらは全ての素子に共通して言うことではなく、微細チャネルを持つ V_{th} のバラつき的一端であると考えられる。またこの素子の一番の特徴として他に報告されている素子と比較して低電圧による書き込み消去が行われている。これはナノ粒子を使うことにより強い電界集中が発生しているため、低い電圧であってもトンネリングに十分な電界が得られたと考えられる。

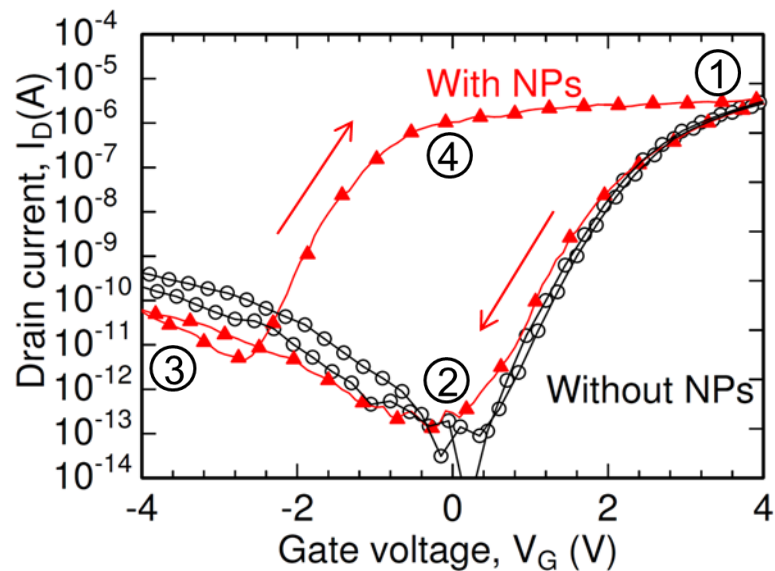


図 6.7 ナノ粒子埋込 V 溝型 JL-FET の I_D - V_G 特性(チャネル厚さ 1~2 nm)

このナノ粒子埋込 JL-FET について書き込み消去特性を測定した。特に書き込み電圧 +4~+6 V、消去電圧 -4~-6 V で V_G を変化させた場合の特性の変化を見た。読出しには $V_G = 0$ のときの I_D を用いている。これはこの素子が低電圧であってもナノ粒子への電荷の注入が行われるため、その影響を極力排除するためである。図 6.8 に示すように書き込み消去電圧が高くなるほど書き込み消去動作が速くなっていることが確認できる。特に消去電圧 -6 V において 10 μ sec、書き込み電圧 6 V において 1 msec で特性が飽和している。これはプレーナー型のフローティングゲートメモリが 10 msec ほどの書き込み時間を有することと比較して速いことを示している[5-7]。

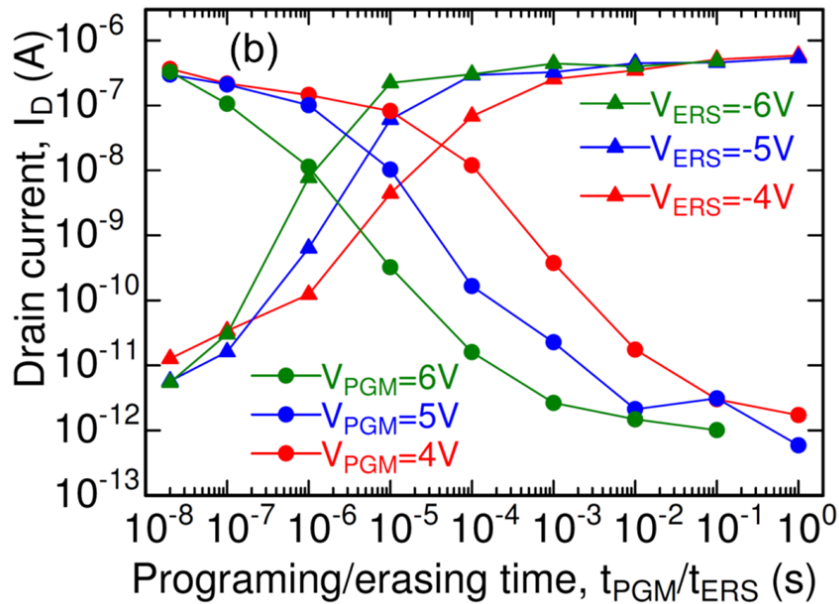


図 6.8 書き込み消去パルス依存特性

図 6.9(a)には書き込み消去をそれぞれ+4、-4 V の 200 μ sec パルスで行った場合の 10^6 回の書き込み、消去繰り返し耐性特性（エンデュランス特性）を示す。読出しは I_D の中央値の V_G を読み込んでいる。ほぼ一定の値が出ていることから高書き込み消去耐性があることが分かる。また図 6.9(b)には書き込み消去をそれぞれ+4、-4 V の 200 μ sec パルスで行った場合の 10^4 sec までの電荷保持特性（リテンション特性）を示す。同時に 10^6 回のエンデュランス特性測定後のリテンションも示す。読出しには $V_G = 0$ のときの I_D を用いている。保持時間はおよそ 10^4 sec であった。またエンデュランス特性測定後であっても多少の劣化が見られるが、ほぼ同様の測定結果を示した。これは低電圧で書き込み消去ができることから絶縁膜に負荷がかからず高い耐性を示す一方、低い保持能力を示したと考えられる。書き込み、消去に高電圧が必要である素子では 10^4 回程度のエンデュランス特性、10 年以上のリテンション特性が報告されており、これらの素子と比較して高いカップリング定数を持つデバイスであると考えられる[5-7]。またナノ粒子同士のカップリングはナノ粒子同士の間隔が約 6 nm であることから、3 nm 程度であるコントロール酸化膜とのカップリングより弱いと考えられる。

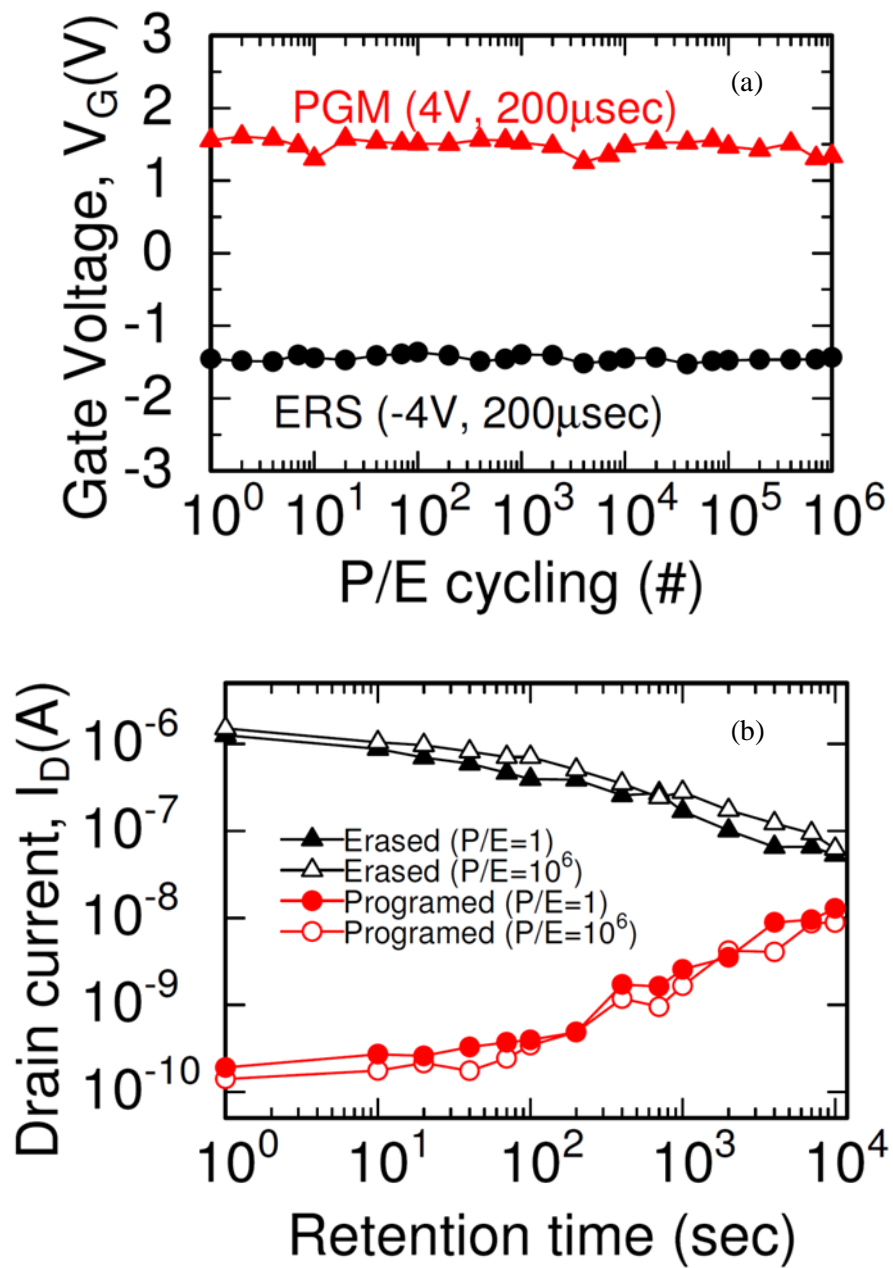


図 6.9 (a)書き込み、消去繰り返し耐性特性
(b)電荷保持特性

6-3. 種々の金属ナノ粒子埋込V溝型FETの特性評価

酸化コバルトナノ粒子および酸化インジウムナノ粒子でも同様に素子を作製し電気特性を評価した。素子作製プロセスは6-2-1にならう。ただし使用したフェリチン溶液は酸化コバルトナノ粒子が Fer8-K98E: (CoO_x core, 0.1 mg/ml; AA: 200 mM, pH 7.0)、酸化インジウムナノ粒子が Fer8-K98E: (InO_x core, 0.2 mg/ml; AA: 200 mM, pH 7.0)である。図6.10に酸化鉄ナノ粒子、ナノ粒子無しも含めた4つの素子について、酸化鉄を用いた素子と比べメモリウィンドウが狭いのは熱酸化膜のバラつきのためと考えられる。すなわち酸化鉄を用いた素子と比べ熱酸化膜が厚いためと考えられる。また、傾きのバラつきに関してはチャンネル厚さなど、非常に微細なバラつきに従っているものと考えられる。一方でそれぞれのナノ粒子を用いた素子においてメモリウィンドウの中心値を V_{th} としたとき酸化コバルト、酸化鉄、酸化インジウムの順に V_{th} が正方向に移動している。これは作製プロセスにおいて最後の還元雰囲気化でのメタライゼーションアニーリングによりコアの中心部が還元されたと仮定した時、それぞれの仕事関数の高低順と一致する。

以上の結果を踏まえ、参考資料としてチャンネル部が Intrinsic な V 溝型 FET を用いて同様の素子を作製し、特性を測定した。このデバイスではチャンネル部の不純物密度が少ないため、 V_G を印加した時の空乏層が広がりやすくチャンネル厚さや幅によるバラつきを抑えやすい。またよりバラつきを抑えるためチャンネルの厚さは 5~10 nm 程度に設計している。図6.11に V_{SD} を 200 mV、 V_G を -3 ~ +3 V で変化させた時の I_D - V_G 特性を示す。 V_G を ±3 V までとしたのは耐圧によるものである。図に示すように特性が明確に分かれている。書き込み消去それぞれの $V_{th}(I_D=100 \text{ nA})$ の中央値 V_{th0} をとった場合、酸化インジウムナノ粒子を用いた素子は 0.45 V、酸化鉄ナノ粒子を用いた素子は 0.7 eV、酸化コバルトナノ粒子を用いた素子は 1.3 V となる。金属のインジウム、鉄、コバルトの仕事関数はそれぞれ 4.12[8]、4.5[9]、5.0[10] eV 程度であるとされる。それぞれを対応させると近い電位差で同一順にシフトしていることが分る。フラットバンドシフトは酸化膜を挟んだ金属の仕事関数に依存するためナノ粒子は一部還元しているものと考えられる。また電極に用いた TiN の仕事関数は 4.7 eV 程度であるので酸化鉄および酸化コバルトの間に位置する。

また、酸化コバルト、酸化鉄、酸化インジウムの順に若干メモリウィンドウが広がっている。酸化膜を通したトンネリングでは対する金属の仕事関数により透過率が変わってくる。仕事関数が低い、すなわち真空準位に近いほど、また絶縁膜の伝導帯に近いほど透過率は高くなる。酸化インジウムが 3 種のナノ粒子において最も仕事関数が低いことから、メモリウィンドウが最も広がっ

たと考えられる。

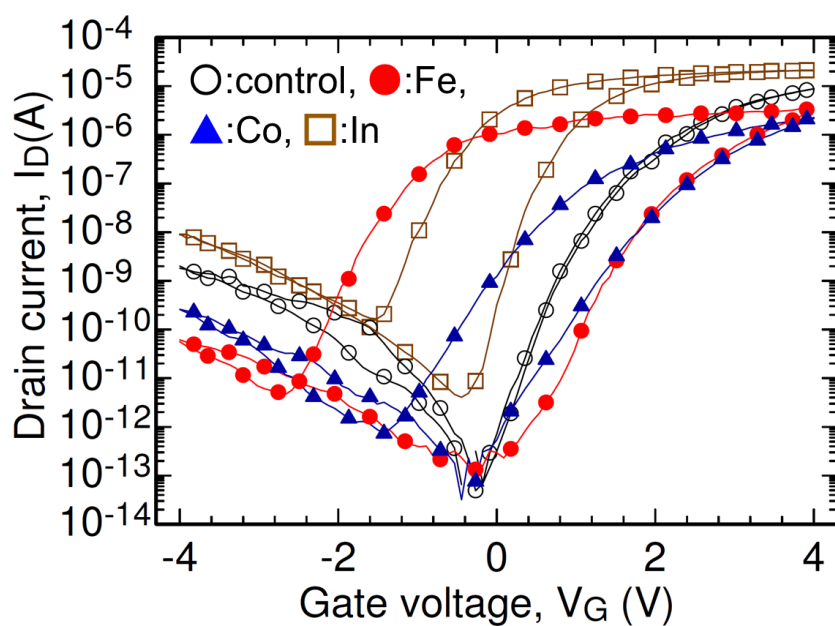


図 6.10 酸化コバルト、酸化鉄、酸化インジウムナノ粒子を用いたナノ粒子埋込V溝型 JL-FET の I_D - V_G 特性評価(チャネル厚さ 1~2 nm)

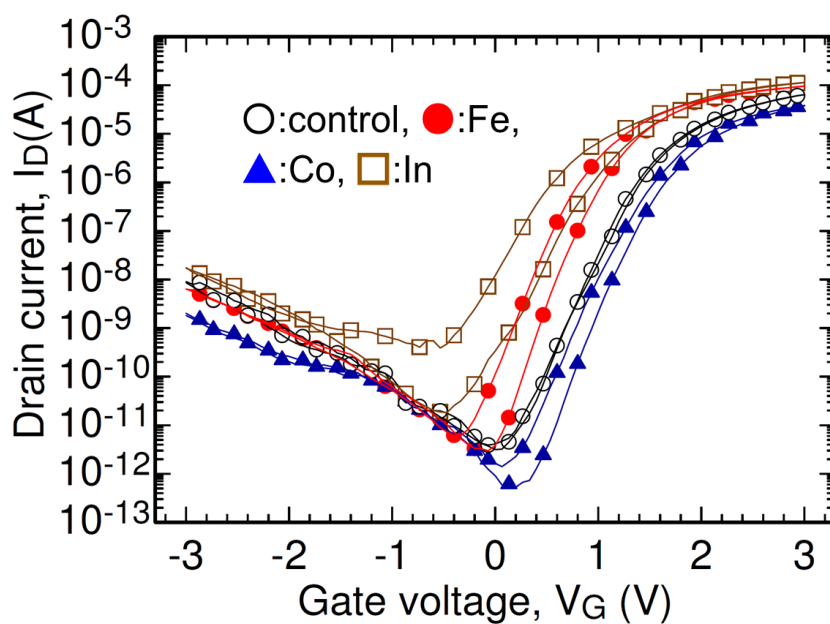


図 6.11 酸化コバルト、酸化鉄、酸化インジウムナノ粒子を用いたナノ粒子埋込V溝型 n_{in} type-FET の I_D - V_G 特性評価(チャネル厚さ 5~10 nm)

6-4. シミュレーションによるナノ粒子埋込V溝型 JL-FET の解析

電荷による微細素子への影響を評価するため、ナノ粒子に蓄積された電荷の量をシミュレーションにより概算した。使用したシミュレーターは Silvaco 製 Atlas(ver. 5. 19. 20. R)である。デバイス構造は DevEdit(ver. 2. 8. 21. R)でナノ粒子埋込 JL-FET の2次元構造を作製した。図 6.12 に作製した構造図とチャネル近傍の拡大図を示す。デバイスの各種サイズ、設定は実デバイスに準拠している。ナノ粒子直径 6 nm、V 溝角度、SOI 基板膜厚 (Si 層、BOX 層厚さ)、不純物密度、チャネルサイズなどである。またナノ粒子は導電性としている。ただし、本構造は2次元であり、シミュレート上では奥行き方向に 1 μm の幅を持つ。すなわちナノ粒子とする部分は実際には円柱状材質となる。ここではナノ粒子と仮定して進める。この構造を用い、Deckbuild(ver. 3. 44. 12. R)上でシミュレートした。使用したプログラムは付録に記載する。

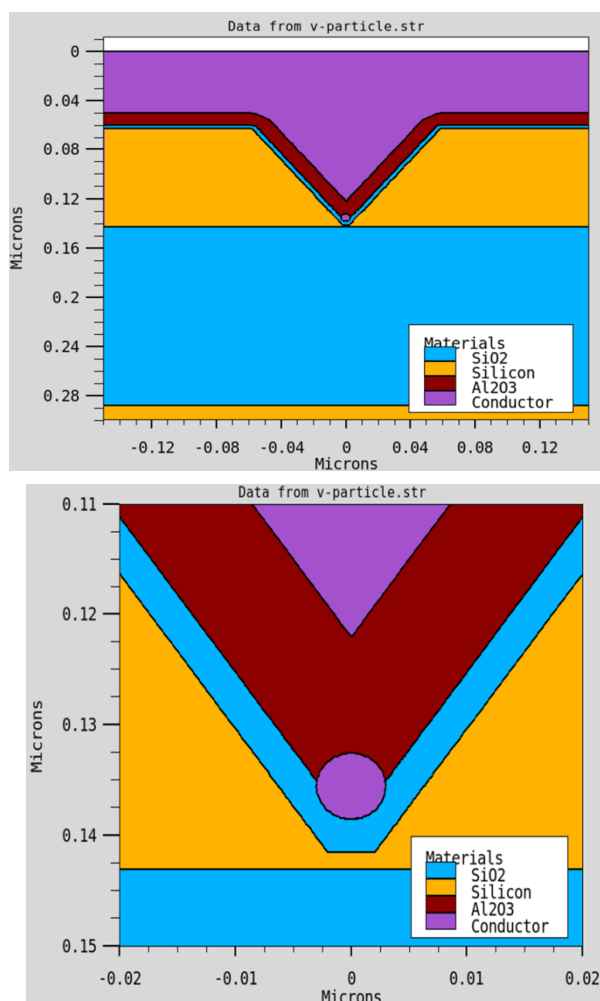


図 6.12 シミュレート用ナノ粒子埋込 JL-FET 構造

プログラムではナノ粒子をフローティングゲートとして、ナノ粒子内に電荷が蓄積された状態での I_D - V_G 特性を実行した。実デバイスとの測定に合わせ V_{SD} を 200 mV 一定、 V_G を -4 ~ 4 V で変化させた。電荷によるメモリウィンドウの広がりを実デバイスの測定と比較することで、実デバイスでの蓄積電荷量を概算する。

デバイス幅が 1 μm であるとき、1次元配列したナノ粒子はフェリチンの直径 12 nm で除算した値、85 コ/ μm 並ぶことになる。電気素量が 1.6×10^{-19} C であるため、 1.36×10^{-17} C/ μm だけ蓄積された時、ナノ粒子一つに電荷が一つ蓄積されている状態となる。同様に 1.36×10^{-16} C/ μm のときナノ粒子一つに電荷が 10 コ蓄積される。シミュレーションではナノ粒子一つあたり電荷が 1、10、100 コ蓄積された場合の I_D - V_G 特性を実行した。ただし、メモリウィンドウ幅の変化に注目するため V_G 印加時の電荷の移動は行わないものとした。これは電圧掃引速度が電荷の移動より十分速い状態での測定のことを示す。結果を図 6.13 に示す。

電荷がナノ粒子あたり 10 コ蓄積した条件でメモリウィンドウ幅が 2.5 V 開いた。図 6.7 では 3.3 V のメモリウィンドウ幅であったため、ナノ粒子あたり 10 コ以上の電荷が蓄積されていたと考えられる。また図 6.10 における酸化インジウムナノ粒子と酸化コバルトナノ粒子を用いたデバイスではウィンドウ幅が 1.3 V 程度であったことから、推察できる電荷量は 10 個以下である。またナノ粒子あたり 100 コ蓄積させた場合ではメモリウィンドウが広がりすぎるか、シミュレートが不可能であった。おそらくナノ粒子一つあたりに蓄積可能な電荷量を超えたためと思われる。またナノ粒子あたり 1 個の電荷量でも特性がシフトすることが確認できた。12 nm 間隔に 1 つの電荷が存在するような粗な場合でもチャンネルに影響が及ぼされることが示唆される。

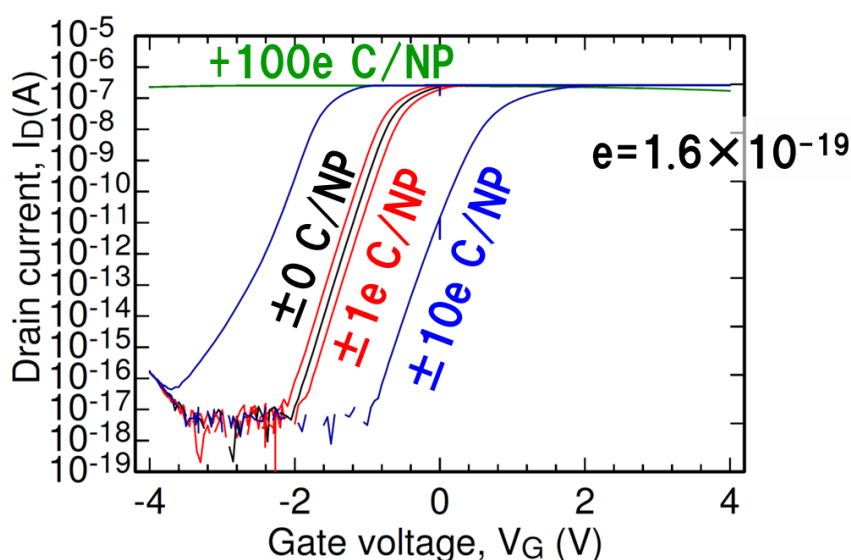


図 6.13 ナノ粒子に電荷を蓄積した状態の I_D - V_G シミュレーション

また図 6.14 にドレイン-ソース間のバンド図のシミュレーション結果を載せる。 V_G に負電圧(-4 V)を印加し、空乏層領域ができ off 状態となったバンド図である。 V_{SD} には 200 mV を印加している。中心部に障壁が表れている。この領域で電流の流れを止めている。しかしながら障壁はおよそ 1 eV 程度しかないため電圧を 1 V 以上掛けると制御が効かなくなることが推察できる。また障壁が高くなることによって障壁の端で価電子帯と伝導帯の距離が短くなることが分る。これが GIDL の原因であり、この薄くなったバンド間からリークが発生する。

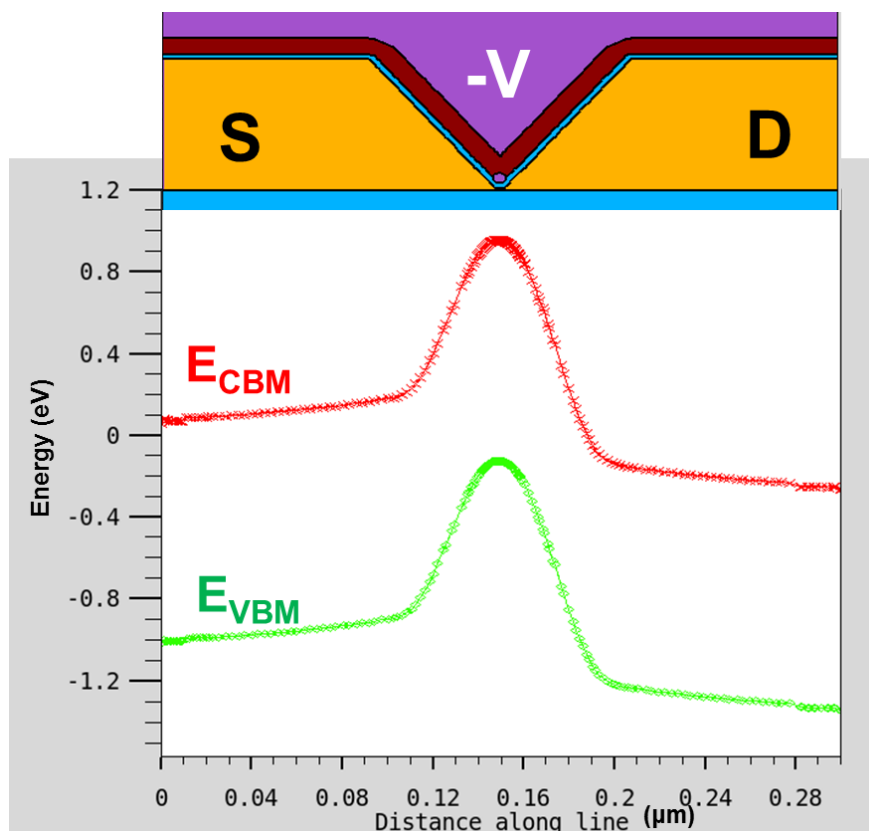


図 6.14 V 溝型 JL-FET におけるドレイン-ソース間の Si のバンド図
(伝導帯: E_{CBM} , 価電子帯 E_{VBM})

6-5. バンドダイアグラムによる電気特性の考察

デバイスの伝導機構の理解のため、本章で得られた電気特性を、バンドダイアグラムを用い、考察する。ナノ粒子が無い素子のゲート-チャンネル間のバンドダイアグラムを図 6.15(a)~(d)に示す。(a)は接合前、(b)は接合後、熱平衡したものの、(c)はゲートに正のバイアスを掛け、チャンネルを蓄積状態にしたもの、(d)はゲートに負のバイアスを掛け空乏状態にしたものである。*pn* ジャンクションを持つ FET とは違い、蓄積状態でデバイスが動作することが分る。また空乏層によりドレイン電流が遮断される。この図ではチャンネル層を厚く描いているが、実デバイスでは、十分薄くしなければチャンネル全体が空乏化できず、電流制御できないことが予想できる。このチャンネル厚さの依存が図 6.6 で観察できる。また、チャンネル厚さが、電気特性のバラつきに大きく影響することも予想できる。

図 6.16 に Al_2O_3 、 SiO_2 界面に強い負の固定電荷ある場合の V 溝型 JL-FET のバンドダイアグラムを示す。 Al_2O_3 、 SiO_2 界面には強い負の固定電荷が存在するとき、界面のエネルギーが上昇する。これによりチャンネルのバンドのエネルギーも上昇し、図 6.15(d)と近似した状態になる。そのため、負の固定電荷がある時、図 6.7 のナノ粒子無しの素子のの特性に観られるように、ノーマリーオフとなる。

また図 6.17 にゲートに負バイアスを掛けた時のソース-ドレイン間の Si のバンドダイアグラムを示す。これは GIDL の模式図である。ゲートに強い負のバイアスが掛けられるとドレイン近傍の価電子帯-伝導帯間が狭くなりトンネルを起こしやすくなる。主にフェルミ準位の移動によるキャリアの生成と少数キャリアのトンネルによりリークが起こる。

図 6.18、 6.19 にナノ粒子埋込 V 溝型 JL-FET にバイアスを掛けた時のバンドダイアグラムを示す。ナノ粒子は鉄を用いた。またナノ粒子の表面は酸化膜となっていると考えられるが、ここではナノ粒子全体が還元していると仮定した。図 6.18 が書き込み、図 6.19 が消去である。図 6.18(a)は正のバイアスをゲートに与え、ナノ粒子に電子が移動する状態を示す。図 6.18(b)は電子の蓄積後の $V_G=0$ のバンドダイアグラムである。電子がナノ粒子に蓄積されたことでチャンネルが空乏化している。図 6.19(a)は負のバイアスをゲートに与え、ナノ粒子にホールが移動する状態を示す。図 6.19(b)はホールの蓄積後の $V_G=0$ のバンドダイアグラムである。ホールがナノ粒子に蓄積されたことでチャンネルが蓄積状態となっている。それぞれ順に図 6.7 の①~④に対応する。ナノ粒子埋込 V 溝型 JL-FET の特性に観られるメモリウィンドウは、これらキャリアがナノ粒子に蓄積することでチャンネルの伝導状態が変化することに起因する。またナノ粒子直下の SiO_2 膜の厚さにより、電気特性が大きく変化することも考えられる。この SiO_2 膜は 3 nm と薄いため数 Å の変化でも 10% 近くの変化を電気特性に与えることになる。

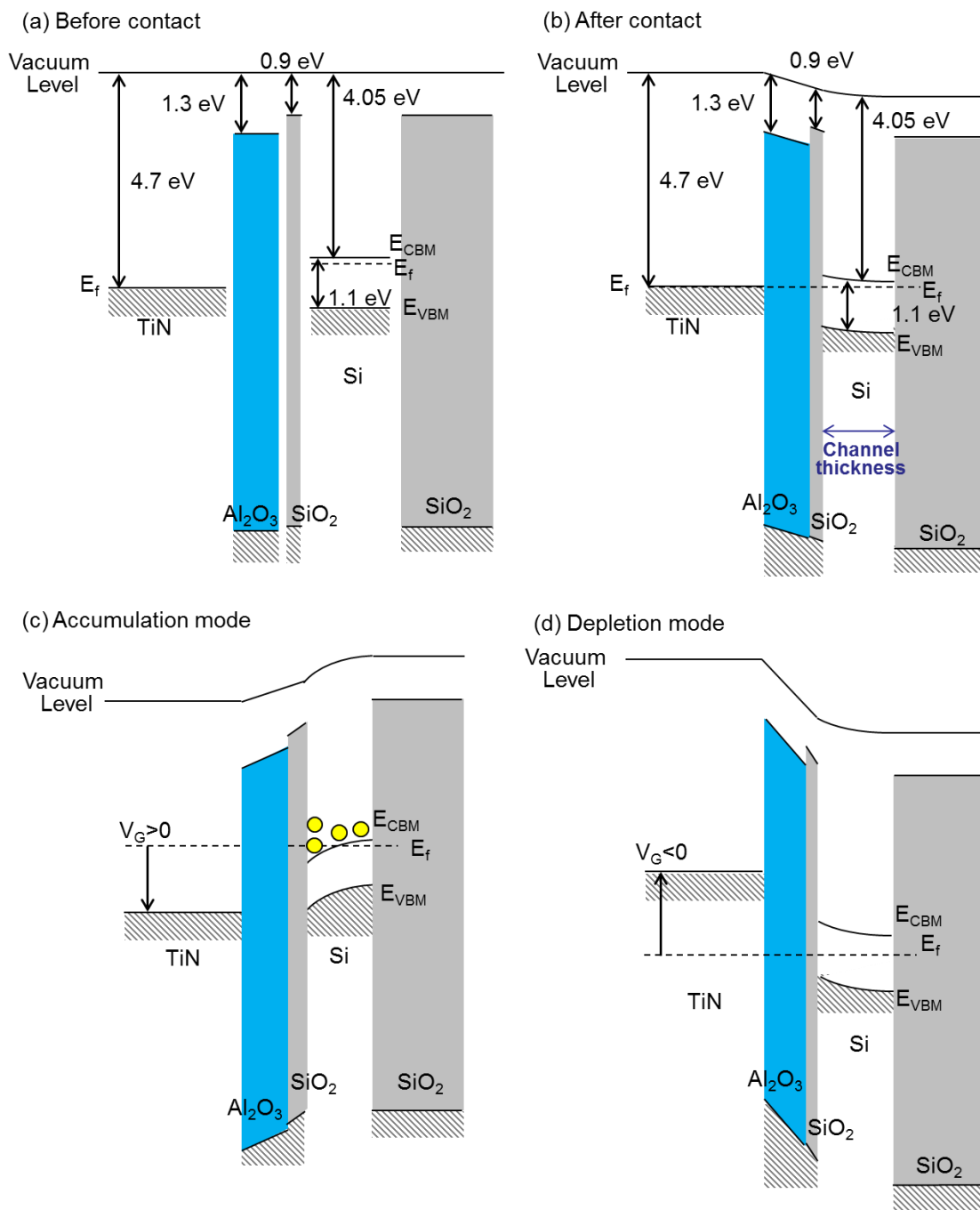


図 6.15 ナノ粒子無しの V 溝型 JL-FET のバンドダイアグラム

(a)接合前、(b)熱平衡後、(c)蓄積状態 ($V_G > 0$)、(d)空乏状態 ($V_G < 0$)、
 (E_{VBM} ; 価電子帯、 E_{CBM} ; 伝導帯、 E_f ; フェルミ準位)

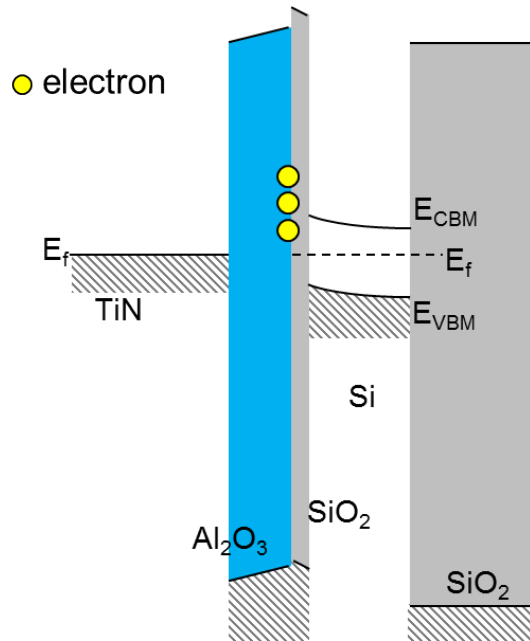


図 6.16 Al₂O₃、SiO₂界面に強い負の固定電荷ある場合の V 溝型 JL-FET のバンドダイアグラム

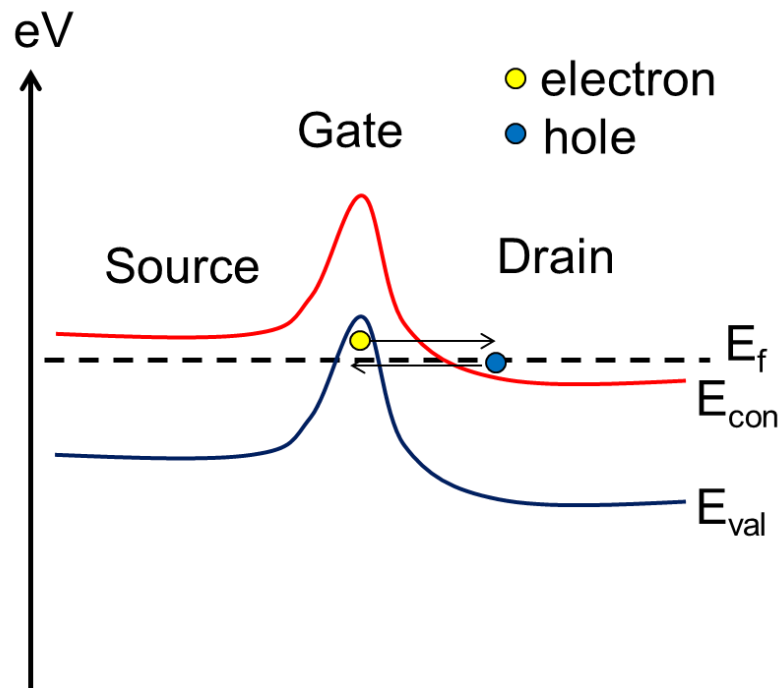


図 6.17 ゲートに負バイアスを掛けた時のソース-ドレイン間の Si のバンドダイアグラム (GIDL の模式図)

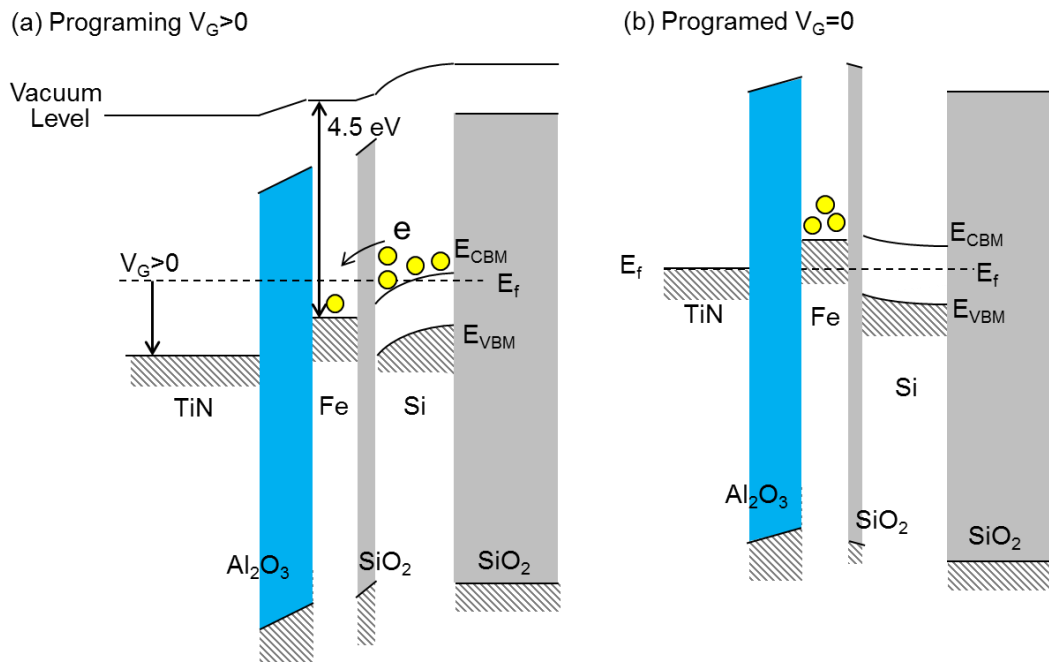


図 6.18 鉄ナノ粒子ナノ粒子埋込 V 溝型 JL-FET のバンドダイアグラム
 (a)書き込み $V_G > 0$ 、(b)書き込み後 $V_G = 0$
 それぞれ図 6.7 の①、②に対応

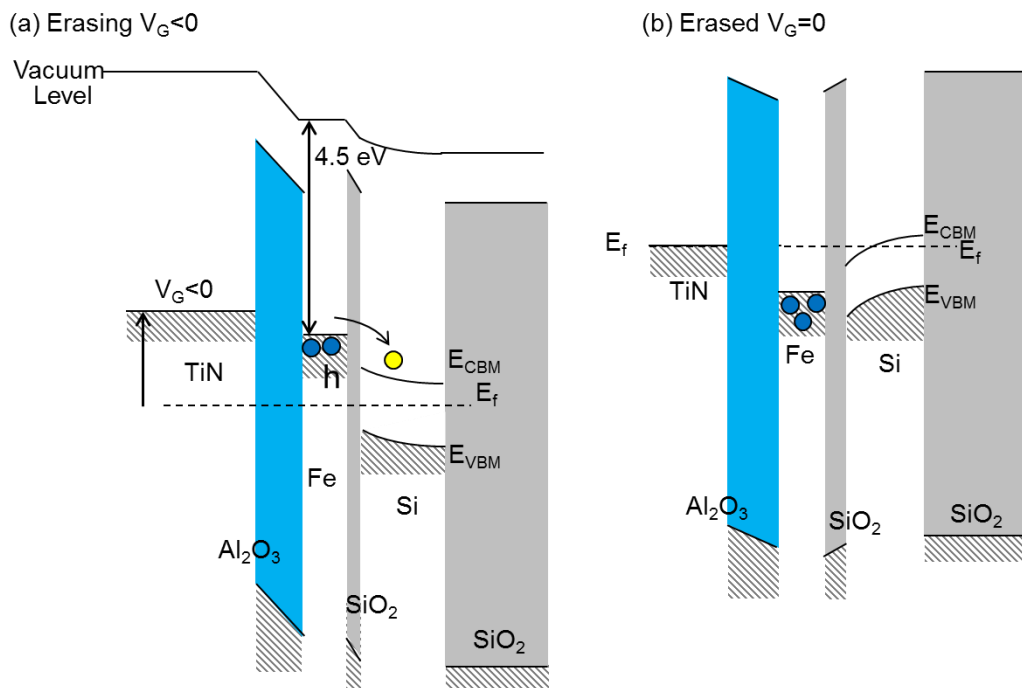


図 6.19 鉄ナノ粒子ナノ粒子埋込 V 溝型 JL-FET のバンドダイアグラム
 (a)消去 $V_G < 0$ 、(b)消去後 $V_G = 0$
 それぞれ図 6.7 の③、④に対応

6-6. まとめ

ナノ粒子埋込 V 溝型 JL-FET は I_D - V_G 特性においてヒステリシスが発現し、メモリ動作を示した。これは極小デバイスにおいて単一のナノ粒子に蓄積された電荷がその動作電流を制御していることを示す成果である。これに対し、シミュレーター Atlas を用い電荷がどの程度蓄積されているかを算出した。およそナノ粒子一つあたりに 10 コ程度の電荷が蓄積されていると思われる。

また書き込み消去特性、エンデュランス特性、リテンション特性といった一般的に知られる各種メモリ特性を取得した。その特徴として低電圧、高速動作、高耐性を示した。これは現在発表されているフローティングゲートメモリの中でも特に微小な素子におけるメモリ特性であり、微細化が著しいメモリデバイスに対し、sub-10 nm 以降のフローティングゲートメモリの可能性を示した。このことより電子が散乱されないような極微小領域であっても、近傍におかれたナノ粒子の影響を示す結果となった。

また、種々の金属のナノ粒子を用いた *nin*-type のデバイスでは、材質の影響が顕著に表れた。特に仕事関数の違いが大きく表れ、ナノ粒子の材質を変更することで極微小領域のチャネルにおける様々な知見が得られることが示唆された。特に酸化コバルトを用いた素子では V_{th} シフトが正方向へシフトした。これは *n* 型 JL-FET に要求される高仕事関数のゲート電極に対応するものである。これによりコスト減への提案として、Pt などの高仕事関数かつ高価な材料であっても、チャネル上へ選択配置することを可能とすれば、現在の一面に成膜するようなプロセスに対し、非常に安価にデバイスを作製可能にすると考えられる。

同様に種々の金属のナノ粒子を用いた JL-FET に関しては非常に大きなばらつきが見られた。これは単なるデバイスの短チャネル効果によるものだけでなくナノ粒子を変えたことによる影響であると考えられる。特に V_{th} シフトおよびそれに伴う On 電流の変動は *nin*-type と比べ大きなばらつきとなって表れている。このことより、微細チャネルはチャネル近傍の材料に非常に敏感な性質を持っていることが推察される。これはトラップ部位だけでなく、ゲート電極、絶縁膜に使われる材質の局所的なバラつきにも影響されることを示唆している。これらの成果は次世代半導体素子微細化の発展に強く寄与するものと考えられる。

6-7. 参考文献

- [1] S. Migita, Y. Morita, M. Masahara, and H. Ota, "Electrical Performances of Junctionless-FETs at the Scaling Limit (L-CH=3 nm)," *2012 Ieee International Electron Devices Meeting (Iedm)*, 2012.
- [2] S. Migita, Y. Morita, M. Masahara, and H. Ota, "Fabrication and Demonstration of 3-nm-Channel-Length Junctionless Field-Effect Transistors on Silicon-on-Insulator Substrates Using Anisotropic Wet Etching and Lateral Diffusion of Dopants," *Japanese Journal of Applied Physics*, vol. 52, Apr 2013.
- [3] S. Migita, Y. Morita, T. Matsukawa, M. Masahara, and H. Ota, "Experimental Demonstration of Ultrashort-Channel (3 nm) Junctionless FETs Utilizing Atomically Sharp V-Grooves on SOI," *Ieee Transactions on Nanotechnology*, vol. 13, pp. 208-215, Mar 2014.
- [4] B. Hoex, J. J. H. Gielis, M. de Sanden, and W. M. M. Kessels, "On the c-Si surface passivation mechanism by the negative-charge-dielectric Al₂O₃," *J. Appl. Phys.*, vol. 104, no. 11, pp. 7, Dec, 2008.
- [5] M. S. Yeh, Y. C. Wu, M. H. Chung, Y. R. Jhan, K. S. Chang-Liao, K. C. Liu, *et al.*, "Investigation of p-channel and n-channel junctionless gate-all-around polycrystalline silicon nanowires with silicon nanocrystals nonvolatile memory," *Applied Physics Letters*, vol. 105, Jul 28 2014.
- [6] C. J. Su, T. K. Su, T. I. Tsai, H. C. Lin, and T. Y. Huang, "A junctionless SONOS nonvolatile memory device constructed with in situ-doped polycrystalline silicon nanowires," *Nanoscale Research Letters*, vol. 7, pp. 1-6, Feb 29 2012.
- [7] S. J. Choi, D. I. Moon, S. Kim, J. H. Ahn, J. S. Lee, J. Y. Kim, *et al.*, "Nonvolatile Memory by All-Around-Gate Junctionless Transistor Composed of Silicon Nanowire on Bulk Substrate," *Ieee Electron Device Letters*, vol. 32, pp. 602-604, May 2011.
- [8] D. R. Lide, *CRC Handbook of Chemistry and Physics, 85th Edition*: Taylor & Francis, 2004.
- [9] F. D. S. Marquis, *Proceedings of the 8th Pacific Rim International Conference on Advanced Materials and Processing (PRICM-8)*: Wiley, 2013.
- [10] Sharma, *Atomic And Nuclear Physics*: Pearson Education, 2008.

7 章 結論および今後の展望

7-1. 結論

本研究はトップダウン微細加工技術とバイオ材料、技術を利用したボトムダウン微細構造物構築技術を組み合わせた技術である BNP を活用することで、sub-10 nm の微細な構造を有する半導体素子を作製、動作を実証することを目的とした。作製した素子は単一ナノ粒子 ReRAM およびナノ粒子埋込 V 溝型 JL-FET である。これらを扱う過程でフェリチンを用いたナノ粒子の形成から、ナノ粒子の単一配置技術、1次元配列技術について取り扱った。微細構造物の作製と任意の場所への配置は BNP の骨子である。本研究では新たに 2 種の配置技術を用いることで前記 2 種のデバイスの作製、動作実証に成功した。

2 章では ReRAM 他、さまざまな材料として期待される酸化タンタルを、フェリチンによりナノ粒子として作製した。このナノ粒子は UV/O₃ 処理によりタンパク質の除去を行うことで Ta₂O₅ に非常に近い組成となることが明らかになった。その構造はアモルファスで、タンパク質除去後の直径は 4.5 nm であった。

3 章では金属膜上へのフェリチンの単一配置技術応用を取り扱った。基板とフェリチンの静電相互作用を利用した技術であり、pH 7 において電位が十分に低い金属であれば応用可能である。IEP はイオン価数が高く、イオン半径が小さい材料で低くなる傾向にある。金属膜上へ応用したことで BNP のデバイス応用範囲が広がり新たな微細デバイス研究につながる成果である。

4 章では単一ナノ粒子を用いた ReRAM を作製、評価した。バイポーラ型の抵抗変化動作を示したほか、10³ 回以上の繰り返し動作を示した。ナノ粒子のサイズが 4.5 nm であることから抵抗変化動作範囲もこれに近い非常に微細な ReRAM である。これらの結果より、生体超分子の特異的な機能を積極的に活用することで、現在の最先端加工精度を超える微細メモリを形成し、ナノスケールのメモリセルを集積させた高密度記憶素子への展開に寄与した。

5 章では V 溝を用いたナノ粒子の 1次元配列を行った。また各種コアを用いた場合でも 1次元配列を確認し、特にインジウムコアによって 2層、3層の 1次元配列も制御良く達成した。この技術は他のデバイスにおいてもナノ粒子の 1次元配列を扱う場合に有効である。特にスピン伝搬、プラズモン変調など様々な応用が期待される。

6 章ではナノ粒子埋込 V 溝型 JL-FET を作製し評価した。作製された素子は I_D - V_G 特性においてヒステリシスが発現し、メモリ動作を示した。これは極小デバイスにおいて単一のナノ粒子に蓄積された電荷がその動作電流を制御してい

ることを示す成果である。このことより電子が散乱されないような極微小領域であっても、近傍におかれたナノ粒子の影響を示す結果となった。この成果はナノ粒子の材質を変更することで極微小領域のチャンネルにおける様々な知見が得られることを示唆している。また各種メモリ特性を取得している。他にナノ粒子の材質を変更することで特性に大きな違いが表れた。仕事関数の違いによるものが大きいとみられるが、それ以外にも微細チャンネルの持つ短チャンネル効果により、変化が増幅したためと考えられる。このことより、微細チャンネルはチャンネル近傍の材料に非常に敏感な性質を持っていることが推察される。これはトラップ部位だけでなく、ゲート電極、絶縁膜に使われる材質の局所的なバラつきにも影響されることを示唆している。この成果は次世代半導体素子微細化の発展に強く寄与するものと考えられる。

7-2. 今後の展望

本研究は成果ごとに展望が得られる。酸化タンタルナノ粒子は、抵抗変化材料としてだけでなく、ナノ粒子としての特性を活かした応用が考えられる。生体適合性材料であることから CT の造影剤にすることが可能であることに加え、フェリチン表面にがん認識機能などを修飾することができればより医薬製品としての可能性が向上する。また酸化タンタルは光触媒として研究もされていることから、ナノ粒子化することでより高い触媒効果を得ることができる。

金属膜へのナノ粒子の単一配置は、BNP の応用範囲を広げる。Fer8-K98E で形成可能なナノ粒子材料と、IEP が低い金属膜であれば自由にナノ構造体を構築可能である。例えばナノ粒子をマスクにすることによるピラー構造を任意の数、間隔を制御したアレイ化なども可能である。基板全面に層状に形成されたデバイスにこれを行えば簡単にナノ粒子サイズの素子を任意の場所、数で作製可能である。また IEP が高い材料では逆の手法を提案できる。フェリチンの持つ電位を中性付近で強い正に遺伝子改変する手法である。SAM 膜は中性付近で負を提示する材料を選択すれば IEP が高い材料でも同様に単一配置できると考えられる。

単一ナノ粒子による抵抗変化メモリにおける、展望は電極も含めた BNP による微小な ReRAM セルアレイの形成である。BNP の特徴であるナノ構造形成、自己組織化、選択配置技術等を活かせば、メモリセルの微細化、大面積での集積化、構造設計が可能になると考えられ、超高密度記憶素子の実現が期待できる。具体的には抵抗変化材料としてフェリチンによって形成されたナノ粒子を用いることと、タバコモザイクウイルス(TMV)等、筒状超分子タンパク質に形成された金属ナノワイヤを電極とした完全なシングルナノスケールの ReRAM である。フェリチンには Pt に選択的に吸着するアプタマーを修飾することができる。基板にナノワイヤを SAM パターン、あるいは液晶などでも利用される交流電界により一方向へ配位させる。これに基板の電位を制御し反発させることでナノワイヤ上にフェリチンや Dps を選択的に吸着できると考えられる。上部電極も下部電極と同様の手法で直交させるように配位させることで直交したナノワイヤ間に単一のナノ粒子を挟んだアレイ構造が作られると考えられる。ナノワイヤでは電気抵抗の増大が考えられるためカーボンナノチューブ(CNT)を電極とした ReRAM についても検討していく必要がある。素子間の絶縁についてはアレイ構造完成後に空洞などを SiO₂ で埋めることによりタンパク質除去後も構造を維持し、かつ素子間での絶縁が果たされると考えられる。

V 溝を用いたナノ粒子の 1 次元配列はプラズモンやスピン伝搬デバイスなどに応用できる。特に Fer8-K98E には金ナノ粒子を形成できるためプラズモン応

用が可能である。またスピン伝搬においても磁性をもつマグネタイトなどを形成可能であるため応用に障害はない。またこれら以外にも熱電材料の 1 次元のナノ構造応用など、様々な応用先が考えられる。またナノ粒子の間隔制御は DNA などの負に帯電する長鎖をフェリチンに修飾することで、フェリチンの見かけ上の外径を増加させることで達成できると考えられる。

ナノ粒子埋込 V 溝型 JL-FET では量子効果が表れる領域であるため、低温での測定をすることでより、詳細に sub-10 nm のチャンネルの伝導機構を解析することができると考えられる。特にバリスティック伝導を確認することや、ファノ近藤効果なども見られる可能性がある、ファノ近藤効果は Si において微細化を進めていくことで電子トラップ起因が原因で起こることが予想されている。これはトラップとチャンネルとの間において電荷のやり取りが必要であり、本研究ではその条件を満たしている。また一般に GaAs 系材料などで観測されるファノ近藤効果には干渉計が用いられており、この構造と本研究のデバイス構造は似ており、またナノ粒子と電荷のやり取りを行うことから条件を満たしていると考えられる。

本研究では、BNP の特異的能力を用いることで超微細な素子が作製可能であることを示した。他、配置技術についても様々な微細デバイスの作製に応用可能である。これにより BNP の持つ可能性を示した。BNP をも含めたボトムアッププロセスとトップダウンプロセスの発展を推し進めることで、半導体製造のパラダイムシフトを起こし得るものと期待する。

研究業績

査読付き学術論文 2 件

1. Mutsunori Uenuma, Takahiko Ban et al, RSC Advances, Issue 39, (2013)
2. Takahiko Ban et al, Applied Physics Letters, 106, 253104 (2015)

査読付き国際会議 3 件

3. Keisuke Kado, Takahiko Ban et al., 25th International Microprocesses and Nanotechnology Conference, 31B-3-4, (2012)
4. Takahiko Ban et al, 25th International Microprocesses and Nanotechnology Conference, 2p-11-45, (2012)
5. Takahiko Ban et al, The International Chemical Congress of Pacific Basin Societies 2015, Paper #: 831 (2015)

その他 学会発表 9 件

6. 番 貴彦ら, 第 73 回応用物理学会学術講演会 13a-H4-3, (2012)
7. 番 貴彦ら, 第 59 回応用物理学関係連合講演会 16p-F6-4, (2012)
8. 番 貴彦ら, ゲートスタック研究会 - 材料・プロセス評価の物理 - 第 17 回研究会 pp.225-228, (2012)
9. Takahiko Ban et al., 2012 GIST-NAIST-NCTU Joint Symposium on Interdisciplinary Nanoscience and Beyond p.52, (2012)
10. Takahiko Ban et al., 2013 JSAP-MRS Joint Symposia 19p-PM5-18, (2013)
11. 番 貴彦ら, 応用物理学会関西支部平成 25 年度第 2 回講演会 p 45 (2013)
12. 番 貴彦ら, 第 75 回応用物理学会学術講演会 17p-A16-11, (2014)
13. 番貴彦ら, ゲートスタック研究会 - 材料・プロセス評価の物理 - 第 20 回、7-3, pp.83-86(2015)
14. 番貴彦ら, 電子情報通信学会 シリコン関連材料の作製と評価およびディスプレイ技術 pp. 9- 12 , (2015)

内受賞 1 件

- ゲートスタック研究会 - 材料・プロセス評価の物理 - 第 20 回 (2015)
安田賞 (若手奨励賞 プロセス部門) 受賞

謝辞

本研究は多くの方々のご協力の下で行われました。末文となりましたが、本研究を支えてくださった皆様に感謝の辞を述べさせていただきます。

本研究は浦岡行治教授の御指導の下で行われたものであり、研究に対するアドバイスから、学会活動のサポートまで、あらゆる場面において熱意ある御指導を賜りました。また、研究面だけでなく日常生活に至るまで多大なご支援と激励をいただきました。心より深く感謝申し上げます。

メゾスコピック科学研究室の山下一郎教授には定例のミーティングにて的確なご助言を賜りました。また、研究に対する指導だけでなく研究に対する姿勢や発表方法など数多くのご助言を賜りましたこと、深く感謝申し上げます。

当研究室の石河泰明准教授には情熱ある御指導、ご助言を賜りましたこと、深く感謝申し上げます。

バイオミメティック科学研究室の菊池純一教授、凝縮系物性学研究室の服部賢准教授には、多くの時間を割いて、副指導教員として適切かつ丁寧なご助言を数多くいただきました。心より感謝いたします。

当研究室の上沼睦典助教には本研究において直接的な御指導、ご助言を賜りました。また、日夜研究に関するディスカッションにも尽力を賜り、学会活動においても何度も作成書類の添削をしていただきました。本研究をここにまとめ上げることができたのは、上沼助教の多大なる御指導、ご助言によるものだと感じております。心より深く感謝申し上げます。

共同研究者の右田様には研究に対するご助言頂けたこと、またデバイス作製に多大なるご尽力をいただき、誠にありがたく存じます。お忙しい中、時間を割いてくださった右田様のご協力があったからこそ本研究を完了することができました。心より深く感謝申し上げます。

岡本尚文研究員には、フェリチンタンパク質の扱いに関し多大なるご助力を頂きましたこと、心より深く感謝申し上げます。

メゾスコピック科学研究室の岩堀健治博士をはじめとする戦略的創造研究推進事業チームの皆様には定例のミーティングや研修会にて的確なご助言を賜りましたこと、深く感謝申し上げます。

技術職員の小池徳貴氏には走査型電子顕微鏡に関する使用方法を教えて頂き、急なトラブルにも適宜ご対応して下さいました。また、電子線描画装置に関しても使用方法からパターン設計に関する御指導など研究の様々な場面でサポートしていただきました。深く感謝申し上げます。

当研究室卒業生の柿原康弘氏には装置の使用方法から研究に対する助言まで幅広いサポートを賜りましたこと、深く感謝申し上げます。

当研究室、BNPグループの卒業生の小原孝介氏、東條陽介氏には研究に対するご助言から実験に関する御指導まで幅広いサポートを賜りましたこと、深く感謝申し上げます。

当研究室、BNPグループの博士課程3年生の上武央季氏には日々の研究仲間としてほとんどの学会活動や研修会を共にし、5年間の研究活動をより楽しく過ごすことが出来ました。心より感謝いたします。

当研究室のシニアスタッフ、同期、後輩の学生たちには研究だけでなく学生生活の上で数々のご協力を賜り、大変有意義な時間過ごすことが出来ました。ここに深く感謝いたします。

最後に、これまでの学生生活において経済的、精神的に支えてくださった両親に心より感謝いたします。

付録

6章 ナノ粒子埋込 V 溝型 JL-FET 電荷蓄積時の I_D - V_G シミュレーションプログラム

```
#
# Set electron 1 per the NP
#

go atlas

mesh inf=v-particle.str

contact name=gate workfun=4.7
contact name=fgate floating workfun=4.5
contact name=drain neutral
contact name=source con.resistance=0.001

interface qf=3e10
models mos srh cvt hei fnord nearflg

method carriers=2
solve init
method newton gummel trap maxtraps=8

solve qstep=-1.36e-18 qfinal=-1.36e-17 name=fgate

log outf=e1-minus.log
solve vdrain=0.2
solve vstep=-0.05 vfinal=-4 name=gate comp=5.5e-5 cname=drain
solve vstep=-0.001 vfinal=-4 name=gate comp=5.5e-5 cname=drain

log off

solve vgate=0
solve init

solve qstep=-1.36e-18 qfinal=-1.36e-17 name=fgate

log outf=e1-plus.log
solve vdrain=0.2
solve vstep=0.05 vfinal=1 name=gate comp=5.5e-5 cname=drain
solve vstep=0.1 vfinal=4 name=gate comp=5.5e-5 cname=drain

log off

#
# Set hole 1 per the NP
#

go atlas

mesh inf=v-particle.str
```

```

contact name=gate workfun=4.7
contact name=fgate floating workfun=4.5
contact name=drain neutral
contact name=source con.resistance=0.001

interface qf=3e10
models mos srh cvt hei fnord nearflg

method carriers=2
solve init
method newton gummel trap maxtraps=8

solve qstep=1.36e-18 qfinal=1.36e-17 name=fgate

log outf=p1-minus.log
solve vdrain=0.2
solve vstep=-0.05 vfinal=-4 name=gate comp=5.5e-5 cname=drain
solve vstep=-0.001 vfinal=-4 name=gate comp=5.5e-5 cname=drain

log off

solve vgate=0
solve init

solve qstep=1.36e-18 qfinal=1.36e-17 name=fgate

log outf=p1-plus.log
solve vdrain=0.2
solve vstep=0.05 vfinal=1 name=gate comp=5.5e-5 cname=drain
solve vstep=0.1 vfinal=4 name=gate comp=5.5e-5 cname=drain

log off

# plot idvg

tonyplot -overlay e1-minus.log e1-plus.log p1-plus.log p1-minus.log

#
# Set electron 10 per the NP
#

go atlas

mesh inf=v-particle.str

contact name=gate workfun=4.7
contact name=fgate floating workfun=4.5
contact name=drain neutral
contact name=source con.resistance=0.001

interface qf=3e10
models mos srh cvt hei fnord nearflg

method carriers=2
solve init
method newton gummel trap maxtraps=8

solve qstep=-1.36e-17 qfinal=-1.36e-16 name=fgate

```

```

log outf=e10-minus.log
solve vdrain=0.2
solve vstep=-0.05 vfinal=-4 name=gate comp=5.5e-5 cname=drain
solve vstep=-0.001 vfinal=-4 name=gate comp=5.5e-5 cname=drain

log off

solve vgate=0
solve init

solve qstep=-1.36e-17 qfinal=-1.36e-16 name=fgate

log outf=e10-plus.log
solve vdrain=0.2
solve vstep=0.05 vfinal=1 name=gate comp=5.5e-5 cname=drain
solve vstep=0.1 vfinal=4 name=gate comp=5.5e-5 cname=drain

output e.field con.band val.band e.mobility charge flowlines
save outfile=e10.str

log off

#
# Set hole 10 per the NP
#

go atlas

mesh inf=v-particle.str

contact name=gate workfun=4.7
contact name=fgate floating workfun=4.5
contact name=drain neutral
contact name=source con.resistance=0.001

interface qf=3e10
models mos srh cvt hei fnord nearflg

method carriers=2
solve init
method newton gummel trap maxtraps=8

solve qstep=1.36e-17 qfinal=1.36e-16 name=fgate

log outf=p10-minus.log
solve vdrain=0.2
solve vstep=-0.05 vfinal=-4 name=gate comp=5.5e-5 cname=drain
solve vstep=-0.001 vfinal=-4 name=gate comp=5.5e-5 cname=drain

log off

solve vgate=0
solve init

solve qstep=1.36e-17 qfinal=1.36e-16 name=fgate

log outf=p10-plus.log
solve vdrain=0.2

```

```

solve vstep=0.05 vfinal=1 name=gate comp=5.5e-5 cname=drain
solve vstep=0.1 vfinal=4 name=gate comp=5.5e-5 cname=drain

# plot idvg

tonyplot -overlay e10-plus.log e10-minus.log p10-plus.log p10-minus.log
output e.field con.band val.band e.mobility charge flowlines
save outfile=p10.str

log off

#
# Set electron 100 per the NP
#

go atlas

mesh inf=v-particle.str

contact name=gate workfun=4.7
contact name=fgate floating workfun=4.5
contact name=drain neutral
contact name=source con.resistance=0.001

interface qf=3e10
models mos srh cvt hei fnord nearflg

method carriers=2
solve init
method newton gummel trap maxtraps=8

solve qstep=-1.36e-16 qfinal=-1.36e-15 name=fgate

log outf=e100-minus.log
solve vdrain=0.2
solve vstep=-0.05 vfinal=-4 name=gate comp=5.5e-5 cname=drain
solve vstep=-0.001 vfinal=-4 name=gate comp=5.5e-5 cname=drain

log off

solve vgate=0
solve init

solve qstep=-1.36e-16 qfinal=-1.36e-15 name=fgate

log outf=e100-plus.log
solve vdrain=0.2
solve vstep=0.05 vfinal=1 name=gate comp=5.5e-5 cname=drain
solve vstep=0.1 vfinal=4 name=gate comp=5.5e-5 cname=drain

log off

#
# Set hole 100 per the NP
#

```

```

go atlas

mesh inf=v-particle.str

contact name=gate workfun=4.7
contact name=fgate floating workfun=4.5
contact name=drain neutral
contact name=source con.resistance=0.001

#Define some Qss...
interface qf=3e10
models mos srh cvt hei fncd nearflg

method carriers=2
solve init
method newton gummel trap maxtraps=8

solve qstep=1.36e-16 qfinal=1.36e-15 name=fgate

log outf=p100-minus.log
solve vdrain=0.2
solve vstep=-0.05 vfinal=-4 name=gate comp=5.5e-5 cname=drain
solve vstep=-0.001 vfinal=-4 name=gate comp=5.5e-5 cname=drain

log off

solve vgate=0
solve init

solve qstep=1.36e-16 qfinal=1.36e-15 name=fgate

log outf=p100-plus.log
solve vdrain=0.2
solve vstep=0.05 vfinal=1 name=gate comp=5.5e-5 cname=drain
solve vstep=0.1 vfinal=4 name=gate comp=5.5e-5 cname=drain

# plot idvg

tonyplot -overlay e100-plus.log e100-minus.log p100-plus.log p100-minus.log

log off

quit

```